

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5039752号
(P5039752)

(45) 発行日 平成24年10月3日 (2012. 10. 3)

(24) 登録日 平成24年7月13日 (2012. 7. 13)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/20 (2006.01)
 G09F 9/30 (2006.01)
 H01L 27/32 (2006.01)
 H01L 51/50 (2006.01)

G09G 3/30 J
 G09G 3/20 670K
 G09G 3/20 624B
 G09G 3/20 624D
 G09G 3/20 622B

請求項の数 5 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2009-163447 (P2009-163447)
 (22) 出願日 平成21年7月10日 (2009. 7. 10)
 (65) 公開番号 特開2010-20314 (P2010-20314A)
 (43) 公開日 平成22年1月28日 (2010. 1. 28)
 審査請求日 平成21年7月10日 (2009. 7. 10)
 (31) 優先権主張番号 10-2008-0067133
 (32) 優先日 平成20年7月10日 (2008. 7. 10)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨ
 ウィーテロ 128
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100104352
 弁理士 朝日 伸光
 (74) 代理人 100128657
 弁理士 三山 勝巳

最終頁に続く

(54) 【発明の名称】 有機発光ダイオード表示装置

(57) 【特許請求の範囲】

【請求項 1】

発光ダイオードを備えた複数の画素セルと、
 画像に関する情報を持つデータ信号を伝送する複数のデータラインと、
 ゲート高電圧、第1ゲート低電圧、及び第2ゲート低電圧を有するゲート信号を伝送する
 複数のゲートラインと、
 を含み
 前記各画素セルは、
 前記ゲートラインからの第1ゲート高電圧によってデータラインとノード間を接続させる
 信号伝達スイッチング素子と、
 前記ノードの信号状態に応じて前記発光ダイオードに供給される駆動電流の大きさを制御
 する駆動スイッチング素子と、
 前記ノードと前記駆動スイッチング素子のソース電極またはドレイン電極間に接続された
 ストレージキャパシタと、
 前記ゲートラインからの第2ゲート低電圧及び制御ラインからの制御信号に応じて前記ゲ
 ートラインと前記ノード間を接続させる制御スイッチング素子とを含み、
 前記第1ゲート低電圧は前記ゲート高電圧より小さく、前記第2ゲート低電圧は前記第1
 ゲート低電圧よりも小さく、
 前記ゲート高電圧と前記データ信号は、正極性電圧であり、
 前記第2ゲート低電圧は、負電圧であり、

10

20

前記制御信号は、前記第2ゲート低電圧と前記制御スイッチング素子のしきい電圧の和より大きく、前記第1ゲート低電圧よりも小さい値を持つ直流電圧である

ことを特徴とする有機発光ダイオード表示装置。

【請求項2】

前記ゲート信号がゲート高電圧に維持されるデータ入力期間に、前記ノードにデータ信号が供給され、

前記ゲート信号が第1ゲート低電圧に維持される発光維持期間に、前記ノードに供給されたデータ信号が維持され、

前記ゲート信号が第2ゲート低電圧に維持される回復期間に、前記ノードに前記第2ゲート低電圧が供給されることを特徴とする請求項1に記載の有機発光ダイオード表示装置。

10

【請求項3】

前記複数のゲートラインを駆動するためのゲートドライバをさらに含み、

前記ゲートドライバは、

第1スタートパルス及び第1クロック信号を用いて、前記各ゲートラインに供給されるゲート高電圧及び第1ゲート低電圧を順次に生成する第1駆動部と、

前記第1スタートパルスよりも遅れて出力され、パルス幅が大きい第2スタートパルス、及び前記第1クロック信号よりもパルス幅が大きい第2クロック信号を用いて、各ゲートラインに供給される第2ゲート低電圧を順次に出力する第2駆動部と、

前記第1及び第2駆動部からの出力のいずれかを選択して、各ゲートラインに出力する選択部と、

20

を含むことを特徴とする請求項1に記載の有機発光ダイオード表示装置。

【請求項4】

第1駆動部は、前記第1スタートパルスを前記第1クロック信号に応じてシフトさせて順次に出力する第1シフトレジスタと、前記第1シフトレジスタからの各出力の論理に応じてゲート高電圧または第1ゲート低電圧のいずれかを選択して出力する複数のレベルシフターと、を含み、

前記第2駆動部は、前記第2スタートパルスを前記第2クロック信号に応じてシフトさせて順次に出力する第2シフトレジスタと、前記第2ゲート低電圧を生成する低電源生成部と、を含み、

前記選択部は、前記各レベルシフトに対応する複数のマルチプレクサを含み、該各マルチプレクサは、前記第2シフトレジスタからの出力がロー論理の時に前記各レベルシフターからのゲート高電圧または第1ゲート低電圧を選択し、前記第2シフトレジスタからの出力がハイ論理の時に前記低電源生成部からの第2ゲート低電圧を選択することを特徴とする請求項3に記載の有機発光ダイオード表示装置。

30

【請求項5】

第1駆動部は、前記第1スタートパルスを前記第1クロック信号に応じてシフトさせて順次に出力する第1シフトレジスタと、前記第1シフトレジスタからの各出力の論理に応じてゲート高電圧及び第1ゲート低電圧のいずれかを選択して出力する複数のレベルシフターと、を含み、

前記第2駆動部は、前記第2スタートパルスを前記第2クロック信号に応じてシフトさせて順次に出力する第2シフトレジスタと、前記第2ゲート低電圧を生成する低電源生成部と、を含み、

40

前記選択部は、前記各レベルシフトに対応する複数のマルチプレクサと、前記第2シフトレジスタの各出力と外部からのイネーブル信号とを論理演算する複数の論理和ゲートと、を含み、前記各マルチプレクサは、前記論理和ゲートの出力がロー論理の時に前記各レベルシフターからのゲート高電圧または第1ゲート低電圧を選択し、前記論理和ゲートの出力がハイ論理の時に前記低電源生成部からの第2ゲート低電圧を選択することを特徴とする請求項3に記載の有機発光ダイオード表示装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、有機発光ダイオード表示装置に関するもので、特に、駆動スイッチング素子の劣化を防止できる有機発光ダイオード表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

近年、陰極線管に比べて重さと体積が小さい各種の平板表示装置が開発されており、特に発光効率、輝度及び視野角に優れており、応答速度の速い発光表示装置が注目を受けている。

【 0 0 0 3 】

発光素子は、光を発散する薄膜である発光層が、カソード電極とアノード電極との間に位置する構造を有し、この発光層に電子及び正孔を注入しこれらを再結合させることによって励起子を生成し、励起子が低いエネルギーに落ちながら発光するという特性を有する。

10

【 0 0 0 4 】

このような発光素子は、発光層が無機物または有機物で構成され、発光層の種類によって無機発光素子と有機発光素子とに区分する。

【 0 0 0 5 】

かかる発光素子に流れる駆動電流は、駆動スイッチング素子によってその大きさが制御される。すなわち、この駆動スイッチング素子は、自身のゲート電極に供給されるデータ信号に応じて駆動電流の大きさを制御する。しかし、このデータ信号は常に正極性または負極性のみを示すので、この駆動スイッチング素子の駆動時間が増加するにつれて駆動スイッチング素子のしきい電圧がいずれか一方に増加し続け、駆動スイッチング素子が劣化してしまうという問題点があった。

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明は上記の問題点を解決するために案出されたもので、その目的は、駆動スイッチング素子のゲート電極に周期別にデータ信号に対して反対の極性を持つ電圧を供給し、駆動スイッチング素子のしきい電圧が元の値に回復するようにすることによって、駆動スイッチング素子の劣化を防止できる有機発光ダイオード表示装置を提供することにある。

30

【 課題を解決するための手段 】

【 0 0 0 7 】

上記の目的を達成するための本発明に係る有機発光ダイオード表示装置は、発光ダイオードを備えた複数の画素セルと、

画像に関する情報を持つデータ信号を伝送する複数のデータラインと、

互いに異なる大きさを持つゲート高電圧、第1ゲート低電圧、及び前記データ信号と相反する極性を持つ第2ゲート低電圧からなるゲート信号を伝送する複数のゲートラインと、を含み

各画素セルは、前記ゲートラインからの第1ゲート高電圧によってデータラインとノード間を接続させる信号伝達スイッチング素子と、

40

前記ノードの信号状態に応じて前記発光ダイオードに供給される駆動電流の大きさを制御する駆動スイッチング素子と、

前記ノードと前記駆動スイッチング素子のソース電極またはドレイン電極間に接続されたストレージキャパシタと、

前記ゲートラインからの第2ゲート低電圧及び制御ラインからの制御信号に応じて前記ゲートラインと前記ノード間を接続させる制御スイッチング素子と、を含むことを特徴とする。

【 発明の効果 】

【 0 0 0 8 】

本発明に係る有機発光ダイオード表示装置には下記のような効果がある。

50

本発明によると、駆動スイッチング素子のゲート電極に周期別にデータ信号に対して反対の極性を持つ電圧を供給することによって駆動スイッチング素子のしきい電圧が元の値に回復するようにし、駆動スイッチング素子の劣化を防止することができる。

【図面の簡単な説明】

【0009】

【図1】本発明による有機発光ダイオード表示装置を示す図である。

【図2】図1に示す有機発光ダイオード表示装置に供給される各種信号の波形を示す図である。

【図3】図1の任意の画素セルの回路構成を示す図である。

【図4】本発明の第1実施例によるゲートドライバの構成を示す図である。

10

【図5】本発明の第2実施例によるゲートドライバの構成を示す図である。

【発明を実施するための形態】

【0010】

図1は、本発明による有機発光ダイオード表示装置を示す図であり、図2は、図1に示す有機発光ダイオード表示装置に供給される各種信号の波形を示す図である。

【0011】

図1を参照すると、本発明による有機発光ダイオード表示装置は、データ信号(Data)が供給されるm(ただし、mは自然数)本のデータラインDL1~DLmと、ゲート信号が供給されるn(ただし、nはmと異なる自然数)本のゲートラインGL1~GLnと、第1駆動電源VDDが供給される第1駆動電源ライン(図示せず)と、第2駆動電源VSSが供給される第2駆動電源ライン(図示せず)と、複数の画素セルPXLと、を含む表示部100と;各ゲートラインGL1~GLnを駆動するためのゲートドライバ200と;各データラインDL1~DLmに画像に関する情報を持つデータ信号Dataを供給するデータドライバ300と;を含んで構成される。

20

【0012】

ゲートドライバ200は、スタートパルスSP1, SP2とクロック信号CLK1, CLK2を用いてゲート信号GS1~GSnを生成し、生成されたゲート信号GS1~GSnのそれぞれを各ゲートラインGL1~GLnに供給する。図2に示すように、各ゲートラインGL1~GLnに供給されるゲート信号GS1~GSnは、ゲート高電圧VGH、第1ゲート低電圧VGL1及び第2ゲート低電圧VGL2からなる。このゲート高電圧VGH、第1ゲート低電圧VGL1及び第2ゲート低電圧VGL2は、互いに異なる大きさを持つ。すなわち、第1ゲート低電圧VGL1はゲート高電圧VGHより小さく、そして第2ゲート低電圧VGL2は第1ゲート低電圧VGL1より小さい。特に、第2ゲート低電圧VGL2はデータ信号と相反する極性を持つ。ここで、上述したように、データ信号Dataが正極性であるから、第2ゲート低電圧VGL2は負極性を持つ。もし、データ信号Dataが負極性であれば、第2ゲート低電圧VGL2は正極性となる。

30

【0013】

ゲートドライバ200は、第1スタートパルスSP1及び第1クロック信号CLK1を用いてゲート信号のゲート高電圧VGH及び第1ゲート低電圧VGL1を生成し、第2スタートパルスSP2及び第2クロック信号CLK2を用いてゲート信号の第2ゲート低電圧VGL2を生成する。言い換えると、ゲートドライバ200は、第1スタートパルスSP1を第1クロック信号CLK1に応じてシフトさせることによって、ゲートラインに必要なゲート高電圧VGH及び第1ゲート低電圧VGL1を順次に生成する。なお、第2スタートパルスSP2を第2クロック信号CLK2に応じてシフトさせることによって、ゲートラインに必要な第2ゲート低電圧VGL2を順次に生成する。したがって、第1クロック信号CLK1の立ち上がりエッジごとにゲート高電圧VGHが発生し、第2クロック信号CLK2の立ち上がりエッジごとに第2ゲート低電圧VGL2が発生する。

40

【0014】

第1及び第2スタートパルスSP1, SP2は、1フレーム期間に只1度のみ出力される。言い換えると、第1及び第2クロック信号CLK1, CLK2は、1フレーム期間に

50

周期的に数回アクティブ状態（ハイ状態）を示すが、第1及び第2スタートパルスSP1、SP2は、1フレーム期間に只1度のアクティブ状態を示す。ここで、第2スタートパルスSP2は第1スタートパルスSP1よりも遅く出力される。また、第2スタートパルスSP2は、第1スタートパルスSP1に比べてより広いパルス幅を持つ。一方、第1クロック信号CLK1は、第2クロック信号CLK2より2倍高い周波数を持つ。

【0015】

データドライバ300は、図示せぬデータ制御信号に応じてデータ信号Dataを生成して、各データラインDL1～DLmに供給する。この時、データドライバ300は、1水平期間ごとに1水平ライン分ずつのデータ信号Dataを各データラインDL1～DLmに供給する。このデータ信号Dataは正極性または負極性を持つことができ、ここでは、データ信号Dataが正極性信号を持つとして説明する。

10

【0016】

1水平ライン中のm個の画素セルPXLは、一つのゲートラインに共通して接続されるとともに、m本のデータラインに個別に接続される。例えば、第1水平ラインHL1に沿って配列された第1～第m画素セルPXLはいずれも第1ゲートラインGL1に共通して接続されるとともに、第1～第mデータラインDL1～DLmにそれぞれ個別に接続される。言い換えると、第1水平ラインHL1の第1画素セルPXLは、第1データラインDL1に接続され、第1水平ラインHL1の第2画素セルPXLは、第2データラインDL2に接続され、第1水平ラインHL1の第3画素セルPXLは、第3データラインDL3に接続され、...、そして第1水平ラインHL1の第m画素セルPXLは、第mデータラインDLmに接続される。

20

【0017】

第1及び第2駆動電源ライン、そして制御ラインは全ての画素セルPXLに共通して接続される。

【0018】

ここで、各画素セルPXLの構造をより具体的に説明すると、下記の通りである。

【0019】

図3は、図1の任意の画素セルPXLの回路構成を示す図である。

【0020】

各画素セルは、図3に示すように、発光ダイオードOLED、信号伝達スイッチング素子Tr_T、駆動スイッチング素子Tr_D、制御スイッチング素子Tr_C及びストレージキャパシタCstを含む。

30

発光ダイオードOLEDは、駆動スイッチング素子Tr_Dにより制御された駆動電流を受けて発光する発光ダイオードOLEDで、この発光ダイオードOLEDのカソード電極は、駆動スイッチング素子Tr_Dのドレイン電極（またはソース電極）に接続され、アノード電極は、第1駆動電源ラインに接続される。

【0021】

信号伝達スイッチング素子Tr_Tは、ゲートラインからの第1ゲート高電圧VGHによってデータラインとノードn間を接続させる。そのために、信号伝達スイッチング素子Tr_Tのゲート電極はゲートラインに接続され、ドレイン電極（またはソース電極）はデータラインDLに接続され、そしてソース電極（またはドレイン電極）はノードnに接続される。

40

【0022】

駆動スイッチング素子Tr_Dは、ノードnの信号状態に応じて発光ダイオードOLEDに供給される駆動電流の大きさを制御する。そのために、駆動スイッチング素子Tr_Dのゲート電極はノードnに接続され、ドレイン電極（またはソース電極）は発光ダイオードOLEDのカソード電極に接続され、そしてソース電極（またはドレイン電極）は、第2駆動電源を伝送する第2駆動電源ラインに接続される。

【0023】

制御スイッチング素子Tr_Cは、ゲートラインからの第2ゲート低電圧VGL2及び

50

制御ラインからの制御信号CSに応じてゲートラインとノードnを接続させる。そのために、制御スイッチング素子Tr_Cのゲート電極は、制御信号CSを伝送する制御信号ラインに接続され、ドレイン電極（またはソース電極）はノードnに接続され、そしてソース電極（またはドレイン電極）はゲートラインに接続される。

【0024】

制御信号CSは、第2ゲート低電圧VGL2と制御スイッチング素子Tr_Cのしきい電圧との和より大きく、かつ、第1ゲート低電圧VGL1より小さい値を持つ直流電圧である。これは下記の式1で示される。

【0025】

[数1]

$$VGL2 + V_{th}(Tr_C) < CS \quad VGL1$$

【0026】

ここで、 $V_{th}(Tr_C)$ は、制御スイッチング素子Tr_Cのしきい電圧を意味する。

【0027】

これにより、制御スイッチング素子Tr_Cは、自身のソース電極（ゲートラインに接続された電極）に供給されるゲート信号のレベルによってターン・オンするか否かが決定される。すなわち、ソース電極に供給されるゲート信号がゲート高電圧VGHまたは第1ゲート低電圧VGL1のレベルである時、制御スイッチング素子Tr_Cのゲート電極とソース電極間の電圧、すなわち、ゲート・ソース電極電圧は負極性のレベルを表す。したがって、制御スイッチング素子Tr_Cのソース電極に供給されるゲート信号がゲート高電圧VGHまたは第1ゲート低電圧VGL1のレベルである時、制御スイッチング素子Tr_Cはターン・オフ状態を維持する。しかし、制御スイッチング素子Tr_Cのソース電極に供給されるゲート信号が第2ゲート低電圧VGL2のレベルである時、制御スイッチング素子Tr_Cのゲート・ソース電極電圧は正極性のレベルを表す。したがって、制御スイッチング素子Tr_Cのソース電極に供給されるゲート信号が第2ゲート低電圧VGL2のレベルである時、制御スイッチング素子Tr_Cはターン・オン状態を維持する。

【0028】

この制御スイッチング素子Tr_Cがターン・オンされると、制御スイッチング素子Tr_Cのソース電極とドレイン電極が互いに連結される。すなわち、ゲートラインとノードnが互いに連結される。すると、ノードnが、ゲートラインからの第2ゲート低電圧VGL2によって負極性状態となる。これにより、ノードnにゲート電極を介して接続された駆動スイッチング素子Tr_Dの劣化が防止される。

【0029】

ストレージキャパシタCstは、1フレーム期間のデータ信号Dataを保存するためのもので、これは、ノードnと駆動スイッチング素子Tr_Dのソース電極間に接続されたり、または、ノードnとドレイン電極間に接続される。

【0030】

このように構成された画素セルPXLの動作について説明すると、下記の通りである。

【0031】

図2及び図3に示すように、データ入力期間T1でゲート信号がゲート高電圧VGHに維持されることから、このゲート高電圧VGHをゲート電極から受ける信号伝達スイッチング素子Tr_Tがターン・オンされる。これにより、ターン・オンされた信号伝達スイッチング素子Tr_Tを介してデータラインDLからのデータ信号Dataがノードnに供給される。すると、ノードnの電圧がデータ信号Data分だけ上昇し、このノードnにゲート電極を介して接続された駆動スイッチング素子Tr_Dがターン・オンされる。すると、ターン・オンされた駆動スイッチング素子Tr_Dを通じて駆動電流が発生する。この駆動電流は発光ダイオードOLEDに供給されて、発光ダイオードOLEDを発光させ始める。一方、このデータ入力期間T1で制御スイッチング素子Tr_Cのゲート・

10

20

30

40

50

ソース電極電圧は負極性を表すので、この期間 T_1 で制御スイッチング素子 T_{r_C} はターン - オフ状態を維持する。

【0032】

その後、図2及び図3に示すように、発光維持期間 T_2 でゲート信号が第1ゲート低電圧 V_{GL1} に維持されることから、この第1ゲート低電圧 V_{GL1} をゲート電極を介して受ける信号伝達スイッチング素子 T_{r_T} がターン - オフされる。これにより、ノード n はフローティング状態になり、このフローティング状態のノード n にはデータ入力期間 T_1 で供給されたデータ信号 $Data$ の電圧がそのまま維持される。したがって、この期間 T_2 で駆動スイッチング素子 T_{r_D} はターン - オン状態にあり、このターン - オン状態の駆動スイッチング素子 T_{r_D} からの駆動電流により発光ダイオード $OLED$ は引き続き発光状態を維持する。一方、この発光維持期間 T_2 で制御スイッチング素子 T_{r_C} のゲート - ソース電極電圧は負極性を表すので、この期間に制御スイッチング素子 T_{r_C} はターン - オフ状態を維持する。

【0033】

次いで、回復期間 T_3 でゲート信号が第2ゲート低電圧 V_{GL2} に維持されることから、この第2ゲート低電圧 V_{GL2} をゲート電極を介して受ける信号伝達スイッチング素子 T_{r_T} がターン - オフ状態を維持する。一方、この回復期間 T_3 に制御スイッチング素子 T_{r_C} のゲート - ソース電極電圧は正極性に変更されることによって、この期間 T_3 で制御スイッチング素子 T_{r_C} はターン - オンされる。すると、ゲートライン GL からの第2ゲート低電圧 V_{GL2} がターン - オンされた制御スイッチング素子 T_{r_C} を介してノード n に供給され、これにより、ノード n が第2ゲート低電圧 V_{GL2} に放電される。結局、この回復期間 T_3 に、ノード n の電圧がデータ信号 $Data$ による正極性電圧から第2ゲート低電圧 V_{GL2} による負極性電圧に下降し、よって、駆動スイッチング素子 T_{r_D} の劣化が防止される。

【0034】

上述したような動作のために、本発明による有機発光ダイオード表示装置におけるゲートドライバ200は下記のような構成を持つ。

【0035】

図4は、本発明の第1実施例によるゲートドライバ200の構成を示す図である。

【0036】

本発明の第1実施例によるゲートドライバ200は、図4に示すように、第1駆動部401と、第2駆動部402と、選択部444とを含む。

【0037】

第1駆動部401は、第1スタートパルス $SP1$ 及び第1クロック信号 $CLK1$ を用いて、各ゲートラインに供給されるゲート高電圧 V_{GH} 及び第1ゲート低電圧 V_{GL1} を順次に生成し、第2駆動部402は、第2スタートパルス $SP2$ 及び第2クロック信号 $CLK2$ を用いて、各ゲートラインに供給される第2ゲート低電圧 V_{GL2} を順次に生成する。

【0038】

選択部444は、第1及び第2駆動部401、402からの出力のいずれかを選択して各ゲートラインに出力する。

【0039】

次に、第1駆動部401、第2駆動部402、及び選択部444についてより具体的に説明する。

【0040】

第1駆動部401は、第1シフトレジスタ $SR1$ と複数のレベルシフター L/S とを含む。

【0041】

第1シフトレジスタ $SR1$ は、第1スタートパルス $SP1$ を第1クロック信号 $CLK1$ に応じてシフトさせて順次に出力する。第1シフトレジスタ $SR1$ は、第1クロック信号

10

20

30

40

50

C L K 1を伝送する第1クロック伝送ラインC L 1に共通して接続された複数のフリップ・フロップF / Fを含む。これらのフリップ・フロップF / Fの数は、ゲートラインの数と同一である。各フリップ・フロップF / Fは、前段のフリップ・フロップF / Fからの出力をスタートパルスとして受け、これを第1クロック信号C L K 1に応じてシフトさせて出力する。それらのうち、図面の最も左側に位置した1番目のフリップ・フロップF / Fは、外部から第1スタートパルスS P 1を受ける。各フリップ・フロップF / Fからの出力は、次の段のフリップ・フロップF / Fの入力端に供給されるとともに、第1シフトレジスタS R 1の各出力として使われる。これにより、第1シフトレジスタS R 1の各出力端子からは順次に出力が発生し、この順次に出力された出力は、該当のレベルシフターL / Sに供給される。これらレベルシフターL / Sの数は、フリップ・フロップF / Fの数と同一である。

10

【0042】

各レベルシフターL / Sは、第1シフトレジスタS R 1からの各出力の論理に応じてゲート高電圧V G Hまたは第1ゲート低電圧V G L 1のいずれかを選択して出力する。これらのレベルシフターL / Sは、ゲート高電圧V G Hを伝送する高電圧伝送ラインV H L及び第1ゲート低電圧V G L 1を伝送する第1低電圧伝送ラインV L L 1に共通して接続される。すなわち、任意のレベルシフターL / Sは、第1シフトレジスタS R 1のいずれか一つの出力端子から供給される出力がハイ論理の場合、ゲート高電圧V G Hを選択して出力する。逆に、出力がロー論理の場合、第1ゲート低電圧V G L 1を選択して出力する。

第2駆動部402は、第2シフトレジスタS R 2及び低電源生成部を含む。

20

第2シフトレジスタS R 2は、第2スタートパルスS P 2を第2クロック信号C L K 2に応じてシフトさせて順次に出力する。第2シフトレジスタS R 2は、第2クロック信号C L K 2を伝送する第2クロック伝送ラインC L 2に共通して接続された複数のフリップ・フロップF / Fを含む。これらフリップ・フロップF / Fの数は、ゲートラインの数と同一である。各フリップ・フロップF / Fは、前段のフリップ・フロップF / Fからの出力をスタートパルスとして受け、これを第2クロック信号C L K 2に応じてシフトさせて出力する。それらのうち、図面の最も左側の1番目のフリップ・フロップF / Fは、外部から第2スタートパルスS P 2を受ける。各フリップ・フロップF / Fからの出力は、次の段のフリップ・フロップF / Fの入力端に供給されるとともに、第2シフトレジスタS R 2の各出力として使われる。これにより、第2シフトレジスタS R 2の各出力端子からは順次に出力が発生し、この順次に出力された出力は、該当のレベルシフターL / Sに供給される。これらレベルシフターL / Sの数はフリップ・フロップF / Fの数と同一である。

30

【0043】

低電源生成部は、第2ゲート低電圧V G L 2を生成する。この低電源生成部からの第2ゲート低電圧V G L 2は、第2低電圧伝送ラインV L L 2に供給される。

【0044】

選択部444は、各レベルシフターL / Sに対応する複数のマルチプレクサM / Xを含む。各マルチプレクサM / Xは、第2シフトレジスタS R 2からの出力の論理に応じて、レベルシフターL / Sからの出力または第2低電圧伝送ラインからの出力のいずれかを選択する。すなわち、各マルチプレクサM / Xは、第2シフトレジスタS R 2からの出力がロー論理の時、各レベルシフターL / Sからのゲート高電圧V G Hまたは第1ゲート低電圧V G L 1を選択し、第2シフトレジスタS R 2からの出力がハイ論理の時、低電源生成部からの第2ゲート低電圧V G L 2を選択する。

40

【0045】

このような本発明の第1実施例によるゲートドライバ200の構造によれば、第1スタートパルスS P 1によって第1シフトレジスタS R 1がまず順次に出力を発生させ、この第1シフトレジスタS R 1の特定出力の後に第2スタートパルスS P 2が発生しながら第2シフトレジスタS R 2が順次に出力を発生し始める。言い換えると、第1シフトレジスタS R 1の各出力端子からの出力は、これに対応する第2シフトレジスタS R 2の各出力

50

端子からの出力よりも先に出力される。

【 0 0 4 6 】

ここで、各マルチプレクサ M / X は、レベルシフター L / S を通過した第 1 シフトレジスタ S R 1 の出力と、第 2 低電源伝送ラインからの第 2 ゲート低電圧 V G L 2 を受けるが、この時、マルチプレクサ M / X は、第 2 シフトレジスタ S R 2 の出力、すなわち第 2 シフトレジスタ S R 2 の該当のフリップ - フロップ F / F の出力がロー論理を表す場合、ゲート高電圧 V G H と第 1 ゲート低電圧 V G L 1 を順次に選択して出力する。以降、このマルチプレクサ M / X は、第 2 シフトレジスタ S R 2 の出力、すなわち第 2 シフトレジスタ S R 2 の該当のフリップ - フロップの出力がハイ論理を表す場合、第 2 ゲート低電圧 V G L 2 を選択して出力する。これにより、一つのマルチプレクサ M / X から出力されるゲート信号は順に、ゲート高電圧 V G H、第 1 ゲート低電圧 V G L 1、そして第 2 ゲート低電圧 V G L 2 のレベルを表すこととなる。ここで、ゲート高電圧 V G H はデータ入力期間 T 1 に出力され、第 1 ゲート低電圧 V G L 1 は発光維持期間 T 2 に出力され、そして第 2 ゲート低電圧 V G L 2 は回復期間 T 3 に出力される。一方、回復期間 T 3 以降の出力は、第 1 ゲート低電圧 V G L 1 のレベルとなる。

10

【 0 0 4 7 】

この時、一つのマルチプレクサ M / X からの出力は一つのゲートラインに供給される。すなわち、第 k マルチプレクサ M / X の出力端子は第 k ゲートラインに接続する（ただし、k は自然数）。

【 0 0 4 8 】

また、本発明のゲートドライバ 2 0 0 は下記のような構成にしても良い。

20

【 0 0 4 9 】

図 5 は、本発明の第 2 実施例によるゲートドライバ 2 0 0 の構成を示す図である。

【 0 0 5 0 】

本発明の第 2 実施例によるゲートドライバ 2 0 0 は、図 5 に示すように、第 1 駆動部 5 0 1 と、第 2 駆動部 5 0 2 と、選択部 5 5 5 とを含む。

【 0 0 5 1 】

ここで、第 1 及び第 2 駆動部 5 0 1、5 0 2 は、上述された第 1 実施例の第 1 及び第 2 駆動部 4 0 1、4 0 2 と同様に構成され、その説明は省略する。

【 0 0 5 2 】

選択部 5 5 5 は、各レベルシフター L / S に対応する複数のマルチプレクサ M / X と、第 2 シフトレジスタ S R 2 の各出力と外部からのイネーブル信号 E N とを論理演算する複数の論理和ゲート A N D と、を含む。このイネーブル信号 E N は、イネーブル伝送ライン E L を通じて伝送される。

30

【 0 0 5 3 】

各マルチプレクサ M / X は、論理和ゲート A N D の出力がロー論理の時、各レベルシフター L / S からのゲート高電圧 V G H または第 1 ゲート低電圧 V G L 1 を選択し、論理和ゲート A N D の出力がハイ論理の時、低電源生成部からの第 2 ゲート低電圧 V G L 2 を選択する。イネーブル信号 E N は、全てのゲートライン G L 1 ~ G L n に 1 回ずつのゲート高電圧 V G H 及び第 1 ゲート低電圧 V G L 1 が印加される間にはロー論理に維持され、以降の期間ではハイ論理に維持される。すなわち、このイネーブル信号 E N 及び論理和ゲート A N D は、各ゲートラインに第 1 駆動部 5 0 1 からのゲート高電圧 V G H 及び第 1 ゲート低電圧 V G L 1 が供給される期間中には各ゲートライン G L 1 ~ G L n に第 2 ゲート低電圧 V G L 2 が供給されないようにする。もちろん、第 1 実施例のような別のイネーブル信号 E N 及び論理和ゲート A N D を用いることなく、第 1 及び第 2 スタートパルス S P 1、S P 2 が互いに異なる期間に出力されるようにすることによって、上述の期間で第 2 ゲート低電圧 V G L 2 が各ゲートライン G L 1 ~ G L n に供給されるのを防止できるが、第 2 実施例のようにイネーブル信号 E N 及び論理和ゲート A N D をさらに備えることによって、信号の歪みにより生じうる誤動作をより防止することができる。

40

【 0 0 5 4 】

50

本発明は以上の実施例及び添付の図面に限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を持つ者にとっては明白である。

【符号の説明】

【 0 0 5 5 】

T r _ T : 信号伝達スイッチング素子

T r _ D : 駆動スイッチング素子

T r _ C : 制御スイッチング素子

n : ノード

D L : データライン

G L : ゲートライン

C s t : ストレージキャパシタ

V D D : 第 1 駆動電源

V S S : 第 2 駆動電源

O L E D : 発光ダイオード

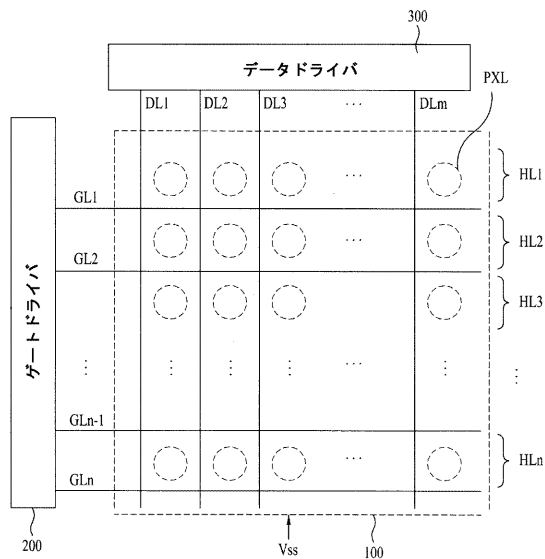
D a t a : データ信号

C S : 制御信号

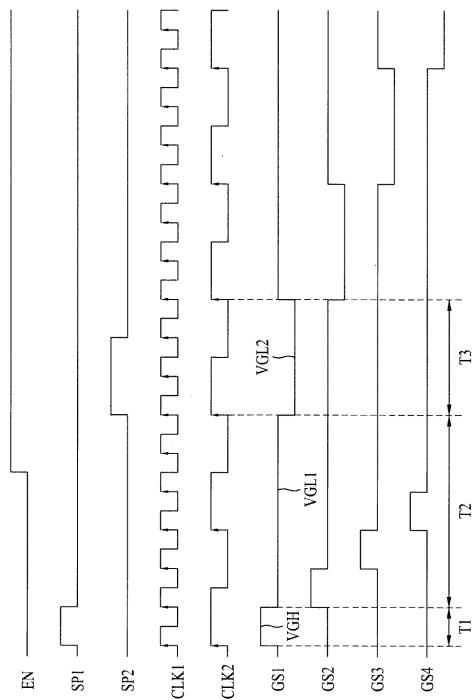
G S : ゲート信号

10

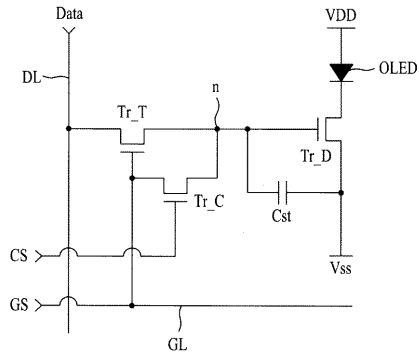
【 図 1 】



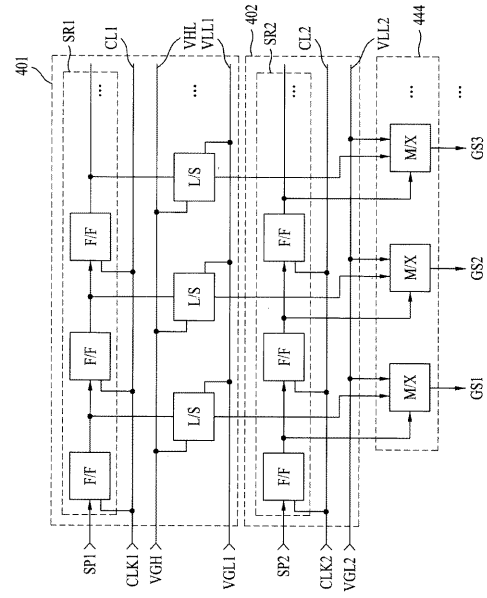
【 図 2 】



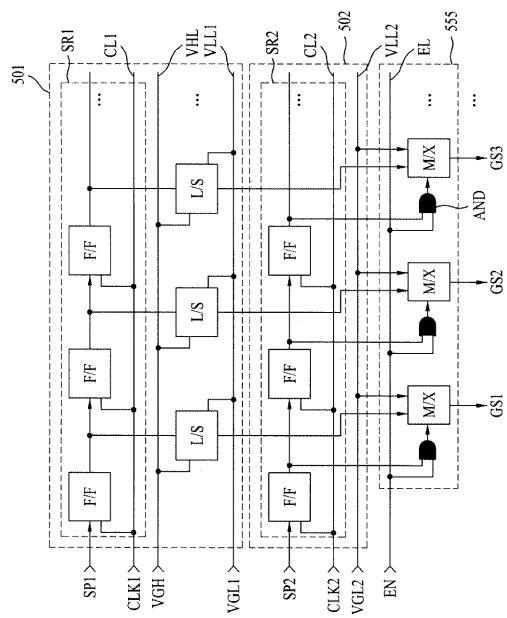
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

(74)代理人 100160967

弁理士 ▲濱▼口 岳久

(72)発明者 權 容 一

大韓民国 慶尚北道 龜尾市 道良洞 ナンバー 2 2 2 道良 ダランチェ 5 0 3 - 6 0 3

(72)発明者 禹 景 敦

大韓民国 慶尚北道 龜尾市 吳太洞 ナンバー 7 5 9 - 2 迂遠 ヴィラ 1 1 0 - 4 0 2

(72)発明者 李 在 度

大韓民国 慶尚北道 漆谷郡 石積面 中里 エルシーディー 寄宿舍 エヌエー - 4 2 5

審査官 中村 直行

(56)参考文献 特開 2 0 0 2 - 0 1 4 6 5 3 (J P , A)

特開 2 0 0 7 - 0 4 1 5 8 0 (J P , A)

特開 2 0 0 8 - 2 3 3 9 3 3 (J P , A)

特開 2 0 0 2 - 1 6 9 5 1 0 (J P , A)

特開 2 0 0 2 - 2 7 8 4 9 4 (J P , A)

特開 2 0 0 6 - 3 0 8 8 4 3 (J P , A)

特開平 1 1 - 2 7 2 2 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 0

G 0 9 F 9 / 3 0

H 0 1 L 2 7 / 3 2

H 0 1 L 5 1 / 5 0

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	JP5039752B2	公开(公告)日	2012-10-03
申请号	JP2009163447	申请日	2009-07-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	權容一 禹景敦 李在度		
发明人	權 容 一 禹 景 敦 李 在 度		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0842 G09G2310/0254 G09G2310/061 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.670.K G09G3/20.624.B G09G3/20.624.D G09G3/20.622.B G09G3/20.622.C G09G3/20.622.D G09G3/20.622.E G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE03 3K107/HH00 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD19 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA21 5C094/AA37 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C380/AA01 5C380/AB06 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB12 5C380/CB31 5C380/CC01 5C380/CC27 5C380/CC33 5C380/CC63 5C380/CD013 5C380/CF07 5C380/CF10 5C380/CF24 5C380/CF32 5C380/CF52 5C380/DA02 5C380/DA06 5C380/HA05		
代理人(译)	朝日 伸光 ▲滨▼口 岳久		
审查员(译)	中村直之		
优先权	1020080067133 2008-07-10 KR		
其他公开文献	JP2010020314A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供有机发光二极管显示装置，以防止驱动开关元件降级。ŽSOLUTION：发光二极管显示装置包括：像素单元，每个像素单元具有发光二极管;用于传输数据信号的数据线;用于传输栅极信号的栅极线和栅极线包括栅极高电压，第一栅极低电压和极性与数据信号相反的第二栅极低电压，其中这些电压具有彼此不同的电位。在上述装置中，每个像素单元包括：信号传输开关元件，用于根据来自栅极线的第一栅极高电压将数据线连接到节点;驱动开关元件，用于根据节点的信号状态控制提供给发光二极管的驱动电流的强度;存储电容器，连接在节点与驱动开关元件的源电极或漏电极之间;控制开关元件，用于响应于来自栅极线的第二栅极低电压和来自控制线的控制信号，将栅极线连接到节点。Ž

