

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4930547号
(P4930547)

(45) 発行日 平成24年5月16日 (2012. 5. 16)

(24) 登録日 平成24年2月24日 (2012. 2. 24)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 624B
G09G 3/20 611H
G09G 3/20 642A
G09G 3/20 642P

請求項の数 4 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2009-125229 (P2009-125229)
 (22) 出願日 平成21年5月25日 (2009. 5. 25)
 (62) 分割の表示 特願2005-27028 (P2005-27028)
 の分割
 原出願日 平成17年2月2日 (2005. 2. 2)
 (65) 公開番号 特開2009-187034 (P2009-187034A)
 (43) 公開日 平成21年8月20日 (2009. 8. 20)
 審査請求日 平成21年6月1日 (2009. 6. 1)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

少なくとも、サンプリングトランジスタと、ドライブトランジスタと、画素容量と、発光素子とを含み、

サンプリングトランジスタにあっては、ゲートは走査線に接続されており、ソース及びドレインの一方は信号線に接続されており、ソース及びドレインの他方はドライブトランジスタのゲートに接続されており、

ドライブトランジスタにあっては、ソース及びドレインの一方は発光素子の一端に接続されており、

画素容量は、ドライブトランジスタのゲートとソース及びドレインの一方との間に接続されている画素回路であって、

ドライブトランジスタを含む電流路に介在しサンプリングトランジスタ用の走査線とは異なる走査線から供給される制御信号に応じて動作するスイッチングトランジスタを少なくとも含み、信号線から信号電位がドライブトランジスタのゲートに供給されている間にドライブトランジスタの出力電流を画素容量に負帰還させる制御を行う補正手段を備えており、

信号線から信号電位がドライブトランジスタのゲートに供給されている間に、補正手段の制御によりソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流が流れることによって、ドライブトランジスタのソース及びドレインの一方の電位を該信号電位に近づける画素回路。

10

20

【請求項 2】

信号線から信号電位がドライブトランジスタのゲートに供給されている間にソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流が流れる期間の時間幅は、補正手段の制御によって調整可能である請求項 1 に記載の画素回路。

【請求項 3】

少なくとも、サンプリングトランジスタと、ドライブトランジスタと、画素容量と、発光素子とを含み、

サンプリングトランジスタにあっては、ゲートは走査線に接続されており、ソース及びドレインの一方は信号線に接続されており、ソース及びドレインの他方はドライブトランジスタのゲートに接続されており、

ドライブトランジスタにあっては、ソース及びドレインの一方は発光素子の一端に接続されており、

画素容量は、ドライブトランジスタのゲートとソース及びドレインの一方との間に接続されている画素回路の駆動方法であって、

ドライブトランジスタを含む電流路に介在しサンプリングトランジスタ用の走査線とは異なる走査線から供給される制御信号に応じて動作するスイッチングトランジスタを少なくとも含み、信号線から信号電位がドライブトランジスタのゲートに供給されている間にドライブトランジスタの出力電流を画素容量に負帰還させる制御を行う補正手段を備えており、

信号線から信号電位をドライブトランジスタをゲートに供給している間に、補正手段の制御によりソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流が流れることによって、ドライブトランジスタのソース及びドレインの一方の電位を該信号電位に近づける工程を備えている画素回路の駆動方法。

【請求項 4】

信号線から信号電位がドライブトランジスタのゲートに供給されている間にソース及びドレインの他方が電源に接続されたドライブトランジスタを介して電流が流れる期間の時間幅は、補正手段の制御によって調整可能である請求項 3 に記載の画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。又、この画素回路がマトリクス状（行列状）に配列された表示装置であって、特に、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL 素子などの発光素子に流れる電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば、液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって、画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり、有機 EL 素子は自発光素子である。そのため、有機 EL ディスプレイは、液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）は、それに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機 EL ディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として、単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型、且つ、高精細のディスプレイの実現が難しいなどの問題があるため、現在は、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、

10

20

30

40

50

T F T) によって制御するものであり、以下の特許文献に記載がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の概要】

10

【発明が解決しようとする課題】

【0005】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、容量部と、ドライブトランジスタと、発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して、信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて、所定の発光期間に出力電流を供給する。尚、一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して、依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により、映像信号に応じた輝度で発光する。

20

【0006】

ドライブトランジスタは、容量部に保持された入力電圧に応じてソース／ドレイン間に出力電流が流れ、発光素子にこの電流が流れる。一般に、発光素子の発光輝度は電流量に比例している。更に、ドライブトランジスタの出力電流は、ゲート／ソース間電圧、即ち、容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲート／ソース間に印加される入力電圧を映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【0007】

ここで、ドライブトランジスタの動作特性は、以下の式1で表わされる。

30

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式1}$$

このトランジスタ特性式1において、 I_{ds} は、ソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} は、ソースを基準としてゲートに印加されるゲート／ソース間電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} は、トランジスタの閾電圧である。又、 μ はトランジスタのチャネル領域を構成する半導体薄膜の移動度を表わしている。その他、 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート絶縁膜の容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは、飽和領域で動作する時、ゲート／ソース間電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると、上記のトランジスタ特性式1が示す様に、ゲート／ソース間電圧 V_{gs} が一定であれば、常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

40

【0008】

しかしながら、実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（T F T）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート／ソース間電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまうため、画面のユニフォーミティを損なう。従来から、ドライブトランジスタの閾電圧のばらつきをキャ

50

ンセルする機能を組み込んだ画素回路が開発されており、例えば、前記の特許文献3に開示がある。

【0009】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度、画面のユニフォームリティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 μ も素子毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、移動度 μ がばらつくと、ゲート／ソース間電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが出てしまう。この結果、発光輝度が画素毎に変化するため、画面のユニフォームリティを損なうという課題がある。

【課題を解決するための手段】

【0010】

上述した従来の技術の課題に鑑み、本発明は、移動度の影響をキャンセルし、以て、ドライブトランジスタが供給するドレイン電流（出力電流）のばらつきを補償可能な画素回路及び表示装置とその駆動方法を提供することを目的とする。係る目的を達成するために、以下の手段を講じた。即ち、本発明は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、容量部と、ドライブトランジスタと、発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して、信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、該出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、前記補正手段は、走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする。

【0011】

好ましくは、前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ、該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする。一態様では、前記ドライブトランジスタは、Nチャネル型トランジスタでドレインが電源側に接続される一方、ソースが発光素子側に接続されており、前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。この場合、前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にする。更に、前記発光素子は、アノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続される一方、カソード側が接地されており、前記補正手段は、あらかじめ該発光素子のアノード／カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する。他の態様では、前記ドライブトランジスタは、Pチャネル型トランジスタでソースが電源側に接続される一方、ドレインが発光素子側に接続されており、前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して該容量部側に負帰還する。好ましくは、前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより、該容量部に対す

10

20

30

40

50

る出力電流の負帰還量を最適化する。

【0012】

又、本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、該走査線に制御信号を供給して、順次行ごとに画素を走査し、各画素は、少なくとも、サンプリングトランジスタと、容量部と、ドライブトランジスタと、発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御信号に応じ導通して、信号線から供給された映像信号を該容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャンネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する表示装置において、各画素は、該ドライブトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手段を備えており、前記補正手段は、走査線から供給される制御信号に応じて該サンプリング期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正することを特徴とする。

【0013】

好ましくは、前記ドライブトランジスタは、その出力電流がチャンネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめサンプリング期間に先立って該ドライブトランジスタの閾電圧を検出し、且つ、該検出された閾電圧を該入力電圧に足し込む様にしたことを特徴とする。一態様では、前記ドライブトランジスタは、Nチャンネル型トランジスタでドレインが電源側に接続される一方、ソースが発光素子側に接続されており、前記補正手段は、該サンプリング期間の後部分に重なる該発光期間の先頭部分で該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。この場合、前記補正手段は、該発光期間の先頭部分で該ドライブトランジスタのソース側から取り出した該出力電流が、該発光素子の有する容量に流れ込む様にする。更に、前記発光素子は、アノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続される一方、カソード側が接地されており、前記補正手段は、あらかじめ該発光素子のアノード／カソード間を逆バイアス状態にセットしておき、該ドライブトランジスタのソース側から取り出した該出力電流が該発光素子に流れ込むとき、該ダイオード型の発光素子が容量性素子として機能するように制御する。他の態様では、前記ドライブトランジスタは、Pチャンネル型トランジスタでソースが電源側に接続される一方、ドレインが発光素子側に接続されており、前記補正手段は、該発光期間よりも先行する該サンプリング期間の一部で、該ドライブトランジスタから該出力電流を取り出して、該容量部側に負帰還する。好ましくは、前記補正手段は、該サンプリング期間内で該ドライブトランジスタから出力電流を取り出す時間幅を調整可能であり、これにより、該容量部に対する出力電流の負帰還量を最適化する。

【0014】

更に本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、両者が交差する部分に配された行列状の画素とからなり、前記信号部は該信号線に映像信号を供給し、前記スキャナ部は、該走査線に制御信号を供給して、順次行ごとに画素を走査し、各画素は、少なくとも、サンプリングトランジスタと、容量部と、ドライブトランジスタと、発光素子とを含む表示装置の駆動方法であって、前記スキャナ部は、所定のサンプリング期間に走査線から該サンプリングトランジスタに制御信号を供給し導通させて、信号線から供給された映像信号を該

容量部にサンプリングし、前記容量部は、該サンプリングされた映像信号に応じて該ドライフトランジスタのゲートとソース間に入力電圧を印加し、前記ドライフトランジスタは、所定の発光期間中、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は、該ドライフトランジスタのチャンネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライフトランジスタから供給された出力電流により該映像信号に応じた輝度で発光し、更に、前記スキナ部は、該ドライフトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すために、あらかじめ該発光期間の前又は先頭で該容量部に保持された該入力電圧を補正する補正手順を該画素に行わせ、前記補正手順は、該サンプリング期間内で該映像信号がサンプリングされている間に該ドライフトランジスタから出力電流を取り出し、これを該容量部に負帰還して該入力電圧を補正する。

10

【発明の効果】

【0015】

本発明によれば、ドライフトランジスタの出力電流のキャリア移動度に対する依存性を打ち消すため、画素回路は、発光期間の前または先頭でドライフトランジスタに対する入力電圧（ゲート／ソース間電圧）を補正する補正手段を備えている。この補正手段は、サンプリング期間の一部で動作し、映像信号の電位（信号電位）がサンプリングされている状態でドライフトランジスタから出力電流（ドレイン電流）を取り出し、これを容量部に負帰還して入力電圧（ゲート／ソース間電圧）を補正している。前述のトランジスタ特性式1から明らかな様に、出力電流（ドレイン電流）は移動度に比例している。従って、ある画素のドライフトランジスタの移動度が大きいと、出力電流は、相対的に大きくなる。これを容量部に負帰還して入力電圧（ゲート／ソース間電圧）を補正する。移動度が大きいと、結果的に、負帰還量が大きくなるので、入力電圧（ゲート／ソース間電圧）はその分大きく下方修正される。ゲート／ソース間電圧が下がるので、結果的に、ドレイン電流は抑制される事になる。一方、別の画素のドライフトランジスタの移動度が相対的に小さい場合、ドレイン電流も小さくなる。従って、容量部に対する負帰還量も小さいので、ゲート／ソース間電圧の下方修正分が小さい。結果的に、ドライフトランジスタの移動度が小さいと、出力電流はさほど補正されない。この様に、本発明の補正手段は、移動度のばらつきをキャンセルする様に、入力電圧をフィードバック補正するので、画面のユニフォームリティが改善される。特に、信号電位をサンプリングしている状態で移動度補正をかけている。映像信号は黒レベルから白レベルまで振幅が変化するが、どのレベルにおいても適切に移動度補正を行う事が可能である。また、入力電圧にかける負帰還量は、出力電流の取り出し時間に依存している。取り出し時間を長く取るほど、負帰還量が大きくなる。本発明では、サンプリング期間中における出力電流の取り出し時間を可変調整して、負帰還量の最適化を図る事ができる。尚、本発明では、信号電位をサンプリングして発光素子を電流駆動している。信号電位をサンプリングする点では、従来の液晶ディスプレイと同じである。従って、アクティブマトリクス型の液晶ディスプレイで従来から広く用いられている電圧シグナルドライバを、本発明の信号部に用いる事ができる。更には、従来のポリシリコン薄膜トランジスタを集積形成したアクティブマトリクス型の液晶パネルと同じ様に、本発明の表示装置でも、周辺のスキナ部や信号部を画素アレイ部と一体的に形成した周辺回路内蔵型のパネルにまとめる事も可能である。

20

30

40

【図面の簡単な説明】

【0016】

【図1】表示装置の参考例を示すブロック図である。

【図2】図1に示した表示装置に含まれる画素回路の構成を示す回路図である。

【図3】図2に示した画素回路の動作説明に供する参考タイミングチャートである。

【図4】ドライフトランジスタの入力電圧／出力電流特性を示すグラフである。

【図5】本発明にかかる表示装置の第1実施形態を示すブロック図である。

【図6】図5に示した表示装置に含まれる画素回路を取り出した模式図である。

【図7】図6に示した画素回路の動作説明に供するタイミングチャートである。

【図8】図6に示した画素回路の動作説明に供する模式図である。

50

【図 9】同じく動作説明に供するグラフである。

【図 10】同じく動作説明に供する模式図である。

【図 11】図 6 に示した画素回路に含まれるドライブトランジスタの動作特性を示すグラフである。

【図 12】本発明にかかる表示装置の第 2 実施形態を示すブロック図である。

【図 13】図 12 に示した表示装置に含まれる画素回路の動作説明に供するタイミングチャートである。

【図 14】同じく動作説明に供する画素回路図である。

【図 15】本発明にかかる表示装置の第 3 実施形態を示すブロック図である。

【図 16】図 15 に示した表示装置に含まれる画素回路の動作説明に供する模式図である。

【図 17】同じく動作説明に供するタイミングチャートである。

【図 18】同じく動作説明に供する模式図である。

【発明を実施するための形態】

【0017】

以下、図面を参照して、本発明の実施例を詳細に説明する。まず最初に、本発明の背景を明らかにするため、図 1 を参照して、 V_{th} 補正機能を備えたアクティブマトリクス表示装置の参考例を説明する。図示する様に、アクティブマトリクス表示装置は、主要部となる画素アレイ 1 と周辺の回路部とで構成されている。周辺の回路部は、水平セクタ 3、ライトスキャナ 4、ドライブスキャナ 5、補正用スキャナ 7 などを含んでいる。画素アレイ 1 は、行状の走査線 WS と、列状の信号線 SL と、両者の交差する部分にマトリクス状に配列した画素 R, G, B とで構成されている。カラー表示を可能とするため、 RGB の三原色画素を用意しているが、これに限られるものではない。各画素 R, G, B は夫々画素回路 2 で構成されている。信号線 SL は水平セクタ 3 によって駆動される。水平セクタ 3 は、信号部を構成し、信号線 SL に映像信号を供給する。走査線 WS はライトスキャナ 4 によって走査される。尚、走査線 WS と平行に、別の走査線 DS 及び AZ も配線されている。走査線 DS はドライブスキャナ 5 によって走査される。走査線 AZ は補正用スキャナ 7 によって走査される。ライトスキャナ 4、ドライブスキャナ 5 及び補正用スキャナ 7 はスキャナ部を構成しており、1 水平期間毎に画素の行を順次走査する。各画素回路 2 は、走査線 WS によって選択された時、信号線 SL から映像信号をサンプリングする。更に、走査線 DS によって選択された時、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子を駆動する。加えて、画素回路 2 は走査線 AZ によって走査された時、あらかじめ決められた補正動作を行なう。

【0018】

上述した画素アレイ 1 は、通常、ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路 2 を構成するトランジスタは、アモルファスシリコン薄膜トランジスタ (TFT) 又は低温ポリシリコン TFT で形成されている。アモルファスシリコン TFT の場合、スキャナ部は、パネルとは別の TAB などと構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコン TFT の場合、信号部及びスキャナ部も同じ低温ポリシリコン TFT で形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

【0019】

図 2 は、図 1 に示した画素アレイに含まれる画素回路の構成を示す回路図である。図示する様に、画素回路 2 は、5 個の薄膜トランジスタ $Tr_1, Tr_3 \sim Tr_5, Tr_d$ と、2 個の容量素子 C_{s1}, C_{s2} と、1 個の発光素子 EL とで構成されている。トランジスタ $Tr_1, Tr_3 \sim Tr_5, Tr_d$ は、全て P チャネル型のポリシリコン TFT である。但し、これに限られるものではなく、N チャネル型のポリシリコン TFT を混在させてもよい。あるいは、N チャネル型のアモルファスシリコン TFT で画素回路を構成してもよい。2 個の容量素子 C_{s1} と C_{s2} は、両者合わせて画素回路 2 の容量部を構成している。発光素子 EL は、例えば、アノード及びカソードを備えたダイオード型の有機 EL 素子からなる。但し

、これに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0020】

画素回路2の中心となるドライブトランジスタ T_{r_d} は、ゲート（G）がG点に接続され、ソース（S）がS点に接続され、ドレイン（D）がD点に接続されている。発光素子ELは、アノードがD点に接続され、カソードが接地されている。スイッチングトランジスタ T_{r_4} は、電源電位 V_{cc} とS点との間に接続されており、発光素子ELのオン／オフを制御する。トランジスタ T_{r_4} のゲートは走査線DSに接続されている。

【0021】

一方、サンプリングトランジスタ T_{r_1} は、信号線SLとA点との間に接続されている。サンプリングトランジスタ T_{r_1} のゲートは走査線WSに接続されている。A点とS点との間に、検出トランジスタ T_{r_5} が接続されている。そのゲートは走査線AZに接続されている。又、スイッチングトランジスタ T_{r_3} は、G点と所定のオフセット電位 V_{ofs} との間に接続されている。そのゲートは走査線AZに接続されている。尚、検出トランジスタ T_{r_5} とスイッチングトランジスタ T_{r_3} は、 V_{th} キャンセル用の補正手段を構成している。一方の容量素子 C_{s1} は、A点とG点との間に接続され、他方の容量素子 C_{s2} は、電源電位 V_{cc} とA点との間に接続されている。

【0022】

ドライブトランジスタ T_{r_d} は、ソース／ゲート間に印加されるゲート／ソース間電圧 V_{gs} に応じてソース／ドレイン間にドレイン電流 I_{ds} を流し、これで発光素子ELを駆動する。本明細書では、ゲート／ソース間電圧 V_{gs} を入力電圧とし、ドレイン電流 I_{ds} を出力電流と定義している。信号線SLから供給される映像信号 V_{sig} に応じてゲート／ソース間電圧 V_{gs} を設定し、これによりドレイン電流 I_{ds} を流すことで、映像信号の階調に従って発光素子ELの発光輝度を制御できる。

【0023】

ドライブトランジスタ T_{r_d} の閾電圧 V_{th} は、画素毎にばらつく。これをキャンセルするため、あらかじめドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出し、容量素子 C_{s1} に保持しておく。この後、サンプリングトランジスタ T_{r_1} をオンして容量素子 C_{s2} に信号電位 V_{sig} を書き込む。この様にして設定されたゲート／ソース間電圧 V_{gs} により、ドライブトランジスタ T_{r_d} を駆動する。

【0024】

図3は、図2に示した画素回路の動作説明に供するタイミングチャートである。時間軸Tに沿って、各走査線WS、AZ及びDSに印加される制御信号の波形を表わしてある。表記を簡略化するため、以下、本明細書では、制御信号も対応する走査線の符号と同じ符号で表わす。トランジスタは全てPチャンネル型なので、走査線がハイレベルの時にオフし、ローレベルの時にオンする。そこで、表記を簡略化するため、本参考例では、制御信号がハイレベルからローレベルに立ち下がる場合を「オン」と表わし、ローレベルからハイレベルに立ち上がる場合を「オフ」と呼ぶ。各制御信号WS、AZ、DSの波形とともに、A点及びG点の電位変化も表わしてある。尚、Nチャンネルの場合は、逆に制御信号がハイレベルからローレベルに立ち下がる場合を「オフ」と表わし、ローレベルからハイレベルに立ち上がる場合を「オン」と呼ぶ。

【0025】

図示のタイミングチャートでは、タイミングT1～T7までを1フィールド（1f）としてある。1フィールドの間に画素アレイの各行が1回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号WS、AZ、DSの波形を表わしてある。

【0026】

当該フィールドが始まる前のタイミングT0で、制御信号WS及びAZはオフであるのに対し、制御信号DSがオンしている。従って、サンプリングトランジスタ T_{r_1} 、検出トランジスタ T_{r_5} 及びスイッチングトランジスタ T_{r_3} がオフ状態であるのに対し、スイッチングトランジスタ T_{r_4} のみがオン状態にある。この状態で、A点電位は信号電位 V_s

i_g にあり、G点電位は V_{sig} から V_{th} だけ下がった電位にある。この時、S点電位は、トランジスタ T_{r4} がオンしているので、 V_{cc} となっている。従って、トランジスタ T_{r4} のソースとゲートとの間には、 V_{th} を超える十分な電圧が印加されており、出力電流 I_{ds} が発光素子ELに供給されている。従って、タイミングT0では、発光素子ELは発光状態にある。

【0027】

この後、当該フィールドに入りタイミングT1で制御信号AZがオンし、トランジスタ T_{r5} 及び T_{r3} が導通する。この結果、A点とS点が直接つながるので、A点電位は電源電位 V_{cc} に急激に立ち上がる。一方、トランジスタ T_{r3} がオンするため、G点電位は所定のオフセット電位 V_{ofs} まで急激に立ち下がる。

10

【0028】

この直後、タイミングT2で制御信号DSがオフになり、スイッチングトランジスタ T_{r4} が非導通状態となる。これにより、S点が電源電位 V_{cc} から切り離され、非発光状態に変わる。タイミングT1からタイミングT2までの期間T1-T2で、A点電位が V_{cc} となり、G点電位が V_{ofs} となって、各容量素子 C_{s1} 、 C_{s2} の電位がリセットされる。このリセット動作は、次に続く検出動作を安定化するための準備であって、期間T1-T2をリセット期間と呼ぶ。

【0029】

タイミングT2で制御信号DSがオフするとS点が V_{cc} から切り離されるので、電源からの給電が遮断される一方、容量素子 C_{s1} の放電が始まり、過渡電流がトランジスタ T_{r5} を通して流れ、A点電位が V_{cc} から低下していく。G点電位に対してA点電位が V_{th} まで低下した時、過渡電流が流れなくなる。この結果、A点とG点の電位差が V_{th} となり、これが容量素子 C_{s1} に保持される。

20

【0030】

タイミングT3で制御信号AZがオフし、トランジスタ T_{r5} 及び T_{r3} がオフして、容量素子 C_{s1} のG点側が V_{ofs} から切り離されるとともに、A点側がS点から切り離される。タイミングT2-T3までの期間で V_{th} を検出し、且つ、 C_{s1} に保持するので、期間T2-T3を、特に、検出期間と呼ぶ。この検出期間T2-T3は、ドライブトランジスタに流れる過渡電流が0になる様、十分な時間幅を取ってある。

【0031】

30

以上説明した様に、リセット期間T1-T2におけるリセット動作と、検出期間T2-T3における検出動作とで、閾電圧 V_{th} の補正動作が行なわれる。そこで、リセット期間と検出期間を合わせた期間T1-T3を、 V_{th} 補正期間と呼ぶ。場合によっては、期間T2-T3を V_{th} 補正期間と呼ぶこともある。図3のタイミングチャートから明らかな様に、 V_{th} 補正期間T1-T3は、制御信号AZによって規定される。一方、 V_{th} 補正期間T1-T3内で、リセット期間T1-T2と検出期間T2-T3を区分するのが、制御信号DSである。制御信号DSは、基本的にスイッチングトランジスタ T_{r4} のオン/オフを制御するパルスであり、従って、非発光期間と発光期間を規定している。

【0032】

V_{th} 補正期間T1-T3が経過した後、タイミングT4で制御信号WSがオンし、サンプリングトランジスタ T_{r1} が導通する。この結果、信号線SLから供給された映像信号 V_{sig} が容量素子 C_{s2} にサンプリングされる。これにより、A点電位は V_{th} から信号電位 V_{sig} に上昇する。この上昇に連動して、G点電位も差分 V_{th} を維持したまま上昇する。タイミングチャートから明らかな様に、サンプリング後でも、A点電位とG点電位の電位差は V_{th} に維持されている。この後、1水平期間が経過するタイミングT5で制御信号WSはオフし、サンプリングトランジスタ T_{r1} が非導通状態となる。 V_{sig} をサンプリングして C_{s2} に保持するサンプリング動作は期間T4-T5で行なわれるため、これをサンプリング期間と呼ぶ。サンプリング期間T4-T5は1水平期間1Hに等しい。

40

【0033】

この後、タイミングT6で制御信号DSが再びオンし、スイッチングトランジスタ T_{r4}

50

4が導通する。この結果、ドライブトランジスタ T_{rd} は S 点電位と G 点電位との差 V_{gs} に応じて、ドレイン電流 I_{ds} を発光素子 E L に供給する。発光素子 E L は、これにより、 V_{gs} に応じた輝度で発光する。

【0034】

この後、タイミング T 7 に至り当該フィールドが終了するとともに、次のフィールドに移行する。次のフィールドでは最初にリセット期間に入る。

【0035】

図 3 のタイミングチャートに基づいて、サンプリング期間 T 4 - T 5 及びその後の発光期間における入力電圧 V_{gs} を求める。入力電圧 V_{gs} は、S 点を基準にした G 点の電位である。サンプリング期間 T 4 - T 5 の後の発光期間ではトランジスタ T_{rd} がオンしているため、S 点は電源に接続されその電位は V_{cc} となっている。一方、A 点電位は前述した様に V_{cc} よりも V_{sig} だけ低い。更に、G 点電位は A 点電位から V_{th} だけ低い。従って、S 点電位を基準にした G 点電位を表わす V_{gs} は、 $V_{cc} - (V_{sig} - V_{th})$ となる。前述のトランジスタ特性式 1 の V_{gs} にここで求めた $V_{cc} - (V_{sig} - V_{th})$ を代入すると、以下の式が得られる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{cc} - V_{sig})^2$$

上記特性式では、先の基本特性式 1 に含まれていた V_{th} の項がキャンセルされ、 $V_{cc} - V_{sig}$ で置き換えられている。従って、図 2 に示した画素回路 2 は、ドライブトランジスタ T_{rd} の V_{th} に依存することなく、 V_{sig} の値に応じた出力電流 I_{ds} を発光素子 E L に供給することができる。従って、ドライブトランジスタ T_{rd} の V_{th} が画素毎にばらついていても、画素アレイとしてはそのばらつきを取り除いた出力電流を各画素の発光素子 E L に供給することができる。

【0036】

図 4 は、上記特性式をグラフ化したものであり、縦軸に出力電流 I_{ds} を取り、横軸に入力電圧 $V_{cc} - V_{sig}$ を取ってある。合わせて、グラフの傍に上記特性式を再掲してある。上記特性式から明らかな様に、ドライブトランジスタの V_{th} の項は消えている。しかしながら、移動度 μ が残されている。この移動度 μ は、 V_{th} と同じくデバイス依存性があり、各画素毎にばらついていて。従って、 V_{th} をキャンセルしたのみでは出力電流 I_{ds} のばらつきは完全に抑えることはできない。グラフでは μ の大きいトランジスタ特性を実線で表わし、 μ の小さなトランジスタ特性を点線で表わしている。グラフから明らかな様に、特性式の係数 μ が大きくなる程、特性カーブは急峻になっている。従って、入力電圧 $V_{cc} - V_{sig} = V_0$ で一定であっても、移動度 μ のばらつきが画素間で生じるため、出力電流 I_{ds} は μ に依存して変動し、画素間で輝度のばらつきが生じてしまう。特に、 $V_{cc} - V_{sig}$ がグレーから白表示の階調にある時、移動度 μ に依存する輝度ばらつきが顕著となり、表示ムラが生じて解決すべき課題である。

【実施例】

【0037】

図 5 は、本発明にかかる表示装置の第 1 実施形態を示す回路図である。図示する様に、アクティブマトリクス表示装置は、主要部となる画素アレイ 1 と周辺の回路部とで構成されている。周辺の回路部は、水平セクタ 3、ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 7 1、第二補正用スキャナ 7 2 などを含んでいる。画素アレイ 1 は、行状の走査線 WS と、列状の信号線 SL と、両者の交差する部分にマトリクス状に配列した画素回路 2 とで構成されている。図では理解を容易にするため、1 個の画素回路 2 のみを拡大表示してある。信号線 SL は水平セクタ 3 によって駆動される。水平セクタ 3 は、信号部を構成し、信号線 SL に映像信号を供給する。走査線 WS はライトスキャナ 4 によって走査される。尚、走査線 WS と平行に、別の走査線 DS、AZ 1 及び AZ 2 も配線されている。走査線 DS はドライブスキャナ 5 によって走査される。走査線 AZ 1 は第一補正用スキャナ 7 1 によって走査される。走査線 AZ 2 は第二補正用スキャナ 7 2 によって走査される。ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 7 1 及び第二補正用スキャナ 7 2 はスキャナ部を構成しており、1 水平期間ごと画素の行を順次走

査する。各画素回路 2 は、走査線 WS によって選択されたとき、信号線 SL から映像信号をサンプリングする。更に、走査線 DS によって選択されたとき、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子 EL を駆動する。加えて、画素回路 2 は、走査線 AZ 1, AZ 2 によって走査された時、予め決められた補正動作を行う。

【0038】

画素回路 2 は、5 個の薄膜トランジスタ $T_{r1} \sim T_{r4}$ 及び T_{rd} と、1 個の容量素子（画素容量） C_s と、1 個の発光素子 EL とで構成されている。トランジスタ $T_{r1} \sim T_{r3}$ と T_{rd} は、N チャンネル型のポリシリコン TFT である。トランジスタ T_{r4} のみ P チャンネル型のポリシリコン TFT である。1 個の容量素子 C_s は本画素回路 2 の画素容量を構成している。発光素子 EL は、例えば、アノード及びカソードを備えたダイオード型の有機 EL 素子 である。但し、本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0039】

画素回路 2 の中心となるドライブトランジスタ T_{rd} は、そのゲート G が画素容量 C_s の一端に接続され、そのソース S が同じく画素容量 C_s の他端に接続されている。また、ドライブトランジスタ T_{rd} のゲート G は、スイッチングトランジスタ T_{r2} を介して、別の基準電位 V_{ss1} に接続されている。ドライブトランジスタ T_{rd} のドレインは、スイッチングトランジスタ T_{r4} を介して、電源 V_{cc} に接続されている。このスイッチングトランジスタ T_{r2} のゲートは走査線 AZ 1 に接続されている。スイッチングトランジスタ T_{r4} のゲートは走査線 DS に接続されている。発光素子 EL のアノードは、ドライブトランジスタ T_{rd} のソース S に接続されており、カソードは接地されている。この接地電位は V_{ca1h} で表される場合がある。また、ドライブトランジスタ T_{rd} のソース S と所定の基準電位 V_{ss2} との間に、スイッチングトランジスタ T_{r3} が介在している。このトランジスタ T_{r3} のゲートは走査線 AZ 2 に接続されている。一方、サンプリングトランジスタ T_{r1} は、信号線 SL とドライブトランジスタ T_{rd} のゲート G との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線 WS に接続されている。

【0040】

かかる構成において、サンプリングトランジスタ T_{r1} は、所定のサンプリング期間に走査線 WS から供給される制御信号 WS に応じ導通して、信号線 SL から供給された映像信号 V_{sig} を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号 V_{sig} に応じてドライブトランジスタのゲート G とソース S 間に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、所定の発光期間中、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 EL に供給する。尚、この出力電流（ドレイン電流） I_{ds} は、ドライブトランジスタ T_{rd} のチャネル領域のキャリア移動度 μ 及び閾電圧 V_{th} に対して依存性を有する。発光素子 EL は、ドライブトランジスタ T_{rd} から供給された出力電流 I_{ds} により、映像信号 V_{sig} に応じた輝度で発光する。

【0041】

本発明の特徴事項として、画素回路 2 はスイッチングトランジスタ $T_{r2} \sim T_{r4}$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、予め発光期間の先頭で画素容量 C_s に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段（ $T_{r2} \sim T_{r4}$ ）は、走査線 WS 及び DS から供給される制御信号 WS, DS に応じてサンプリング期間の一部で動作し、映像信号 V_{sig} がサンプリングされている状態で、ドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する。更に、この補正手段（ $T_{r2} \sim T_{r4}$ ）は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出し、且つ、検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

【0042】

本実施形態の場合、ドライブトランジスタ T_{rd} は、N チャンネル型トランジスタでドレインが電源 V_{cc} 側に接続される一方、ソース S が発光素子 EL 側に接続されている。この

10

20

30

40

50

場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出して、画素容量 C_s 側に負帰還する。その際、本補正手段は、発光期間の先頭部分でドライブトランジスタ T_{r_d} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 E L の有する容量に流れ込むようにしている。具体的には、発光素子 E L は、アノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ T_{r_d} のソース S に接続されている一方、カソード側が接地されている。この構成で、本補正手段 ($T_{r_2} \sim T_{r_4}$) は、予め発光素子 E L のアノード／カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{r_d} のソース S 側から取り出した出力電流 I_{ds} が発光素子 E L に流れ込む時、このダイオード型の発光素子 E L を容量性素子として機能させている。尚、本補正手段は、サンプリング期間内でドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより、画素容量 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

10

【0043】

図6は、図5に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r_1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{r_d} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、更には、発光素子 E L が有する容量成分 C_{oled} などを書き加えてある。以下、図6に基づいて、本画素回路2の基本的な動作を説明する。

【0044】

20

図7は、図6に示した画素回路のタイミングチャートである。図7を参照して、図6に示した画素回路の動作を、より具体的、且つ、詳細に説明する。図7は、時間軸 T に沿って、各走査線 WS 、 $AZ1$ 、 $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r_1} 、 T_{r_2} 、 T_{r_3} は N チャンネル型なので、走査線 WS 、 $AZ1$ 、 $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方、トランジスタ T_{r_4} は P チャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。尚、このタイミングチャートは、各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形と共に、ドライブトランジスタ T_{r_d} のゲート G の電位変化及びソース S の電位変化も表してある。

【0045】

30

図7のタイミングチャートでは、タイミング $T1 \sim T8$ までを1フィールド (1f) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形を表してある。

【0046】

当該フィールドが始まる前のタイミング $T0$ で、全ての制御線号 WS 、 $AZ1$ 、 $AZ2$ 、 DS がローレベルにある。従って、N チャンネル型のトランジスタ T_{r_1} 、 T_{r_2} 、 T_{r_3} はオフ状態にある一方、P チャンネル型のトランジスタ T_{r_4} のみオン状態である。従って、ドライブトランジスタ T_{r_d} は、オン状態のトランジスタ T_{r_4} を介して電源 V_{cc} に接続されているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E L に供給している。従って、タイミング $T0$ で発光素子 E L は発光している。この時、ドライブトランジスタ T_{r_d} に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で表される。

40

【0047】

当該フィールドが始まるタイミング $T1$ で、制御信号 DS がローレベルからハイレベルに切り替わる。これにより、トランジスタ T_{r_4} がオフし、ドライブトランジスタ T_{r_d} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。従って、タイミング $T1$ に入ると、トランジスタ $T_{r_1} \sim T_{r_4}$ がオフ状態になる。

【0048】

続いて、タイミング $T2$ に進むと、制御信号 $AZ1$ 及び $AZ2$ がハイレベルになるので

50

、スイッチングトランジスタ T_{r_2} 及び T_{r_3} がオンする。この結果、ドライブトランジスタ T_{r_d} のゲート G が基準電位 V_{ss1} に接続され、ソース S が基準電位 V_{ss2} に接続される。ここで、 $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後のタイミング T 3 で行われる V_{th} 補正の準備を行う。換言すると、期間 T 2 - T 3 は、ドライブトランジスタ T_{r_d} のリセット期間に相当する。また、発光素子 E L の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子 E L にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

【0049】

タイミング T 3 では制御信号 A Z 2 をローレベルにし、且つ、直後に制御信号 D S もローレベルにしている。これにより、トランジスタ T_{r_3} がオフする一方、トランジスタ T_{r_4} がオンする。この結果、ドレイン電流 I_{ds} が画素容量 C_s に流れ込み、 V_{th} 補正動作を開始する。この時、ドライブトランジスタ T_{r_d} のゲート G は V_{ss1} に保持されており、ドライブトランジスタ T_{r_d} がカットオフするまで電流 I_{ds} が流れる。カットオフすると、ドライブトランジスタ T_{r_d} のソース電位 (S) は、 $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミング T 4 で制御信号 D S を再びハイレベルに戻し、スイッチングトランジスタ T_{r_4} をオフする。更に、制御信号 A Z 1 もローレベルに戻し、スイッチングトランジスタ T_{r_2} もオフする。この結果、画素容量 C_s に V_{th} が保持固定される。この様に、タイミング T 3 - T 4 はドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間 T 3 - T 4 を、 V_{th} 補正期間と呼んでいる。

【0050】

この様に、 V_{th} 補正を行った後、タイミング T 5 で制御信号 W S をハイレベルに切り替え、サンプリングトランジスタ T_{r_1} をオンして映像信号 V_{sig} を画素容量 C_s に書き込む。発光素子 E L の等価容量 C_{oled} に比べて、画素容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が、画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する V_{sig} の差分 $V_{sig} - V_{ss1}$ が、画素容量 C_s に書き込まれる。従って、ドライブトランジスタ T_{r_d} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル、 $(V_{sig} - V_{ss1} + V_{th})$ となる。以降、説明簡易化のため、 $V_{ss1} = 0$ ボルトとすると、ゲート/ソース間電圧 V_{gs} は、図 7 のタイミングチャートに示すように、 $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリングは、制御信号 W S がローレベルに戻るタイミング T 7 まで行われる。即ち、タイミング T 5 - T 7 がサンプリング期間に相当する。

【0051】

サンプリング期間の終了するタイミング T 7 より前のタイミング T 6 で、制御信号 D S がローレベルとなり、スイッチングトランジスタ T_{r_4} がオンする。これにより、ドライブトランジスタ T_{r_d} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様に、サンプリングトランジスタ T_{r_1} がまだオン状態で、且つ、スイッチングトランジスタ T_{r_4} がオン状態に入った期間 T 6 - T 7 で、ドライブトランジスタ T_{r_d} の移動度補正を行う。即ち、本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 T 6 - T 7 で移動度補正を行っている。尚、この移動度補正を行う発光期間の先頭では、発光素子 E L は、実際には逆バイアス状態にあるので、発光する事はない。この移動度補正期間 T 6 - T 7 では、ドライブトランジスタ T_{r_d} のゲート G が映像信号 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_{r_d} にドレイン電流 I_{ds} が流れる。ここで、 $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 E L は逆バイアス状態におかれるため、ダイオード特性ではなく単純な容量特性を示すようになる。よって、ドライブトランジスタ T_{r_d} に流れる電流 I_{ds} は、画素容量 C_s と発光素子 E L の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これにより、ドライブトランジスタ T_{r_d} のソース電位 (S) は上昇していく。図 7 のタイミングチャートでは、この上昇分を ΔV で表してある。この上昇分 ΔV は、結局、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけ

10

20

30

40

50

た事になる。この様に、ドライブトランジスタ T_{r_d} の出力電流 I_{ds} を同じくドライブトランジスタ T_{r_d} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。尚、負帰還量 ΔV は、移動度補正期間 $T_6 - T_7$ の時間幅 t を調整する事で最適化可能である。

【0052】

タイミング T_7 では制御信号 WS がローレベルとなり、サンプリングトランジスタ T_{r_1} がオフする。この結果、ドライブトランジスタ T_{r_d} のゲート G は信号線 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{r_d} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間、画素容量 C_s に保持されたゲート／ソース間電圧 V_{gs} は、 $(V_{sig} - \Delta V + V_{th})$ の値を維持する。 10

ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により、発光素子 EL は実際に発光を開始する。 この時のドレイン電流 I_{ds} 対ゲート／ソース間電圧 V_{gs} の関係は、先のトランジスタ特性式 1 の V_{gs} に $V_{sig} - \Delta V + V_{th}$ を代入する事で、以下の式 2 のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \cdots \text{式 2}$$

上記式 2 において、 $k = (1/2) (W/L) C_{ox}$ である。この特性式 2 から V_{th} の項がキャンセルされており、発光素子 EL に供給される出力電流 I_{ds} は、ドライブトランジスタ T_{r_d} の閾電圧 V_{th} に依存しない事が分かる。 基本的に、ドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。 換言すると、発光素子 EL は、映像信号 V_{sig} に応じた輝度で発光する事になる。 20

その際、 V_{sig} から負帰還量 ΔV が減じられている。 この負帰還量 ΔV は、特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。 従って、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0053】

最後に、タイミング T_8 に至ると制御信号 DS がハイレベルとなって、スイッチングトランジスタ T_{r_4} がオフし、発光が終了すると共に、当該フィールドが終わる。 この後、次のフィールドに移って、再び、 V_{th} 補正動作、移動度補正動作及び発光動作が、繰り返される事になる。

【0054】

図 8 は、移動度補正期間 $T_6 - T_7$ における画素回路 2 の状態を示す回路図である。 図示するように、移動度補正期間 $T_6 - T_7$ では、サンプリングトランジスタ T_{r_1} 及びスイッチングトランジスタ T_{r_4} がオンしている一方、残りのスイッチングトランジスタ T_{r_2} 及び T_{r_3} がオフしている。 この状態で、ドライブトランジスタ T_{r_d} のソース電位 (S) は、 $V_{ss1} - V_{th}$ である。 このソース電位 S は発光素子 EL のアノード電位でもある。前述したように、 $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。 30

よって、ドライブトランジスタ T_{r_d} に流れる電流 I_{ds} は、画素容量 C_s と発光素子 EL の等価容量 C_{o1ed} との合成容量 $C = C_s + C_{o1ed}$ に流れ込む事になる。 換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0055】

図 9 は、上述したトランジスタ特性式 2 をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。 このグラフの下方に特性式 2 も合わせて示してある。図 9 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。 40

画素 1 のドライブトランジスタの移動度 μ は相対的に大きい。逆に、画素 2 に含まれるドライブトランジスタの移動度 μ は相対的に小さい。 この様に、ドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。 例えば、両画素 1, 2 に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れる出力電流 I_{ds1}' は、移動度 μ の小さい画素 2 に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。 50

この様に、移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

【0056】

そこで、本発明では、出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。従って、負帰還量 ΔV は移動度が大きいほど大きくなる。図9のグラフに示すように、移動度 μ の大きな画素1の負帰還量 ΔV_1 は、移動度の小さな画素2の負帰還量 ΔV_2 に比べて大きい。従って、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で ΔV_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素2の負帰還量 ΔV_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは、黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の負帰還量 ΔV_1 は、移動度の小さい画素2の負帰還量 ΔV_2 に対して大きくなる。つまり、移動度が大きいほど ΔV が大きくなり、 I_{ds} の減少値は大きくなる。これにより、移動度の異なる画素の電流値は均一化され、移動度のばらつきを補正する事ができる。

10

【0057】

以下、参考のため、図10を参照して、上述した移動度補正の数値解析を行う。図10に示すように、トランジスタ T_{r1} 及び T_{r4} がオンした状態で、ドライブトランジスタ T_{rd} のソース電位を変数 V に取って解析を行う。ドライブトランジスタ T_{rd} のソース電位 (S) を V とすると、ドライブトランジスタ T_{rd} を流れるドレイン電流 I_{ds} は、以下の式3に示す通りである。

20

【0058】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0059】

また、ドレイン電流 I_{ds} と容量 C ($= C_s + C_{oled}$) の関係により、以下の式4に示す様に、 $I_{ds} = dQ/dt = C dV/dt$ が成り立つ。

30

【0060】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

40

【0061】

式4に式3を代入して、両辺を積分する。ここで、ソース電位 V の初期状態は、 $-V_{th}$ であり、移動度補正時間 ($T_6 - T_7$) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が、以下の数式5のように与えられる。

【0062】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

【0063】

移動度の異なる画素において、式5を用いて $t = 0 \text{ us}$ と 2.5 us 時の電流値のグラフを図11に示す。尚、このグラフの下部に合わせて式5も載せておく。 $t = 0 \text{ us}$ の移動度補正をかけない状態に比べ、 $t = 2.5 \text{ us}$ では移動度のばらつきに対する補正が充分にかかっている事が分かる。移動度補正無しでは40%のばらつきがあったものが、移動度補正をかけると10%以下に抑えられている。移動度補正動作時は、常に $V < V_{thEL}$ を満たしている必要がある。上述した第1実施形態の画素回路では、移動度補正時に画素容量 C_s と発光素子ELの等価容量 C_{oled} を使用している。 C_{oled} は C_s に対して大きいので合成容量Cも大きくなり、移動度補正時間マージンを稼ぐ事ができる。

10

【0064】

以上の動作を行うことで、信号電位サンプル方式の画素回路においても移動度補正を行う事ができる事が分かる。既に実用化されている液晶ディスプレイの駆動方式は、基本的に、信号電位をサンプリングする電圧駆動である。よって、有機ELパネルにおいても電圧駆動にて移動度補正が可能となる事で、従来液晶ディスプレイで用いていた外付けソースドライバや低温ポリシリコンTFTなどを用いたパネル内蔵型ソースドライバなどを利用する事が可能となり、低コストにて有機ELパネルモジュールを作成する事ができる。また、第1実施形態の画素回路ではドライブトランジスタ以外のスイッチングトランジスタはNチャネル型とPチャネル型を混在して用いているが、各トランジスタの特性はNチャネルでもPチャネルでも構わない。

20

【0065】

図12は、本発明にかかる表示装置の第2実施形態を示すブロック図である。理解を容易にするため、図5に示した第1実施形態と対応する部分には、対応する参照番号を用いてある。本表示装置は、画素アレイ1とこれを囲む周辺の回路とで構成されている。周辺回路は、水平セクタ3と、ライトスキャナ4と、ドライブスキャナ5と、第一補正用スキャナ71と、第二補正用スキャナ72とを含む。画素アレイ1はマトリクス状に配列した画素回路2で構成されている。図では理解を容易にするため、1個の画素回路2のみを示してある。画素回路2は、6個のトランジスタ T_{r1} , T_{rd} , $T_{r3} \sim T_{r6}$ と、2個の容量素子 C_{s1} , C_{s2} と、1個の発光素子ELとで構成されている。トランジスタは全てNチャネル型である。本画素回路2の主要部となるドライブトランジスタ T_{rd} は、そのゲートGが各容量素子 C_{s1} , C_{s2} の一端に接続されている。一方の容量素子 C_{s1} は本画素回路2の出力側と入力側を結ぶ結合容量である。他方の容量素子 C_{s2} は、結合容量 C_{s1} を介して映像信号が書き込まれる画素容量である。ドライブトランジスタ T_{rd} のソースSは画素容量 C_{s2} の他端に接続されていると共に、発光素子ELに接続されている。発光素子ELは、ダイオード型のデバイスであり、そのアノードがドライブトランジスタ T_{rd} のソースSに接続されている一方、カソードが接地電位 V_{cath} に接続されている。また、ドライブトランジスタ T_{rd} のソースSと所定の基準電位 V_{ss2} との間に、スイッチングトランジスタ T_{r3} が介在している。このトランジスタ T_{r3} のゲートは走査線AZ2に接続されている。ドライブトランジスタ T_{rd} のドレインは、スイッチングトランジスタ T_{r4} を介して、電源 V_{cc} に接続されている。スイッチングトランジスタ T_{r4} のゲートは走査線DSに接続されている。加えて、ドライブトランジスタ T_{rd} のゲートGとドレインとの間に、スイッチングトランジスタ T_{r5} が介在している。このトランジスタ T_{r5} のゲートは走査線AZ1に接続されている。一方、入力側のサンプリングトランジスタ T_{r1} は、信号線SLと結合容量 C_{s1} の他端との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線WSに接続されている。結合容量 C_{s1} の他端と所定の基準電位 V_{ss1} との間に、トランジスタ T_{r6} が介在している。このトランジスタ T_{r6} のゲートは走査線

30

40

50

A Z 1 に接続されている。

【0066】

図13は、図12に示した画素回路の動作説明に供するタイミングチャートである。時間軸Tに沿って制御信号WS、DS、AZ1、AZ2の波形を表すと共に、ドライブトランジスタ T_{r_d} のゲート電位(G)及びソース電位(S)の変化も表してある。当該フィールドが開始するタイミングT1では、制御信号WS、AZ1、AZ2がローレベルで、制御信号DSのみがハイレベルである。従って、タイミングT1ではスイッチングトランジスタ T_{r_4} のみがオン状態にあり、残りのトランジスタ T_{r_1} 、 T_{r_3} 、 T_{r_5} 、 T_{r_6} はオフ状態にある。この時、ドライブトランジスタ T_{r_d} はオン状態にあるスイッチングトランジスタ T_{r_4} を介して電源 V_{cc} に接続されているので、所定のドレイン電流 I_{ds} が発光素子ELに流れるため、発光状態となっている。

10

【0067】

タイミングT2になると、制御信号AZ1とAZ2とがハイレベルとなり、スイッチングトランジスタ T_{r_5} 、 T_{r_6} がオンする。ドライブトランジスタ T_{r_d} のゲートGはトランジスタ T_{r_5} を通して電源 V_{cc} 側に接続されるので、ゲート電位(G)は急激に上昇する。

【0068】

この後、タイミングT3で制御信号DSがローレベルとなり、トランジスタ T_{r_4} がオフする。ドライブトランジスタ T_{r_d} に対する電源供給が遮断されるので、ドレイン電流 I_{ds} は減衰していく。これにより、ソース電位(S)及びゲート電位(G)は共に下降するが、両者の電位差が V_{th} となったところで、電流が流れなくなる。この時の V_{th} が画素容量 C_{s2} に保持される。画素容量 C_{s2} に保持された V_{th} は、ドライブトランジスタ T_{r_d} の閾電圧のキャンセルに用いられる。また、スイッチングトランジスタ T_{r_3} はオンしており、ドライブトランジスタ T_{r_2} のソースSはトランジスタ T_{r_3} を介して基準電位 V_{ss2} に接続される。この V_{ss2} は発光素子ELの閾電圧よりも低く設定されており、発光素子ELは逆バイアス状態におかれる。

20

【0069】

この後、タイミングT4になったとき、制御信号AZ1がローレベルとなり、トランジスタ T_{r_5} 、 T_{r_6} がオフして、 C_{s2} に書き込まれた V_{th} が固定される。タイミングT2からT4までの期間を、 V_{th} 補正期間(T2-T4)と呼ぶ。尚、 V_{th} 補正期間では T_{r_6} がオンしているため、結合容量 C_{s1} の他端は、所定の基準電位 V_{ss1} に保持される。

30

【0070】

タイミングT5になると、制御信号WS及びAZ2がハイレベルになり、サンプリングトランジスタ T_{r_1} がオンする。この結果、ドライブトランジスタ T_{r_d} のゲートGは、結合容量 C_{s1} 及びオンしたサンプリングトランジスタ T_{r_1} を介して、信号線SLに接続される。この結果、映像信号が結合容量 C_{s1} を介してドライブトランジスタ T_{r_d} のゲートGにカップリングされ、その電位が上昇する。図13のタイミングチャートでは、映像信号のカップリング分と V_{th} を合わせた電圧を、 V_{in} で表してある。画素容量 C_{s2} にこの V_{in} が保持された事になる。この後、タイミングT7で制御信号WSがローレベルに戻り、画素容量 C_{s2} に書き込まれた電位が、保持固定される。この様にして、映像信号が結合容量 C_{s1} を介して画素容量 C_{s2} に書き込まれる期間を、サンプリング期間T5-T7と呼ぶ。このサンプリング期間T5-T7は、通常、1水平期間(1H)に相当する。

40

【0071】

本実施形態では、サンプリング期間が終了するタイミングT7の前のタイミングT6で、制御信号DSがハイレベルになる一方、制御信号AZ2がローレベルになる。この結果、ドライブトランジスタ T_{r_d} のソースSが V_{ss2} から切り離される一方、ドレイン側からソースS側に向かって電流が流れる。一方、サンプリングトランジスタ T_{r_1} は引き続きオン状態なので、ドライブトランジスタ T_{r_d} のゲート電位(G)は映像信号側に保持されている。この様な状態でドライブトランジスタ T_{r_d} に出力電流が流れるので、画素容量 C_{s2} 及び逆バイアス状態にある発光素子ELの等価容量を充電する事になる。これによ

50

り、ドライブトランジスタ T_{r_d} のソース電位 (S) は ΔV だけ上昇し、その分だけ C_{s2} に保持されていた電圧 V_{in} が減少する。換言すると、期間 $T6 - T7$ の間でソース S 側の出力電流がゲート G 側の入力電圧に負帰還される。この負帰還量が ΔV で表される。この負帰還動作により、ドライブトランジスタ T_{r_d} の移動度補正が行われる。

【0072】

この後、タイミング $T7$ で制御信号 WS がローレベルとなり、映像信号の印加が解除されると、いわゆるブートストラップ動作が行われ、ゲート電位 (G) 及びソース電位 (S) は、両者の差 ($V_{in} - \Delta V$) を維持したまま上昇する。ソース電位 (S) の上昇に伴い発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} が発光素子 EL に流れ込み、映像信号に応じた輝度で発光が行われる。この後、タイミング $T8$ で当該フィールド 1 f が終わると、次のフィールドに進む。次のフィールドでも、 V_{th} 補正、信号書き込み、移動度補正の各動作を行う。

【0073】

図 14 は、図 13 に示した移動度補正期間 $T6 - T7$ における画素回路 2 の状態を表している。この画素回路 2 も、スイッチングトランジスタ T_{r3} 、 T_{r4} 、 T_{r5} など構成される補正手段を備えている。この補正手段は、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すため、予め発光期間 $T6 - T8$ の前または先頭で画素容量 C_{s2} に保持された入力電圧 V_{in} (V_{gs}) を補正する。この補正手段は、走査線 WS 及び DS から供給される制御信号 WS 、 DS に応じてサンプリング期間 $T5 - T7$ の一部で動作し、映像信号 V_{sig} がサンプリングされている状態で ドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出し、これを画素容量 C_{s2} に負帰還して入力電圧 V_{gs} を補正する。加えて、この補正手段 (T_{r3} 、 T_{r4} 、 T_{r5}) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間 $T5 - T7$ に先立つ期間 $T2 - T4$ で ドライブトランジスタ T_{r_d} の閾電圧 V_{th} を検出し、且つ、検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしてある。

【0074】

本実施形態においても、ドライブトランジスタ T_{r_d} は、Nチャネル型トランジスタでドレインが電源 V_{cc} 側に接続される一方、ソース S が発光素子 EL 側に接続されている。この構成において、本補正手段は、サンプリング期間 $T5 - T7$ の後部分に重なる発光期間 $T6 - T8$ の先頭部分 ($T6 - T7$) で ドライブトランジスタ T_{r_d} から出力電流 I_{ds} を取り出して、画素容量 C_{s2} 側に負帰還する。その際、本補正手段は、発光期間の先頭部分 ($T6 - T7$) で ドライブトランジスタ T_{r_d} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 EL の有する等価容量 C_{oled} に流れ込むようにしている。発光素子 EL は、アノード及びカソードを備えたダイオード型の発光素子 であり、アノード側が ドライブトランジスタ T_{r_d} のソース S に接続される一方、カソード側が V_{cath} に接地されている。本補正手段は、前述したように、予め発光素子 EL のアノード／カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{r_d} のソース S 側から取り出した出力電流 I_{ds} が発光素子 EL に流れ込む時、ダイオード型の発光素子 EL を容量性素子 C_{oled} として機能させている。

【0075】

図 15 は、本発明にかかる表示装置の第 3 実施形態を示すブロック図である。理解を容易にするため、図 5 に示した第 1 実施形態と対応する部分には、対応する参照番号 を付してある。本表示装置も中央の画素アレイ 1 とこれを囲む周辺回路とで構成されている。周辺回路は、水平セクタ 3、ライトスキヤナ 4、ドライブスキヤナ 5、第一補正用スキヤナ 71、第二補正用スキヤナ 72 を含んでいる。画素アレイ 1 はマトリクス状に配列された画素回路から構成されている。図では、理解を容易にするため、1 個の画素回路 2 のみを拡大表示してある。

【0076】

画素回路 2 は、5 個のトランジスタ T_{r1} 、 T_{r2} 、 T_{r4} 、 T_{r5} 、 T_{r_d} と、2 個の容量素子 C_{s1} 、 C_{s2} と、1 個の発光素子 EL とで構成されている。第 1 実施形態及び第 2 実

10

20

30

40

50

施形態と異なり、ドライブトランジスタ T_{rd} は P チャンネル型である。残りのトランジスタ T_{r1} , T_{r2} , T_{r4} , T_{r5} は、全て N チャンネル型である。尚、画素サイズや発光素子 EL の特性にもよるが、一般的に、ドライブトランジスタは N チャンネル型の方が移動度補正值の容量を大きく取る事ができ、移動度補正のマージンがある。

【0077】

ドライブトランジスタ T_{rd} のソースは電源 V_{cc} に接続されている。ゲートは画素容量 C_{s1} の一端に接続されている。ドライブトランジスタ T_{rd} が P チャンネル型の場合、ゲート／ソース間電圧 V_{gs} は、ソース側となる電源 V_{cc} を基準にして定義される。ドライブトランジスタ T_{rd} のドレインは、スイッチングトランジスタ T_{r4} を介して、発光素子 EL に接続されている。発光素子 EL は、ダイオード型であり、アノードがスイッチングトランジスタ T_{r4} を介してドライブトランジスタ T_{rd} のドレインに接続される一方、カソードが接地されている。尚、スイッチングトランジスタ T_{r4} のゲートは走査線 DS に接続されている。ドライブトランジスタ T_{rd} のゲートとドレインとの間に、スイッチングトランジスタ T_{r5} が介在している。そのゲートは走査線 AZ1 に接続されている。

10

【0078】

一方、画素回路 2 の入力側となるサンプリングトランジスタ T_{r1} は、信号線 SL と画素容量 C_{s1} の他端との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線 WS に接続されている。画素容量 C_{s1} の他端と電源 V_{cc} との間に、別の画素容量 C_{s2} が接続されている。また、画素容量 C_{s1} の他端と所定のオフセット電位 V_{ofs} との間に、スイッチングトランジスタ T_{r2} が接続されている。このトランジスタ T_{r2} のゲートは走査線 AZ2 に接続されている。

20

【0079】

図 16 は、図 15 に示した画素回路の各トランジスタとこれらに対応する制御信号との関係を明示した回路図である。合わせて、ドライブトランジスタ T_{rd} のゲートを記号 G で明示し、発光素子 EL のアノードを記号 X で明示してある。各トランジスタ T_{r1} , T_{r2} , T_{r4} , T_{r5} のゲートに印加される制御信号を、対応する走査線と同じ記号で表してある。

【0080】

図 17 は、図 16 に示した画素回路の動作説明に供するタイミングチャートである。時間軸 T に沿って制御信号 WS, AZ1, AZ2, DS の波形を表すと共に、ドライブトランジスタ T_{rd} のゲート電位 (G) と発光素子 EL のアノード電位 (X) の変化も表してある。

30

【0081】

当該フィールドに入る前のタイミング T0 で、制御信号 WS, AZ1, AZ2 はローレベルにある一方、制御信号 DS はハイレベルにある。従って、タイミング T0 ではトランジスタ T_{r4} がオン状態にある一方、残りのトランジスタ T_{r1} , T_{r2} , T_{r5} はオフ状態にある。ドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して発光素子 EL に接続されている。従って、発光素子 EL にはゲート／ソース間電圧 V_{gs} に応じた出力電流が流れて発光している。尚、図 17 のタイミングチャートでは、ゲート／ソース間電圧 V_{gs} は、電源電位 V_{cc} とゲート電位 (G) との間の差で表される。

40

【0082】

当該フィールドに入るタイミング T1 で、制御信号 AZ1 及び AZ2 がハイレベルになり、トランジスタ T_{r2} , T_{r5} がオンする。これにより、画素容量 C_{s1} の他端は所定のオフセット電位 V_{ofs} に固定される。また、ドライブトランジスタ T_{rd} のドレインとゲートが直結する。このため、ゲート電位 (G) はドレイン電位に引かれて急激に下降する一方、アノード電位 (X) は発光素子 EL 内に生じた電圧降下で急激に上昇する。この動作でドライブトランジスタ T_{rd} は閾電圧検出の準備状態となる。

【0083】

続いて、タイミング T2 で制御信号 DS がローレベルとなり、スイッチングトランジスタ T_{r4} がオフする。ここまでの期間 T1—T2 は、リセット期間もしくはオーバーラッ

50

プ期間と呼ばれる。スイッチングトランジスタ T_{r4} がオフすると、ドライブトランジスタの電流路が遮断され、ゲート容量 C_{gs} 及び画素容量 C_{s1} を充電していく。この結果、ゲート電位 (G) が上昇する。電源電位 V_{cc} とゲート電位 (G) の差が V_{th} となった所で、ドライブトランジスタ T_{r4} がカットオフする。カットオフした後のタイミング T3 で、制御信号 AZ1, AZ2 がローレベルに戻り、トランジスタ T_{r2} , T_{r5} がオフする。この結果、画素容量 C_{s1} に書き込まれた閾電圧 V_{th} が保持される。この期間 T2—T3 を、 V_{th} 補正期間もしくは V_{th} 検出期間と呼ぶ。尚、発光素子 EL に対する通電が遮断されるので、アノード電位 (X) は接地電位 GND まで下がる。

【0084】

この後、タイミング T4 に進むと、制御信号 WS がハイレベルになりサンプリングトランジスタ T_{r1} がオンする。この結果、映像信号 V_{sig} がサンプリングされ、画素容量 C_{s2} に $V_{ofs} - V_{sig}$ が書き込まれる。この電圧 $V_{ofs} - V_{sig}$ は、画素容量 C_{s1} を介してドライブトランジスタ T_{r4} のゲート G 側にカップリングされる。その量は、 $C_{s1} (V_{ofs} - V_{sig}) / (C_{s1} + C_{gs})$ で与えられる。尚、 C_{gs} はドライブトランジスタのソース/ゲート間容量である。このカップリング電圧分だけ、更に、ゲート電位 (G) が下がるので、結局、ゲート/ソース間電圧 V_{gs} は、 $V_{th} + C_{s1} (V_{ofs} - V_{sig}) / (C_{s1} + C_{gs})$ となる。この後、1 水平期間 (1H) 経過後のタイミング T7 で、制御信号 WS はローレベルに戻り、サンプリングトランジスタ T_{r1} がオフする。この 1H に相当する期間 T4—T7 で、映像信号 V_{sig} のサンプリングが行われる。

【0085】

このサンプリング期間 T4—T7 の一部の期間 T5—T6 で、制御信号 AZ1 がハイレベルになり、トランジスタ T_{r5} が導通する。この結果、電源 V_{cc} 側 (ドライブトランジスタ T_{r4} のソース側) からドレイン側を通して、ゲート G 側にドレイン電流が流れ込む。このドレイン電流の流れ込みにより、ゲート電位 (G) は ΔV 分だけ上昇する。 ΔV はドライブトランジスタの移動度に比例している。ドライブトランジスタの移動度が大きいほど ΔV は大きくなりゲート電位 (G) が上昇するので、ゲート/ソース間電圧 V_{gs} はその分圧縮され出力電流が抑制される。この様に、ドライブトランジスタ T_{r4} のドレイン側からゲート側に向かって負のフィードバックをかける事で、移動度のばらつきを抑制可能である。サンプリング期間 T4—T7 の中に設定された期間 T5—T6 を、移動度補正期間と呼ぶ。この移動度補正を行うことで、ドライブトランジスタ T_{r4} のゲート/ソース間電圧 V_{gs} は、結局、 $V_{th} + C_{s1} (V_{ofs} - V_{sig}) / (C_{s1} + C_{gs}) - \Delta V$ で与えられる。このゲート/ソース間電圧 V_{gs} には、正味の信号成分に加え、ドライブトランジスタの閾電圧をキャンセルするための成分 V_{th} と、移動度を補正するための成分 ΔV が含まれている。

【0086】

タイミング T8 になると、制御信号 DS がハイレベルとなりスイッチングトランジスタ T_{r4} がオンする。これにより、ドライブトランジスタ T_{r4} は発光素子 EL に直結し、閾電圧 V_{th} 及び移動度 μ のばらつきが補正された出力電流が、発光素子 EL に流れる。この後、タイミング T9 で当該フィールドが終了すると、次のフィールドに移って、再び、 V_{th} 補正、映像信号サンプリング、移動度補正の各動作が行われる。

【0087】

図 18 は、移動度補正期間 T5—T6 における画素回路の状態を示す回路図である。前述したように、移動度補正期間 T5—T6 では、サンプリングトランジスタ T_{r1} とスイッチングトランジスタ T_{r5} がオンしているため、ドレイン電流 I_{ds} は画素容量 C_{s1} に書き込まれる。これにより、ドライブトランジスタ T_{r4} のゲート電位 (G) は ΔV 上昇する。この時に流れるドレイン電流 I_{ds} は、以下の式 6 により表される。尚、式 6 ではカップリング係数 $C_{s1} / (C_{s1} + C_{gs})$ を 1 として省略してある。実際、 C_{gs} に比べて C_{s1} はかなり大きい。

【0088】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{ofs} - V_{sig} - \Delta V)^2 \quad \text{式6}$$

【0089】

前述したように、 $\Delta V = \frac{I_{ds}}{C_{s1}} \cdot t$ より、移動度の異なる画素では ΔV も異なる。移動度が大きい画素ほど ΔV は大きくなり、 I_{ds} の補正量も大きくなる。これらの動作により、移動度のばらつきがある画素においても、 I_{ds} を均一化する事ができ、移動度補正を行う事ができる。

【0090】

10

詳細な計算式は、先の実施形態1と同様な解析によって、以下の式7に示すように与えられる。

【0091】

$$I_{ds} = k\mu \left(\frac{V_{ofs} - V_{sig}}{1 + (V_{ofs} - V_{sig}) \frac{k\mu}{C_{s1}} t} \right)^2 \quad \text{式7}$$

【0092】

上記式7の右辺は移動度 μ を2つ含む。係数部の μ と左辺の分母に位置する μ は互いにキャンセルしあうので、結果的にドレイン電流 I_{ds} から移動度 μ の影響を除く事ができる。式7の分母にある μ の効果は、移動度補正期間 $T_5 - T_6$ の時間幅 t によって調整できる。これにより、本発明の移動度補正を最適化可能である。

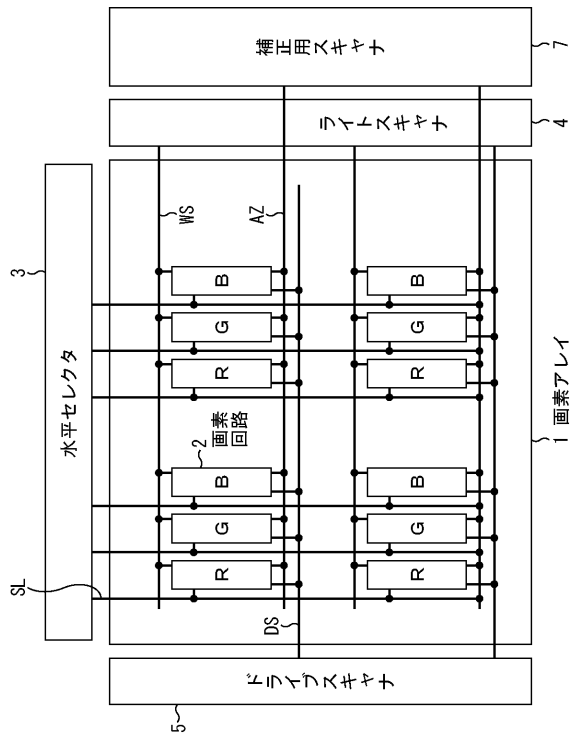
20

【符号の説明】

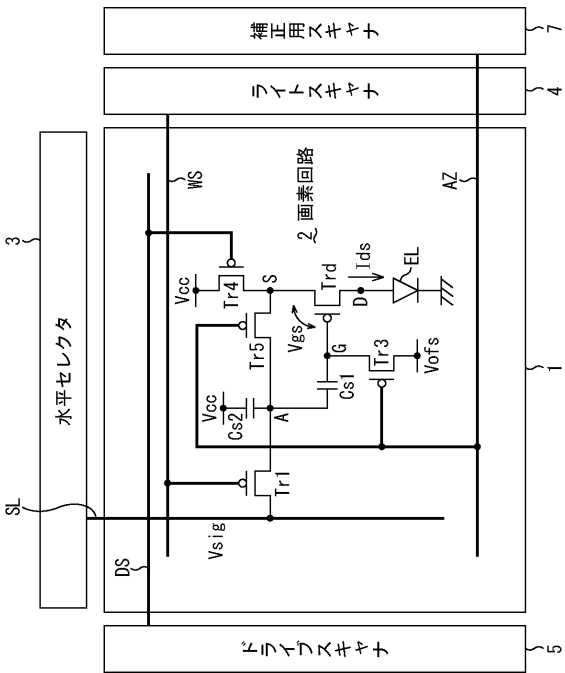
【0093】

1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、7・・・補正用スキャナ、 T_{r1} ・・・サンプリングトランジスタ、 T_{rd} ・・・ドライブトランジスタ、EL・・・発光素子、 C_s ・・・容量素子

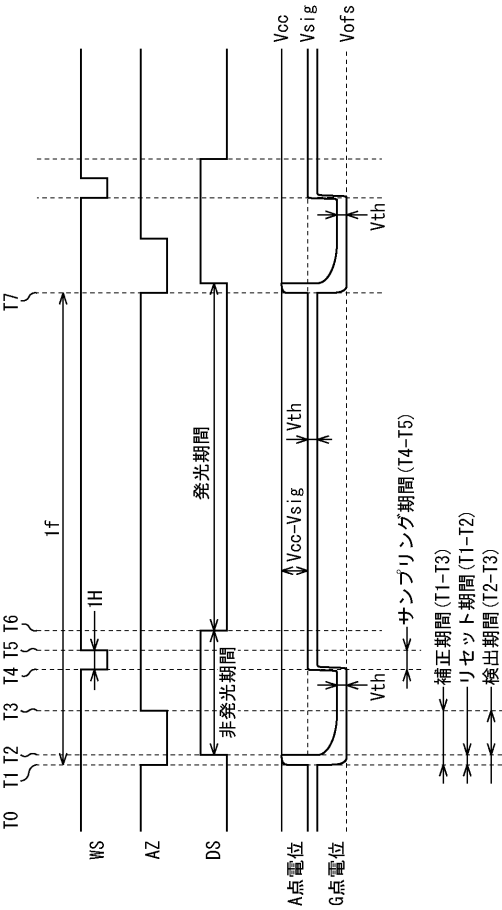
【図 1】



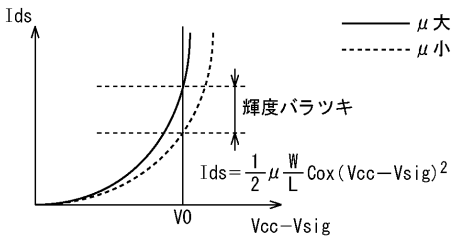
【図 2】



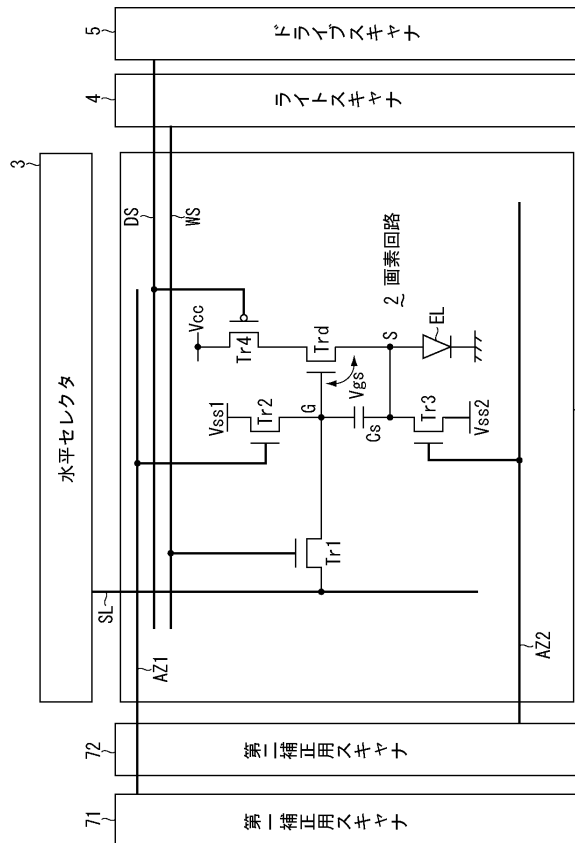
【図 3】



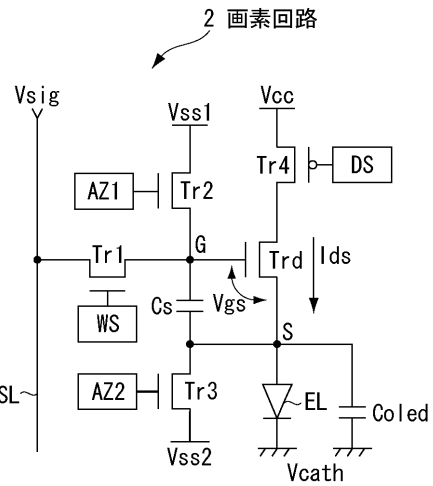
【図 4】



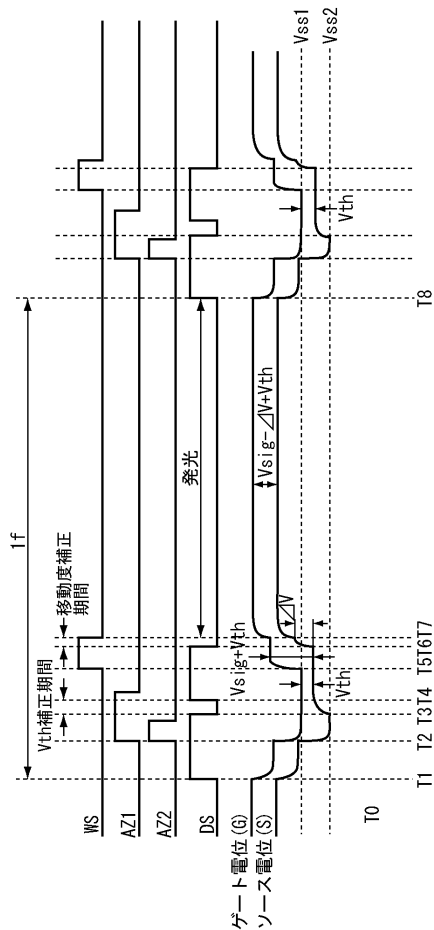
【図 5】



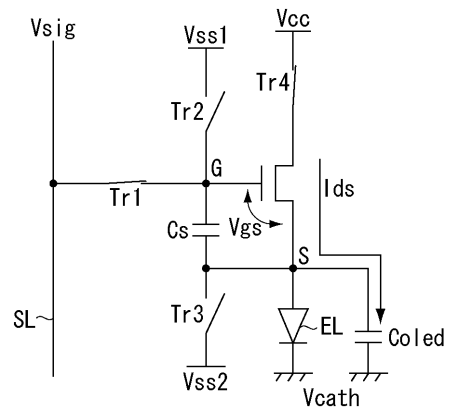
【図 6】



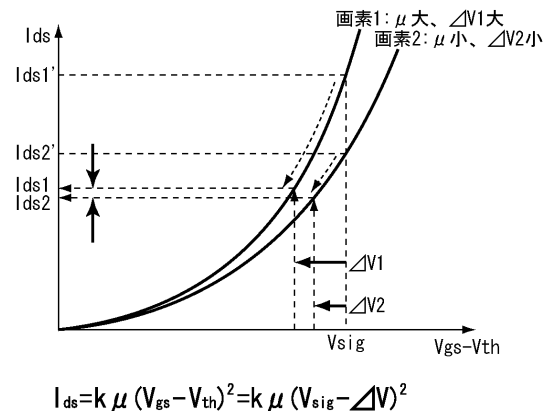
【図 7】



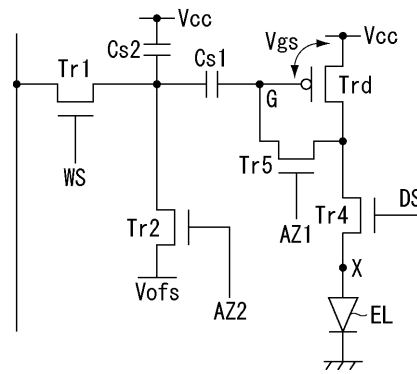
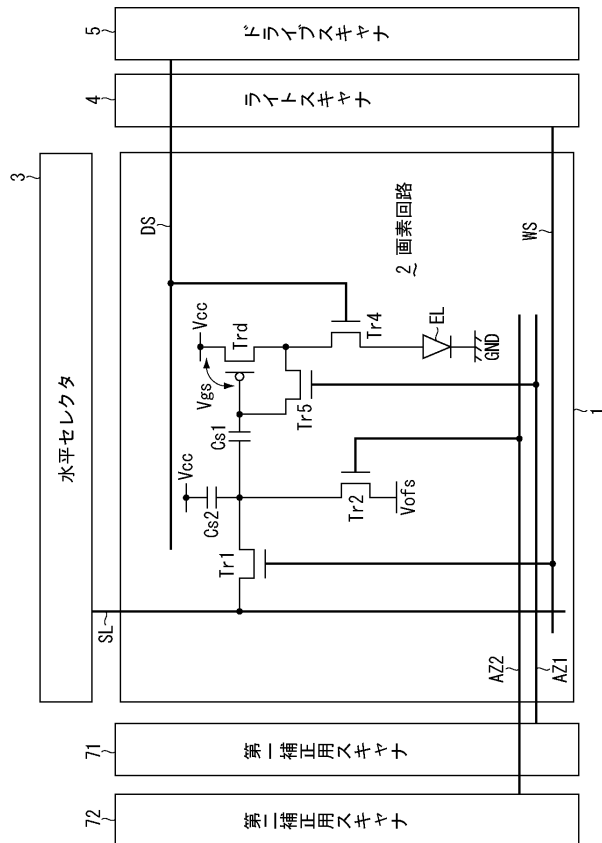
【図 8】



【図 9】

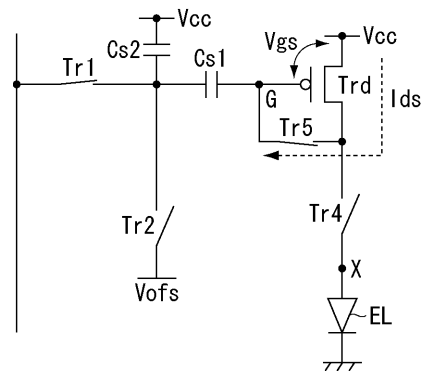
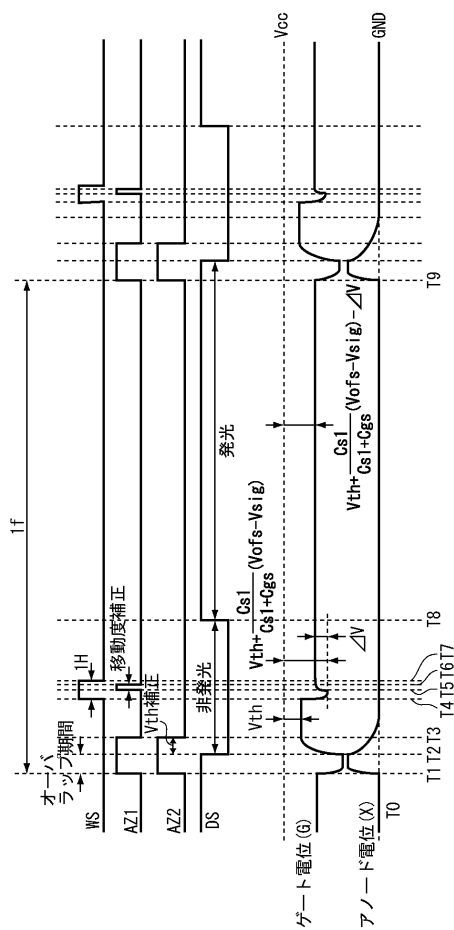


【図 16】



【図 17】

【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 3 D

審査官 福村 拓

(56)参考文献 特開2006-215213 (JP, A)
国際公開第03/075256 (WO, A1)
特開2006-084899 (JP, A)
特開2005-345722 (JP, A)
特開2004-361640 (JP, A)
特開2004-133240 (JP, A)
特開2004-295131 (JP, A)
特開2004-280059 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/30
G 0 9 G 3/20

专利名称(译)	像素电路和像素电路的驱动方法		
公开(公告)号	JP4930547B2	公开(公告)日	2012-05-16
申请号	JP2009125229	申请日	2009-05-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.642.P G09G3/20.622.D G09G3/20.623.D G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD27 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA30 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC64 5C380/CC65 5C380/CD015 5C380/CD025 5C380/CD026 5C380/CD036 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50 5C380/HA03 5C380/HA05		
代理人(译)	吉井正明 山本隆久 森浩一		
审查员(译)	福村 拓		
其他公开文献	JP2009187034A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够抵消驱动晶体管的迁移率影响的像素电路。
 ŽSOLUTION：像素电路2至少包括采样晶体管Tr1，驱动晶体管Trd，像素电容和发光器件EL，在采样晶体管中，栅极连接到扫描线，源极或源极之一漏极连接到信号线，源极或漏极中的另一个连接到驱动晶体管的栅极，在驱动晶体管中，源极或漏极中的一个连接到发光器件的一端，像素电容连接在栅极与驱动晶体管的源极或漏极之一之间，而信号电位从信号线提供给驱动晶体管的栅极，电源或其中一个的电位。通过流过驱动晶体管Trd的电流使驱动晶体管的漏极接近信号电位，电源连接源极或漏极中的另一个。Ž

また、ドレイン電流 I_{ds} と容量 C ($= C_s + C_{0L}$) に、 $\frac{1}{C} \frac{dQ}{dt} = \frac{dV}{dt} = \frac{1}{C} \frac{dQ}{dt}$ が成り立つ【0060】

$$\begin{aligned}
 I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4} \\
 \Leftrightarrow \int_0^t \frac{1}{C} dt &= \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\
 \Leftrightarrow \frac{k\mu}{C} t &= \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\
 \Leftrightarrow V_{sig} - V_{th} - V &= \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}
 \end{aligned}$$