

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4655497号
(P4655497)

(45) 発行日 平成23年3月23日 (2011.3.23)

(24) 登録日 平成23年1月7日 (2011.1.7)

(51) Int.Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 2 0 (2006.01)

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 3 0 K

G 0 9 G 3 / 2 0 6 1 1 A

G 0 9 G 3 / 2 0 6 1 2 U

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 3 2 B

請求項の数 13 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2004-109210 (P2004-109210)
 (22) 出願日 平成16年4月1日 (2004.4.1)
 (65) 公開番号 特開2005-292584 (P2005-292584A)
 (43) 公開日 平成17年10月20日 (2005.10.20)
 審査請求日 平成19年3月27日 (2007.3.27)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100125689
 弁理士 大林 章
 (74) 代理人 100125335
 弁理士 矢代 仁
 (74) 代理人 100121108
 弁理士 高橋 太朗
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107261
 弁理士 須澤 修

最終頁に続く

(54) 【発明の名称】 画素回路の駆動方法、画素回路、電気光学装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素回路において、

第1のフレームでデータ線より供給された第1のデータを保持するとともに、当該保持されたデータに応じた第1の駆動電流を生成する一方の駆動系と、

前記第1のフレームの後の第2のフレームで前記データ線より供給され、前記第2のフレームにおける階調を規定する階調データと、前記第1のデータとの差分に相当する差分データを第2のデータとして保持するとともに、当該保持されたデータに応じた第2の駆動電流を生成する他方の駆動系と、

前記第2のフレームにおいて、前記第1の駆動電流と前記第2の駆動電流とを合成した合成電流を供給することによって、前記階調データ相当の輝度に設定される電気光学素子と

を有することを特徴とする画素回路。

【請求項 2】

前記他方の駆動系は、

前記第2のデータを保持する第1のキャパシタと、

前記第1のキャパシタに自己のゲートが接続されているとともに、前記第1のキャパシタに保持されたデータに応じて、前記第2の駆動電流の少なくとも一部となる第2の順駆動電流を生成する第1の駆動素子と、

前記第2のデータを保持する第2のキャパシタと、

10

20

前記第2のキャパシタに自己のゲートが接続されているとともに、前記第2のキャパシタに保持されたデータに応じて、前記第2の駆動電流の少なくとも一部となり、かつ、前記第2の順駆動電流とは逆向きの第2の逆駆動電流を生成する第2の駆動素子とを有することを特徴とする請求項1に記載された画素回路。

【請求項3】

前記第1のデータは、前記第1のフレームにおける階調を規定する階調データと、前記第1のフレームの前の第3のフレームにおける差分データとの差分に相当する差分データであることを特徴とする請求項1または2に記載された画素回路。

【請求項4】

前記一方の駆動系は、

前記第1のデータを保持する第3のキャパシタと、

前記第3のキャパシタに自己のゲートが接続されているとともに、前記第3のキャパシタに保持されたデータに応じて、前記第1の駆動電流の少なくとも一部となる第1の順駆動電流を生成する第3の駆動素子と、

前記第1のデータを保持する第4のキャパシタと、

前記第4のキャパシタに自己のゲートが接続されているとともに、前記第4のキャパシタに保持されたデータに応じて、前記第1の駆動電流の少なくとも一部となり、かつ、前記第1の順駆動電流とは逆向きの第1の逆駆動電流を生成する第4の駆動素子とを有することを特徴とする請求項3に記載された画素回路。

【請求項5】

前記第1のデータは、前記第1のフレームにおける階調を規定する階調データであることを特徴とする請求項1または2に記載された画素回路。

【請求項6】

前記一方の駆動系は、

前記第1のデータを保持する第3のキャパシタと、

前記第3のキャパシタに自己のゲートが接続されているとともに、前記第3のキャパシタに保持されたデータに応じて、前記第1の駆動電流を生成する第3の駆動素子とを有することを特徴とする請求項5に記載された画素回路。

【請求項7】

前記データ線に供給された電圧レベルの前記第1のデータを前記一方の駆動系に含まれるキャパシタの一方の電極に選択的に供給する第1のスイッチング素子と、

前記データ線に供給された電圧レベルの前記第2のデータを前記他方の駆動系に含まれるキャパシタの一方の電極に選択的に供給する第2のスイッチング素子とをさらに有することを特徴とする請求項4または6に記載された画素回路。

【請求項8】

前記第1の駆動素子を選択的にダイオード接続して、前記データ線に供給された電流レベルの前記第1のデータを前記一方の駆動系に含まれる駆動素子のチャネルに供給する第1のスイッチング素子と、

前記第2の駆動素子を選択的にダイオード接続して、前記データ線に供給された電流レベルの前記第2のデータを前記他方の駆動系に含まれる駆動素子のチャネルに供給する第2のスイッチング素子と

をさらに有することを特徴とする請求項4または6に記載された画素回路。

【請求項9】

電気光学装置において、

複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応して設けられた複数の画素回路と、

前記走査線に走査信号を出力することにより、データの書込対象となる前記画素回路に対応する前記走査線を選択する走査線駆動回路と、

前記走査線駆動回路と協働し、前記書込対象となる前記画素回路に対応する前記データ

10

20

30

40

50

線にデータを入力するデータ線駆動回路とを有し、

前記画素回路は、請求項 1 から 8 のいずれかに記載された画素回路であることを特徴とする電気光学装置。

【請求項 10】

請求項 9 に記載された電気光学装置を実装したことを特徴とする電子機器。

【請求項 11】

画素回路の駆動方法において、

一方の駆動系に含まれるキャパシタに、第 1 のフレームでデータ線より供給された第 1 のデータを保持する第 1 のステップと、

他方の駆動系に含まれるキャパシタに、前記第 1 のフレームの後の第 2 のフレームで前記データ線より供給され、前記第 2 のフレームにおける階調を規定する階調データと、前記第 1 のデータとの差分に相当する差分データを第 2 のデータとして保持する第 2 のステップと、

前記第 2 のフレームにおいて、前記一方の駆動系に含まれる駆動素子が前記第 1 のデータに応じた第 1 の駆動電流を生成し、前記他方の駆動系に含まれる駆動素子が前記第 2 のデータに応じた第 2 の駆動電流を生成するとともに、前記第 1 の駆動電流と前記第 2 の駆動電流とを合成した合成電流を電気光学素子に供給することによって、前記電気光学素子の輝度を前記階調データ相当に設定する第 3 のステップと

を有することを特徴とする画素回路の駆動方法。

【請求項 12】

前記第 1 のデータは、前記第 1 のフレームにおける階調を規定する階調データと、前記第 1 のフレームの前の第 3 のフレームにおける差分データとの差分に相当する差分データであることを特徴とする請求項 11 に記載された画素回路の駆動方法。

【請求項 13】

前記第 1 のデータは、前記第 1 のフレームにおける階調を規定する階調データであることを特徴とする請求項 11 に記載された画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路の駆動方法、画素回路、電気光学装置および電子機器に係り、特に、画素回路の差分駆動に関する。

【背景技術】

【0002】

近年、有機 EL (Electronic Luminescence) 素子を用いたフラットパネルディスプレイ (FPD) が注目されている。有機 EL 素子は、自己を流れる駆動電流によって駆動する電流駆動型素子の一つであり、その電流レベルに応じた輝度で自ら発光する。このような素子を有する画素回路のデータ書込方式には、電流プログラム方式と電圧プログラム方式とがある。電流プログラム方式は、画素回路が接続されたデータ線に対するデータの供給を電流ベースで行う方式であり、電圧プログラム方式は、このデータ供給を電圧ベースで行う方式である。

【0003】

特許文献 1 には、前回のフレームにおける表示画像信号と、今回のフレームにおけるそれとの差分信号を入力とし、これらを合成したアナログ的な階調データを画素回路に出力することにより、低消費電力化を図る液晶表示装置が開示されている。

【特許文献 1】特開 2000 - 284755 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献 1 において、データ線駆動回路からデータ線を介して画素回路に供給される階調データは、走査毎に完全に更新されるため、十分な低消費電力化を図ることが困難で

10

20

30

40

50

ある。

【 0 0 0 5 】

本発明の目的は、画素回路の新規な駆動制御を提供することである。

【 0 0 0 6 】

また、本発明の別の目的は、画素回路の駆動における消費電力の低減を図ることである。

【課題を解決するための手段】

【 0 0 0 9 】

かかる課題を解決するために、第1の発明は、第1のフレームでデータ線より供給された第1のデータを保持するとともに、保持されたデータに応じた第1の駆動電流を生成する一方の駆動系と、第1のフレームの後の第2のフレームでデータ線より供給され、第2のフレームにおける階調を規定する階調データと、第1のデータとの差分に相当する差分データを第2のデータとして保持するとともに、保持されたデータに応じた第2の駆動電流を生成する他方の駆動系と、第2のフレームにおいて、第1の駆動電流と第2の駆動電流とを合成した合成電流を供給することによって、階調データ相当の輝度に設定される電気光学素子とを有する画素回路を提供する。

10

【 0 0 1 0 】

ここで、第1の発明において、他方の駆動系は、第2のデータを保持する第1のキャパシタと、第1のキャパシタに自己のゲートが接続されているとともに、第1のキャパシタに保持されたデータに応じて、第2の駆動電流の少なくとも一部となる第2の順駆動電流を生成する第1の駆動素子と、第2のデータを保持する第2のキャパシタと、第2のキャパシタに自己のゲートが接続されているとともに、第2のキャパシタに保持されたデータに応じて、第2の駆動電流の少なくとも一部となり、かつ、第2の順駆動電流とは逆向きの第2の逆駆動電流を生成する第2の駆動素子とを有することが好ましい。

20

【 0 0 1 1 】

第1の発明において、第1のデータは、第1のフレームにおける階調を規定する階調データと、第1のフレームの前の第3のフレームにおける差分データとの差分に相当する差分データであってもよい。この場合、一方の駆動系は、第1のデータを保持する第3のキャパシタと、第3のキャパシタに自己のゲートが接続されているとともに、第3のキャパシタに保持されたデータに応じて、第1の駆動電流の少なくとも一部となる第1の順駆動電流を生成する第3の駆動素子と、第1のデータを保持する第4のキャパシタと、第4のキャパシタに自己のゲートが接続されているとともに、第4のキャパシタに保持されたデータに応じて、第1の駆動電流の少なくとも一部となり、かつ、第1の順駆動電流とは逆向きの第1の逆駆動電流を生成する第4の駆動素子とを有することが好ましい。

30

【 0 0 1 2 】

また、第1のデータは、第1のフレームにおける階調を規定する階調データであってもよい。この場合、一方の駆動系は、第1のデータを保持する第3のキャパシタと、第3のキャパシタに自己のゲートが接続されているとともに、第3のキャパシタに保持されたデータに応じて、第1の駆動電流を生成する第3の駆動素子とを有することが好ましい。

【 0 0 1 3 】

第1の発明において、データ線に供給された電圧レベルの第1のデータを一方の駆動系に含まれるキャパシタの一方の電極に選択的に供給する第1のスイッチング素子と、データ線に供給された電圧レベルの第2のデータを他方の駆動系に含まれるキャパシタの一方の電極に選択的に供給する第2のスイッチング素子とをさらに設けてもよい。

40

【 0 0 1 4 】

第1の発明において、第1の駆動素子を選択的にダイオード接続して、データ線に供給された電流レベルの第1のデータを一方の駆動系に含まれる駆動素子のチャンネルに供給する第1のスイッチング素子と、第2の駆動素子を選択的にダイオード接続して、データ線に供給された電流レベルの第2のデータを他方の駆動系に含まれる駆動素子のチャンネルに供給する第2のスイッチング素子とをさらに設けてもよい。

50

【 0 0 1 5 】

第2の発明は、複数の走査線と、複数のデータ線と、走査線とデータ線との交差に対応して設けられた複数の画素回路と、走査線に走査信号を出力することにより、データの書込対象となる画素回路に対応する走査線を選択する走査線駆動回路と、走査線駆動回路と協働し、書込対象となる画素回路に対応するデータ線にデータを出力するデータ線駆動回路とを有する電気光学装置を提供する。ここで、画素回路は、上述した第1の発明にかかる画素回路である。

【 0 0 1 6 】

第3の発明は、上記第2の発明にかかる電気光学装置を実装した電子機器を提供する。

【 0 0 1 9 】

第4の発明は、一方の駆動系に含まれるキャパシタに、第1のフレームでデータ線より供給された第1のデータを保持する第1のステップと、他方の駆動系に含まれるキャパシタに、第1のフレームの後の第2のフレームでデータ線より供給され、第2のフレームにおける階調を規定する階調データと、第1のデータとの差分に相当する差分データを第2のデータとして保持する第2のステップと、第2のフレームにおいて、一方の駆動系に含まれる駆動素子が第1のデータに応じた第1の駆動電流を生成し、他方の駆動系に含まれる駆動素子が第2のデータに応じた第2の駆動電流を生成するとともに、第1の駆動電流と第2の駆動電流とを合成した合成電流を電気光学素子に供給することによって、電気光学素子の輝度を階調データ相当に設定する第3のステップとを有する画素回路の駆動方法を提供する。

【 0 0 2 0 】

ここで、第4の発明において、第1のデータは、第1のフレームの前の第3のフレームにおける差分データと、第1のフレームにおける階調を規定する階調データとの差分に相当する差分データであってもよい。また、第1のデータは、第1のフレームにおける階調を規定する階調データであってもよい。

【 発明の効果 】

【 0 0 2 1 】

本発明では、画素回路に複数の駆動系を設け、それぞれの駆動系に対してデータを交互に供給するとともに、これらの駆動系の合成電流に基づいて電気光学素子の輝度を設定する。これにより、画素回路の駆動における低消費電力化を図ることが可能になる。

【 発明を実施するための最良の形態 】

【 0 0 2 2 】

(第1の実施形態)

図1は、本実施形態にかかる電気光学装置のブロック構成図である。表示部1は、例えばTFT (Thin Film Transistor) によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、mドット×nライン分の画素群がマトリクス状(二次元平面的)に並んでいる。表示部1には、それぞれが水平方向に延在している走査線群Y1~Ynと、それぞれが垂直方向に延在しているデータ線群X1~Xmとが設けられており、これらの交差に対応して画素2(後述する画素回路)が配置されている。なお、後述する各画素回路との関係で、同図に示した1本の走査線Yが複数の走査線のセットを示すことがあり、同図に示した1本のデータ線Xが複数のデータ線のセットを示すことがある。

【 0 0 2 3 】

制御回路5は、図示しない上位装置からの外部信号をベースに、後述するST、CLX、φ、LP等を含む各種の内部信号を生成し、これらに基づいて、走査線駆動回路3とデータ線駆動回路4とを同期制御する。この同期制御の下、これらの駆動回路3, 4は互いに協働して、表示部1の表示制御を行う。走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、走査線Y1~Ynに走査信号SELを出力する。走査信号SELは、高電位レベル(以下「Hレベル」という)または低電位レベル(以下「Lレベル」という)の2値的な信号レベルをとり、データの書込対象となる画素行に対応する走査

線 Y は H レベル、これ以外の走査線 Y は L レベルにそれぞれ設定される。走査線駆動回路 3 は、1 画像の表示期間に相当する 1 フレーム (1 F) 毎に、所定の選択順序で (一般的には最上から最下に向かって)、それぞれの走査線 Y を順番に選択する線順次走査を行う。

【 0 0 2 4 】

データ線駆動回路 4 は、走査線駆動回路 3 による線順次走査と同期して、それぞれのデータ線 X1 ~ Xm にデータを出力する。この出力データは、画素 2 の階調を規定する階調データ D そのものではなく、隣接したフレーム間における「差分データ ΔD 」(実際には、これをアナログ化した信号) である。本実施形態において、i 番目のフレーム Fi の「差分データ ΔDi 」は、その直前フレーム Fi-1 の差分データ $\Delta Di-1$ と、フレーム Fi の階調データ Di との差分値 ($Di - \Delta Di-1$) として定義される。この定義に従えば、階調データ Di と差分データ ΔDi との関係は、例えば下記のようなになる。差分データ ΔDi は、正負を伴うので、階調データ Di のビット数 (例えば 6 ビット) に正負を指す 1 ビットを加えたビット数 (例えば 7 ビット) が必要となる。

【 0 0 2 5 】

(階調データと差分データとの関係)

フレーム Fi	F1	F2	F3	F4	F5	...
階調データ Di	100	120	200	150	80	...
差分データ ΔDi	+100	+20	+180	-30	+110	...

【 0 0 2 6 】

図 2 は、6 ビットの階調データ D (= D0 ~ D5) を入力とするデータ線駆動回路 4 の構成図である。このデータ線駆動回路 4 は、m ビットの X シフトレジスタ 40 およびデータ線単位で設けられた m 個の回路ユニット 41 で構成されている。X シフトレジスタ 40 は、1 水平走査期間 (1 H) の最初に供給されるスタートパルス ST をクロック信号 CLX にしたがって転送し、ラッチ信号 S1, S2, S3, ..., Sm のレベルを順次排他的に H レベルに設定する。

【 0 0 2 7 】

m 個の回路ユニット 41 は、ある 1 H でデータを書き込む画素行に対する電流レベルの差分データ Idif の一斉出力と、次の 1 H で書き込みを行う画素行に関する階調データ D の点順次的なラッチとを同時に行う。単一の回路ユニット 41 は、3 つのスイッチ群 42, 44, 48 と、2 つのラッチ回路 43, 45 と、電流 DAC 46 と、少なくとも (7 × n) ビットのメモリ空間を有する画素列メモリ 47 と、差分算出回路 49 とで構成されている。データ線 X1 ~ Xm に対応する個々の回路ユニット 41 の動作は、ラッチ信号 S1, S2, S3, ..., Sm による階調データ D の取り込みタイミングが異なる点を除けば同様である。最前段のスイッチ群 42 は、対応するラッチ信号 S が H レベルになることによってオンする。これにより、ラッチ信号 S が規定する取り込みタイミングで、6 ビットの階調データ D が第 1 のラッチ回路 43 に取り込まれる。

【 0 0 2 8 】

差分算出回路 49 は、第 1 のラッチ回路 43 にラッチされた階調データ D と、画素列メモリ 47 に保持された極性付の差分データ ΔD との差分 ($D - \Delta D$) を算出する。画素列メモリ 47 には、前回のフレームにおける 1 画素列分の差分データ ΔD が記憶されており、走査線 Y の順次選択にともない、これに対応する画素の差分データ ΔD が順次更新されていく。差分算出回路 49 は、ある 1 H で入力した階調データ D と同一の書込対象に関する 1 フレーム前の差分データ ΔD を画素列メモリ 47 から読み出して、読み出した差分データ ΔD と階調データ D との差分に相当する新たな差分データ ΔD を出力する。この算出回路 49 より出力された差分データ ΔD は、ラッチパルス LP が H レベルになってスイッチ群 44 がオンするタイミングで、第 2 のラッチ回路 45 に転送される。それとともに、第 1 のラッチ回路 43 には、スイッチ群 42 を介して、次の 1 H における階調データ D が新たにラッチされる。後述する可変電流源 4a に相当する電流 DAC 46 は、第 2 のラッチ回路 45 にラッチされた差分データ ΔD を D / A 変換し、これによって生成されたア

ナログ電流としての差分データ I_{dif} をデータ線 X に供給する。

【0029】

一方、差分算出回路49から出力された差分データ ΔD は、制御信号 ϕ がHレベルになってスイッチ群48がオンする取り込みタイミングで、画素列メモリ47に転送される。この取り込みタイミングは、第2のラッチ回路44への差分データ ΔD の転送が完了した後で、かつ、次の1Hにおける階調データ D のラッチが開始される前に設定されている。画素列メモリ47に転送された差分データ ΔD は、同一の画素に関する従前の差分データ ΔD と置き換えられ、次のフレームの差分データ ΔD が転送されてくるまで、画素列メモリ47によって保持される。

【0030】

なお、データ線駆動回路4に対して、図示しない上位装置から直接的に差分データ ΔD を入力してもよく、この場合には、データ線駆動回路4の構成を大幅に簡略化できる。

【0031】

図3は、本実施形態にかかる電流プログラム方式の画素回路図である。図1に示した1本の走査線 Y は、図示した3本の走査線 $Y_a \sim Y_c$ のセットに相当する。この画素回路は、電気光学素子としての有機EL素子OLEDと、12個のトランジスタ $T1 \sim T12$ と、4個のキャパシタ $C1 \sim C4$ とで構成されている。本実施形態にかかる画素回路の特徴は、交互に動作する2つの駆動系20a, 2bを備える点であり、一方の駆動系20aが6つの回路要素 $T2 \sim T5$, $C1 \sim C2$ 、他方の駆動系20bが6つの回路要素 $T8 \sim T11$, $C3 \sim C4$ でそれぞれ構成されている。ダイオードとして表記された有機EL素子OLEDは、自己を流れる駆動電流（後述する合成電流 I_{oled} ）によって輝度が設定される典型的な電流駆動型素子である。後述する各実施形態についても同様であるが、キャパシタ $C1 \sim C4$ は、少なくとも2フレーム以上データを保持できる程度の容量を有している。なお、同図の例では、トランジスタ $T3$, $T9$ をpチャネル型とし、その他をnチャネル型としているが、これは一例にすぎず、別の組み合わせでチャネル型を設定してもよい。また、本明細書では、ソース、ドレインおよびゲートを備える三端子型素子であるトランジスタに関して、ソースまたはドレインの一方を「一方の端子」と呼び、他方を「他方の端子」と呼ぶ。

【0032】

スイッチング素子であるトランジスタ $T1$ のゲートは、第1の走査信号 $SEL1$ が供給される第1の走査線 Y_a に接続されており、その一方の端子は、電流レベルの差分データ I_{dif} が供給されるデータ線 X に接続されている。このトランジスタ $T1$ の他方の端子は、一方の駆動系20aの入出力ノードとなるノード $N1$ に接続されている。また、スイッチング素子であるトランジスタ $T6$ のゲートは、第3の走査信号 $SEL3$ が供給される第3の走査線 Y_c に接続されており、その一方の端子は、ノード $N1$ に接続されている。このトランジスタ $T6$ の他方の端子は、有機EL素子OLEDのアノード（陽極）に接続されている。有機EL素子OLEDのカソード（陰極）は、電源電圧 V_{dd} よりも低い基準電圧 V_{ss} が常時供給される V_{ss} 端子に接続されている。

【0033】

トランジスタ $T1$, $T6$ の間に設けられた一方の駆動系20aは、3つの回路要素 $T2$, $T3$, $C1$ によって構成される正駆動部と、3つの回路要素 $T4$, $T5$, $C2$ によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタ $T2$ のゲートは、第1の走査線 Y_a に接続されており、その一方の端子は、ノード $N1$ に接続されている。また、トランジスタ $T2$ の他方の端子は、駆動素子であるpチャネル型のトランジスタ $T3$ のゲートと、キャパシタ $C1$ の一方の電極とに共通接続されている。このキャパシタ $C1$ の他方の電極は、トランジスタ $T3$ の一方の端子と共に電源電圧 V_{dd} が常時供給される V_{dd} 端子に接続され、トランジスタ $T3$ の他方の端子は、ノード $N1$ に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタ $T4$ のゲートは、トランジスタ $T2$ と同様に第1の走査線 Y_a に接続されており、その一方の端子は、ノード $N1$ に接続されている。また、トランジスタ $T4$ の他方の端子は、駆動素子であるnチャネル型のトランジスタ $T5$ のゲートと、キャパシタ $C2$ の一方の電極とに共通接続されている。

このキャパシタC2の他方の電極は、トランジスタT5の一方の端子と共にVss端子に接続され、トランジスタT5の他方の端子は、ノードN1に接続されている。

【0034】

スイッチング素子であるトランジスタT7のゲートは、第2の走査信号SEL2が供給される第2の走査線Ybに接続されており、その一方の端子は、データ線Xに接続されている。このトランジスタT7の他方の端子は、他方の駆動系20bの入出力ノードとなるノードN2に接続されている。また、スイッチング素子であるトランジスタT12のゲートは、トランジスタT6と同様に第3の走査線Ycに接続されており、その一方の端子は、ノードN2に接続されている。このトランジスタT12の他方の端子は、有機EL素子OLEDのアンノードに接続されている。

10

【0035】

トランジスタT7、T12の間に設けられた他方の駆動系20bは、3つの回路要素T8、T9、C3によって構成される正駆動部と、3つの回路要素T10、T11、C4によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタT8のゲートは、第2の走査線Ybに接続されており、その一方の端子は、ノードN2に接続されている。また、トランジスタT8の他方の端子は、駆動素子であるpチャネル型のトランジスタT9のゲートと、キャパシタC3の一方の電極とに共通接続されている。このキャパシタC3の他方の電極は、トランジスタT9の一方の端子と共にVdd端子に接続され、トランジスタT9の他方の端子は、ノードN2に接続されている。また、負駆動部に関して、スイッチング素子であるトランジスタT10のゲートは、トランジスタT8と同様に第2の走査線Ybに接続されており、その一方の端子は、ノードN2に接続されている。また、トランジスタT10の他方の端子は、駆動素子であるnチャネル型のトランジスタT11のゲートと、キャパシタC4の一方の電極とに共通接続されている。このキャパシタC4の他方の電極は、トランジスタT11の一方の端子と共にVss端子に接続され、トランジスタT11の他方の端子は、ノードN2に接続されている。

20

【0036】

図4は、図3に示した画素回路の動作タイミングチャートである。上述した1Fに相当する期間t0~t2(またはt2~t4)における一連の動作プロセスは、期間t0~t1(またはt2~t3)のデータ書込プロセスと、これに続く期間t1~t2(またはt3~t4)の駆動プロセスとに大別される。第1の走査信号SEL1によって、一方の駆動系20aの動作状態が設定され、第2の走査信号SEL2によって、他方の駆動系20bの動作状態が設定される。また、第3の走査信号SEL3によって、データ書込プロセスおよび駆動プロセスのいずれかが指示される。なお、以下の説明では、同図に示した連続した複数のフレームにおいて、i番目のフレームをFiとし、その後のフレームをFi+1、その前のフレームをFi-1とする。

30

【0037】

まず、フレームFiのデータ書込期間t0~t1では、第1の走査信号SEL1がHレベルであるから、一方の駆動系20aが動作状態になる。具体的には、タイミングt0において、第1の走査信号SEL1がLレベルからHレベルに立ち上がる。これにより、トランジスタT1がオンして、一方の駆動系20aの入力ノードN1と、データ線Xとが電氣的に接続される。正駆動部に関しては、トランジスタT2がオンして、pチャネル型のトランジスタT3の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタT3は、チャネル電流が流れることを前提に生じるゲート電圧に応じて、キャパシタC1へのデータ書き込みを行うプログラミング素子として機能する。負駆動部に関しても同様であり、トランジスタT4がオンして、nチャネル型のトランジスタT5の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタT5は、チャネル電流が流れることを前提に発生するゲート電圧に応じて、キャパシタC2へのデータ書き込みを行うプログラミング素子として機能する。なお、この期間t0~t1では、第2の走査信号SEL2がLレベルであるから、他方の駆動系20bは非動作状態のままである。したがって、他方の駆動系20bのキャパシタC3、C4は、従前のフレ

40

50

ーム F_{i-1} で書き込まれた差分データ $I_{dif}(i-1)$ を引き続き保持する。

【 0 0 3 8 】

一方の駆動系 2 0 a のキャパシタ C_1 , C_2 のどちらを主体にデータの書き込みが行われるかは、フレーム F_i における差分データ $I_{dif}(i)$ の電流方向に依存している。図 5 (a) に示すように、差分データ $I_{dif}(i)$ の電流方向を、画素回路から可変電流源 4 a に向かう方向に設定した場合 ($I_{dif}(i) = I_{pls1}$) 、正駆動部におけるキャパシタ C_1 のデータ書き込みが行われる。すなわち、ダイオード接続されたトランジスタ T_3 のゲートには、自己のチャネルを流れる差分データ I_{pls1} の電流レベルに応じた電圧 V_g が発生し、このゲート電圧 V_g と電源電圧 V_{dd} との電位差相当の電荷がキャパシタ C_1 に蓄積される。この場合、負駆動部におけるトランジスタ T_5 のチャネル電流がほぼ 0 なので、キャパシタ C_2 の保持データは、トランジスタ T_5 のしきい値電圧 V_{th} 相当にリセットされる。差分データ $I_{dif}(i)$ が I_{pls1} となるのは、 $D_i - \Delta D_{i-1} > 0$ の場合であり、その電圧レベル (絶対値) は、差分値の増加にともない大きくなる。

【 0 0 3 9 】

これに対して、図 5 (b) に示すように、差分データ $I_{dif}(i)$ の電流方向を、可変電流源 4 a から画素回路に向かう方向に設定した場合 ($I_{dif}(i) = I_{mns1}$) 、負駆動部におけるキャパシタ C_2 のデータ書き込みが行われる。すなわち、ダイオード接続されたトランジスタ T_5 のゲートには、自己のチャネルを流れる差分データ I_{mns1} の電流レベルに応じた電圧 V_g が発生し、このゲート電圧 V_g と電源電圧 V_{ss} との電位差相当の電荷がキャパシタ C_2 に蓄積される。この場合、正駆動部におけるトランジスタ T_3 のチャネル電流がほぼ 0 なので、キャパシタ C_1 の保持データは、トランジスタ T_3 のしきい値電圧 V_{th} 相当にリセットされる。差分データ $I_{dif}(i)$ が I_{mns1} となるのは、 $(D_i - \Delta D_{i-1}) < 0$ の場合であり、その電圧レベル (絶対値) は、差分値の増加に伴い大きくなる。

【 0 0 4 0 】

なお、データ書込期間 $t_0 \sim t_1$ では、第 3 の走査信号 S_{EL3} が L レベルなのでトランジスタ T_6 , T_{12} がオフし、2 つの駆動系 2 0 a , 2 0 b のノード N_1 , N_2 と、有機 E L 素子 OLED のアノードとが電氣的に分離される。したがって、この期間 $t_0 \sim t_1$ において、有機 E L 素子 OLED は発光しない。この点は、次のフレーム F_{i+1} のデータ書込期間 $t_2 \sim t_3$ においても同様である。

【 0 0 4 1 】

続く駆動期間 $t_1 \sim t_2$ では、2 つの駆動系 2 0 a , 2 0 b からの駆動電流 I_{oled1} , I_{oled2} を合成した合成電流 I_{oled} が有機 E L 素子 OLED に供給される。タイミング t_1 において、第 1 の走査信号 S_{EL1} が H レベルから L レベルに立ち下がる。これにより、トランジスタ T_1 がオフして、一方の駆動系 2 0 a のノード N_1 とデータ線 X とが電氣的に分離される。それとともに、トランジスタ T_2 , T_4 もオフして、トランジスタ T_3 , T_5 のダイオード接続が解消される。しかしながら、キャパシタ C_1 , C_2 には先に書き込まれたデータが保持されている。したがって、タイミング t_1 以降も、キャパシタ C_1 , C_2 の保持データに応じたゲート電圧 V_g がトランジスタ T_3 , T_5 のゲートに印加され続ける。また、このタイミング t_1 で、第 3 の走査信号 S_{EL3} が L レベルから H レベルに立ち上がる。これにより、トランジスタ T_6 がオンして、一方の駆動系 2 0 a の出力ノード N_1 と、有機 E L 素子 OLED のアノードとが電氣的に接続される。その結果、一方の駆動系 2 0 a から有機 E L 素子 OLED を経て V_{ss} 端子に向かう、駆動電流 I_{oled1} の経路が形成される。この駆動電流 I_{oled1} は、トランジスタ T_3 (または T_5) のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ C_1 (または C_2) の保持データに基づいて一義的に特定される。また、タイミング t_1 で、トランジスタ T_6 と共にトランジスタ T_{12} もオンして、他方の駆動系 2 0 b の出力ノード N_2 と、有機 E L 素子 OLED のアノードとが電氣的に接続される。その結果、他方の駆動系 2 0 b から有機 E L 素子 OLED を経て V_{ss} 端子に向かう、駆動電流 I_{oled2} の経路が形成される。この駆動電流 I_{oled2} は、トランジスタ T_9 (または T_{11}) のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電

圧 V_g を発生するキャパシタ C_3 (または C_4)の保持データに基づいて一義的に特定される。有機EL素子OLEDには、2つの駆動電流 I_{oled1} 、 I_{oled2} を合成した合成電流 I_{oled} が流れ、これにより、有機EL素子OLEDの輝度が本来の階調データ D_i 相当に設定される。

【0042】

駆動電流 I_{oled1} 、 I_{oled2} に基づく合成電流 I_{oled} (0)の合成パターンには、以下の3通りがある。なお、差分データ ΔD の特性上、合成電流 I_{oled} が負となるケース、すなわち、 $I_{oled1} = I_{mns2}$ 、 $I_{oled2} = I_{mns2}$ のケースは存在しない。

【0043】

(パターン1) $I_{oled1} = I_{pls1}$ かつ $I_{oled2} = I_{pls2}$ (図5(c))

10

フレーム F_i で一方の駆動系20aに供給された差分データ $I_{dif}(i)$ が I_{pls1} の場合には、トランジスタ T_3 にチャネル電流が流れて、順駆動電流 $I_{oled1} (= I_{pls1})$ が生成される。また、フレーム F_{i-1} で他方の駆動系20bに供給された差分データ $I_{dif}(i-1)$ が I_{pls2} の場合には、トランジスタ T_9 にチャネル電流が流れて、順駆動電流 $I_{oled2} (= I_{pls2})$ が生成される。この場合の合成電流 I_{oled} は、2つの順駆動電流 I_{oled1} 、 I_{oled2} を加算したレベル($I_{pls1} + I_{pls2}$)になる。駆動電流 I_{oled1} 、 I_{oled2} の方向は、合成電流 I_{oled} の電流方向を基準に決定され、合成電流 I_{oled} を増加させる方向を「順方向」と定義し、合成電流 I_{oled} を減少させる方向を「逆方向」と定義する。

【0044】

(パターン2) $I_{oled1} = I_{pls1}$ かつ $I_{oled2} = I_{mns2}$ (図5(d))

20

フレーム F_i で一方の駆動系20aに供給された差分データ $I_{dif}(i)$ が I_{pls1} の場合には、トランジスタ T_3 にチャネル電流が流れて、順駆動電流 $I_{oled1} (= I_{pls1})$ が生成される。また、フレーム F_{i-1} で他方の駆動系20bに供給された差分データ $I_{dif}(i-1)$ が I_{mns2} の場合には、トランジスタ T_{11} にチャネル電流が流れて、逆駆動電流 $I_{oled2} (= I_{mns2})$ が生成される。この場合の合成電流 I_{oled} は、順駆動電流 I_{oled1} から、これとは逆向きの逆方向電流 I_{oled2} を減算したレベル($I_{pls1} - I_{mns2}$)になる。

【0045】

(パターン3) $I_{oled1} = I_{mns1}$ かつ $I_{oled2} = I_{pls2}$

フレーム F_i で一方の駆動系20aに供給された差分データ $I_{dif}(i)$ が I_{mns1} の場合には、トランジスタ T_5 にチャネル電流が流れて、逆駆動電流 $I_{oled1} (= I_{mns1})$ が生成される。また、フレーム F_{i-1} で他方の駆動系20bに供給された差分データ $I_{dif}(i-1)$ が I_{pls2} の場合には、トランジスタ T_9 にチャネル電流が流れて、順駆動電流 $I_{oled2} (= I_{pls2})$ が生成される。この場合の合成電流 I_{oled} は、順駆動電流 I_{oled2} から、これとは逆向きの逆方向電流 I_{oled1} を減算したレベル($I_{pls2} - I_{mns1}$)になる。

30

【0046】

フレーム F_i に続くフレーム F_{i+1} におけるデータ書込期間 $t_2 \sim t_3$ では、第2の走査信号 SEL_2 がHレベルであるから、他方の駆動系20bが動作状態になる。これにより、他方の駆動系20bの正駆動部に関しては、トランジスタ T_8 がオンして、pチャネル型のトランジスタ T_9 の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタ T_9 は、チャネル電流が流れることを前提に生じるゲート電圧に
40
応じて、キャパシタ C_3 へのデータ書き込みを行うプログラミング素子として機能する。負駆動部に関しても同様であり、トランジスタ T_{10} がオンして、トランジスタ T_{11} の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタ T_{11} は、チャネル電流が流れることを前提に発生するゲート電圧に応じて、キャパシタ C_4 へのデータ書き込みを行うプログラミング素子として機能する。なお、この期間 $t_2 \sim t_3$ では、第1の走査信号 SEL_1 がLレベルであるから、一方の駆動系20aは非動作状態である。したがって、一方の駆動系20aのキャパシタ C_1 、 C_2 は、従前のフレーム F_i で書き込まれた差分データ $I_{dif}(i)$ を引き続き保持する。

【0047】

他方の駆動系20bのキャパシタ C_3 、 C_4 のどちらを主体にデータの書き込みが行われ

50

るかは、フレーム F_{i+1} における差分データ $I_{dif}(i+1)$ の電流方向に依存している。すなわち、 $I_{dif}(i+1) = I_{pls2}$ の場合、正駆動部のトランジスタ $T9$ によって、キャパシタ $C3$ のデータ書き込みが行われる。この場合、キャパシタ $C4$ の保持データは、トランジスタ $T11$ のしきい値電圧 V_{th} 相当にリセットされる。差分データ $I_{dif}(i+1)$ が I_{pls2} となるのは、 $D_{i+1} - \Delta D_i > 0$ の場合であり、その電圧レベル（絶対値）は、差分値の増加にともない大きくなる。これに対して、 $I_{dif}(i+1) = I_{mns2}$ の場合、負駆動部のトランジスタ $T11$ によって、キャパシタ $C4$ のデータ書き込みが行われる。この場合、キャパシタ $C3$ の保持データは、トランジスタ $T9$ のしきい値電圧 V_{th} 相当にリセットされる。差分データ $I_{dif}(i+1)$ が I_{mns2} となるのは、 $(D_{i+1} - \Delta D_i) < 0$ の場合であり、その電圧レベル（絶対値）は、差分値の増加に伴い大きくなる。

10

【0048】

続く駆動期間 $t3 \sim t4$ では、2つの駆動系 $20a$ 、 $20b$ からの駆動電流 I_{oled1} 、 I_{oled2} を合成した合成電流 I_{oled} が有機 EL 素子 $OLED$ に供給される。タイミング $t3$ において、第2の走査信号 $SEL2$ が H レベルから L レベルに立ち下がる。これにより、トランジスタ $T7$ がオフして、他方の駆動系 $20b$ のノード $N2$ とデータ線 X とが電氣的に分離される。それとともに、トランジスタ $T8$ 、 $T10$ もオフして、トランジスタ $T9$ 、 $T11$ のダイオード接続が解消される。しかしながら、キャパシタ $C3$ 、 $C4$ には先に書き込まれたデータが保持されている。したがって、タイミング $t3$ 以降も、キャパシタ $C3$ 、 $C4$ の保持データに応じたゲート電圧 V_g がトランジスタ $T9$ 、 $T11$ のゲートに印加され続ける。また、このタイミング $t3$ で、第3の走査信号 $SEL3$ が L レベルから H レベルに立ち上がる。これにより、トランジスタ $T12$ がオンして、他方の駆動系 $20b$ の出力ノード $N2$ と、有機 EL 素子 $OLED$ のアノードとが電氣的に接続される。その結果、他方の駆動系 $20b$ から有機 EL 素子 $OLED$ を経て V_{ss} 端子に向かう、駆動電流 I_{oled2} の経路が形成される。この駆動電流 I_{oled2} は、トランジスタ $T9$ （または $T11$ ）のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ $C3$ （または $C4$ ）の保持データに基づいて一義的に特定される。また、タイミング $t3$ で、トランジスタ $T12$ と共にトランジスタ $T6$ もオンして、一方の駆動系 $20a$ の出力ノード $N1$ と、有機 EL 素子 $OLED$ のアノードとが電氣的に接続される。その結果、一方の駆動系 $20a$ から有機 EL 素子 $OLED$ を経て V_{ss} 端子に向かう、駆動電流 I_{oled1} の経路が形成される。この駆動電流 I_{oled1} は、トランジスタ $T3$ （または $T5$ ）のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ $C1$ （または $C2$ ）の保持データに基づいて一義的に特定される。有機 EL 素子 $OLED$ には、2つの駆動電流 I_{oled1} 、 I_{oled2} を合成した合成電流 I_{oled} が流れ、これにより、有機 EL 素子 $OLED$ の輝度が本来の階調データ D_{i+1} 相当に設定される。

20

30

【0049】

このように、本実施形態によれば、電流プログラム方式の画素回路において、互いに異なる差分データ $I_{dif}(i)$ 、 $I_{dif}(i+1)$ を用いた差分駆動を行うことで、低消費電力化を図ることが可能になる。なぜなら、微少電流での書き込みが問題にならないケース（例えば、小型パネルで容量が小さく書込時間も長い場合、高輝度で発光するデバイス、高階調領域の駆動等）において、データ線 X に大電流を供給する必要がなくなるからである。これに起因して、データ線駆動回路4内の電流 DAC における消費電力の低減を図ることができ、かつ、その回路構成を簡素化することができる。また、電流 DAC と画素回路との間に存在するデータ線 X におけるノイズの低減を図ることも可能になる。さらに、大規模なディスプレイの場合には、階調データがそのまま出力されることが多いので、中間回路に負荷がかかるが、本実施形態の場合には、階調データを圧縮して扱うことができるので、そのような負荷を低減できるという効果もある。

40

【0050】

なお、上述した実施形態では、すべての階調領域で差分駆動を行っているが、階調領域に応じて、差分データ ΔD を用いた差分駆動と、階調データ D を用いた通常駆動とを切り

50

替えてもよい。例えば、表示部 1 の輝度が全体的に高い場合には差分駆動を行い、全体的に低い場合には通常駆動を行うといった如くである。これにより、電流プログラム方式固有の問題である、低階調時におけるデータ書き込み不足の抑制を図ることが可能になる。また、表示対象に応じて、差分駆動と通常駆動とを切り替えてもよい。例えば、表示部 1 に動画を表示する場合には差分駆動を行い、静止画を表示する場合には通常駆動を行うといった如くである。これにより、静止画の表示時における不要な書き込み（走査信号 S E L 2 の走査では何も書き込まれない）を解消できる。なお、通常駆動時には、図 3 に示した走査信号 S E L 2 を走査せずに、走査信号 S E L 1, S E L 3 を走査することで、一方の駆動系 2 0 a のみを用いた駆動を行えばよい。以上の点は、後述する各実施形態においても同様である。

10

【 0 0 5 1 】

（第 2 の実施形態）

図 6 は、本実施形態にかかる電流プログラム方式の画素回路図である。図 1 に示した 1 本の走査線 Y は、図示した 3 本の走査線 Y a ~ Y c のセットに相当する。この画素回路は、有機 E L 素子 OLED と、14 個のトランジスタ T 1 ~ T 14 と、4 個のキャパシタ C 1 ~ C 4 とで構成されている。本実施形態にかかる画素回路も、交互に動作する 2 つの駆動系 2 0 a, 2 b を備えており、一方の駆動系 2 0 a が 8 つの回路要素 T 2 ~ T 7, C 1 ~ C 2、他方の駆動系 2 0 b が 8 つの回路要素 T 8 ~ T 13, C 3 ~ C 4 でそれぞれ構成されている。なお、同図の例では、トランジスタ T 4, T 8 ~ T 12, T 14 を p チャネル型とし、その他を n チャネル型としているが、これは一例にすぎず、別の組み合わせでチャネル型を設定してもよい。

20

【 0 0 5 2 】

スイッチング素子であるトランジスタ T 1 のゲートは、第 1 の走査信号 S E L 1 が供給される第 1 の走査線 Y a に接続されており、その一方の端子は、電流レベルの差分データ I d i f が供給されるデータ線 X に接続されている。このトランジスタ T 1 の他方の端子は、一方の駆動系 2 0 a の入出力ノードであり、かつ、他方の駆動系 2 0 b の入出力ノードでもあるノード N 1 に接続されている。また、スイッチング素子であるトランジスタ T 14 のゲートは、第 1 の走査線 Y a に接続されており、その一方の端子は、ノード N 1 に接続されている。このトランジスタ T 14 の他方の端子は、有機 E L 素子 OLED のアノードに接続されている。有機 E L 素子 OLED のカソードは、V s s 端子に接続されている。

30

【 0 0 5 3 】

一方の駆動系 2 0 a は、4 つの回路要素 T 2 ~ T 4, C 1 によって構成される正駆動部と、4 つの回路要素 T 5 ~ T 7, C 2 によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタ T 2 のゲートは、第 2 の走査線 Y b に接続されており、その一方の端子は、ノード N 1 に接続されている。また、トランジスタ T 2 の他方の端子は、駆動素子である p チャネル型のトランジスタ T 4 のゲートと、キャパシタ C 1 の一方の電極とに共通接続されている。このキャパシタ C 1 の他方の電極は、トランジスタ T 4 の一方の端子と共に V d d 端子に接続され、トランジスタ T 4 の他方の端子は、スイッチング素子であるトランジスタ T 3 の一方の端子に接続されている。このトランジスタ T 3 のゲートは、第 3 の走査信号 S E L 3 が供給される第 3 の走査線 Y c に接続されており、その他方の端子はノード N 1 に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタ T 5 のゲートは、トランジスタ T 2 と同様に第 2 の走査線 Y b に接続されており、その一方の端子は、ノード N 1 に接続されている。また、トランジスタ T 5 の他方の端子は、駆動素子である n チャネル型のトランジスタ T 7 のゲートと、キャパシタ C 2 の一方の電極とに共通接続されている。このキャパシタ C 2 の他方の電極は、トランジスタ T 7 の一方の端子と共に V s s 端子に接続され、トランジスタ T 7 の他方の端子は、スイッチング素子であるトランジスタ T 6 の一方の端子に接続されている。このトランジスタ T 6 のゲートは、トランジスタ T 3 と同様に第 3 の走査線 Y c に接続されており、その他方の端子はノード N 1 に接続されている。

40

【 0 0 5 4 】

50

また、他方の駆動系 20b は、4つの回路要素 T8~T10, C3によって構成される正駆動部と、4つの回路要素 T11~T13, C4によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタ T8のゲートは、第3の走査線 Ycに接続されており、その一方の端子は、ノード N1に接続されている。また、トランジスタ T8の他方の端子は、駆動素子である pチャネル型のトランジスタ T10のゲートと、キャパシタ C3の一方の電極とに共通接続されている。このキャパシタ C3の他方の電極は、トランジスタ T10の一方の端子と共に Vdd端子に接続され、トランジスタ T10の他方の端子は、スイッチング素子であるトランジスタ T9の一方の端子に接続されている。このトランジスタ T9のゲートは、第2の走査線 Ybに接続されており、その他方の端子はノード N1に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタ T11のゲートは、トランジスタ T8と同様に第3の走査線 Ycに接続されており、その一方の端子は、ノード N1に接続されている。また、トランジスタ T11の他方の端子は、駆動素子である nチャネル型のトランジスタ T13のゲートと、キャパシタ C4の一方の電極とに共通接続されている。このキャパシタ C4の他方の電極は、トランジスタ T13の一方の端子と共に Vss端子に接続され、トランジスタ T13の他方の端子は、スイッチング素子であるトランジスタ T12の一方の端子に接続されている。このトランジスタ T12のゲートは、トランジスタ T9と同様に第2の走査線 Ybに接続されており、その他方の端子はノード N1に接続されている。

【0055】

図7は、図6に示した画素回路の動作タイミングチャートである。上述した 1Fに相当する期間 t0~t2(または t2~t4)における一連の動作プロセスは、期間 t0~t1(または t2~t3)のデータ書込プロセスと、これに続く期間 t1~t2(または t3~t4)の駆動プロセスとに大別される。第1の走査信号 SEL1によって、データ書込プロセスおよび駆動プロセスのいずれかが指示される。また、第2および第3の走査信号 SEL2, SEL3によって、駆動系 20a, 20bの動作状態が設定される。

【0056】

まず、フレーム Fiのデータ書込期間 t0~t1では、第1の走査信号 SEL1がHレベルであるから、トランジスタ T1がオンして、ノード N1とデータ線 Xとが電氣的に接続される。また、第2および第3の走査信号 SEL2, SEL3が共にHレベルであるから、トランジスタ T2, T3, T5, T6が共にオンし、一方の駆動系 20aが動作状態になる。これにより、正駆動部における pチャネル型のトランジスタ T4の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタ T4は、チャネル電流が流れることを前提に生じるゲート電圧に応じて、キャパシタ C1へのデータ書き込みを行うプログラミング素子として機能する。負駆動部に関しても同様であり、nチャネル型のトランジスタ T7の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタ T7は、チャネル電流が流れることを前提に発生するゲート電圧に応じて、キャパシタ C2へのデータ書き込みを行うプログラミング素子として機能する。一方の駆動系 20aのキャパシタ C1, C2のどちらを主体にデータの書き込みが行われるかは、上述した第1の実施形態と同様、フレーム Fiにおける差分データ Idif(i)の電流方向に依存している。なお、この期間 t0~t1では、第2および第3の走査信号 SEL2, SEL3によって導通制御されるトランジスタ T8, T9, T11, T12が共にオフであるから、他方の駆動系 20bは非動作状態のままである。したがって、他方の駆動系 20bのキャパシタ C3, C4は、従前のフレーム Fi-1で書き込まれた差分データ Idif(i-1)を引き続き保持する。

【0057】

なお、データ書込期間 t0~t1では、第1の走査信号 SEL1がHレベルなのでトランジスタ T14がオフし、ノード N1と有機 EL素子 OLEDのアノードとが電氣的に分離される。したがって、この期間 t0~t1において、有機 EL素子 OLEDは発光しない。この点は、次のフレーム Fi+1のデータ書込期間 t2~t3においても同様である。

【0058】

10

20

30

40

50

続く駆動期間 $t_1 \sim t_2$ では、2つの駆動系 20a, 20b からの駆動電流 I_{oled1} , I_{oled2} を合成した合成電流 I_{oled} が有機 EL 素子 OLED に供給される。タイミング t_1 において、第 1 の走査信号 S_{EL1} が H レベルから L レベルに立ち下がる。これにより、トランジスタ T1 がオフして、ノード N1 とデータ線 X とが電氣的に分離される。それとともに、トランジスタ T14 がオンして、ノード N1 と有機 EL 素子 OLED のアノードとが電氣的に接続される。また、タイミング t_1 で、第 2 の走査信号 S_{EL2} も H レベルから L レベルに立ち下がる。これにより、一方の駆動系 20a に関して、トランジスタ T2, T5 がオフして、トランジスタ T4, T7 のダイオード接続が解消される。しかしながら、キャパシタ C1, C2 には先に書き込まれたデータが保持されている。したがって、タイミング t_1 以降も、キャパシタ C1, C2 の保持データに応じたゲート電圧 V_g がトランジスタ T4, T7 のゲートに印加され続ける。その結果、一方の駆動系 20a から有機 EL 素子 OLED を経て V_{ss} 端子に向かう、駆動電流 I_{oled1} の経路が形成される。この駆動電流 I_{oled1} は、トランジスタ T4 (または T7) のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ C1 (または C2) の保持データに基づいて一義的に特定される。また、第 2 の走査信号 S_{EL2} が L レベルに立ち下がったことで、他方の駆動系 20b のトランジスタ T9, T12 が共にオンする。その結果、他方の駆動系 20b から有機 EL 素子 OLED を経て V_{ss} 端子に向かう、駆動電流 I_{oled2} の経路が形成される。この駆動電流 I_{oled2} は、トランジスタ T10 (または T13) のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ C3 (または C4) の保持データに基づいて一義的に特定される。有機 EL 素子 OLED には、2つの駆動電流 I_{oled1} , I_{oled2} を合成した合成電流 I_{oled} が流れ、これにより、有機 EL 素子 OLED の輝度が本来の階調データ D_i 相当に設定される。駆動電流 I_{oled1} , I_{oled2} に基づく合成電流 I_{oled} (0) の合成パターンについては、上述した第 1 の実施形態と同様であるから、ここでの説明を省略する。

【0059】

次のフレーム F_{i+1} のデータ書込期間 $t_2 \sim t_3$ では、第 1 の走査信号 S_{EL1} が H レベルであるから、トランジスタ T1 がオンして、ノード N1 とデータ線 X とが電氣的に接続される。また、第 2 および第 3 の走査信号 S_{EL2} , S_{EL3} が共に L レベルであるから、トランジスタ T8, T9, T11, T12 が共にオンし、他方の駆動系 20b が動作状態になる。これにより、正駆動部における p チャネル型のトランジスタ T10 の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタ T10 は、チャネル電流が流れることを前提に生じるゲート電圧に応じて、キャパシタ C3 へのデータ書き込みを行うプログラミング素子として機能する。負駆動部に関しても同様であり、n チャネル型のトランジスタ T13 の一方の端子と自己のゲートとがダイオード接続される。ダイオード接続されたトランジスタ T13 は、チャネル電流が流れることを前提に発生するゲート電圧に応じて、キャパシタ C4 へのデータ書き込みを行うプログラミング素子として機能する。他方の駆動系 20b のキャパシタ C3, C4 のどちらを主体にデータの書き込みが行われるかは、フレーム F_{i+1} における差分データ $I_{dif}(i+1)$ の電流方向に依存している。なお、この期間 $t_2 \sim t_3$ では、第 2 および第 3 の走査信号 S_{EL2} , S_{EL3} によって導通制御されるトランジスタ T2, T3, T5, T6 が共にオフであるから、一方の駆動系 20a は非動作状態のままである。したがって、一方の駆動系 20a のキャパシタ C1, C2 は、従前のフレーム F_i で書き込まれた差分データ $I_{dif}(i)$ を引き続き保持する。

【0060】

続く駆動期間 $t_3 \sim t_4$ では、2つの駆動系 20a, 20b からの駆動電流 I_{oled1} , I_{oled2} を合成した合成電流 I_{oled} が有機 EL 素子 OLED に供給される。タイミング t_3 において、第 1 の走査信号 S_{EL1} が H レベルから L レベルに立ち下がる。これにより、トランジスタ T1 がオフして、ノード N1 とデータ線 X とが電氣的に分離されるとともに、トランジスタ T14 がオンして、ノード N1 と有機 EL 素子 OLED のアノードとが電氣的に接続される。また、タイミング t_3 で、第 3 の走査信号 S_{EL3} が L レベルから H レベルに立ち上

る。これにより、他方の駆動系 20b に関して、トランジスタ T8, T11 がオフして、トランジスタ T10, T13 のダイオード接続が解消される。しかしながら、キャパシタ C3, C4 には先に書き込まれたデータが保持されているので、タイミング t3 以降も、これらの保持データに応じたゲート電圧 V_g がトランジスタ T10, T13 のゲートに印加され続ける。また、この期間 t3 ~ t4 では、第 2 の走査信号 SEL2 が L レベルのままなので、トランジスタ T9, T12 は引き続きオンする。その結果、他方の駆動系 20b から有機 EL 素子 OLED を経て V_{ss} 端子に向かう、駆動電流 I_{oled2} の経路が形成される。この駆動電流 I_{oled2} は、トランジスタ T10 (または T13) のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ C3 (または C4) の保持データに基づいて一義的に特定される。また、第 3 の走査信号 SEL3 が H レベルに立ち上がることによって、一方の駆動系 20a のトランジスタ T3, T6 が共にオンする。その結果、一方の駆動系 20a から有機 EL 素子 OLED を経て V_{ss} 端子に向かう、駆動電流 I_{oled1} の経路が形成される。この駆動電流 I_{oled1} は、トランジスタ T4 (または T7) のチャネル電流に相当し、その電流レベルは、自己のゲート電圧 V_g に基づいて、換言すれば、このゲート電圧 V_g を発生するキャパシタ C1 (または C2) の保持データに基づいて一義的に特定される。有機 EL 素子 OLED には、2 つの駆動電流 I_{oled1} , I_{oled2} を合成した合成電流 I_{oled} が流れ、これにより、有機 EL 素子 OLED の輝度が本来の階調データ D_{i+1} 相当に設定される。

【0061】

このように、本実施形態によれば、電流プログラム方式の画素回路において、互いに異なる差分データ $I_{dif}(i)$, $I_{dif}(i+1)$ を用いた差分駆動を行うことで、低消費電力化を含む第 1 の実施形態と同様の効果が得られる。

【0062】

(第 3 の実施形態)

上述した第 1 および第 2 の実施形態では、電流プログラム方式の差分駆動について説明したが、第 3 および第 4 の実施形態では、電圧プログラム方式への適用例について説明する。本実施形態において、図 1 に示したデータ線駆動回路 4 は、電流 DAC の代わりに電圧 DAC を含み、電圧レベルの差分データ V_{dif} をデータ線 $X \sim X_m$ に供給する。本実施形態では、隣接したフレーム間における「差分データ ΔD 」の正負に基づいて差分データ V_{dif} を決定する。すなわち、 $D_{i+1} - \Delta D_i > 0$ の場合には、差分データ V_{dif} として正の値 V_{pls} が設定され、これが第 1 のデータ線 X_a に出力される。これに対して、 $(D_{i+1} - \Delta D_i) < 0$ の場合には、差分データ V_{dif} として負の値 V_{mns} が設定され、これが第 2 のデータ線 X_b に出力される。また、図 1 に示した 1 本の走査線 Y は、図示した 2 本の走査線 Y_a , Y_b のセットに相当し、図 1 に示した 1 本のデータ線 X は、図示した 2 本のデータ線 X_a , X_b のセットに相当する。

【0063】

図 8 は、本実施形態にかかる電圧プログラム方式の画素回路図である。この画素回路は、有機 EL 素子 OLED と、8 個のトランジスタ T1 ~ T8 と、4 個のキャパシタ C1 ~ C4 とで構成されている。本実施形態にかかる画素回路も、交互に動作する 2 つの駆動系 20a, 2b を備えており、一方の駆動系 20a が 6 つの回路要素 T1 ~ T4, C1 ~ C2、他方の駆動系 20b が 6 つの回路要素 T5 ~ T8, C3 ~ C4 でそれぞれ構成されている。なお、同図の例では、トランジスタ T2, T6 を p チャネル型とし、その他を n チャネル型としているが、これは一例にすぎず、別の組み合わせでチャネル型を設定してもよい。

【0064】

一方の駆動系 20a は、3 つの回路要素 T1, T2, C1 によって構成される正駆動部と、3 つの回路要素 T3, T4, C2 によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタ T1 のゲートは、第 1 の走査信号 SEL1 が供給される第 1 の走査線 Y_a に接続されている。このトランジスタ T1 の一方の端子は、電圧レベルの差分データ $V_{dif} (= V_{pls})$ が供給される第 1 のデータ線 X_a に接続されており、その他方の端子は、キャパシタ C1 の一方の電極と、駆動素子である p チャネル型のト

ランジスタT2のゲートとに共通接続されている。キャパシタC1の他方の電極は、トランジスタT2の一方の端子と共にV_{dd}端子に接続されており、トランジスタT2の他方の端子は、ノードN1に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタT3のゲートは、トランジスタT1と同様に第1の走査線Y_aに接続されている。このトランジスタT3の一方の端子は、電圧レベルの差分データV_{dif}(=V_{mns})が供給される第2のデータ線X_bに接続されており、その他方の端子は、キャパシタC2の一方の電極と、駆動素子であるnチャネル型のトランジスタT4のゲートとに共通接続されている。キャパシタC2の他方の電極は、トランジスタT4の一方の端子と共にV_{ss}端子に接続されており、トランジスタT4の他方の端子は、ノードN1に接続されている。有機EL素子OLEDのアノードは、ノードN1に接続されており、そのカソードはV_{ss}端子に接続されている。

10

【0065】

他方の駆動系20bは、3つの回路要素T5, T6, C3によって構成される正駆動部と、3つの回路要素T7, T8, C4によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタT5のゲートは、第2の走査信号SEL2が供給される第2の走査線Y_bに接続されている。このトランジスタT5の一方の端子は、第1のデータ線X_aに接続されており、その他方の端子は、キャパシタC3の一方の電極と、駆動素子であるpチャネル型のトランジスタT6のゲートとに共通接続されている。キャパシタC3の他方の電極は、トランジスタT6の一方の端子と共にV_{dd}端子に接続されており、トランジスタT6の他方の端子は、ノードN1に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタT7のゲートは、トランジスタT5と同様に第2の走査線Y_bに接続されている。このトランジスタT7の一方の端子は、第2のデータ線X_bに接続されており、その他方の端子は、キャパシタC4の一方の電極と、駆動素子であるnチャネル型のトランジスタT8のゲートとに共通接続されている。キャパシタC4の他方の電極は、トランジスタT8の一方の端子と共にV_{ss}端子に接続されており、トランジスタT8の他方の端子は、ノードN1に接続されている。

20

【0066】

図9は、図8に示した画素回路の動作タイミングチャートである。1Fに相当する期間t0~t2(またはt2~t4)における一連の動作プロセスは、期間t0~t1(またはt2~t3)のデータ書込プロセスと、これに続く期間t1~t2(またはt3~t4)の駆動プロセスとに大別される。

30

【0067】

まず、フレームFiのデータ書込期間t0~t1では、一方の駆動系20aのキャパシタC1, C2に対するデータの書き込みが行われる。具体的には、タイミングt0において、第1の走査信号SEL1がLレベルからHレベルに立ち上がり、トランジスタT1, T3が共にオンする。第1のデータ線X_aより供給された差分データV_{dif}(i)(=V_{pls}(i))は、トランジスタT1を介して、キャパシタC1の一方の電極に供給される。これにより、キャパシタC1に対するデータの書き込みが行われ、V_{pls}(i)に応じた電荷がキャパシタC1に蓄積される。一方、第2のデータ線X_bより供給された差分データV_{dif}(i)(=V_{mns}(i))は、トランジスタT2を介して、キャパシタC2の一方の電極に供給される。これにより、キャパシタC2に対するデータの書き込みが行われ、V_{mns}(i)に応じた電荷がキャパシタC2に蓄積される。なお、この期間t0~t1では、第2の走査信号SEL2がLレベルであるから、他方の駆動系20bは非動作状態のままである。したがって、他方の駆動系20bのキャパシタC3, C4は、従前のフレームFi-1におけるV_{dif}(i-1)(=V_{pls}(i-1)), V_{mns}(i-1))を引き続き保持する。

40

【0068】

続く駆動期間t1~t2では、2つの駆動系20a, 20bからの駆動電流を合成した合成電流I_{oled}が有機EL素子OLEDに供給される。タイミングt1において、第1の走査信号SEL1がHレベルからLレベルに立ち下がる。これにより、一方の駆動系20aのトランジスタT1, T3が共にオフするとともに、データ線X_a, X_bに対する差分データV_{dif}

50

$f(i)$ の供給も停止する。しかしながら、トランジスタT2のゲートには、キャパシタC1の保持データによって電圧 $V_{pls}(i)$ が引き続き印加されているので、これに応じた順駆動電流 I_{pls1} がトランジスタT2のチャネルを流れる。同様に、トランジスタT4のゲートには、キャパシタC2の保持データによって電圧 $V_{mns}(i)$ が引き続き印加されているので、これに応じた逆駆動電流 I_{mns1} がトランジスタT2のチャネルを流れる。したがって、一方の駆動系20aから出力される駆動電流は、 $(I_{pls1} - I_{mns1})$ になる。また、他方の駆動系20bに関して、トランジスタT6のゲートには、キャパシタC3の保持データによって電圧 $V_{pls}(i-1)$ が印加されているので、これに応じた順駆動電流 I_{pls2} がトランジスタT6のチャネルを流れる。同様に、トランジスタT8のゲートには、キャパシタC4の保持データによって電圧 $V_{mns}(i-1)$ が印加されているので、これに応じた逆駆動電流 I_{mns2} がトランジスタT8のチャネルを流れる。したがって、他方の駆動系20bから出力される駆動電流は、 $(I_{pls2} - I_{mns2})$ になる。最終的な合成電流 I_{oled} は $((I_{pls1} - I_{mns1}) + (I_{pls2} - I_{mns2}))$ になり、有機EL素子OLEDは、自己を流れる合成電流 I_{oled} に応じた輝度に設定される。

【0069】

次のフレーム F_{i+1} のデータ書込期間 $t_2 \sim t_3$ では、他方の駆動系20bのキャパシタC3, C4に対するデータの書き込みが行われる。具体的には、タイミング t_2 において、第2の走査信号SEL2がLレベルからHレベルに立ち上がり、トランジスタT5, T7が共にオンする。第1のデータ線Xaより供給された差分データ $V_{dif}(i+1)$ ($= V_{pls}(i+1)$)は、トランジスタT5を介して、キャパシタC3の一方の電極に供給される。これにより、キャパシタC3に対するデータの書き込みが行われ、 $V_{pls}(i+1)$ に応じた電荷がキャパシタC3に蓄積される。一方、第2のデータ線Xbより供給された差分データ $V_{dif}(i+1)$ ($= V_{mns}(i+1)$)は、トランジスタT7を介して、キャパシタC4の一方の電極に供給される。これにより、キャパシタC4に対するデータの書き込みが行われ、 $V_{mns}(i+1)$ に応じた電荷がキャパシタC4に蓄積される。なお、この期間 $t_2 \sim t_3$ では、第1の走査信号SEL1がLレベルであるから、一方の駆動系20aは非動作状態のままである。したがって、一方の駆動系20aのキャパシタC1, C2は、従前のフレーム F_i における $V_{dif}(i)$ ($= V_{pls}(i)$, $V_{mns}(i)$)を引き続き保持する。

【0070】

続く駆動期間 $t_3 \sim t_4$ では、2つの駆動系20a, 20bからの駆動電流を合成した合成電流 I_{oled} が有機EL素子OLEDに供給される。タイミング t_3 において、第2の走査信号SEL2がHレベルからLレベルに立ち下がる。これにより、他方の駆動系20bのトランジスタT5, T7が共にオフするとともに、データ線Xa, Xbに対する差分データ $V_{dif}(i+1)$ の供給も停止する。しかしながら、トランジスタT6のゲートには、キャパシタC3の保持データによって電圧 $V_{pls}(i+1)$ が引き続き印加されているので、これに応じた順駆動電流 I_{pls2} がトランジスタT6のチャネルを流れる。同様に、トランジスタT8のゲートには、キャパシタC4の保持データによって電圧 $V_{mns}(i+1)$ が引き続き印加されているので、これに応じた逆駆動電流 I_{mns2} がトランジスタT8のチャネルを流れる。また、一方の駆動系20aに関して、トランジスタT2のゲートには、キャパシタC1の保持データによって電圧 $V_{pls}(i)$ が印加されているので、これに応じた順駆動電流 I_{pls1} がトランジスタT2のチャネルを流れる。同様に、トランジスタT4のゲートには、キャパシタC2の保持データによって電圧 $V_{mns}(i)$ が印加されているので、これに応じた逆駆動電流 I_{mns1} がトランジスタT4のチャネルを流れる。最終的な合成電流 I_{oled} は $((I_{pls1} - I_{mns1}) + (I_{pls2} - I_{mns2}))$ となり、有機EL素子OLEDは、自己を流れる合成電流 I_{oled} に応じた輝度に設定される。

【0071】

このように、本実施形態によれば、電圧プログラム方式の画素回路において、互いに異なる差分データ $V_{dif}(i)$, $V_{dif}(i+1)$ を用いた差分駆動を行うことで、低消費電力化を図ることが可能になる。なぜなら、データ線X上の電圧振幅を低く抑えることができるからである。これに起因して、データ線駆動回路4内の電圧DACにおける消費電力の低減を

10

20

30

40

50

図ることができる、かつ、その回路構成を簡素化することができる。また、電圧DACと画素回路との間に存在するデータ線Xにおけるノイズの低減を図ることも可能になる。さらに、大規模なディスプレイの場合には、階調データがそのまま出力されることが多いので、中間回路に負荷がかかるが、本実施形態の場合には、階調データを圧縮して扱うことができるので、そのような負荷を低減できるという効果もある。

【0072】

なお、本実施形態では、隣接フレーム間で差分値が0になるケースのように、駆動素子から駆動電流を出力しない場合には、そのゲート・ソース間電圧 V_{gs} が0Vになるような差分データ V_{dif} を画素回路に供給している。しかしながら、リーク電流が問題にならない範囲で、駆動素子に逆バイアスを与えるような差分データ V_{dif} を画素回路に供給してもよい。これにより、特に、アモルファスシリコン基板上に駆動素子を形成した場合に問題となる「 V_{th} シフト」、すなわち、同一方向のバイアスのみが印加し続けることで、駆動素子のしきい値電圧 V_{th} が経時変化してしまう現象を抑制できる。

【0073】

(第4の実施形態)

本実施形態は、図8に示した電圧プログラム方式の画素回路を変更して、2本のデータ線Xa, Xbを共用化して、1本のデータ線Xにデータ V_{dif} (= V_{pls} , V_{mns})を時分割で供給するものである。図1に示した1本の走査線Yは、4本の走査線Ya~Ydのセットとなる。

【0074】

図10は、本実施形態にかかる画素回路図である。この画素回路は、有機EL素子OLEDと、8個のトランジスタT1~T8と、4個のキャパシタC1~C4とで構成されている。本実施形態にかかる画素回路も、交互に動作する2つの駆動系20a, 2bを備えており、一方の駆動系20aが6つの回路要素T1~T4, C1~C2、他方の駆動系20bが6つの回路要素T5~T8, C3~C4でそれぞれ構成されている。なお、同図の例では、トランジスタT2, T6をpチャネル型とし、その他をnチャネル型としているが、これは一例にすぎず、別の組み合わせでチャネル型を設定してもよい。

【0075】

一方の駆動系20aは、3つの回路要素T1, T2, C1によって構成される正駆動部と、3つの回路要素T3, T4, C2によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタT1のゲートは、第1の走査信号SEL1が供給される第1の走査線Yaに接続されている。このトランジスタT1の一方の端子は、電圧レベルの差分データ V_{dif} が時分割で供給されるデータ線Xに接続されており、その他方の端子は、キャパシタC1の一方の電極と、駆動素子であるpチャネル型のトランジスタT2のゲートとに共通接続されている。キャパシタC1の他方の電極は、トランジスタT2の一方の端子と共にVdd端子に接続されており、トランジスタT2の他方の端子は、ノードN1に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタT3のゲートは、第2の走査信号SEL2が供給される第2の走査線Ybに接続されている。このトランジスタT3の一方の端子は、データ線Xに接続されており、その他方の端子は、キャパシタC2の一方の電極と、駆動素子であるnチャネル型のトランジスタT4のゲートとに共通接続されている。キャパシタC2の他方の電極は、トランジスタT4の一方の端子と共にVss端子に接続されており、トランジスタT4の他方の端子は、ノードN1に接続されている。有機EL素子OLEDのアノードは、ノードN1に接続されており、そのカソードはVss端子に接続されている。

【0076】

他方の駆動系20bは、3つの回路要素T5, T6, C3によって構成される正駆動部と、3つの回路要素T7, T8, C4によって構成される負駆動部とを有する。正駆動部に関して、スイッチング素子であるトランジスタT5のゲートは、第3の走査信号SEL3が供給される第3の走査線Ycに接続されている。このトランジスタT5の一方の端子は、データ線Xに接続されており、その他方の端子は、キャパシタC3の一方の電極と、駆動素子

である p チャンネル型のトランジスタ T6 のゲートとに共通接続されている。キャパシタ C3 の他方の電極は、トランジスタ T6 の一方の端子と共に Vdd 端子に接続されており、トランジスタ T6 の他方の端子は、ノード N1 に接続されている。一方、負駆動部に関して、スイッチング素子であるトランジスタ T7 のゲートは、第 4 の走査信号 S E L4 が供給される第 4 の走査線 Yd に接続されている。このトランジスタ T7 の一方の端子は、データ線 X に接続されており、その他方の端子は、キャパシタ C4 の一方の電極と、駆動素子である n チャンネル型のトランジスタ T8 のゲートとに共通接続されている。キャパシタ C4 の他方の電極は、トランジスタ T8 の一方の端子と共に Vss 端子に接続されており、トランジスタ T8 の他方の端子は、ノード N1 に接続されている。

【 0 0 7 7 】

10

図 11 は、図 10 に示した画素回路の動作タイミングチャートである。1 F に相当する期間 $t_0 \sim t_3$ (または $t_3 \sim t_6$) における一連の動作プロセスは、期間 $t_0 \sim t_2$ (または $t_3 \sim t_5$) のデータ書込プロセス (このプロセスは更に 2 つに細分化されている) と、これに続く期間 $t_2 \sim t_3$ (または $t_5 \sim t_6$) の駆動プロセスとに大別される。

【 0 0 7 8 】

まず、フレーム Fi のデータ書込期間 $t_0 \sim t_2$ では、一方の駆動系 20 a のキャパシタ C1, C2 に対するデータの書き込みがオフセットしながら順次行われる。期間 $t_0 \sim t_1$ では、第 1 の走査信号 S E L1 が H レベルになり、トランジスタ T1 がオンするが、他のトランジスタ T3, T5, T7 はオフである。したがって、この期間 $t_0 \sim t_1$ において、データ線 X より供給された差分データ $V_{dif}(i)$ ($= V_{pls}(i)$) は、トランジスタ T1 を介して、キャパシタ C1 の一方の電極に供給される。これにより、キャパシタ C1 に対するデータの書き込みが行われ、 $V_{pls}(i)$ に応じた電荷がキャパシタ C1 に蓄積される。続く期間 $t_1 \sim t_2$ では、第 2 の走査信号 S E L2 が H になり、トランジスタ T3 がオンするが、他のトランジスタ T1, T5, T7 はオフである。したがって、この期間 $t_1 \sim t_2$ において、データ線 X より供給された差分データ $V_{dif}(i)$ ($= V_{mns}(i)$) は、トランジスタ T3 を介して、キャパシタ C2 の一方の電極に供給される。これにより、キャパシタ C2 に対するデータの書き込みが行われ、 $V_{mns}(i)$ に応じた電荷がキャパシタ C2 に蓄積される。なお、データ書込期間 $t_0 \sim t_2$ では、第 3 および第 4 の走査信号 S E L3, S E L4 が L レベルであるから、他方の駆動系 20 b は非動作状態のままである。したがって、他方の駆動系 20 b のキャパシタ C3, C4 は、従前のフレーム Fi-1 における $V_{dif}(i-1)$ ($= V_{pls}(i-1)$, $V_{mns}(i-1)$) を引き続き保持する。

20

30

【 0 0 7 9 】

続く駆動期間 $t_2 \sim t_3$ では、2 つの駆動系 20 a, 20 b からの駆動電流を合成した合成電流 I_{oled} が有機 E L 素子 OLED に供給され、有機 E L 素子 OLED は、自己を流れる合成電流 I_{oled} に応じた輝度に設定される。合成電流 I_{oled} については、第 3 の実施形態で説明したので、ここでの説明を省略する。

【 0 0 8 0 】

次のフレーム Fi+1 のデータ書込期間 $t_3 \sim t_5$ では、一方の駆動系 20 a のキャパシタ C3, C4 に対するデータの書き込みがオフセットしながら順次行われる。期間 $t_3 \sim t_4$ では、第 3 の走査信号 S E L3 が H レベルになり、トランジスタ T5 がオンするが、他のトランジスタ T1, T3, T7 はオフである。したがって、この期間 $t_3 \sim t_4$ において、データ線 X より供給されたフレーム Fi+1 の差分データ $V_{dif}(i+1)$ ($= V_{pls}(i+1)$) は、トランジスタ T5 を介して、キャパシタ C3 の一方の電極に供給される。これにより、キャパシタ C3 に対するデータの書き込みが行われ、 $V_{pls}(i+1)$ に応じた電荷がキャパシタ C3 に蓄積される。続く期間 $t_4 \sim t_5$ では、第 4 の走査信号 S E L4 が H になり、トランジスタ T7 がオンするが、他のトランジスタ T1, T3, T5 はオフである。したがって、この期間 $t_4 \sim t_5$ において、データ線 X より供給された差分データ $V_{dif}(i+1)$ ($= V_{mns}(i+1)$) は、トランジスタ T7 を介して、キャパシタ C4 の一方の電極に供給される。これにより、キャパシタ C4 に対するデータの書き込みが行われ、 $V_{mns}(i+1)$ に応じた電荷がキャパシタ C4 に蓄積される。なお、データ書込期間 $t_4 \sim t_5$ では、第 1 および第 2 の走査信号 S E L1,

40

50

S E L 2がLレベルであるから、一方駆動系 2 0 a は非動作状態のままである。したがって、一方の駆動系 2 0 a のキャパシタ C 1 , C 2 は、従前のフレーム F i における $V_{dif}(i)$ ($= V_{pls}(i)$, $V_{mns}(i)$) を引き続き保持する。

【 0 0 8 1 】

続く駆動期間 $t_5 \sim t_6$ では、2つの駆動系 2 0 a , 2 0 b からの駆動電流を合成した合成電流 I_{oled} が有機 E L 素子 OLED に供給され、有機 E L 素子 OLED は、自己を流れる合成電流 I_{oled} に応じた輝度に設定される。

【 0 0 8 2 】

このように、本実施形態によれば、電圧プログラム方式の画素回路において、互いに異なる差分データ $V_{dif}(i)$, $V_{dif}(i+1)$ を用いた差分駆動を行うことで、低消費電力化を含む第 3 の実施形態と同様の効果が得られる。また、1本のデータ線 X にデータ V_{dif} を時分割で供給しているので、第 4 の実施形態と比較して、データ線 X の本数が少なく済む。

10

【 0 0 8 3 】

(第 5 の実施形態)

上述した各実施形態では、1フレーム毎に差分データ I_{dif} (または V_{dif}) を交互に書き込むものであったが、一方のフレーム (例えば奇数フレーム) で階調データを書き込んで、他方のフレーム (例えば偶数フレーム) で差分データを書き込むようにしてもよい。この場合、一方のフレームにおいて駆動する駆動系 2 0 a (または 2 0 b) に関しては、2つの駆動系を有する必要はなく、単一の駆動系のみで足りる。

20

【 0 0 8 4 】

図 1 2 は、本実施形態にかかる電圧プログラム方式の画素回路図である。この回路構成上の特徴は、第 1 に、図 8 に示した一方の駆動系 2 0 a の負駆動部を構成する回路要素 T 3 , T 4 , C 2 をなくした点にある。第 2 に、ノード N 1 と他方の駆動系 2 0 b との間に、スイッチング素子である p チャンネル型のトランジスタ T 9 を追加した点にある。このトランジスタ T 9 は、第 3 の走査信号 S E L 3 によって導通制御される。この制御信号 S E L 3 は、通常駆動を行うフレーム F i では H レベルに設定され、差分駆動を行うフレーム F i + 1 では L レベルに設定される。なお、それ以外の点については図 8 の構成と同様であるから、同一の符号を付して、ここでの説明を省略する。

【 0 0 8 5 】

図 1 3 は、図 1 2 に示した画素回路の動作タイミングチャートである。1 F に相当する期間 $t_0 \sim t_2$ (または $t_2 \sim t_4$) における一連の動作プロセスは、期間 $t_0 \sim t_1$ (または $t_2 \sim t_3$) のデータ書込プロセスと、これに続く期間 $t_1 \sim t_2$ (または $t_3 \sim t_4$) の駆動プロセスとに大別される。

30

【 0 0 8 6 】

まず、フレーム F i のデータ書込期間 $t_0 \sim t_1$ では、一方の駆動系 2 0 a のキャパシタ C 1 に対するデータの書き込みが行われる。ここで、一方の駆動系 2 0 a に供給されるデータは、先のフレーム F i - 1 の差分データ $V_{dif}(i-1)$ とは関係なく、フレーム F i の階調データ $V_{data}(i)$ である点に留意されたい。これにより、キャパシタ C 1 には、階調データ $V_{data}(i)$ に応じた電荷が蓄積される。なお、この期間 $t_0 \sim t_1$ では、第 2 の走査信号 S E L 2 が L レベルであるから、他方の駆動系 2 0 b は非動作状態のままである。したがって、他方の駆動系 2 0 b のキャパシタ C 3 , C 4 は、従前のフレーム F i - 1 における $V_{dif}(i-1)$ ($= V_{pls}(i-1)$, $V_{mns}(i-1)$) を引き続き保持する。

40

【 0 0 8 7 】

続く駆動期間 $t_1 \sim t_2$ では、一方の駆動系 2 0 a からの駆動電流 I_{oled1} が合成電流 I_{oled} として有機 E L 素子 OLED に供給される。タイミング t_1 において、第 1 の走査信号 S E L 1 が H レベルから L レベルに立ち下がる。これにより、一方の駆動系 2 0 a のトランジスタ T 1 がオフするが、トランジスタ T 2 のゲートには、キャパシタ C 1 の保持データによって電圧 $V_{data}(i)$ が引き続き印加される。したがって、これに応じた順駆動電流 I_{oled1} がトランジスタ T 2 のチャンネルを流れる。これに対して、他方の駆動系 2 0 b は、第 3 の

50

走査信号SEL3にて導通制御されるトランジスタT9がオフしているので、ノードN1から電氣的に分離されている。したがって、合成電流Ioledは、一方の駆動系20aから出力された駆動電流Ioled1そのものになる。

【0088】

次のフレームFi+1のデータ書込期間t2~t3では、他方の駆動系20bのキャパシタC3、C4に対するデータの書き込みが行われる。ここで、他方の駆動系20bに供給されるデータは、先のフレームFiの階調データVdataf(i)に対するフレームFi+1の差分データVdif(i+1) (= Vpls(i+1), Vmns(i+1))である点に留意されたい。これにより、キャパシタC3、C4には、差分データVdif(i+1)に応じた電荷が蓄積される。なお、この期間t3~t4では、第1の走査信号SEL1がLレベルであるから、一方駆動系20aは非動作状態のままである。したがって、一方の駆動系20aのキャパシタC1は、従前のフレームFiにおけるVdata(i)を引き続き保持する。

【0089】

続く駆動期間t3~t4では、一方の駆動系20aから駆動電流Ioled1が出力される。それとともに、第3の走査信号SEL3によって導通制御されるトランジスタT9がオンするため、他方の駆動系20bから駆動電流(Ipls2 - Imns2)も出力される。したがって、合成電流Ioledは、(Ioled1 + (Ipls2 - Imns2))になる。

【0090】

本実施形態によれば、上述した各実施形態と同様の効果が得られるほか、データの書き込み量を奇数フレームに偏らせることが可能になる。したがって、書き込み量が少ないフレームに書込時間を多く割り当てることができるので、データの書き込み不足の解消を図ることができる。

【0091】

また、本実施形態では、互いにことなるデータである階調データと差分データとの交互書き込みを、図12の画素回路を一例とした電圧プログラム方式への適用例で説明した。しかしながら、本発明は、電流プログラム方式を含めて、これ以外の構成を有する画素回路についても適用可能であることは当然である。

【0092】

なお、上述した各実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じて輝度が設定される電気光学素子(無機LED表示装置、フィールド・エミッション表示装置等)、或いは、駆動電流に応じた透過率・反射率を呈する電気光学装置(エレクトロクロミック表示装置、電気泳動表示装置等)に対しても広く適用可能である。

【0093】

さらに、上述した各実施形態にかかる電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。図14は、一例として、上述した各実施形態にかかる電気光学装置を実装した携帯電話10の外観斜視図である。この携帯電話10は、複数の操作ボタン11のほか、受話口12、送話口13とともに、上述した表示部1を備えている。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

【図面の簡単な説明】

【0094】

【図1】電気光学装置のブロック構成図

【図2】データ線駆動回路の構成図

【図3】第1の実施形態にかかる画素回路図

【図4】第1の実施形態にかかる動作タイミングチャート

【図5】第1の実施形態にかかる動作説明図

【図6】第2の実施形態にかかる画素回路図

【図7】第2の実施形態にかかる動作タイミングチャート

10

20

30

40

50

【図 8】第 3 の実施形態にかかる画素回路図

【図 9】第 3 の実施形態にかかる動作タイミングチャート

【図 10】第 4 の実施形態にかかる画素回路図

【図 11】第 4 の実施形態にかかる動作タイミングチャート

【図 12】第 5 の実施形態にかかる画素回路図

【図 13】第 5 の実施形態にかかる動作タイミングチャート

【図 14】電気光学装置を実装した携帯電話の外観斜視図

【符号の説明】

【 0 0 9 5 】

1 表示部

10

2 画素

3 走査線駆動回路

4 データ線駆動回路

5 制御回路

20 a 一方の駆動系

20 b 他方の駆動系

40 Xシフトレジスタ

41 回路ユニット

42, 44, 48 スイッチ群

43 第 1 のラッチ回路

20

45 第 2 のラッチ回路

46 D A C

47 画素列メモリ

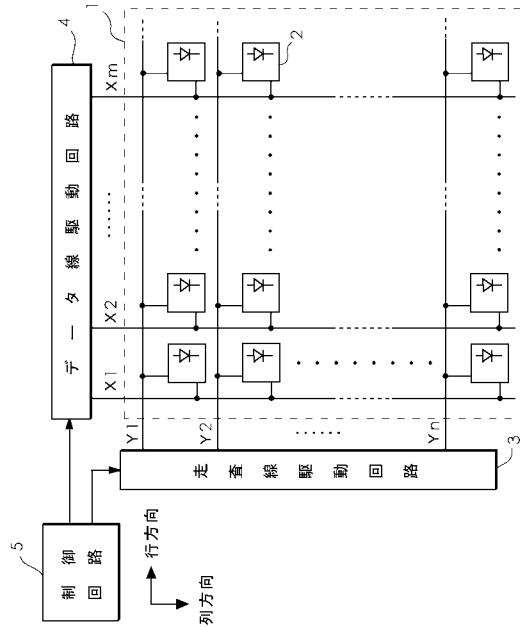
49 差分算出回路

T1 ~ T14 トランジスタ

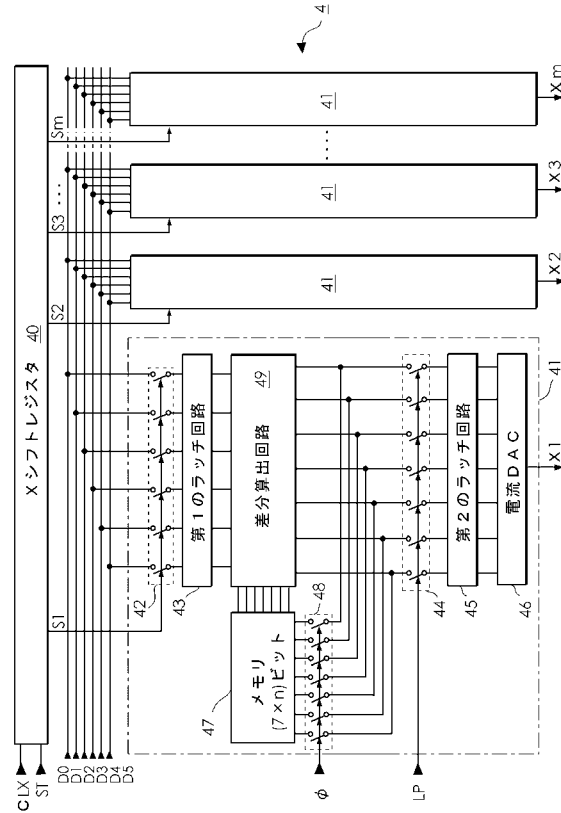
C1 ~ C4 キャパシタ

OLED 有機 E L 素子

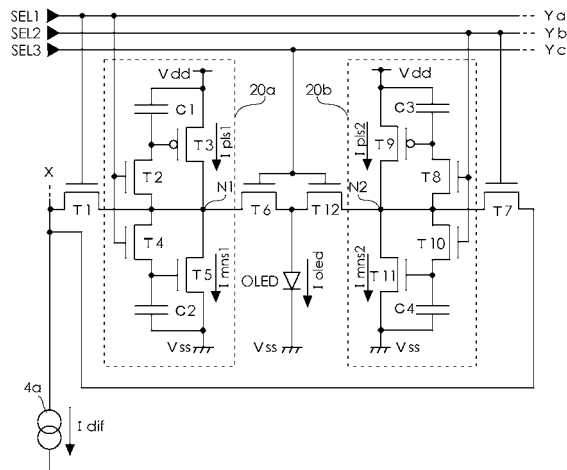
【図 1】



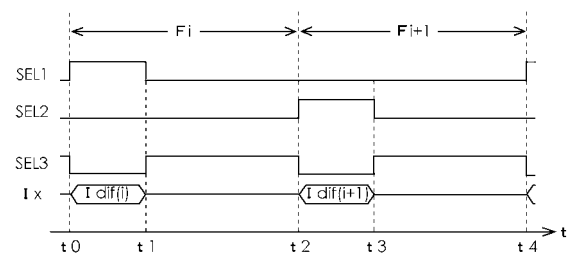
【図 2】



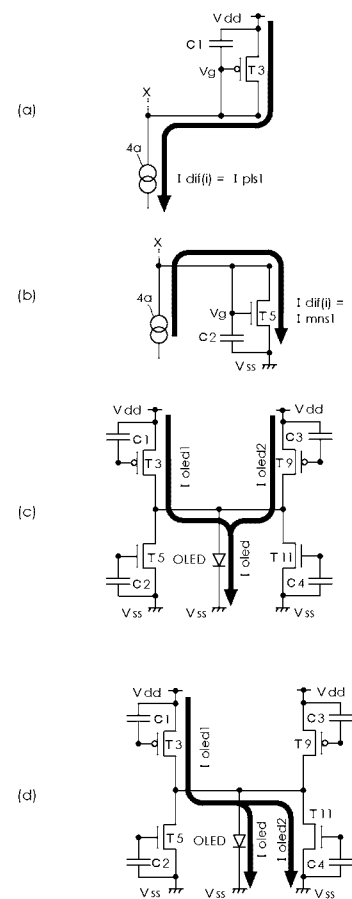
【図 3】



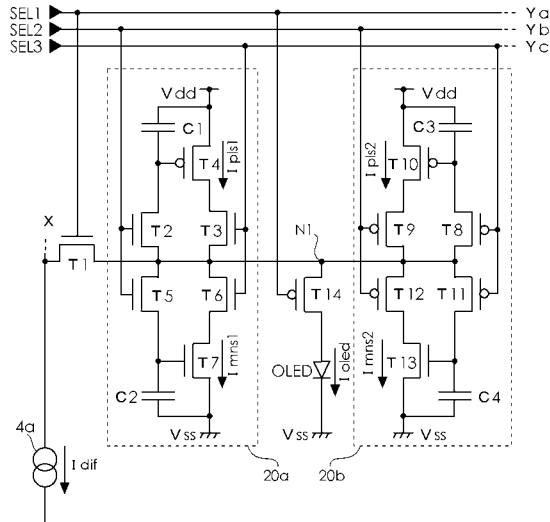
【図 4】



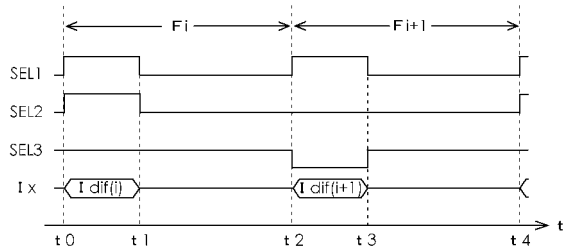
【図 5】



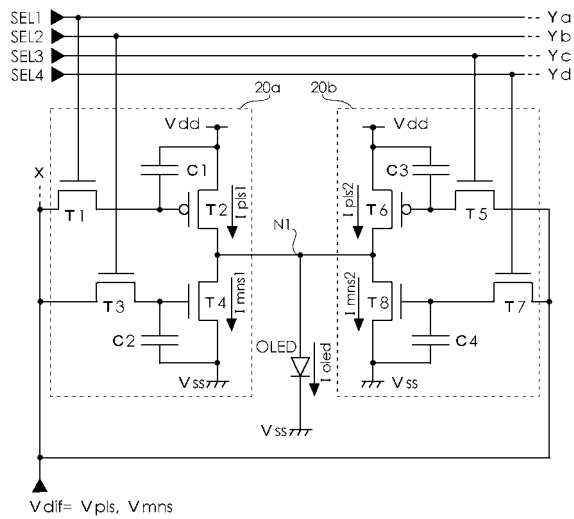
【図 6】



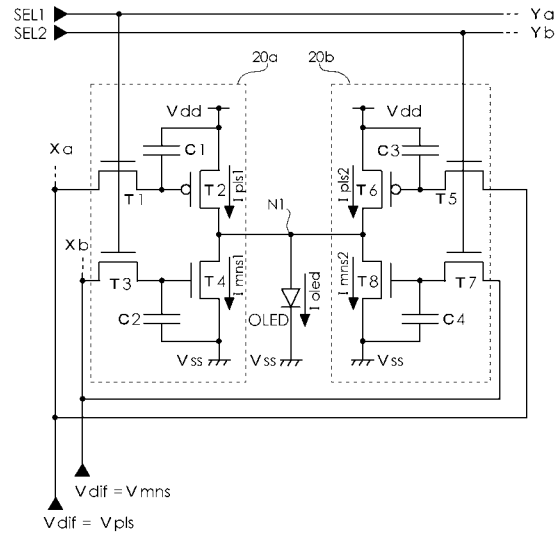
【図 7】



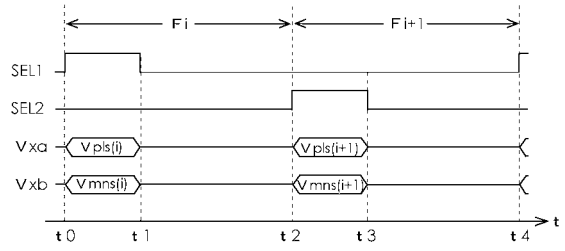
【図 10】



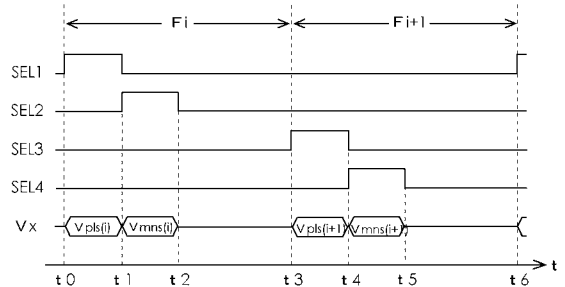
【図 8】



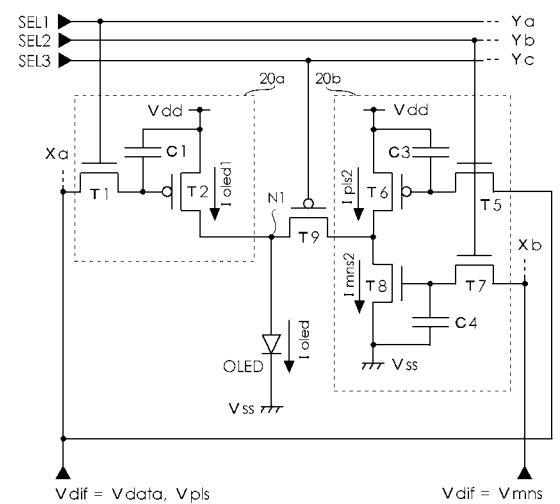
【図 9】



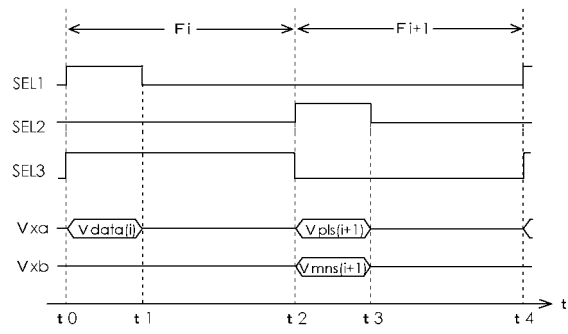
【図 11】



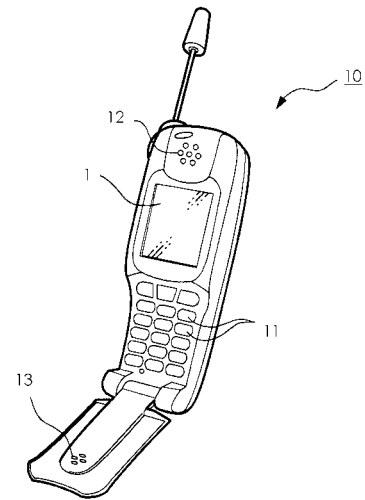
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 7 0 K
H 0 5 B 33/14 A

(72)発明者 城 宏明
長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内
(72)発明者 堀内 浩
長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内
(72)発明者 河西 利幸
長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内
(72)発明者 野澤 武史
長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内

審査官 奈良田 新一

(56)参考文献 特開2003-150116(JP,A)
特開2003-050564(JP,A)
特開2004-354883(JP,A)
特開2000-284755(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	用于驱动像素电路的方法，像素电路，电光装置和电子设备		
公开(公告)号	JP4655497B2	公开(公告)日	2011-03-23
申请号	JP2004109210	申请日	2004-04-01
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	城宏明 堀内浩 河西利幸 野澤武史		
发明人	城 宏明 堀内 浩 河西 利幸 野澤 武史		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09G3/20.611.A G09G3/20.612.U G09G3/20.624.B G09G3/20.632.B G09G3/20.641.D G09G3/20.670.K H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB05 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/AA11 5C080/AA13 5C080/AA18 5C080/BB05 5C080/DD12 5C080/DD22 5C080/DD26 5C080/EE29 5C080/FF07 5C080/FF11 5C080/GG09 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB27 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA05 5C380/BA08 5C380/BA10 5C380/BA11 5C380/BA14 5C380/BA38 5C380/BA39 5C380/BD08 5C380/BD10 5C380/CA04 5C380/CA06 5C380/CA12 5C380/CA13 5C380/CA26 5C380/CA32 5C380/CA34 5C380/CA54 5C380/CB01 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CC01 5C380/CC13 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC45 5C380/CC49 5C380/CC52 5C380/CC53 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD037 5C380/CD048 5C380/CD049 5C380/CF01 5C380/CF07 5C380/CF09 5C380/CF18 5C380/CF22 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA35		
代理人(译)	大林 章 高桥太郎 须泽 修		
其他公开文献	JP2005292584A		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低驱动像素电路的功耗。解决方案：像素电路包括多个驱动系统20a和20b。一个驱动系统20a保持差分数据Idif (i)，其从帧Fi中的数据X提供，并产生对应于该数据的驱动电流 (Ipls1-Imns1)。另一个驱动系统20b保持在后续帧Fi + 1中从数据线X提供的差分数据Idif (i + 1)，并产生驱动电流 (Ipls2-Imns2)。在帧Fi + 1中，将组合了两个驱动电流的组合电流Ioled提供给有机EL元件OLED，并且将有机EL元件的亮度设置为原始灰度数据。Ž

