

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4383852号
(P4383852)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 K
G09G 3/30 J
G09G 3/20 624B
G09G 3/20 624C
G09G 3/20 670J

請求項の数 2 (全 10 頁)

(21) 出願番号 特願2003-507800 (P2003-507800)
 (86) (22) 出願日 平成14年6月21日(2002.6.21)
 (65) 公表番号 特表2004-531772 (P2004-531772A)
 (43) 公表日 平成16年10月14日(2004.10.14)
 (86) 国際出願番号 PCT/US2002/019600
 (87) 国際公開番号 W02003/001496
 (87) 国際公開日 平成15年1月3日(2003.1.3)
 審査請求日 平成16年2月19日(2004.2.19)
 (31) 優先権主張番号 60/300,216
 (32) 優先日 平成13年6月22日(2001.6.22)
 (33) 優先権主張国 米国(US)

前置審査

(73) 特許権者 503141075
 統寶光電股▲ふん▼有限公司
 台湾苗栗縣竹南鎮科中路12號 新竹科學
 工業園區
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100117444
 弁理士 片山 健一
 (74) 代理人 100113549
 弁理士 鈴木 守

最終頁に続く

(54) 【発明の名称】 O L E D画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

3つのnチャネル電界効果トランジスタ(NFET)、データ記憶キャパシタ、有機発光ダイオード(OLED)、スイッチ、および少なくとも2つの電圧源を有する有機発光ダイオード(OLED)画素回路の駆動方法であって、前記画素回路においては、第1のNFETのゲート端および第2のNFETのゲート端がゲート線に接続され、前記第1のNFETのドレイン端、第3のNFETのソース端および前記データ記憶キャパシタの一端がそれぞれ前記OLEDのアノード端に接続され、前記第1のNFETのソース端がデータ線に接続され、前記データ記憶キャパシタの他の一端が前記第2のNFETのソース端および前記第3のNFETのゲート端に接続され、前記第2のNFETのドレイン端および前記第3のNFETのドレイン端が第1の電圧源に接続され、前記OLEDのカソードが前記スイッチを介して第2の電圧源に接続されており、前記スイッチの切り替えによって、前記画素回路の状態設定(データ書き込み)時に高い電圧である第1の信号を前記OLEDのカソード端子に印加し、前記画素回路の状態表示(発光観察)時に低い電圧である第2の信号を印加することを特徴とする有機発光ダイオードの画素回路の駆動方法。

【請求項2】

前記画素回路が複数の画素回路の1つであり、前記複数の画素回路の各々の端子に前記第1の信号および前記第2の信号を印加することをさらに含む請求項1に記載の方法。

【発明の詳細な説明】

【技術分野】

10

20

【 0 0 0 1 】

本発明は、有機発光ダイオード（O L E D）画素回路、より詳細には、O L E Dに電流を供給するT F T素子のストレスの影響を最少化する、画素回路駆動技術に関する。

【背景技術】

【 0 0 0 2 】

有機発光ダイオード（O L E D）の画素には、電流が流された時に発光する様々な有機材料の何れかが利用されうる。O L E Dディスプレイは配列されてアレイとなった複数のO L E D画素を備える。

【 0 0 0 3 】

大型、大画面のO L E Dディスプレイを実現する1つの方法は、アクティブ・マトリックス薄膜トランジスタ（T F T）のバックプレーンを用いることである。ヘッド・マウント・ディスプレイおよび小さな携帯電話用の直視型ディスプレイでさえ、バックプレーンとしてポリシリコンもしくは結晶シリコンを用いる。アモルファス・シリコン・フラット・パネル技術における投資の点で、より大きなO L E Dディスプレイを作るためのバックプレーン技術として、ポリシリコン（p - S i）または結晶シリコン（c - S i）に対抗して、アモルファス・シリコン（a - S i）を用いることに関心が持たれている。大面積の結晶シリコン・バックプレーンは、アモルファスもしくはポリシリコンほどコスト的に有利ではないであろう。

【 0 0 0 4 】

アモルファス・シリコンは、2つの理由で、ポリシリコンもしくは結晶シリコンでは得られるような相補型素子をもたない。

（1）アモルファス・シリコン・フラット・パネル・ディスプレイ（F P D）の製造では、ポリシリコンに比べて、フォトリソグラフィ・ステップ数が少なく、従って低コストのため、n - チャネル電界効果トランジスタ（N F E T）のみが使用可能である。

（2）p - チャネル電界効果トランジスタ（P F E T）は、作製可能であるが、n - チャネル電界効果トランジスタ（N F E T）より、移動度すなわちドリフトによる電荷移動が実質的に小さく（約5分の1ないし10分の1）、従って駆動電流が少ない。通常の製造ラインでは、N F E Tは、約0.5ないし1.0 cm² / V / s e cの平均移動度をもつ。

【 0 0 0 5 】

O L E Dが処理される方式のために、通常、N F E Tで構成された電流源でO L E Dを駆動することは可能でない。通常のアクティブ・マトリックス・アドレス指定方式では、電圧信号が各画素の明るさを制御するために各画素に書き込まれる。アモルファス・シリコンの、移動度ならびにしきい値電圧および移動度の安定性は、小さな容量性負荷に電気的には似ているねじれネマチック液晶を駆動するのに適しており、この場合、駆動電圧は0.1%ないし0.001%の範囲のデューティ・サイクルで印加される。しかし、動作に連続電流を必要とするO L E Dの駆動では、アモルファス・シリコンの動作電圧は、実質的にかなりの時間、例えば100%に達するデューティ・サイクルでゼロでない。高い電圧と連続電流はアモルファス・シリコンT F Tに激しくストレスを加える。特に、ゲート・ソースの電圧ストレスが、トラップされた電荷、ならびにゲート絶縁体 - 半導体の界面およびT F Tの半導体層での欠陥状態の生成と分子結合の切断などの他の効果により、しきい値電圧の変動を引き起こす。

【 0 0 0 6 】

T F Tのしきい値電圧が変わると、T F Tを流れる電流が変わるであろう。O L E Dの光出力は電流に比例するので、電流が変わるとO L E Dの明るさも変わる。観察者は画素間の光出力の1%の小さな変化を感知できる。5%のレベルの大きな輝度の変動は通常、許容不可能と考えられている。

【 0 0 0 7 】

図1は、小さなa - S iバックプレーン・ディスプレイ試験体に用いられる、従来技術の画素回路100の概略図である。回路100にはN F E T Q 1 0 1およびQ 1 0 2、キ

10

20

30

40

50

ャパシタ C_{s110} ならびに $OLED120$ が含まれる。

【0008】

$NFETQ101$ および C_{s110} は画素電圧を蓄える。ゲート線 125 の高い電圧レベルが $NFETQ101$ をオンにすることにより、データ線 130 から C_{s110} へ電圧を供給する。ある時間の後に、 $NFETQ102$ のゲート電圧はデータ線 130 の電圧と同じになり、ゲート線 125 の電圧が低く設定される。 $NFETQ102$ は電圧フォロアとして動作して、 $OLED120$ を駆動する。 $OLED120$ を流れる電流は供給電圧 V_{dd} から供給され、供給電圧 V_{ss} に戻る。 $OLED120$ が駆動されると、 $NFETQ102$ のしきい値電圧 (V_t) は時間 t と共に変化する。 $OLED120$ にかかる電圧は、

$V_{dd} - V_{cs} - V_{gs}(t) - V_{ss}$
であり、 $V_{cs} = C_{s110}$ にかかる電圧、

$V_{gs}(t) =$ 時間 t の関数としての、 $NFETQ102$ のゲート・ソース電圧、

および
 $V_{ss} =$ 負の供給電圧すなわち $OLED$ のカソード電圧
である。

【0009】

$NFETQ102$ は、ドレイン・ソース電圧が $V_{gs} - V_t$ 以上である、飽和または一定電流領域にバイアスされているので、 $OLED120$ または $NFETQ102$ を流れる電流は $(V_{gs} - V_t)^2$ に比例する。結果として、 $OLED120$ にかかる電圧および $OLED120$ を流れる電流は、 $NFETQ102$ のしきい値電圧 (V_t) が変わると変化する。画素間の駆動履歴の違いで、画素間の電流および輝度に違いが生じる。これは、画素差分エージングとして知られている。動作に連続電流を求められる $NFETQ102$ のしきい値変動は、多くの用途で許容できないと考えられている。しかし、その飽和領域で動作する $NFETQ102$ のストレスは、 $NFETQ102$ が、ドレイン・ソース電圧 $< V_{gs} - V_t$ であるその線形領域にバイアスされている場合より小さい。

【0010】

$a-Si$ の TFT のバックプレーンと共に使用する場合、1つの $NFET$ 、すなわち $NFET102$ だけが電源 V_{dd} から、供給電圧 V_{ss} に接続されている $OLED120$ へと接続されているので、回路 100 には比較的小さい電力と電圧が必要とされる。 $OLED120$ の電流は1つの $NFET$ を通って流れるだけなので、電源 V_{dd} と V_{ss} の電圧差は最小に、すなわち最大の $OLED120$ 電圧および $NFETQ102$ が飽和領域に入って動作するためのドレイン・ソース電圧に保たれる。

【0011】

回路 100 の類似回路では、 $NFETQ101$ および $NFETQ102$ がそれぞれ、ポリシリコンもしくは結晶シリコン技術では用いることができる、 $PFETQ101$ および $PFETQ102$ に置き換えられる。 $PFETQ102$ は、電圧フォロア電流源として動作する。 $OLED120$ を流れる電流が、 $V_{gs} = V_{cs}$ で、 $(V_{cs} - V_t)^2$ に比例するので、 $PFETQ102$ のしきい値電圧は、 $OLED120$ への電流に一層大きな影響がある。相互コンダクタンスが大きい結晶シリコンが用いられる場合、画素寸法が通常非常に小さいので $100 / \mu m^2$ の程度の明るさレベルで $OLED120$ を駆動するのに十分なだけ小さい電流を生成するように、電圧 V_{gs} は V_t より小さくしなければならないであろう。サブスレシヨルド領域でのしきい値電圧の変動は、しきい値電圧が 60 mV 変化する毎に 1 桁の大きさの電流変化があるので、すなわちトランジスタのドレイン電流 - ゲート電圧の逆サブスレシヨルド・スロープ、すなわち約 60 mV / 10 進電流、により規定されるように、ドレイン電流の変動に一層大きな影響がある。

【0012】

$OLED$ 電流を供給する TFT 素子のストレスの影響を最小化するため、画素回路に蓄えられる電圧の書き込みに電流駆動が用いられる。日本、特 141 - 0001、東京都品

10

20

30

40

50

川区北品川 6 - 7 - 3 5 のソニー（株）は、対角 1 3 インチ、8 0 0 × 6 0 0 カラー・アクティブ・マトリックス O L E D（A M O L E D）ディスプレイにおいて、ポリシリコンのカレント・ミラー画素を示した。ソニーの回路は、T. Sasaoka 外、" A 13.0-inch AM-OLED Display with top emitting structure and adaptive current mode programmed pixel circuit (TAC) "、2001 SID International Symposium Digest of Technical Papers、volume XXXII、p384-387 に発表された。ソニーの回路では、そのデータ線上のデータは電圧ではなく電流の形態である。しかし、ソニーの回路は O L E D 駆動トランジスタのしきい値の変動を補正していない。

【 0 0 1 3 】

ポリシリコンを用いる 4 P F E T トランジスタ回路が、R.M. A. Dawson 外、" The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays "、IEDM、p875-878、1998 に記載されたように、ニュージャージー州 0 8 5 4 3 - 5 3 0 0、ワシントン・ロード・プリンストン 2 0 1 のサーノフ社により開発された。サーノフの回路は、データ線電流を用いて、O L E D を駆動するトランジスタの電流を直接設定する。しかし、回路はポリシリコンを必要とし、O L E D と電源の間に直列に 2 つのトランジスタを用い、さらに高解像度ディスプレイのダーク・グレー・スケール機能のために使用される第 3 の入力制御信号をもつ。第 3 の入力制御は画素回路の物理的設計およびアレイ設計の複雑さを増大させる。

【 0 0 1 4 】

代替の 4 ポリシリコン・トランジスタ構成が、T. van de Biggelaar 外、" Passive and active matrix addressed polymer light emitting diode displays "、Flat Panel Display Technology and Display Metrology II of the Proceedings of the SPIE、Vol. 4295、p134-146、2001 に記載されるように、オランダ、アイントホーフ 5 6 5 6 A A のフィリップス・リサーチにより開発された。この構成は、サーノフの回路の第 3 の入力制御信号を無くしているが、やはり電源と O L E D の間に直列に 2 つのトランジスタを用いる。第 3 の入力を無くしたために、ダーク・グレー・スケール機能がある高解像度ディスプレイにそれを使用できない。

【 0 0 1 5 】

データ線電流を用い、4 つのアモルファス・シリコン N F E T トランジスタを用いる類似の回路が、ミシガン州 4 8 1 0 9、アン・アーバーのミシガン大学により、より詳細には、Yi He 外、" Current-source a-Si:H thin film transistor circuit for active-matrix organic light-emitting displays "、IEEE Electron Device Letters、vol. 21、No. 12、p590-592、2000 により発表された。この回路の 1 つの限界は、第 2 のトランジスタが、O L E D 電流生成トランジスタと直列に、電源へ接続されていることである。この画素回路はまた、ダーク・グレー・スケール機能がある高解像度ディスプレイに用いられないであろう。

【非特許文献 1】T. Sasaoka 外、" A 13.0-inch AM-OLED Display with top emitting structure and adaptive current mode programmed pixel circuit (TAC) "、2001 SID International Symposium Digest of Technical Papers、volume XXXII、p384-387

【非特許文献 2】R.M. A. Dawson 外、" The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays "、IEDM、p875-878、1998

【非特許文献 3】T. van de Biggelaar 外、" Passive and active matrix addressed polymer light emitting diode displays "、Flat Panel Display Technology and Display Metrology II of the Proceedings of the SPIE、Vol. 4295、p134-146、2001

【非特許文献 4】Yi He 外、" Current-source a-Si:H thin film transistor circuit for active-matrix organic light-emitting displays "、IEEE Electron Device Letters、vol. 21、No. 12、p590-592、2000

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

本発明は、有機発光ダイオード（O L E D）画素回路を駆動する方法を提供する。本発明はまた、O L E D画素回路のドライバを提供する。

【課題を解決するための手段】

【 0 0 1 7 】

前記方法は、画素回路の状態設定時にO L E Dの端子に第1の信号を印加すること、および状態を表示する時に端子に第2の信号を印加することを含む。前記ドライバは、画素回路の状態設定時に第1の信号をO L E Dの端子に伝えるスイッチ、および状態を表示する時に端子に第2の信号を伝えるスイッチを含む。

【発明を実施するための最良の形態】

10

【 0 0 1 8 】

本発明は、O L E Dに電流を供給するT F T素子のストレスの影響を最少化する、画素回路の駆動技術を提供する。画素回路に蓄えられる電圧の書き込みに、電流駆動が用いられる。回路はT F T素子のしきい値変動を補正する。O L E D電流は1個のトランジスタを通して流れ、同時に、高解像度ディスプレイでダーク・グレー・スケール機能を可能にする。

【 0 0 1 9 】

図2は、本発明に従って駆動される画素回路200の概略図である。データ線電流を用い、O L E Dを流れる電流を、しきい値電圧または移動度の変動に適應できる3 N F E T回路を用いて、正確に設定することができる。回路200には、N F E T Q 2 0 1、Q 2 0 2およびQ 2 0 3、データ記憶キャパシタC s 2 1 0、O L E D 2 2 0ならびにスイッチ235が含まれる。回路200には、ゲート線230、データ線240、および供給電圧V d dおよびV s sも含まれる。

20

【 0 0 2 0 】

スイッチ235は、画素回路200の状態設定時に、第1の信号（V d d 1）をO L E D 2 2 0のアノード端子に印加、すなわち指し向け、状態を表示する時にアノード端子に第2の信号（V d d 2）を印加するように動作する。「状態設定」は、画素回路200にデータを書き込むことを、また「状態を表示する」は、O L E D 2 2 0の発光を観察することを表す。スイッチ235により、回路200へのデータの書き込みでは、V d dはロー、すなわちV d d 1に設定され、また回路200のデータを提示または表示するために、ハイ、すなわちV d d 2に設定される。V s sは一定の電位または電圧に保たれる。スイッチ235は任意の適切なスイッチング素子でよいが、好ましくは、トランジスタを用いた電気制御スイッチとして構成される。

30

【 0 0 2 1 】

ゲート線230の高い電圧が、N F E T Q 2 0 1およびN F E T Q 2 0 2をオンにし、一方O L E D 2 2 0はオフである、すなわち全く発光していない状態で、データ線240への電流の形態のデータが、回路200に書き込まれる。O L E D 2 2 0は、V d d 1が、 $< V s s + 2 V$ である時はオフである。O L E D 2 2 0は、O L E D 2 2 0にかかる電圧が2 V以下である時、オフであり、実質的に非導通であると考えられる。O L E D 2 2 0のアノードへのV d d 1の印加は、O L E D 2 2 0を実質的に非導通にするが、これは順バイアスまたは逆バイアスのいずれでもよい。O L E D 2 2 0がオフの時、O L E D 2 2 0を流れる電流は非常に小さいので、回路200の動作に影響を与えない。N F E T Q 2 0 1のオン状態により、電流すなわちデータが、データ線240から、N F E T Q 2 0 2およびN F E T Q 2 0 3のドレインに流れる。N F E T Q 2 0 2のオン状態は、N F E T Q 2 0 3のドレインおよびゲート端子を互いに接続し、N F E T Q 2 0 3のドレインおよびゲート電圧を等しくさせる。このことにより、確実に、N F E T Q 2 0 3は、そのドレイン・ソース電圧が、ゲート・ソース電圧 - しきい値電圧以上である、その飽和または定電流領域にあることになる。N F E T Q 2 0 2のオン状態は、N F E T Q 2 0 2がいかなる電流も流さなくなり、かつN F E T Q 2 0 3のドレイン・ソース電流が、データ線240へのデータまたは電流に一致するまで、データ記憶キャパシタC s 2 1 0を充電また

40

50

は放電する。データ記憶キャパシタ C_{s210} にかかる電圧は、 $NFETQ203$ のゲート・ソース電圧を維持する。このことにより、ゲート線 230 がローで飽和領域で動作する時、 $NFETQ203$ のドレイン・ソース電流が、ゲート線 230 がハイであった時データ線 240 に流された電流と、実質的に等しくなる。ゲート線 230 がローに設定されると、データ線 240 への電流を、 $NFETQ203$ を流れるドレイン・ソース電流を変更することなく、任意の他の値に設定することができる。

【0022】

ゲート線 230 の低い電圧は、 $NFETQ201$ および $NFETQ202$ をオフにする。OLED220 のアノードへの V_{dd2} の印加により、OLED220 がオンになる、すなわち発光する。ここで、スイッチ 235 により、 V_{dd} はハイに、 $V_{gs} - V_t + V_{oled}$ (最大) + V_{ss} より大きい電圧 V_{dd2} になって、 $NFETQ203$ のドレイン・ソース電圧が確実に、 $NFETQ203$ のピンチ・オフ電圧 $V_{gs} - V_t$ より大きくなる。 V_{oled} (最大) は、最大動作輝度での OLED220 の電圧である。仮にゲート線 230 のローへのスイッチングおよび V_{dd} の V_{dd2} へのスイッチングによる容量カップリング効果がなければ、 $NFETQ203$ には、データ線 240 からの元の電流に一致する電流が、OLED220 を通して流入するであろう。OLED220 を流れる電流は、 $NFETQ203$ を流れるドレイン・ソース電流である。

【0023】

ゲート線 230 がローになると、 $Q202$ のゲート・ソース容量は記憶キャパシタ C_{s210} の電圧を下げようとする。 V_{dd} がハイになると、OLED220 の容量は、 $NFETQ203$ のドレイン端子電圧を上げる傾向があり、そのドレイン・ゲート容量は、記憶キャパシタ C_{s210} の電圧を上げようとする。ゲート線 230 と供給電圧 V_{dd} は逆向きになるので、 $NFETQ202$ および $Q203$ のチャネル幅と長さを注意深く設計することで、組み合わせさせたカップリングを完全にゼロにすることが可能である。データの書き込みと表示の駆動方法、および記憶キャパシタ C_{s210} への、組み合わせさせた容量電圧カップリングは、ディスプレイの全ての画素で同じであるから、データ線 240 へのデータすなわち電流を変更することにより、記憶キャパシタ C_{s210} への、この組み合わせさせた容量電圧カップリングを相殺する、すなわち補正することもできる。

【0024】

回路 200 は、OLED220 のアノードが、供給電圧 V_{dd} への接続により他の OLED のアノード (示されていない) と共通である、OLED220 の共通アノード構成を組み込んでいる。こうして、スイッチ 235 は複数の画素回路のアノード端子へ V_{dd1} または V_{dd2} を選択的に指し向ける。一般に、共通アノード OLED 構成の製造は共通カソード OLED 構成より困難である。

【0025】

OLED 有機層への電子およびホールの効率的な注入のために、仕事関数すなわち、最高被占有分子軌道 (HOMO) と最低非占有分子軌道 (LUMO) のエネルギーに一致する真空エネルギー・レベルとフェルミ・エネルギー・レベルのエネルギー差をもつアノードおよびカソード材料を選択することが、極めて重要である。典型的な仕事関数はアノードで 4 ~ 5 eV、カソードで 2.7 ~ 5.3 eV である。

【0026】

効率をより大きくするために、OLED アノード材料は、隣接する有機層の HOMO への効率的なホールの注入を容易にするために、仕事関数の大きい導体でなければならない。一方、OLED のカソード材料は、隣接する有機層の LUMO への効率的な電子注入を行うために仕事関数の小さい導体でなければならない。仕事関数の大きい金属は、インジウム・スズ酸化物 ITO、インジウム亜鉛酸化物 IZO、ニッケル Ni などであり、通常、アノード電極と有機ホール輸送層との間の界面において界面酸化物処理を受ける。界面酸化物処理は、与えられたアノード電極での仕事関数障壁を、確実に可能な最高の高さにするもので、処理業界におけるいくつかの手段、例えば 1 分ないし数分の酸素 O_2 プラズマ処理によりそれを実施することができる。

10

20

30

40

50

【0027】

対照的に、OLEDカソード材料は、仕事関数の小さい金属導体、例えば、フッ化リチウムLiF、カルシウムCa、マグネシウムMgAuなどでなければならず、有機層界面での導体電極の如何なる酸化も電子注入効率を低下させる。上面または下面発光構造が可能であるが、処理は、アノード材料と有機層界面の酸化物処理が、有機層およびカソード材料が存在する前に終えられ、ずっと簡単である。共通のカソードを用いると、有機層を堆積させた後、アクティブ画素領域のパターン形成の必要がないので、処理はさらに簡単になる。

【0028】

図3は、本発明に従い、共通カソード構造を組み込む画素回路300の概略図である。データ線電流を用い、OLEDを流れる電流を、しきい値電圧または移動度の変動に適應できる3NFEET回路で正確に設定することができる。

10

【0029】

回路300は、フローティング電流源/シンク回路構成を組み込んでいる。回路300には、NFEETQ301、Q302およびQ303、データ記憶キャパシタCs310、OLED320ならびにスイッチ325が含まれる。回路300には、ゲート線330およびデータ線340も含まれる。

【0030】

スイッチ325により、供給電圧Vssが、回路300にデータを書き込むために、ハイ、すなわちVss2に設定され、回路300に書き込まれたデータを表示するために、ロー、すなわちVss1に設定される。正の供給電圧Vddは、一定に保たれる。スイッチ335は、任意の適切なスイッチング素子でよいが、好ましくは、トランジスタを用いた電気制御スイッチとして構成される。

20

【0031】

ゲート線330の電圧がハイになった時、NFEETQ301およびQ302がオンになる。Vssはハイに、すなわち $Vdd - 2V$ である電圧Vss2に設定される。OLED320のカソードにVss2を印加することにより、OLED320がオフになり、全く発光しない。OLED320がオフの時、OLED320を流れる電流は非常に小さいので、回路300の動作に影響を与えない。電流の形態のデータがデータ線340から流入する、すなわち取り出される。NFEETQ302は、NFEETQ303のゲートをVddに接続し、電流がデータ記憶キャパシタCs310を通して流れることを止め、NFEETQ303を通してだけ流れる時に、確実に、NFEETQ303を飽和領域で動作させる。NFEETQ303は電流源として動作し、データ線340から流入している電流に一致する。

30

【0032】

Voled(最大)を最大輝度での発光時にOLED320にかかる電圧として、OLED320のカソードに、ある電圧 $Vdd - Vgs + Vt - Voled(最大)$ 、Vss1を印加することにより、OLED320がオンになる、すなわち発光する。ゲート線330の電圧がローになり、VssがローのVss1に設定されてNFEETQ303が飽和領域($Vdd - Vgs + Vt - Voled$)にあることが確實である時に、NFEETQ303のドレイン・ソース電流はOLED320を通して流れるであろう。

40

【0033】

ゲート線330がローに設定されると、NFEETQ302のゲート・ソース容量は、データ記憶キャパシタCs310の電圧を下げようとする。ゲート線330がローに設定されると、NFEETQ301のゲート・ドレイン容量は、データ記憶キャパシタCs310の電圧を上げようとする。VssがローのVss1に設定されると、OLED320の容量およびNFEETQ303のゲート・ドレイン容量は、データ記憶キャパシタCs310の電圧を上げようとする。NFEETQ301、Q302およびQ303のチャネルの長さおよび幅の注意深い設計により、データ記憶キャパシタCs310の電圧カップリングをゼロにすることが可能である。データの書き込みと表示の駆動方法、および記憶キャパ

50

シタC s 3 1 0への、組み合わせさせた容量電圧カップリングは、ディスプレイの全ての画素で同じであるから、データ線3 4 0から取り出されたデータすなわち電流を変更することにより、記憶キャパシタ3 1 0への、組み合わせさせた容量電圧カップリングを相殺する、すなわち補正することもできる。データ記憶キャパシタC s 3 1 0およびN F E T Q 3 0 3を、基準の供給電圧がないフローティング電流源と考えることができる。

【0034】

本発明の別の態様は、表示を効果的に短縮して、画素を大きな書き込み電流で書き込むようにする。このような回路は、8ビット・グレー・スケール動作を制御することが望ましい。これを実現するためには、O L E D電流は少なくとも2桁は変化する必要がある。

10

【0035】

画素回路に電流を適切に書き込むために、低グレー・レベルの電流でデータ線の容量を充電または放電するのに要する時間は、高解像度ディスプレイにおけるゲート線オン時間より長くなりうる。1つの解決策は、より大きな電流をデータ線に使い、画素回路のデータ表示時間を短縮することである。図2の供給電圧V d dが、ハイのV d d 2に設定されている時間を調節することにより、また図3の供給電圧V s sが、ローのV s s 1に設定されている時間を調節することにより、表示時間を調節することができる。従来技術に示されるような第4のトランジスタおよび第3の画素回路入力信号が無いのは、この様にしてである。このことは、従来技術で用いられる第4のトランジスタでの電圧降下が無くなっているため、電源電圧および電力消費を減らす助けとなる。

20

【0036】

複数の画素をもつディスプレイでは、O L E Dへの電源接続、回路2 0 0のV d d、回路3 0 0のV s sは、そのディスプレイの全ての画素で同一の接続である。しかし、各々が別のスイッチ、回路2 0 0ではスイッチ2 3 5、回路3 0 0ではスイッチ3 2 5をもち、各々が個別の表示タイミングをもつ複数の接続に、V d dまたはV s sの接続を分けると有用でありうる。例えば、表示時刻を互いにずらして、分散させ、ピーク、すなわち最大のV d dおよびV s s電流を減らすことができる。電流が小さくなると、V d dまたはV s sの配電の電圧降下が減少するであろう。

【0037】

通常の動作電圧による、回路2 0 0のN F E T Q 2 0 1およびQ 2 0 2ならびに回路3 0 0のN F E T Q 3 0 1およびQ 3 0 2への電氣的ストレスは、アクティブ・マトリックス液晶ディスプレイのそれと同様である。これらのN F E Tは、デューティ・ファクタが非常に小さい電氣的スイッチとして機能する。本発明は、従来技術の回路に比べて、O L E Dに電流を供給するN F E T、回路2 0 0のQ 2 0 3および回路3 0 0のQ 3 0 3、のストレスの影響を最少化する。本発明では、データ書き込み時、O L E Dをオフにするだけでなく、回路2 0 0のN F E T Q 2 0 3および回路3 0 0のN F E T Q 3 0 3の、ドレイン・ソースおよびゲート・ドレイン電圧極性を変えるように、回路2 0 0のV d d 1電圧および回路3 0 0のV s s 2電圧を設定することができる。極性の反転は、ゲート・ドレイン酸化物およびドレイン・ソース・チャネル領域にトラップされた電荷を取り除く助けとなる。回路2 0 0のN F E T Q 2 0 3、および回路3 0 0のQ 3 0 3のゲート・ソース電圧極性を反転させることも可能であることが認められるであろう。書き込み時、回路2 0 0のデータ線2 4 0にV s sより小さい電圧、あるいは回路3 0 0のデータ線3 4 0にV d dより大きい電圧を印加することができる。回路2 0 0のN F E T Q 2 0 3、および回路3 0 0のQ 3 0 3のゲート・ソース電圧を反転するための、データ線上の電圧の書き込みは、前の画素状態の表示後で、画素に次の状態を書き込む前に行われるであろう。

30

40

【0038】

アモルファス・シリコン、ポリシリコンまたは結晶シリコンで、回路2 0 0および3 0 0を実現することができる。回路2 0 0および回路3 0 0を、P M O S素子を使用するように容易に変更することができる。

【0039】

50

様々な代替と変更が当分野の技術者により考案されうることが理解されるであろう。本発明は、添付の特許請求の範囲内にある、このような代替、変更および変形形態の全てを包含すると解釈される。

【図面の簡単な説明】

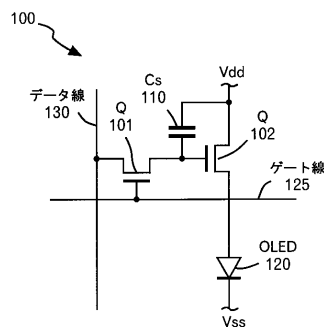
【 0 0 4 0 】

【図 1】 従来技術の画素回路の概略図である。

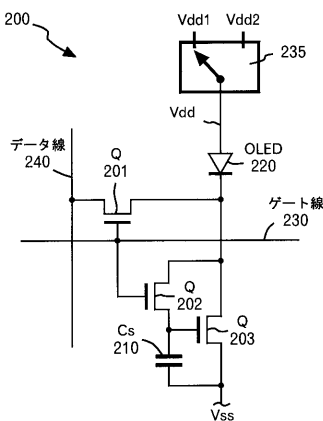
【図 2】 本発明に従って、共通アノードが駆動される画素回路の概略図である。

【図 3】 本発明に従って、共通カソードが駆動される画素回路の概略図である。

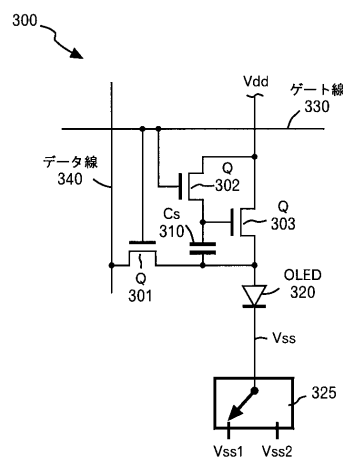
【図 1】



【図 2】



【図 3】



フロントページの続き

- (72)発明者 リブシュ、フランク、ロバート
アメリカ合衆国 1 0 6 0 5 ニューヨーク州ホワイト・プレーンズ デービス・アベニュー 1 0
0
- (72)発明者 サンフォード、ジェームズ、ローレンス
アメリカ合衆国 1 2 5 3 3 ニューヨーク州ホープウェル・ジャンクション フォックス・ラン
2

審査官 小川 浩史

- (56)参考文献 特開 2 0 0 1 - 1 0 9 4 3 2 (J P , A)
国際公開第 9 9 / 6 5 0 1 1 (W O , A 1)
特表 2 0 0 2 - 5 1 7 8 0 6 (J P , A)
特開平 1 0 - 3 1 2 1 7 3 (J P , A)
特開 2 0 0 1 - 6 0 0 7 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G09G 3/20-3/38

专利名称(译)	用于驱动OLED像素电路的方法		
公开(公告)号	JP4383852B2	公开(公告)日	2009-12-16
申请号	JP2003507800	申请日	2002-06-21
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
当前申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
[标]发明人	リブシュフランクロバート サンフォードジェームズローレンス		
发明人	リブシュ、フランク、ロバート サンフォード、ジェームズ、ローレンス		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/325 G09G2300/0842 G09G2300/0866 G09G2310/0256 G09G2320/02 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.624.B G09G3/20.624.C G09G3/20.670.J		
代理人(译)	森田 浩二 片山 宪一 鈴木 守		
审查员(译)	小川 博		
优先权	60/300216 2001-06-22 US		
其他公开文献	JP2004531772A		
外部链接	Espacenet		

摘要(译)

提供了一种驱动有机发光二极管（OLED）像素电路的方法。该方法包括在设置像素电路（200）的状态时将第一信号（Vdd 1）施加到OLED（220）的端子，以及将第一信号（Vdd 1）施加到OLED的端子。Vdd 2）。还提供了使用该方法的OLED像素电路的驱动器（235）。The

【图 2】

