

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-79942

(P2020-79942A)

(43) 公開日 令和2年5月28日(2020.5.28)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09F 9/33 (2006.01)	G09F 9/33	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C094
G09G 3/32 (2016.01)	G09G 3/32 A	5C380
H01L 33/00 (2010.01)	H01L 33/00 J	5F241

審査請求 有 請求項の数 20 O L 外国語出願 (全 31 頁) 最終頁に続く

(21) 出願番号	特願2019-223967 (P2019-223967)	(71) 出願人	503260918
(22) 出願日	令和1年12月11日 (2019.12.11)		アップル インコーポレイテッド
(62) 分割の表示	特願2018-528943 (P2018-528943) の分割		Apple Inc.
原出願日	平成28年10月17日 (2016.10.17)		アメリカ合衆国 95014 カリフォル ニア州 クパチーノ アップル パーク ウェイ ワン
(31) 優先権主張番号	62/263,074		One Apple Park Way, Cupertino, Californ ia 95014, U. S. A.
(32) 優先日	平成27年12月4日 (2015.12.4)	(74) 代理人	100076428
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 大塚 康德
(31) 優先権主張番号	15/263,803	(74) 代理人	100115071
(32) 優先日	平成28年9月13日 (2016.9.13)		弁理士 大塚 康弘
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100112508
			弁理士 高柳 司郎

最終頁に続く

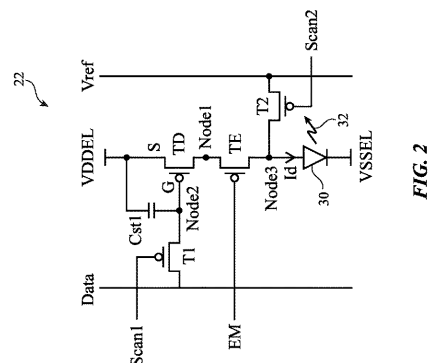
(54) 【発明の名称】 発光ダイオードを備えたディスプレイ

(57) 【要約】 (修正有)

【課題】良好なディスプレイ性能が得られる画素アレイを提供する。

【解決手段】画素(22)は、有機発光ダイオードなどの発光ダイオード(30)、第1及び第2のスイッチングトランジスタ(T1、T2)を有し、駆動トランジスタ(TD)及び発光トランジスタ(TE)は、正電源(VDDEL)と接地電源(VSSEL)との間で発光ダイオード(30)に直列に結合され、データ蓄積コンデンサ(Cst1)は、駆動トランジスタ(TD)のゲートとソースとの間に結合され、信号線(Data)は、データ信号、駆動トランジスタからの感知された駆動電流等の信号をディスプレイドライバ回路と画素との間で送るために画素の列内に設けられ、スイッチングトランジスタ(T1、T2)、発光トランジスタ(TE)及び駆動トランジスタ(TD)は、半導体酸化物トランジスタ又はシリコントランジスタでもよく、nチャネル又はpチャネルトランジスタでもよい。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

ディスプレイであって、
ディスプレイドライバ回路と、
画素のアレイと、
前記ディスプレイドライバ回路と前記画素との間で信号を伝える信号線と、
を備え、各画素が、

正電源と接地電源との間に直列に結合された、発光トランジスタと、駆動トランジスタと、発光ダイオードと、

第 1 の経路と前記駆動トランジスタのゲートとの間に結合された第 1 のスイッチングトランジスタと、第 2 の経路と前記駆動トランジスタのソースとの間に結合された第 2 のスイッチングトランジスタと、前記駆動トランジスタの前記ゲートと前記ソースとの間に結合されたコンデンサと、
を含む、ディスプレイ。

10

【請求項 2】

前記駆動トランジスタが前記発光トランジスタと前記発光ダイオードとの間に結合され、前記第 1 のスイッチングトランジスタが半導体酸化物トランジスタを含む、請求項 1 に記載のディスプレイ。

【請求項 3】

前記第 2 のスイッチングトランジスタがシリコントランジスタを含む、請求項 2 に記載のディスプレイ。

20

【請求項 4】

前記駆動トランジスタ及び前記発光トランジスタがシリコントランジスタである、請求項 3 に記載のディスプレイ。

【請求項 5】

前記第 1 のスイッチングトランジスタが n チャネルトランジスタであり、前記第 2 のスイッチングトランジスタ、前記発光トランジスタ及び前記駆動トランジスタが p チャネルトランジスタである、請求項 4 に記載のディスプレイ。

【請求項 6】

前記第 2 の経路が、電流感知動作中に感知された電流を前記駆動トランジスタから前記ディスプレイドライバ回路に伝達し、データロード動作中にデータ信号を前記コンデンサに伝達する共用経路である、請求項 5 に記載のディスプレイ。

30

【請求項 7】

画素の前記アレイが、前記画素の列と前記画素の行とを含み、前記信号線が、前記列のそれぞれにおいて、前記列内の前記画素のそれぞれの前記第 2 の経路として機能する個別の信号線を含む、請求項 6 に記載のディスプレイ。

【請求項 8】

前記第 1 の経路が、前記ディスプレイドライバ回路から画素の前記行及び列内の前記画素のそれぞれに共通電圧を供給するグローバル信号経路を含む、請求項 7 に記載のディスプレイ。

40

【請求項 9】

前記第 1 のスイッチングトランジスタが n チャネルトランジスタを含み、前記発光トランジスタ、前記駆動トランジスタ及び前記第 2 のスイッチングトランジスタが p チャネルトランジスタを含む、請求項 1 に記載のディスプレイ。

【請求項 10】

前記第 1 のスイッチングトランジスタが半導体酸化物トランジスタを含む、請求項 9 に記載のディスプレイ。

【請求項 11】

前記発光トランジスタ、前記駆動トランジスタ及び前記第 2 のスイッチングトランジスタがシリコントランジスタを含む、請求項 10 に記載のディスプレイ。

50

【請求項 1 2】

ディスプレイであって、
ディスプレイドライバ回路と、
画素のアレイと、
前記ディスプレイドライバ回路と前記画素との間で信号を伝える信号線と、
を備え、各画素が、

正電源と接地電源との間に直列に結合された、前記正電源に結合されたソースを有する駆動トランジスタと、発光トランジスタと、発光ダイオードと、

第 1 の経路と前記駆動トランジスタのゲートとの間に結合された第 1 のスイッチングトランジスタと、第 2 の経路と前記発光トランジスタと前記発光ダイオードとの間のノードとの間に結合された第 2 のスイッチングトランジスタと、前記駆動トランジスタの前記ゲートと前記ソースとの間に結合されたコンデンサと、

を含む、ディスプレイ。

【請求項 1 3】

前記第 1 のスイッチングトランジスタ、前記第 2 のスイッチングトランジスタ、前記駆動トランジスタ及び前記発光トランジスタが p チャネルトランジスタを含む、請求項 1 2 に記載のディスプレイ。

【請求項 1 4】

前記第 1 のスイッチングトランジスタ、前記第 2 のスイッチングトランジスタ、前記駆動トランジスタ及び前記発光トランジスタがシリコントランジスタを含み、前記画素が行及び列に配置され、前記画素の各列が、前記列内の前記画素のそれぞれの前記第 1 の経路を形成するデータ線を有し、かつ前記列内の前記画素のそれぞれの前記第 2 の経路を形成する基準電圧線を有する、請求項 1 3 に記載のディスプレイ。

【請求項 1 5】

ディスプレイであって、
ディスプレイドライバ回路と、
前記ディスプレイドライバ回路に結合されたデータ線と、
前記ディスプレイドライバ回路に結合されたゲート線と、

画素のアレイであって、前記画素が、前記ディスプレイドライバ回路から前記データ線を介してデータを受信し、前記ディスプレイドライバ回路から前記ゲート線を介して受信した制御信号によって制御され、画素の前記アレイ内の各画素が、第 1 の電源端子と第 2 の電源端子との間に直列に結合された、発光ダイオードと、駆動トランジスタと、第 1 及び第 2 の発光イネーブルトランジスタとを有し、各画素が、前記駆動トランジスタのソース端子と前記駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素が、基準電圧線と前記駆動トランジスタの前記ゲートとの間に結合された第 1 のスイッチングトランジスタを有し、かつ前記データ線のうちの 1 本と前記駆動トランジスタの前記ソース端子との間に結合された第 2 のスイッチングトランジスタを有し、前記ゲート線が、前記第 1 及び第 2 の発光イネーブルトランジスタ並びに前記第 1 及び第 2 のスイッチングトランジスタに前記制御信号を供給し、前記第 1 のスイッチングトランジスタが半導体酸化物活性領域を有し、前記第 2 のスイッチングトランジスタ、前記第 1 及び第 2 の発光イネーブルトランジスタ並びに前記駆動トランジスタがシリコン活性領域を有する、画素のアレイと、

を備えるディスプレイ。

【請求項 1 6】

前記ディスプレイドライバ回路が、前記駆動トランジスタを事前調整するために前記駆動トランジスタにオンバイアスストレスを印加するオンバイアスストレス期間において、前記制御信号及びデータを供給して画素の前記アレイを動作させるように構成されている、請求項 1 5 に記載のディスプレイ。

【請求項 1 7】

前記ディスプレイドライバ回路が、感知期間中に前記データ線を通る電流を測定する

10

20

30

40

50

ことによって前記駆動トランジスタに対する閾電圧測定を行うように構成されている、請求項 15 に記載のディスプレイ。

【請求項 18】

前記ディスプレイドライバ回路が、前記感知期間中に前記ゲート線を介して前記制御信号を供給して、前記第 1 のスイッチングトランジスタをオフにし、前記第 2 のスイッチングトランジスタをオンにし、前記第 1 の発光トランジスタをオフにし、かつ前記第 2 の発光トランジスタをオンにするように構成されている、請求項 17 に記載のディスプレイ。

【請求項 19】

前記ディスプレイドライバ回路が、前記感知期間中に前記ゲート線を介して前記制御信号を供給して、前記第 1 のスイッチングトランジスタをオンにし、前記第 2 のスイッチングトランジスタをオンにし、前記第 1 の発光トランジスタをオフにし、かつ前記第 2 の発光トランジスタをオンにするように構成されている、請求項 17 に記載のディスプレイ。

【請求項 20】

ディスプレイであって、

ディスプレイドライバ回路と、

前記ディスプレイドライバ回路に結合されたデータ線と、

前記ディスプレイドライバ回路に結合されたゲート線と、

画素のアレイであって、前記画素が、前記ディスプレイドライバ回路から前記データ線を介してデータを受信し、前記ディスプレイドライバ回路から前記ゲート線を介して受信した制御信号によって制御され、画素の前記アレイ内の各画素が、第 1 の電源端子と第 2 の電源端子との間に直列に結合された、アノード及びカソードを有する発光ダイオードと、駆動トランジスタと、第 1 及び第 2 の発光イネーブルトランジスタとを有し、各画素が、前記駆動トランジスタのソース端子と前記駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素が、基準電圧線と前記駆動トランジスタの前記ゲートとの間に結合された第 1 のスイッチングトランジスタを有し、かつ前記データ線のうちの 1 本と前記駆動トランジスタの前記ソース端子との間に結合された第 2 のスイッチングトランジスタを有し、各画素が、前記発光ダイオードの前記アノードに結合された端子を有するバイパストランジスタを有し、前記ゲート線が、前記第 1 及び第 2 の発光イネーブルトランジスタ並びに前記第 1 及び第 2 のスイッチングトランジスタに前記制御信号を供給し、前記第 1 のスイッチングトランジスタが半導体酸化物活性領域を有し、前記第 2 のスイッチングトランジスタ、前記第 1 及び第 2 の発光イネーブルトランジスタ、前記駆動トランジスタ並びに前記バイパストランジスタがシリコン活性領域を有する、画素のアレイと、

を備えるディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、概して電子デバイスに関し、より具体的には、ディスプレイを有する電子デバイスに関する。本出願は、2016 年 9 月 13 日出願の米国特許出願第 15 / 263, 803 号、及び 2015 年 12 月 4 日出願の米国仮特許出願第 62 / 263, 074 号に対する優先権を主張するものであり、これらの出願は、その全体が参照により本明細書に組み込まれる。

【背景技術】

【0002】

電子デバイスは、多くの場合、ディスプレイを含む。有機発光ダイオードディスプレイなどのディスプレイは、発光ダイオードを備えた画素を有する。

【0003】

発光ダイオードディスプレイを備えたディスプレイを設計することは難題であり得る。配慮がなされていない場合、トランジスタの高リーク電流、トランジスタの低スイッチング速度、ルーティングの複雑さ、オーミック損失による電圧降下、及びその他の問題が、

ディスプレイの性能に悪影響を及ぼす場合がある。

【発明の概要】

【0004】

電子デバイスはディスプレイを有し得る。ディスプレイは、行及び列に整列された画素のアレイを有し得る。画素のそれぞれは、駆動電流の印加に応答して光を放出する有機発光ダイオードなどの発光ダイオードを有し得る。各画素内の駆動トランジスタは、駆動トランジスタのゲートとソースとの間のゲート - ソース電圧に応答して、その画素の発光ダイオードに駆動電流を供給し得る。

【0005】

各駆動トランジスタのソースは、正電源に結合されてもよい。発光トランジスタは、正電源と接地電源との間で各画素の駆動トランジスタ及び発光ダイオードに直列に結合されてもよい。画素は、第1及び第2のスイッチングトランジスタを含んでもよい。データ蓄積コンデンサは、各画素において駆動トランジスタのゲートとソースとの間に結合されてもよい。制御信号は、ディスプレイドライバ回路からスイッチングトランジスタ及び発光トランジスタの各ゲートに供給されてもよい。

10

【0006】

信号線を画素の列内に設けて、データ信号、駆動トランジスタからの感知された駆動電流、及びディスプレイドライバ回路と画素との間の基準電圧などの所定の電圧などの信号を送ってもよい。スイッチングトランジスタ、発光トランジスタ及び駆動トランジスタは、半導体酸化物トランジスタ及びシリコントランジスタを含んでもよく、nチャネルトランジスタ又はpチャネルトランジスタであってもよい。

20

【0007】

更なる特徴が、添付図面及び以下の詳細な説明から、より明らかとなるであろう。

【図面の簡単な説明】

【0008】

【図1】一実施形態に係る例示的なディスプレイの模式図である。

【0009】

【図2】一実施形態に係るディスプレイのための例示的な画素の回路図である。

【0010】

【図3】一実施形態に係る、図2に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

30

【図4】一実施形態に係る、図2に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0011】

【図5】一実施形態に係るディスプレイのための別の例示的な画素の回路図である。

【0012】

【図6】一実施形態に係る、図5に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図7】一実施形態に係る、図5に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

40

【0013】

【図8】一実施形態に係るディスプレイのための追加の例示的な画素の回路図である。

【0014】

【図9】一実施形態に係る、図8に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図10】一実施形態に係る、図8に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0015】

【図11】一実施形態に係るディスプレイのための更なる例示的な画素の回路図である。

【0016】

50

【図 1 2】一実施形態に係る、図 1 1 に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図 1 3】一実施形態に係る、図 1 1 に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0 0 1 7】

【図 1 4】一実施形態に係る、5 つのトランジスタ及び 1 つのコンデンサを備えた例示的な画素回路の図である。

【0 0 1 8】

【図 1 5】一実施形態に係る、図 1 4 に示した種類の画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

10

【0 0 1 9】

【図 1 6】一実施形態に係るオンバイアスストレス (on-bias stress) 動作中の図 1 4 の画素回路の図である。

【0 0 2 0】

【図 1 7】一実施形態に係るデータ書き込み動作中の図 1 4 の画素回路の図である。

【0 0 2 1】

【図 1 8】一実施形態に係る発光動作中の図 1 4 の画素回路の図である。

【0 0 2 2】

【図 1 9】一実施形態に係る閾電圧情報を収集するときの図 1 4 の画素回路の図である。

【0 0 2 3】

20

【図 2 0 A】一実施形態に係る、図 1 4 に示したように画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

【図 2 0 B】一実施形態に係る、図 1 4 に示したように画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

【0 0 2 4】

【図 2 1】別の実施形態に係る閾電圧情報を収集するときの図 1 4 の画素回路の図である。

【0 0 2 5】

【図 2 2】一実施形態に係る、図 2 1 に示したように画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

30

【0 0 2 6】

【図 2 3】一実施形態に係るバイパストラジスタを備えた例示的な画素の回路図である。

【0 0 2 7】

【図 2 4】一実施形態に係る、図 2 3 の画素を動作させる際に使用され得る種類の制御信号を示す図である。

【0 0 2 8】

【図 2 5】一実施形態に係るバイパストラジスタを備えた別の例示的な画素の回路図である。

【0 0 2 9】

40

【図 2 6】一実施形態に係る、図 2 5 の画素を動作させる際に使用され得る種類の制御信号を示す図である。

【0 0 3 0】

【図 2 7】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 2 8】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 2 9】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 3 0】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 3 1】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【0 0 3 1】

【図 3 2】図 3 0 に関連して記載された種類の電流感知動作がどのように実行され得るか

50

を示す図である。

【発明を実施するための形態】

【0032】

図1のディスプレイ14などのディスプレイは、タブレットコンピュータ、ラップトップコンピュータ、デスクトップコンピュータ、ディスプレイ、携帯電話、メディアプレーヤ、腕時計デバイス若しくは他のウェアラブル電子機器、又は他の好適な電子デバイスなどのデバイスに使用されてもよい。

【0033】

ディスプレイ14は、有機発光ダイオードディスプレイであってもよく、又は他の種類のディスプレイ技術に基づいたディスプレイ（例えば、離散結晶半導体ダイから形成された発光ダイオードを備えたディスプレイ、量子ドット発光ダイオードを備えたディスプレイなど）であってもよい。ディスプレイ14が有機発光ダイオードディスプレイである構成が、一例として本明細書に記載されることがある。ただし、これは例示に過ぎない。所望される場合、任意の好適な種類のディスプレイが使用され得る。

【0034】

ディスプレイ14は、矩形形状を有してもよく（すなわち、ディスプレイ14は矩形のフットプリント、及び矩形のフットプリントの周りに延びる矩形の周辺エッジを有し得る）、又は他の好適な形状を有してもよい。ディスプレイ14は、平らであってもよく、曲線状の輪郭を有してもよい。

【0035】

図1に示すように、ディスプレイ14は、基板24上に形成された画素22のアレイを有し得る。基板24は、ガラス、金属、プラスチック、セラミック、又は他の基板材料から形成されてもよい。画素22は、垂直経路16などの経路上でデータ信号及び他の信号を受信してもよい。各垂直経路16は、画素22の各列に関連付けられてもよく、1本以上の信号線を含んでもよい。画素22は、水平経路18などの経路を介して水平制御信号（発光イネーブル制御信号若しくは発光信号、走査信号、又はゲート信号と呼ばれることがある）を受信してもよい。各水平経路18は、1本以上の水平信号線を含んでもよい。

【0036】

ディスプレイ14には、好適な数の（例えば、数十若しくはそれよりも多い、数百若しくはそれよりも多い、又は数千若しくはそれよりも多い）画素22の行及び列が存在してもよい。各画素22は、薄膜トランジスタ回路（例えば、薄膜トランジスタ、薄膜コンデンサなど）から形成された画素回路の制御下で光を放出する発光ダイオードを有し得る。画素22の薄膜トランジスタ回路は、ポリシリコン薄膜トランジスタなどのシリコン薄膜トランジスタ、インジウムガリウム亜鉛酸化物トランジスタなどの半導体酸化物薄膜トランジスタ、又は他の半導体から形成された薄膜トランジスタを含んでもよい。画素22は、カラー画像を表示する能力をディスプレイ14に提供するために、種々の色の発光ダイオード（例えば、赤色、緑色及び青色の画素のための赤色、緑色及び青色の各ダイオード）を含んでもよい。

【0037】

画素22は、矩形アレイ又は他の形状のアレイに配置されてもよい。画素22のアレイは、ディスプレイ14のためのアクティブ領域を形成し、ユーザのための画像を表示する際に使用される。ディスプレイ14の非アクティブ部は、アクティブ領域AAの縁部のうちの1つ以上に沿って延びてもよい。非アクティブ領域は、ディスプレイ14のための境界を形成し、画素22を含まなくてもよい。

【0038】

ディスプレイドライバ回路20を使用して画素22の動作を制御してもよい。ディスプレイドライバ回路20は、集積回路、薄膜トランジスタ回路又は他の好適な回路から形成されてもよく、ディスプレイ14の非アクティブ領域内に位置してもよい。ディスプレイドライバ回路20は、マイクロプロセッサ、記憶装置、並びに他の記憶及び処理回路などのシステム制御回路と通信するための通信回路を含んでもよい。動作中、システム制御回

10

20

30

40

50

路は、ディスプレイ 14 上に表示される画像に関する情報を回路 20 に供給してもよい。

【0039】

画素 22 上に画像を表示するために、回路 20 A などのディスプレイドライバ回路は、経路 26 を介して、クロック信号及び他の制御信号をディスプレイドライバ回路 20 B などの補助ディスプレイドライバ回路（例えば、ゲート駆動回路）に発行しながら、画像データを垂直線 16 に供給してもよい。所望により、回路 20 は、ディスプレイ 14 の対向縁部上のゲート駆動回路 20 B にもクロック信号及び他の制御信号を供給してもよい。

【0040】

ゲート駆動回路 20 B（水平制御線制御回路と呼ばれることがある）は、集積回路の一部として実装されてもよく、かつ／又は薄膜トランジスタ回路を使用して実装されてもよい。ディスプレイ 14 内の水平制御線 18 は、各行の画素を制御するためのゲート線信号（例えば、走査線信号、発光イネーブル制御信号及び他の水平制御信号）を伝達してもよい。画素 22 の行当たりの任意の好適な数（例えば、1 つ以上、2 つ以上、3 つ以上、4 つ以上など）の水平制御信号が存在し得る。

【0041】

画素 22 は、発光ダイオードと直列に結合された駆動トランジスタをそれぞれ含んでもよい。発光イネーブルトランジスタ（発光トランジスタ）は、正電源端子と接地電源端子との間で駆動トランジスタ及び発光ダイオードと直列に結合されてもよい。各画素内の蓄積コンデンサは、連続する画像フレーム間でロード済みのデータ（例えば、画素の画素輝度値を定めるデータ）を記憶するために使用されてもよい。各画素は、データロード動作及び他の動作をサポートするために 1 つ以上のスイッチングトランジスタも有し得る。

【0042】

ディスプレイ 14 のフレームレートは、60 Hz 又は他の好適なフレームレートであってもよい。所望により、ディスプレイ 14 は、可変リフレッシュレート動作をサポートしてもよい。通常のリフレッシュレート動作中、ディスプレイ 14 のリフレッシュレートは、相対的に高くてもよい（例えば、60 Hz）。ディスプレイ 14 上に静的コンテンツが表示されているときには、ディスプレイ 14 のリフレッシュレートを（例えば、1 ~ 5 Hz 又は他の好適な低リフレッシュレートに）低下させて電力を節約してもよい。

【0043】

画素 22 の回路（例えば、駆動トランジスタなどのトランジスタ、発光ダイオードなど）は、エージング効果の影響を受ける場合がある。ディスプレイドライバ回路 20（例えば、回路 20 A）は、電流感知回路、及び画素 22 の性能を周期的に測定する他の補償回路を含んでもよい。これらの周期的測定（例えば、画素の駆動トランジスタによって生成される電流を測定するための周期的な電流感知測定）に基づき、ディスプレイドライバ回路 20 は、画素 22 にロードされるデータに対して調整を行ってもよい。ロード済みの画素データに対して行われる調整は、測定された画素性能の変動を補償することができる（例えば、調整は、エージング効果を補償し、それによりディスプレイ 14 は、所望の均一性及び他の属性を確実に示すことができる）。電流感知（例えば、画素 22 内の駆動トランジスタの電流の感知）は、線 16 などの、ディスプレイ 14 内の垂直線を使用して実行されてもよい。通常動作（ディスプレイ 14 の「発光」モードと呼ばれることがある）中、発光制御線をアサートして画素 22 内の発光イネーブルトランジスタをオンにすることができる。発光イネーブルトランジスタは、データロード動作及び電流感知動作中にオフにされてもよい。

【0044】

画素 22 は、半導体酸化物トランジスタとシリコントランジスタの両方を使用してもよい。半導体酸化物トランジスタは、シリコントランジスタよりも低いリーク電流を示す傾向がある。シリコントランジスタは、半導体酸化物トランジスタよりも速くスイッチングする傾向がある。各画素内のどのトランジスタを半導体酸化物トランジスタとするか、及び各画素のどのトランジスタをシリコントランジスタとするかを適切に選択することにより、更には水平線、垂直線及び他の画素回路を適切に構成することにより、ディスプレイ

10

20

30

40

50

の性能を最適化することができる。図 2 ~ 13 は、ディスプレイ 14 のための例示的な実施形態に関連付けられた様々な画素回路配置及び関連する信号タイミング図を示す。

【0045】

図 2 の画素 22 のための例示的な構成に示すように、各画素 22 は、駆動電流 I_d の印加にตอบสนองして光 32 を放出する発光ダイオード 30 などの発光ダイオードを含んでもよい。発光ダイオード 30 は、例えば、有機発光ダイオードであってもよい。画素 22 のトランジスタ及びコンデンサ構造は、基板 24 (図 1) 上の薄膜回路から形成されてもよい。一般に、ディスプレイ 14 の各画素 22 は、p チャネルトランジスタ、n チャネルトランジスタ、半導体酸化物トランジスタ、シリコントランジスタ、1 つ以上の蓄積コンデンサ、並びに信号経路 (例えば、1 本以上の垂直信号線のうちの一部、及び 1 本以上の水平信号線) を含んでもよい。

10

【0046】

図 2 の例では、発光ダイオード 30 は、正電源 V_{dd1} と接地電源 V_{ss1} との間で発光イネーブルトランジスタ (発光トランジスタ) T_E 及び駆動トランジスタ T_D と直列に結合されている。蓄積コンデンサ C_{st1} は、ロード済みのデータ値を、駆動トランジスタ T_D のゲートに接続されている $Node2$ 上に維持する。駆動トランジスタ T_D のソース S は、正電源 V_{dd1} に結合されている。駆動トランジスタ T_D のゲート - ソース電圧 V_{gs} の値 (すなわち、 $Node2$ とトランジスタ T_D のソース S の電源端子 V_{dd1} との間の電圧差) は、発光ダイオード 30 を流れる駆動電流 I_d を定める。発光は、発光トランジスタ T_E のゲートに印加される発光イネーブル制御信号 EM を使用してイネーブル又はディセーブルにされる。スイッチングトランジスタ T_1 及び T_2 は、データロード動作及び電流感知動作に使用される。トランジスタ T_1 、 T_2 、 T_D 及び T_E は、全て (一例として) p チャネルシリコントランジスタであってもよい。

20

【0047】

図 2 の画素 22 などの画素 22 の各列は、一対の垂直信号線 16 に関連付けられてもよい。垂直信号線は、データ線 ($Data$) 及び基準電圧線 (V_{ref}) を含んでもよい。データ線は、データ蓄積コンデンサ C_{st1} 上にデータをロードするために使用されてもよい。基準電圧線は、時には感知線と呼ばれる場合があり、電流感知動作中に駆動トランジスタ T_D の電流を測定するために (例えば、エージングを評価するために) 使用されてもよい。基準電圧線は、発光トランジスタ T_E と発光ダイオード 30 との間のノード (すなわち、 $Node3$) 上に所定の電圧をロードする際にも使用され得る。

30

【0048】

図 2 の画素 22 などの画素 22 の各行は、3 本の水平信号線 18 に関連付けられてもよい。水平信号線 18 は、スイッチングトランジスタ T_1 のゲートに印加される第 1 のスイッチングトランジスタ制御信号 (走査信号) $Scan1$ 、スイッチングトランジスタ T_2 のゲートに印加される第 2 のスイッチングトランジスタ制御信号 (走査信号) $Scan2$ 、及び発光トランジスタ T_E のゲートに印加される発光イネーブル信号 (発光信号) EM を含んでもよい。

【0049】

データ線 $Data$ から図 2 の画素 22 の $Node2$ の蓄積コンデンサ C_{st1} 上へのデータのロードに関連付けられた信号を示す信号タイミング図を図 3 に示す。通常動作 (発光動作) 中、ディスプレイドライバ回路 20B によって EM がローに保持されるため、トランジスタ T_E がオンになる。 T_E がオンになると、ノード $Node2$ 上のデータ値が駆動トランジスタ T_D のゲート G とソース S (ソース S は V_{dd1} に繋がれている) との間に所望の V_{gs} 値を定め、それにより発光ダイオード 30 の駆動電流 I_d の大きさを設定する。データロード動作中、回路 20B によって EM をハイにして、トランジスタ T_E をオフにし、電流 I_d を遮断する。 EM がハイの間、回路 20B は、信号 $Scan1$ 及び $Scan2$ をローにして、トランジスタ T_1 及び T_2 をオンにする。 T_2 がオンになると、線 V_{ref} から $Node3$ に既知の基準電圧が供給され得る。 T_1 がオンになると、データ線 ($Data$) 上の電流データ信号が $Node2$ のコンデンサ C_{st1} 上にロードさ

40

50

れ得る。次に、E Mをローにし、かつS c a n 1及びS c a n 2をハイにすることによって発光動作が再開されてもよい。発光中、N o d e 2のコンデンサC s t 1上にロードされたデータ値が、発光ダイオード30からの光32の出力レベルを決定する。

【0050】

電流感知動作（この動作は、通常の発光動作を中断することにより、1時間に1回、一週間に1回など周期的に実行され得る）に関連付けられた信号を示す信号タイミング図を図4に示す。

【0051】

プリロード中は、S c a n 1及びS c a n 2をローにししながらE Mをハイにして発光ダイオード30に電流が流れるのを防ぐ。S c a n 2がローの間、トランジスタT2がオンになり、線V r e fからN o d e 3上に既知の基準電圧がロードされる。S c a n 1がローの間、既知の基準データ（「感知データ」）が、オンであるトランジスタT1を介して線D a t aからN o d e 2上にロードされる。これにより、駆動トランジスタT Dを動作させるための既知の条件（例えば、所定のV g s値、及びN o d e 3上の所定の電圧）が定まる。

【0052】

画素22に感知データをロードした後、電流感知動作が実行される。感知動作中、S c a n 1をハイにししながら、E Mをローにし、かつS c a n 2をローに保持する。これにより、駆動トランジスタT Dを流れている電流が線V r e fへと送られ、この線が次いで感知線として機能する。ディスプレイドライバ回路20Bの補償回路内の電流感知回路は、トランジスタT Dに流れている電流の量を測定し、それによりトランジスタT Dの性能を評価することができる。ディスプレイドライバ回路20Bの補償回路は、このような電流測定値を使用して、エージング効果（例えば、所与のV g s値に対してトランジスタT Dが生成する駆動電流I dの量に影響を及ぼすエージング）に対して画素22を補償することができる。

【0053】

電流感知動作が完了した後、E Mをハイにし、S c a n 1をローにしてトランジスタT1をオンにし、かつS c a n 2をローに保持することにより、データ線D a t aからN o d e 2上にデータをロードしてもよい。画素22は、E MをローにしてトランジスタT Eをオンにし、かつS c a n 1及びS c a n 2をハイにしてトランジスタT1及びT2をオフにすることにより、データをロードした後に発光モードにされてもよい。

【0054】

図2の画素22のための構成は、画素22の各行内で3本の水平制御線上の3つのゲート制御信号を使用し、画素22の各列内で2本の垂直線を介してデータ及び基準電圧信号及び電流測定値を送る。各列の垂直線は、他の列の垂直線とは独立して動作する（すなわち、N列の画素22を有するディスプレイにはN本の独立した線D a t a及びN本の独立した線V r e fが存在する）。

【0055】

（例えば、ディスプレイ14が可変リフレッシュレート動作をサポートするように構成されているときに）トランジスタのリーク電流を低減し、それによりディスプレイ14を低リフレッシュレートで効率的に動作させるため、画素22に半導体酸化物スイッチングトランジスタを設けてもよい。例えば、図5の画素22のデータロードトランジスタT1はnチャネル半導体酸化物トランジスタであってもよい。トランジスタT E、T D及びT2はpチャネルシリコントランジスタであってもよい。

【0056】

データ線D a t aから図5の画素22内のN o d e 2の蓄積コンデンサC s t 1上へのデータのロードに関連付けられた信号を示す信号タイミング図を図6に示す。

【0057】

図5の画素22の通常動作（発光動作）中、ディスプレイドライバ回路20BによってE Mがローに保持されているため、トランジスタT Eがオンになる。駆動トランジスタT

10

20

30

40

50

DのソースSはV_{d d e 1}になっている。T_Eがオンになると、ノードN_{o d e 2}上のデータ値が、駆動トランジスタT_DのゲートGとソースSとの間に所望のゲートソース電圧V_{g s}値を定め、それにより発光ダイオード30に対する駆動電流I_dの大きさを設定する。

【0058】

データロード動作中、回路20BによってE_Mをハイにして、トランジスタT_Eをオフにし、電流I_dを遮断する。E_Mがハイの間、回路20Bは、信号S_{c a n 1}をハイにし、かつS_{c a n 2}をローにして、トランジスタT₁及びT₂をオンにする。トランジスタT₁が半導体酸化物トランジスタであるため、(T₁がシリコントランジスタであるシナリオに比べて)S_{c a n 1}がハイである時間を延ばしてトランジスタT₁が安定する時間を十分確保することが望ましい場合がある。データロードのためにT₂がオンになると、線V_{r e f}からN_{o d e 3}に既知の基準電圧が供給され得る。T₁がオンになると、データ線(D_{a t a})上に存在するデータ信号がN_{o d e 2}のコンデンサC_{s t 1}にロードされ得る。次に、E_M及びS_{c a n 1}をローにし、かつS_{c a n 2}をハイにすることによって発光動作が再開されてもよい。

10

【0059】

図5の画素22に対する周期的な電流感知動作に関連付けられた信号を示す信号タイミング図を図7に示す。

【0060】

図5の画素22のプリロード中は、S_{c a n 1}をハイにし、かつS_{c a n 2}をローにしながら、E_Mをハイにして発光ダイオード30に電流が流れるのを防ぐ。S_{c a n 2}がローになると、トランジスタT₂がオンになり、線V_{r e f}からN_{o d e 3}上に既知の基準電圧がロードされる。S_{c a n 1}がハイになると、既知の基準データ(「感知データ」)が、オンであるトランジスタT₁を介して線D_{a t a}からN_{o d e 2}上にロードされる。これにより、駆動トランジスタT_Dを動作させるための既知の条件(例えば、所定のV_{g s}値、及びN_{o d e 3}上の所定の電圧)が定まる。

20

【0061】

図5の画素22に対する感知動中、E_M及びS_{c a n 1}がローになり、かつS_{c a n 2}がローに保持される。これにより、駆動トランジスタT_Dを流れている電流が線V_{r e f}へと送られ、この線が感知線として機能する。ディスプレイドライバ回路20Bの補償回路内の電流感知回路は、トランジスタT_Dに流れている電流の量を測定し、それによりトランジスタT_Dの性能を評価することができる。図2のシナリオと同様に、ディスプレイドライバ回路20Bの補償回路は、このような電流測定値を使用して、エージング効果(例えば、所与のV_{g s}値に対してトランジスタT_Dが生成する駆動電流I_dの量に影響を与えるエージング)に対して図5の画素22を補償することができる。

30

【0062】

感知動作が完了した後、S_{c a n 2}をローに保持しながらE_M及びS_{c a n 1}をハイにすることにより、データ線D_{a t a}からN_{o d e 2}上にデータがロードされ得る。画素22は、E_M及びS_{c a n 1}をローにし、かつS_{c a n 2}をハイにすることにより、データがロードされた後に発光モードにされてもよく、それによりトランジスタT_Eがオンになり、かつトランジスタT₁及びT₂がオンになる。

40

【0063】

E_M信号とS_{c a n 1}信号が同一であるため、これらの信号の機能は、単一の信号線上に伝達される単一の組み合わせ信号を使用して実装することができる(すなわち、単一の信号E_M/S_{c a n 1}は、図2の画素22の別々に調整されたE_M信号及びS_{c a n 1}信号を置換することができる)。従って、図5の画素22のための構成は、2本の水平制御線上の2つのゲート制御信号のみを使用することにより、ルーティングリソースを節約する。2本の垂直線(D_{a t a}及びV_{r e f})を使用して、画素22の各列内のデータ、基準電圧信号及び電流測定値を伝達することができる。図5に示した種類の画素22を備えたディスプレイの各列の垂直線は、他の列の垂直線とは独立して動作する(すなわち、N

50

列の画素 2 2 を備えたディスプレイには N 本の独立した線 D a t a 及び N 本の独立した線 V r e f が存在する)。

【 0 0 6 4 】

所望により、画素 2 2 の各行に関連付けられている水平制御信号の数を、図 8 の画素 2 2 に示した種類の回路を使用して更に低減することができる。図 8 の構成では、トランジスタ T 1 とトランジスタ T 2 は共に n チャンネル半導体酸化物トランジスタであるのに対し、トランジスタ T E とトランジスタ T D は共に p チャンネルシリコントランジスタである。画素 2 2 において (例えば、トランジスタ T 1 に対して) 半導体酸化物トランジスタを使用することは、リーク電流を低減し、それにより (例えば、ディスプレイ 1 4 が可変リフレッシュレート動作をサポートするように構成されているときに) ディスプレイ 1 4 を低リフレッシュレートで効率的に動作させるのに役立つ。

10

【 0 0 6 5 】

データ線 D a t a から図 8 の画素 2 2 内の N o d e 2 の蓄積コンデンサ C s t 1 上へのデータのロードに関連付けられた信号を示す信号タイミング図を図 9 に示す。

【 0 0 6 6 】

図 8 の画素 2 2 の通常動作 (発光動作) 中、ディスプレイドライバ回路 2 0 B によって E M がローに保持されるため、トランジスタ T E がオンになる。T E がオンになると、ノード N o d e 2 上のデータ値が、駆動トランジスタ T D のゲート G とソース S との間に所望の V g s 値を定め、それにより発光ダイオード 3 0 に対する駆動電流 I d の大きさを設定する。信号 S c a n 1 及び S c a n 2 を発光中にローに保持して、発光中にトランジスタ T 1 及び T 2 をオフにしてもよい。

20

【 0 0 6 7 】

データロード動作中、回路 2 0 B によって E M をハイにして、トランジスタ T E をオフにし、電流 I d を遮断する。E M がハイの間、回路 2 0 B は、信号 S c a n 1 及び S c a n 2 をハイにして、トランジスタ T 1 及び T 2 をオンにする。トランジスタ T 1 が半導体酸化物トランジスタであるため、(T 1 がシリコントランジスタであるシナリオに比べて) S c a n 1 がハイである時間を延ばしてトランジスタ T 1 が安定する時間を十分確保することが望ましい場合がある。データロードのために T 2 がオンになると、トランジスタ T E と発光ダイオード 3 0 との間の N o d e 3 に線 V r e f から既知の基準電圧が供給され得る。T 1 がオンになると、データ線 (D a t a) 上に存在するデータ信号が N o d e 2 のコンデンサ C s t 1 上にロードされ得る。次に、E M、S c a n 1 及び S c a n 2 をローにすることによって発光動作が再開されてもよい。

30

【 0 0 6 8 】

図 8 の画素 2 2 に対する周期的な電流感知動作に関連付けられた信号を示す信号タイミング図を図 1 0 に示す。

【 0 0 6 9 】

図 8 の画素 2 2 のプリロード中は、S c a n 1 及び S c a n 2 をハイにしなが、E M をハイにして発光ダイオード 3 0 に電流が流れるのを防ぐ。S c a n 2 がハイになると、トランジスタ T 2 がオンになり、線 V r e f から N o d e 3 上に既知の基準電圧がロードされる。S c a n 1 がハイになると、既知の基準データ (「感知データ」) が、オンであるトランジスタ T 1 を介して線 D a t a から N o d e 2 上にロードされる。これにより、駆動トランジスタ T D を動作させるための既知の条件 (例えば、所定の V g s 値、及び N o d e 3 上の所定の電圧) が定まる。

40

【 0 0 7 0 】

図 8 の画素 2 2 に対する感知動作中、E M 及び S c a n 1 がローになり、かつ S c a n 2 がハイに保持される。これにより、駆動トランジスタ T D を流れている電流が感知線 V r e f へと送られる。ディスプレイドライバ回路 2 0 B の補償回路内の電流感知回路は、トランジスタ T D に流れている電流の量を測定し、それによりトランジスタ T D の性能を評価することができる。図 2 のシナリオと同様に、ディスプレイドライバ回路 2 0 B の補償回路は、このような電流測定値を使用して、エージング効果 (例えば、所与の V g s 値

50

に対してトランジスタT Dが生成する駆動電流I dの量に影響を与えるエージング) に対して図8の画素22を補償することができる。

【0071】

感知動作が完了した後、Scan 2をハイに保持しながらEM及びScan 1をハイにすることにより、データ線DataからNode 2上にデータがロードされ得る。画素22は、EM、Scan 1及びScan 2をローにすることにより、データがロードされた後に発光モードにされてもよく、それによりトランジスタT Eがオンになり、かつトランジスタT 1及びT 2がオフになる。

【0072】

EM信号、Scan 1信号及びScan 2信号が同一であるため(すなわち、トランジスタT 2がトランジスタT 1と同様にnチャネルトランジスタであるため)、これらの信号の機能は、単一の信号線上に伝達される単一の組み合わせ信号を使用して実装することができる(すなわち、単一の信号EM/Scan 1/Scan 2は、図2の画素22の別々に調整されたEM信号、Scan 1信号及びScan 2信号を置換することができる)。従って、図5の画素22のための構成は、画素22の各行内で単一の関連付けられた水平制御線上の単一のゲート制御信号のみを使用することにより、ルーティングリソースを最小限にするのに役立つ。2本の垂直線(Data及びVref)を使用して、画素22の各列内のデータ、基準電圧信号及び電流測定値を伝達することができる。図8に示した種類の画素22を備えたディスプレイの各列の垂直線は、他の列の垂直線とは独立して動作する(すなわち、N列の画素22を備えたディスプレイ内にはN本の独立した線Data及びN本の独立した線Vrefが存在する)。

【0073】

図2、5及び8に示した種類の構成を有する画素は、ディスプレイ14全体にVdd1が分配されるため、IRドロップ(オーミック損失)に起因するVdd1の変動の影響を受けやすい場合がある。これは、駆動トランジスタT DのソースSのソース電圧が、Vdd1に結合されており、ディスプレイ14内の各画素22の位置によってVdd1が変化するにつれて変化し得るためである。

【0074】

所望により、図11に示した種類の画素回路を画素22に使用して、Vdd1の変動による性能の変動を低減するのに役立ててもよい。図11の例示的な構成では、T1は線VrefとNode 2との間に結合されているのに対し、トランジスタT2はデータ線DataとNode 1との間に結合されている。従って、トランジスタT2は、データロードトランジスタとして機能し得る。駆動トランジスタT DのゲートにはNode 2が結合されている。

【0075】

発光動作中、コンデンサCst 1上の電圧(すなわち、Node 2上の電圧)を好ましくは一定レベルに維持して、光32に対する定常的な出力レベルを確保する。可変リフレッシュレート動作などの動作中、ディスプレイ14のリフレッシュレートは相対的に低くてもよい(例えば、1~5Hz)。Node 2のデータ電圧の安定性に悪影響を及ぼし得るトランジスタのリーク電流を防ぐため、半導体酸化物トランジスタ(例えば、nチャネル半導体酸化物トランジスタ)を使用してトランジスタT1を実装してもよい。トランジスタT E、T D及びT 2はpチャネルシリコントランジスタであってもよい。トランジスタT 2がシリコントランジスタであるため、データ線DataからNode 1にデータが迅速にロードされ得る。

【0076】

図2、図5及び図8の配置とは異なり、図11の駆動トランジスタT DのソースSは、Vdd1ではなくNode 1に接続されている。電圧Vdd1のレベルは、Vdd1がディスプレイ14全体に分配されているためにIR損失によって変化し得るが、ソースS上の電圧Vsはディスプレイ14全体で変化しない(すなわち、Vsは、ディスプレイ14内の画素22の位置とは無関係となる)。これは、トランジスタT2を介してデー

10

20

30

40

50

タ線 Data から Node 1 上に所定の基準電圧をロードすることによって電圧 V_s が定まるためである。

【0077】

データ線 Data から図 11 の画素 22 の Node 1 の蓄積コンデンサ C_{st1} 上へのデータのロードに関連付けられた信号を示す信号タイミング図を図 12 に示す。

【0078】

通常動作（発光動作）中、ディスプレイドライバ回路 20B によって EM がローに保持されるため、トランジスタ TE がオンになる。Scan 1 は、トランジスタ T1 をオフ状態に維持するためにローである。Scan 2 は、トランジスタ T2 をオフ状態に維持するためにハイである。TE がオンになると、ノード Node 1 上のデータ値（及び Node 2 上の電圧）が、駆動トランジスタ TD のゲート G とソース S との間に所望の V_{gs} 値を定め、それにより発光ダイオード 30 に対する駆動電流 I_d の大きさを設定する。

【0079】

データロード動作中、回路 20B によって EM をハイにして、トランジスタ TE をオフにし、電流 I_d を遮断する。EM がハイの間、回路 20B は、信号 Scan 1 をハイにしてトランジスタ T1 をオンにする。トランジスタ T1 がオンになると、Node 2 が所定の電圧までプリチャージされ、それによりトランジスタ TD の Node 2 に既知のゲート電圧 V_g を定める。Scan 2 は最初ハイであり、それにより T2 はオフに保持される。Scan 2 が low になると（これは、発光開始前の 1 行分の時間、発光開始前の 2 行分の時間、又は任意の他の好適な時間に起こり得る）、トランジスタ T2 がオンになり、データ線 Data から Node 1 にトランジスタ T2 を介して所望のデータ値がロードされる。発光動作は、次に、EM をローにし、Scan 1 をローにし、かつ Scan 2 をハイにすることによって再開されてもよい。

【0080】

図 11 の画素 22 に対する周期的な電流感知動作に関連付けられた信号を示す信号タイミング図を図 13 に示す。

【0081】

プリロード中は、Scan 1 をハイにし、かつ Scan 2 をローにししながら、EM をハイにして発光ダイオード 30 に電流が流れるのを防ぐ。Scan 2 がローになると、トランジスタ T2 がオンになり、既知の基準データ（「感知データ」）が線 Data から Node 1 上にロードされる。Scan 1 がハイになると、トランジスタ T1 がオンになり、基準電圧線 V_{ref} から Node 2 に所定の電圧（例えば、 $-5.5V$ 又は他の好適な値）が提供される。これにより、駆動トランジスタ TD を動作させるための既知の条件（例えば、所定の V_{gs} 値）が定まる。

【0082】

感知動作中は、EM がハイに保持され、Scan 1 がローになり、かつ Scan 2 がローに保持される。これにより、TE がオフに保持され、T1 がオフになり、かつ T2 がオンに保持され、それにより駆動トランジスタ TD に流れている電流が線 Data を通じて送られる。従って、この線が感知線として機能する。ディスプレイドライバ回路 20B の補償回路内の電流感知回路は、トランジスタ TD に流れている電流の量を線 Data を介して測定し、それによりトランジスタ TD の性能を評価することができる。電流感知は、100 マイクロ秒の期間又は他の好適な時間にわたって行われ得る。ディスプレイドライバ回路 20B の補償回路は、このような電流測定値を使用して、エージング効果（例えば、所与の V_{gs} 値に対してトランジスタ TD が生成する駆動電流 I_d の量に影響を及ぼすエージング）に対して画素 22 を補償することができる。

【0083】

電流感知動作が完了した後、EM をハイに保持してトランジスタ TE をオフにし、かつ Scan 1 をハイにしてトランジスタ T1 をオンにし、それにより V_{ref} から Node 2 に所定の電圧を伝達することにより、更には Scan 2 をローに保持してトランジスタ T2 をオンに保持することによってデータ線 Data から Node 1 に所望のデータ信号

を通過させることにより、画素 2 2 にデータがロードされ得る。画素 2 2 は、E M をローにしてトランジスタ T E をオンにし、S c a n 1 をローにしてトランジスタ T 1 をオフにし、かつ S c a n 2 をハイにしてトランジスタ T 2 をオフにすることにより、データがロードされた後に発光モードにされてもよい。

【0084】

信号 E M の電圧範囲は、- 10 V ~ 8 V であってもよく、- 8 V ~ 8 V であってもよく、又は任意の他の好適な電圧範囲であってもよい。V d d e 1 の電圧は、5 ~ 8 V 又は他の好適な正電源電圧レベルであってもよい。V s s e 1 の電圧は - 2 V 又は他の好適な接地電源電圧レベルであってもよい。線 D a t a 上の信号の電圧範囲は、- 4 . 5 V ~ - 0 . 3 V 又は他の好適な電圧範囲であってもよい。S c a n 2 の電圧範囲は、- 10 V ~ - 8 V であってもよく、- 12 V ~ - 4 V であってもよく、又は他の好適な電圧範囲であってもよい。S c a n 1 の電圧範囲は、- 10 V ~ - 8 V であってもよく、- 8 V ~ 8 V であってもよく、又は他の好適な電圧範囲であってもよい。

10

【0085】

図 2 の画素 2 2 のための構成は、画素 2 2 の各行内で 3 本の水平制御線上の 3 つのゲート制御信号 (E M 、 S c a n 1 及び S c a n 2) を使用し、画素 2 2 の各列内で 2 本の垂直線、すなわち V r e f 及び D a t a を使用してデータ、基準電圧信号及び電流測定値を送る。垂直線 (線 D a t a) のうちの一方は、電流感知動作とデータロード動作の両方に使用される共用線である。ディスプレイ 1 4 内の画素 2 2 の各列には、好ましくは個別の D a t a 線が存在する。画素 2 2 に関連付けられた垂直線のうちの他方 (線 V r e f) は、ディスプレイ 1 4 内の画素 2 2 の全てに共用電圧を並列に分配するために使用され得るグローバル経路の一部である。V r e f がグローバル信号経路であるため、ディスプレイドライバ回路 2 0 A によって画素 2 2 に単一の V r e f 信号のみを提供する必要がある (すなわち、個別の V r e f 信号線が各列に使用されるシナリオに比べてディスプレイドライバ回路 2 0 B と画素 2 2 との間の信号ルーティングリソースの必要量が低減される) 。図 2 、 5 及び 8 に示した種類の配置に使用される 2 本の別個の垂直信号線ではなく、1 本の別個の垂直信号線 D a t a のみを各列に設ける必要がある。従って、図 1 1 の配置は、ディスプレイドライバ回路のファンアウトが小さいことを示す。

20

【0086】

トランジスタ T 1 に対して低リーク電流の半導体酸化物トランジスタを使用することにより、可変リフレッシュレート動作中にディスプレイ 1 4 のリフレッシュレートを低レート (例えば 1 ~ 5 H z) に低下させてもよい。シリコントランジスタを使用してトランジスタ T 2 を実装することにより、充電時間 (すなわち、データロード動作中に N o d e 1 を所望の値まで充電することに関連付けられた時間) を最小限にしてもよい。図 1 1 の画素配置は、データロード中に N o d e 1 と N o d e 2 の両方が所望の電圧によって能動的にロードされるため、V d d e 1 の変動 (例えば I R ドロップによる変動) の影響も受けにくく、それにより V d d e 1 を使用することなく駆動トランジスタ T D の両端に所望のゲート - ソース電圧を定める。

30

【0087】

図 1 4 は、5 つのトランジスタ及び 1 つのコンデンサを備えた例示的な画素回路の図である。駆動トランジスタ T D は、正電源端子 4 0 と接地電源端子 4 2 との間で、発光イネーブルトランジスタ T E 1 及び T E 2 と、更には発光ダイオード 4 4 (例えば、有機発光ダイオード) と直列に結合されている。発光イネーブル制御信号 E M 1 及び E M 2 などの水平制御信号 (ゲート信号) を使用してトランジスタ T E 1 及び T E 2 をそれぞれ制御してもよい。操作制御信号 S C A N 1 及び S C A N 2 などの水平制御信号 (ゲート信号) を使用してスイッチングトランジスタ T S 1 及び T S 2 をそれぞれ制御してもよい。トランジスタ T S 1 は、例えば、半導体酸化物トランジスタであってもよく、トランジスタ T S 2 、 T E 1 、 T E 2 及び T D は、(一例として) シリコントランジスタであってもよい。コンデンサ C s t 1 は、(駆動トランジスタ T D のゲートの) N o d e 2 と (トランジスタ T D のソースの) N o d e 1 との間に結合されてもよい。線 V r e f を使用して画素 2

40

50

2の列に基準電圧を供給してもよい。データ信号(D)は、データ線Dataを使用して画素22に供給されてもよい。

【0088】

図15は、図14に示した種類の画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。図15に示すように、オンバイアスストレス期間200の動作中にオンバイアスストレスを印加してもよく、データ書き込み期間202中にデータ書き込みを実行してもよく、発光期間204中に発光動作を実行してもよい。

【0089】

図16は、オンバイアスストレス期間200中の図14の画素回路の図である。この期間中、トランジスタTE2をオフにしてダイオード44に駆動電流が流れるのを防ぎ、トランジスタTS1をオンにして、トランジスタTDを事前調整するために駆動トランジスタTDのゲートにオンバイアスストレスを供給する。トランジスタTDの電圧Vgsはハイである。これは、TE1がオンでNode1がVddelであり、かつTS1がonでNode2がVrefであるためである。

【0090】

図17は、データ書き込み動作(図15の期間202)中の図14の画素回路の図である。データ書き込み中、最初にトランジスタTS1をオンにしてNode2上に既知の基準電圧Vrefをロードすると共に、トランジスタTS2をオンにしてNode1上にデータ信号(Vdata、Data又は信号Dと呼ばれることがある)をロードする。トランジスタTE1をオフにしてNode1をVddelから分離する。これにより、コンデンサCst1の両端に電圧Vdata - Vrefが生じる。次に、図18に示すように、トランジスタTS1及びトランジスタTS2をオフにし、トランジスタTE1をオンにする。TE1がオンになると、Node1の電圧がVddelになる。コンデンサCst1の両端の電圧は瞬時に変化しないため、Node1がVddelになると、Node2がVddel - (Vdata - Vref)になる。ダイオード44に電流が流れるため、従って、発光期間204中、発光46はVdataに比例する。

【0091】

図19、20A、20B、21及び22は、ディスプレイ14の画素22内のトランジスタTDなどの駆動トランジスタの閾電圧Vtの変動に対し、ディスプレイドライバ回路20がどのようにディスプレイ14を補償し得るかを示す。

【0092】

図19は、時には「電流感知」配置と呼ばれる場合がある種類の配置に従って閾電圧情報を収集するときの図14の画素回路の図である。図20Aは、閾電圧情報を収集する動作の際に関係する信号を示すタイミング図である。図20Aに示すように、オンバイアスストレス期間200中、オンバイアスストレスがトランジスタTDに印加されてもよい。期間202'中、閾電圧補償動作中に使用される所定のデータが画素22にロードされてもよい(すなわち、図17に関連してNode1上にVdataをロードすることに関連して記載されているようにコンデンサCst1の両端に既知の電圧が印加されてもよい)。データ書き込み期間202中に画像データが画素22にロードされてもよく、ロード済みの画像データを使用して発光期間204中にダイオード44によって放出される光の量を制御してもよい。期間202'から期間202までの間、ディスプレイドライバ回路20は、感知期間206中、駆動トランジスタTDの閾電圧Vtを測定してもよい。トランジスタTDの閾電圧Vtを決定するため、期間202'中に既知の基準データ値Vrefが書き込まれる。次に、データ線Data上の電流の流れが電流センサによって測定され、測定された電流から閾電圧Vtが算出される。次に、期間202中、Vtのあらゆる変動に対して外部補償されたデータを画素22に書き込むことができる。期間202中にディスプレイドライバ回路20が画素22に供給する画像データの値を調整することにより、図14の画素22などのディスプレイ14内の画素22のそれぞれを、閾電圧Vtの測定されたあらゆる変動に対して補償することができる(すなわち、ディスプレイドライバ回路20は、外部閾電圧補償方式を実装することができる)。

【 0 0 9 3 】

図 1 9 は、感知期間 2 0 6 中の画素 2 2 の動作（閾電圧感知又は電流感知と呼ばれることがある）を示す。図 1 9 に示すように、期間 2 0 6 中、トランジスタ T E 1 をオフにして N o d e 1 を V d d e 1 から分離する。トランジスタ T S 1 をオフにして N o d e 2 をフローティングさせる。期間 2 0 6 中、期間 2 0 2 '中にコンデンサ C s t 1 にロードされた既知のデータによってトランジスタ T D のゲート - ソース電圧 V g s が決定される。トランジスタ T S 2 がオンであるため、トランジスタ T D 上の既知のデータ（及びトランジスタ T D の閾電圧 V t ）が、D a t a 線に流れている電流を決定する。ディスプレイドライバ回路 2 0 は、期間 2 0 6 中、この電流を測定して閾電圧 V t の値を確認する。次に、データ書き込み動作 2 0 2 中に画素 2 2 にロードされた画像データの値を調整することにより、適切な閾電圧補償動作を実行することができる（図 2 0 A ）。

10

【 0 0 9 4 】

図 2 1 は、別の例示的な外部閾電圧補償方式（すなわち、時には「電圧感知」方式と呼ばれる場合がある種類の方式）に従って閾電圧情報を収集するときの図 1 4 の画素回路の図である。図 2 2 は、図 2 1 に示すような画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

【 0 0 9 5 】

図 2 2 に示すように、オンバイアスストレス期間 2 0 0 中、オンバイアスストレスがトランジスタ T D に印加されてもよい。データ書き込み期間 2 2 中に画像データが画素 2 0 2 にロードされてもよく、ロード済みの画像データを使用して発光期間 2 0 4 中にダイオード 4 4 によって放出される光の量を制御してもよい。期間 2 0 0 から 2 0 2 までの間、ディスプレイドライバ回路 2 0 は、感知期間 2 0 8 中、駆動トランジスタ T D の閾電圧 V t を測定してもよい。最初に、トランジスタ T S 1 をオンにして N o d e 2 を V r e f にしてもよい。これにより、データ線 D a t a 上に既知の電流が定まる。トランジスタ T D 及び T E 2 がオンであるため、発光ダイオード 4 4 に電流が流れる。トランジスタ T E 2 、 T D 及び T S 2 にわたる電圧降下は小さいため、データ線 D a t a 上の生成電圧 V o l e d を測定することができる。次に、流れる電流及び電圧 V o l e d の既知の値から閾電圧 V t を得ることができる。期間 2 0 2 中にディスプレイドライバ回路 2 0 が画素 2 2 に供給する画像データの値を調整することにより、感知期間 2 0 8 中に測定されている閾電圧 V t のあらゆる変動に対して画素 2 2 を補償することができる（すなわち、ディスプレイドライバ回路 2 0 は、外部閾電圧補償方式を実装することができる）。

20

30

【 0 0 9 6 】

図 2 1 は、感知期間 2 0 8 中の画素 2 2 の動作（電圧感知又は V o l e d 感知と呼ばれることがある）を示す。図 2 1 に示すように、期間 2 0 8 中、トランジスタ T E 1 をオフにして N o d e 1 を V d d e 1 から分離する。トランジスタ T S 1 をオンにして、駆動トランジスタ T D のゲート G の N o d e 2 に基準電圧 V r e f を供給する。既知のデータ電圧 V d a t a が、D a t a 線を通じて、更にはオンであるトランジスタ T S 2 を通じて、駆動トランジスタ T D のソース S の N o d e 1 に供給される。これにより、駆動トランジスタ T D の両端に既知のゲートソース電圧 V g s が定まる。トランジスタ T D の既知の V g s 値及び閾電圧 V t は、D a t a 線からダイオード 4 4 に流れている電流の量を決定する。ディスプレイドライバ回路 2 0 は、期間 2 0 8 中、この電流を測定して閾電圧 V t の値を確認する。次に、データ書き込み動作 2 0 2 中に画素 2 2 にロードされた画像データの値を調整することにより、適切な閾電圧補償動作を実行することができる（図 2 2 ）。

40

【 0 0 9 7 】

所望により、図 2 0 B に示すように、図 2 0 A の過程にセトリング時間を挿入してもよい。このセトリング時間により、データ線 D a t a 上の電圧を V d d e 1 近傍の高電圧に定めることができ、発光ダイオード 4 4 が正常な発光動作を電流感知中に再現することができる。セトリング動作の感知により、データ線 D a t a に結合されている回路 2 0 内のアナログ/デジタルコンバータ回路は、線 D a t a 上の電圧を十分な時間サンプリングすることができる。

50

【 0 0 9 8 】

図 2 3 は画素 2 2 のための例示的な 6 T 1 C 構成を示す。トランジスタ T S 3 及びトランジスタ T S 2 は、図 2 3 に示すように走査信号 S c a n 2 によって制御されてもよく、又はトランジスタ T S 3 のゲートは、前走査線信号（例えば、前行からの S c a n 2 (n - 1) ）を使用して制御されてもよい。図 2 3 のトランジスタ T S 3 は、発光ダイオード 4 4 のアノードの N o d e 4 をリセットするために使用されてもよい。発光ダイオード 4 4 の寄生容量は、データ書き込み中に N o d e 4 を（例えば、約 2 . 5 ボルトから - 6 ボルトに）迅速に放電して発光ダイオード 4 4 を迅速にオフにすることができる。このことは、N o d e 4 を発光ダイオード 4 4 の閾電圧未満に低下させるのに役立ち、ディスプレイ 1 4 上に黒画像を表示している間に駆動トランジスタ T D からのリークによって発光ダイオード 4 4 が点灯するのを防ぐのに役立つ。図 2 4 は、オンバイアスストレス、データ書き込み及び発光期間中に図 2 3 の画素 2 2 を動作させるのに使用され得る例示的な制御信号を示す。

10

【 0 0 9 9 】

図 2 5 の画素 2 2 のための例示的な構成では、トランジスタ T D 上の電流感知動作を実行している間にトランジスタ T D 及び不所望に点灯するダイオード 4 4 を電流が通過するのを防ぐのに役立つ（S c a n 3 によって制御される）バイパストランジスタ T S 4 によって T S 3 が置換されている。所望により、トランジスタ T S 4 を代替の位置 T S 4 ' に配置してもよい。図 2 5 の例は単なる例示に過ぎない。図 2 6 は、図 2 5 の画素 2 2 を動作させる際に使用され得る制御信号を示す。図 2 7 は、オンバイアスストレス動作中の図 2 2 の画素 2 5 を示す。図 2 8 はデータ書き込み中の図 2 5 の画素 2 2 を示す。図 2 9 は、発光動作中の図 2 5 の画素 2 2 を示す。図 3 0 は、T D の V t を測定するための電流感知動作中の図 2 5 の画素 2 2 を示す（この場合、発光ダイオード 4 4 は、トランジスタ T S 4 によって定められた電流バイパス経路によって点灯していない。図 3 1 の例では、トランジスタ T S 4 は電圧感知方式で使用されている。図 3 1 の電圧感知方式では、トランジスタ T S 3 を使用してトランジスタ T S 2 、T D 及び T E 2 にわたる電圧降下が生じないようにすることにより、感知精度を向上させている。

20

【 0 1 0 0 】

図 3 2 は、図 3 0 に関連して記載された種類の電流感知動作がどのように実行され得るかを示す、図 2 6 に示した種類の図である。

30

【 0 1 0 1 】

これらの例が示すとおり、駆動トランジスタ T D に対する閾電圧測定中に電流バイパス経路を生成するために追加のトランジスタを画素 2 2 に組み込んでもよい。追加のトランジスタは、発光ダイオード 4 4 をバイパスするバイパス経路を生成するのに使用されるため、追加のトランジスタは、時にはバイパストランジスタと呼ばれる場合がある。バイパストランジスタは、例えば、シリコントランジスタ（すなわち、シリコン活性領域を有するトランジスタ）であってもよい。

【 0 1 0 2 】

一実施形態によれば、ディスプレイドライバ回路と、画素のアレイと、ディスプレイドライバ回路と画素との間で信号を伝える信号線とを備えるディスプレイが提供され、各画素は、正電源と接地電源との間に直列に結合された、発光トランジスタと、駆動トランジスタと、発光ダイオードと、第 1 の経路と駆動トランジスタのゲートとの間に結合された第 1 のスイッチングトランジスタと、第 2 の経路と駆動トランジスタのソースとの間に結合された第 2 のスイッチングトランジスタと、駆動トランジスタのゲートとソースとの間に結合されたコンデンサとを含む。

40

【 0 1 0 3 】

別の実施形態によれば、駆動トランジスタは発光トランジスタと発光ダイオードとの間に結合され、第 1 のスイッチングトランジスタは半導体酸化物トランジスタを含む。

【 0 1 0 4 】

別の実施形態によれば、第 2 のスイッチングトランジスタはシリコントランジスタを含

50

む。

【 0 1 0 5 】

別の実施形態によれば、駆動トランジスタ及び発光トランジスタはシリコントランジスタである。

【 0 1 0 6 】

別の実施形態によれば、第 1 のスイッチングトランジスタは n チャンネルトランジスタであり、第 2 のスイッチングトランジスタ、発光トランジスタ及び駆動トランジスタは p チャンネルトランジスタである。

【 0 1 0 7 】

別の実施形態によれば、第 2 の経路は、電流感知動作中に感知された電流を駆動トランジスタからディスプレイドライバ回路に伝達し、データロード動作中にデータ信号をコンデンサに伝達する共用経路である。

10

【 0 1 0 8 】

別の実施形態によれば、画素のアレイは、画素の列と画素の行とを含み、信号線は、列のそれぞれにおいて、当該列内の画素のそれぞれの第 2 の経路として機能する個別の信号線を含む。

【 0 1 0 9 】

別の実施形態によれば、第 1 の経路は、ディスプレイドライバ回路から画素の行及び列内の画素のそれぞれに共通電圧を供給するグローバル信号経路を含む。

【 0 1 1 0 】

別の実施形態によれば、第 1 のスイッチングトランジスタは、n チャンネルトランジスタと、発光トランジスタと、駆動トランジスタとを含み、第 2 のスイッチングトランジスタは p チャンネルトランジスタを含む。

20

【 0 1 1 1 】

別の実施形態によれば、第 1 のスイッチングトランジスタは半導体酸化物トランジスタを含む。

【 0 1 1 2 】

別の実施形態によれば、発光トランジスタ、駆動トランジスタ及び第 2 のスイッチングトランジスタはシリコントランジスタを含む。

【 0 1 1 3 】

一実施形態によれば、ディスプレイドライバ回路と、画素のアレイと、ディスプレイドライバ回路と画素との間で信号を伝える信号線とを備えるディスプレイが提供され、各画素は、正電源と接地電源との間に直列に結合された、正電源に結合されたソースを有する駆動トランジスタと、発光トランジスタと、発光ダイオードと、第 1 の経路と駆動トランジスタのゲートとの間に結合された第 1 のスイッチングトランジスタと、第 2 の経路と発光トランジスタと発光ダイオードとの間のノードとの間に結合された第 2 のスイッチングトランジスタと、駆動トランジスタのゲートとソースとの間に結合されたコンデンサとを含む。

30

【 0 1 1 4 】

別の実施形態によれば、第 1 のスイッチングトランジスタ、第 2 のスイッチングトランジスタ、駆動トランジスタ及び発光トランジスタは p チャンネルトランジスタを含む。

40

【 0 1 1 5 】

別の実施形態によれば、第 1 のスイッチングトランジスタ、第 2 のスイッチングトランジスタ、駆動トランジスタ及び発光トランジスタはシリコントランジスタを含み、画素は行及び列に配置され、画素の各列は、当該列内の画素のそれぞれの第 1 の経路を形成するデータ線を有し、かつ当該列内の画素のそれぞれの第 2 の経路を形成する基準電圧線を有する。

【 0 1 1 6 】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータ線と、ディスプレイドライバ回路に結合されたゲート線と、画素のアレイと

50

を備えるディスプレイが提供され、画素は、ディスプレイドライバ回路からデータ線を介してデータを受信し、ディスプレイドライバ回路からゲート線を介して受信した制御信号によって制御され、画素のアレイ内の各画素は、第1の電源端子と第2の電源端子との間に直列に結合された、発光ダイオードと、駆動トランジスタと、第1及び第2の発光インエーブルトランジスタとを有し、各画素は、駆動トランジスタのソース端子と駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素は、基準電圧線と駆動トランジスタのゲートとの間に結合された第1のスイッチングトランジスタを有し、かつデータ線のうちの1本と駆動トランジスタのソース端子との間に結合された第2のスイッチングトランジスタを有し、ゲート線は、第1及び第2の発光トランジスタ並びに第1及び第2のスイッチングトランジスタに制御信号を供給し、第1のスイッチングトランジスタは半導体酸化物活性領域を有し、第2のスイッチングトランジスタ、第1及び第2のインエーブルトランジスタ並びに駆動トランジスタはシリコン活性領域を有する。

10

【0117】

別の実施形態によれば、ディスプレイドライバ回路は、駆動トランジスタを事前調整するために駆動トランジスタにオンバイアスストレスを印加するオンバイアスストレス期間において、制御信号及びデータを供給して画素のアレイを動作させるように構成されている。

【0118】

別の実施形態によれば、ディスプレイドライバ回路は、感知期間中にデータ線を通る電流を測定することによって駆動トランジスタに対する閾電圧測定を行うように構成されている。

20

【0119】

別の実施形態によれば、ディスプレイドライバ回路は、感知期間中にゲート線を介して制御信号を供給して、第1のスイッチングトランジスタをオフにし、第2のスイッチングトランジスタをオンにし、第1の発光トランジスタをオフにし、かつ第2の発光トランジスタをオンにするように構成されている。

【0120】

別の実施形態によれば、ディスプレイドライバ回路は、感知期間中にゲート線を介して制御信号を供給して、第1のスイッチングトランジスタをオンにし、第2のスイッチングトランジスタをオンにし、第1の発光トランジスタをオフにし、かつ第2の発光トランジスタをオンにするように構成されている。

30

【0121】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータ線と、ディスプレイドライバ回路に結合されたゲート線と、画素のアレイとを備えるディスプレイが提供され、画素は、ディスプレイドライバ回路からデータ線を介してデータを受信し、ディスプレイドライバ回路からゲート線を介して受信した制御信号によって制御され、画素のアレイ内の各画素は、第1の電源端子と第2の電源端子との間に直列に結合された、アノード及びカソードを有する発光ダイオードと、駆動トランジスタと、第1及び第2の発光インエーブルトランジスタとを有し、各画素は、駆動トランジスタのソース端子と駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素は、基準電圧線と駆動トランジスタのゲートとの間に結合された第1のスイッチングトランジスタを有し、かつデータ線のうちの1本と駆動トランジスタのソース端子との間に結合された第2のスイッチングトランジスタを有し、各画素は、発光ダイオードのアノードに結合された端子を有するバイパストランジスタを有し、ゲート線は、第1及び第2の発光トランジスタ並びに第1及び第2のスイッチングトランジスタに制御信号を供給し、第1のスイッチングトランジスタは半導体酸化物活性領域を有し、第2のスイッチングトランジスタ、第1及び第2のインエーブルトランジスタ、駆動トランジスタ並びにバイパストランジスタはシリコン活性領域を有する。

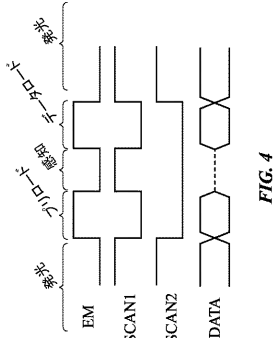
40

【0122】

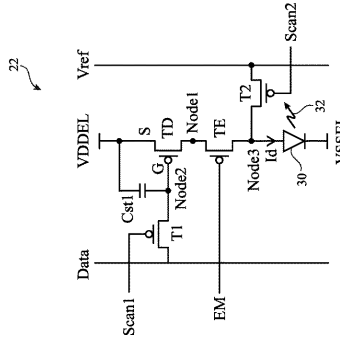
上記は単なる例示に過ぎず、説明された実施形態に対して様々な修正を実施することが

50

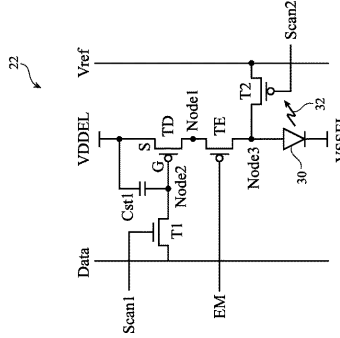
【図 4】



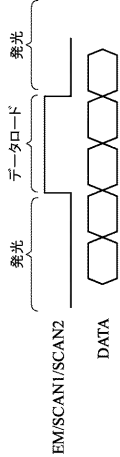
【図 5】



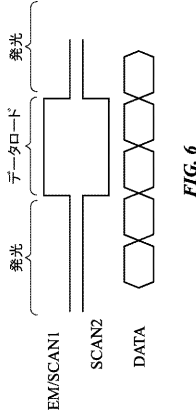
【図 8】



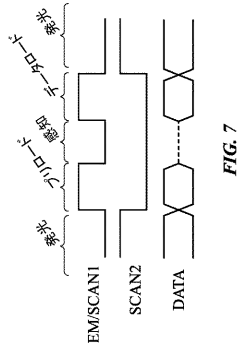
【図 9】



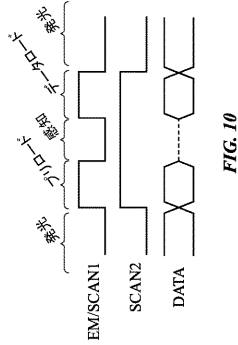
【図 6】



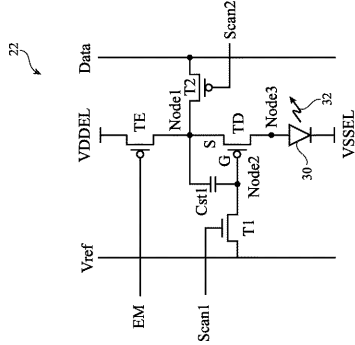
【図 7】



【図 10】



【図 11】



【図 1 2】

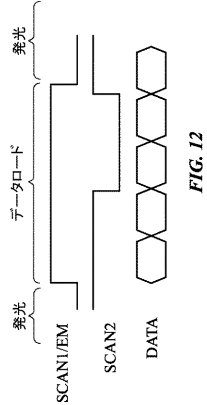


FIG. 12

【図 1 3】

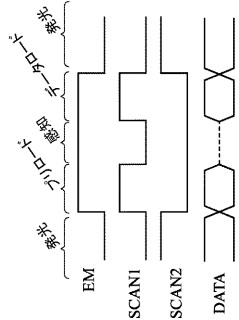


FIG. 13

【図 1 4】

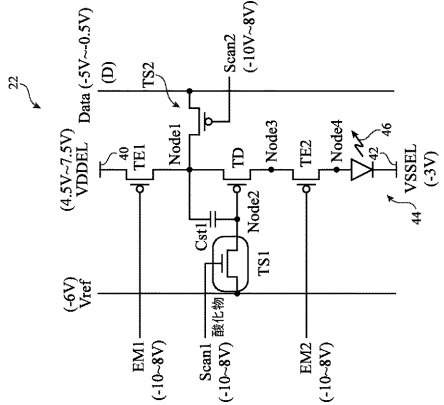


FIG. 14

【図 1 5】

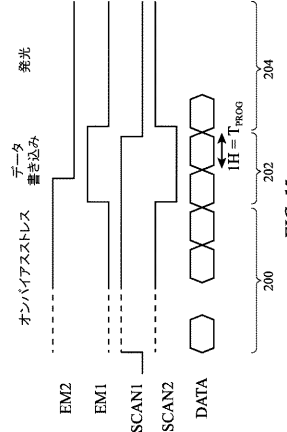


FIG. 15

【図 1 6】

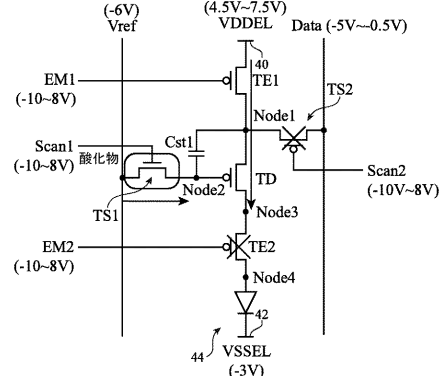


FIG. 16

【図 1 8】

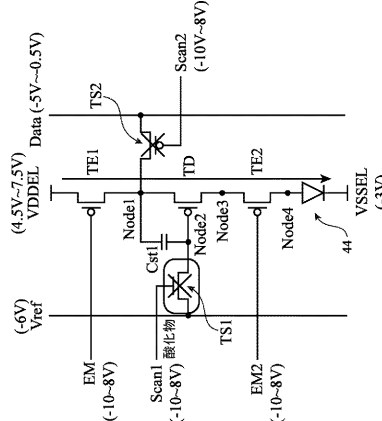


FIG. 18

【図 1 7】

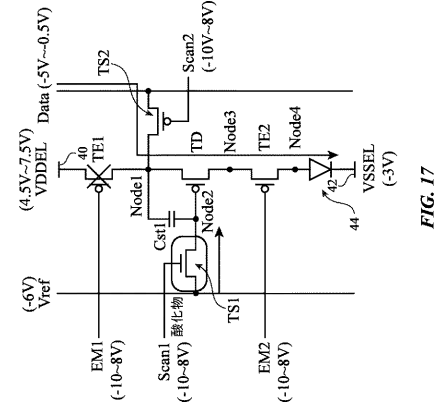


FIG. 17

【図 1 9】

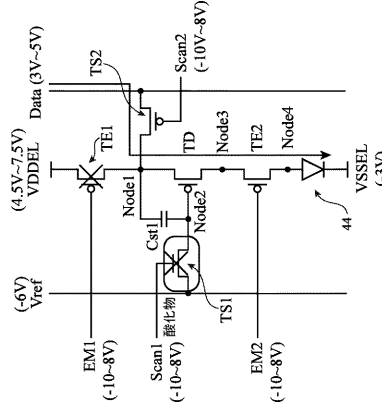


FIG. 19

【图 27】

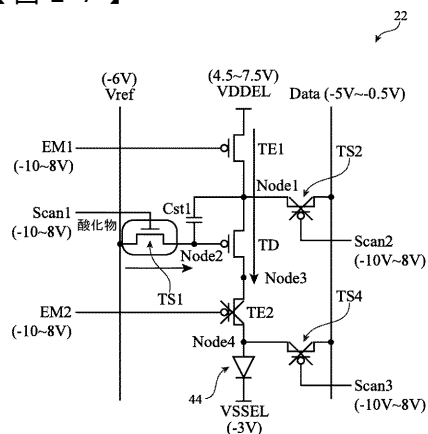


FIG. 27

【 図 3 0 】

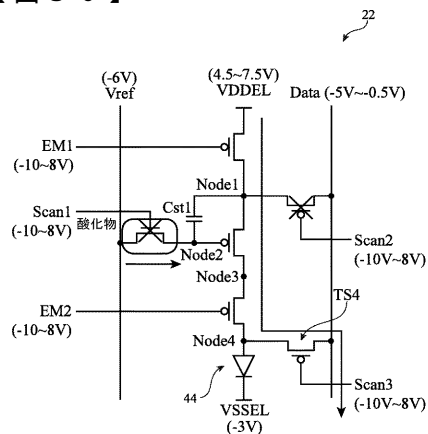


FIG. 30

The timing diagram shows the voltage levels for various signals over time. The signals are: Data (-10V~8V), Scan2 (-10V~-8V), Scan3, EM1 (-10~-8V), Scan1 (-10~-8V), EM2 (-10~-8V), and Vref. The diagram includes nodes Node1, Node2, Node3, and Node4. A capacitor Cst1 is connected between Node1 and Node2. A diode is connected between Node2 and Node3. A diode is connected between Node3 and Node4. A diode is connected between Node4 and Node1. A diode is connected between Node1 and Node2. A diode is connected between Node2 and Node3. A diode is connected between Node3 and Node4. A diode is connected between Node4 and Node1.

FIG. 29

【図 3 1】

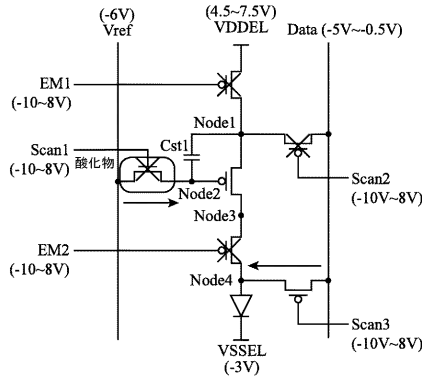


FIG. 31

【図 3 2】

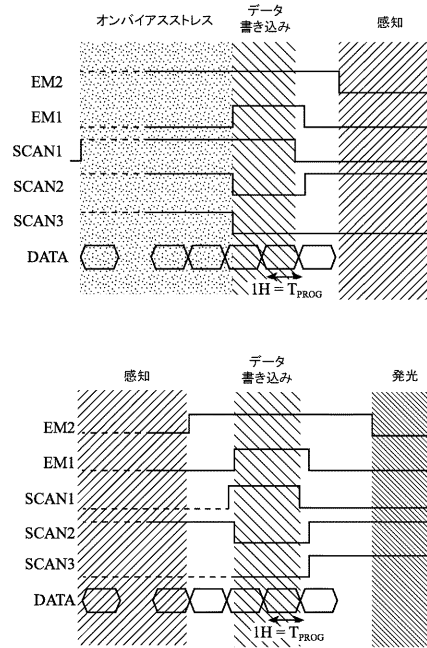


FIG. 32

【手続補正書】

【提出日】令和2年1月9日(2020.1.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画素回路であって、

正電源端子と

接地電源端子と、

前記正電源端子と前記接地電源端子との間に接続された発光ダイオードと、

前記発光ダイオードと直列に接続された第 1 のシリコントランジスタと、

前記第 1 のシリコントランジスタと前記発光ダイオードとに直列に接続された第 2 のシリコントランジスタであって、前記第 2 のシリコントランジスタは前記発光ダイオードと前記第 1 のシリコントランジスタとの間に挟まれた第 2 のシリコントランジスタと、

前記第 1 のシリコントランジスタのゲートに結合された半導体酸化物スイッチングトランジスタと

を備える画素回路。

【請求項 2】

前記半導体酸化物スイッチングトランジスタは、前記第 1 のシリコントランジスタの前記ゲートと、信号線との間に結合されている、請求項 1 に記載の画素回路。

【請求項 3】

前記第 1 のシリコントランジスタの前記ゲートに結合されたコンデンサを更に備える請

求項 1 に記載の画素回路。

【請求項 4】

前記コンデンサは、前記第 1 のシリコントランジスタの前記ゲートと前記正電源端子との間に結合されている、請求項 3 に記載の画素回路。

【請求項 5】

前記発光ダイオードのアノードと結合したシリコンスイッチングトランジスタをさらに備える請求項 1 に記載の画素回路。

【請求項 6】

前記シリコンスイッチングトランジスタは、前記発光ダイオードの前記アノードと信号線との間に結合されている請求項 5 に記載の画素回路。

10

【請求項 7】

前記第 1 のシリコントランジスタの前記ゲートと、前記正電源端子との間に結合されたコンデンサと、

前記発光ダイオードのアノードと信号線との間に結合されたシリコンスイッチングトランジスタと

をさらに備える請求項 1 に記載の画素回路。

【請求項 8】

前記画素回路は、前記第 1 のシリコントランジスタと前記正電源端子との間に挟まれた第 3 のシリコントランジスタをさらに備える、請求項 1 に記載の画素回路。

【請求項 9】

20

前記第 1 のシリコントランジスタと前記第 3 のシリコントランジスタとの間に挟まれたノードに結合されたシリコンスイッチングトランジスタをさらに備える請求項 8 に記載の画素回路。

【請求項 10】

前記シリコンスイッチングトランジスタは、前記ノードとデータ線との間に結合されている請求項 9 に記載の画素回路。

【請求項 11】

前記第 1 のシリコントランジスタのソースとデータ線との間に結合されたシリコンスイッチングトランジスタをさらに備える請求項 1 に記載の画素回路。

【請求項 12】

30

前記シリコンスイッチングトランジスタは、第 1 のシリコンスイッチングトランジスタであって、

前記画素回路は、前記発光ダイオードのアノードと信号線との間に結合された第 2 のシリコンスイッチングトランジスタをさらに備える請求項 11 に記載の画素回路。

【請求項 13】

前記第 1 のシリコントランジスタは第 1 の p チャネルシリコントランジスタであって、

前記第 2 のシリコントランジスタは第 2 の p チャネルシリコントランジスタであって、

前記半導体酸化物スイッチングトランジスタは n チャネル半導体酸化物スイッチングトランジスタであって、

前記画素回路は、

40

前記第 1 の p チャネルシリコントランジスタのソースと前記正電源端子との間に結合された第 3 の p チャネルシリコントランジスタと、

前記第 1 の p チャネルシリコントランジスタのソースとデータ線との間に結合された p チャネルシリコンスイッチングトランジスタと、

前記第 1 の p チャネルシリコントランジスタの前記ゲートに結合されたコンデンサと、

をさらに備える請求項 1 に記載の画素回路。

【請求項 14】

前記第 1 のシリコントランジスタは第 1 の p チャネルシリコントランジスタであって、

前記第 2 のシリコントランジスタは第 2 の p チャネルシリコントランジスタであって、

50

前記半導体酸化物スイッチングトランジスタはnチャネル半導体酸化物スイッチングトランジスタであって、

前記画素回路は、

前記第1のpチャネルシリコントランジスタのソースと前記正電源端子との間に結合された第3のpチャネルシリコントランジスタと、

前記第1のpチャネルシリコントランジスタのソースと第1の信号線との間に結合された第1のpチャネルシリコンスイッチングトランジスタと、

前記第1のpチャネルシリコントランジスタの前記ゲートに結合されたコンデンサと

、
前記発光ダイオードのアノードと第2の信号線との間に結合された第2のpチャネルシリコンスイッチングトランジスタと、

をさらに備える請求項1に記載の画素回路。

【請求項15】

第1の電源端子と、

第2の電源端子と、

前記第1の電源端子と前記第2の電源端子との間で、第1のシリコントランジスタ、第2のシリコントランジスタ、第3のシリコントランジスタ、発光ダイオードの順序で直列に結合された、第1のシリコントランジスタ、第2のシリコントランジスタ、第3のシリコントランジスタ、発光ダイオードと、

前記第2のシリコントランジスタのゲートと結合された半導体酸化物スイッチングトランジスタと、

前記第2のシリコントランジスタのソースと第1の信号線との間に結合された第1のシリコンスイッチングトランジスタと、

前記発光ダイオードのアノードと第2の信号線との間に結合された第2のシリコンスイッチングトランジスタと、
を備える画素回路。

【請求項16】

前記第1のシリコントランジスタは第1のpチャネルシリコントランジスタであって、

前記第2のシリコントランジスタは第2のpチャネルシリコントランジスタであって、

前記第3のシリコントランジスタは第3のpチャネルシリコントランジスタであって、

前記半導体酸化物スイッチングトランジスタはnチャネル半導体酸化物スイッチングトランジスタであって、

前記第1のシリコンスイッチングトランジスタは第1のpチャネルシリコンスイッチングトランジスタであって、

前記第2のシリコンスイッチングトランジスタは第2のpチャネルシリコンスイッチングトランジスタであって、

前記第1の信号線はデータ線である、請求項15に記載の画素回路。

【請求項17】

前記第2のシリコントランジスタの前記ゲートに結合されたコンデンサをさらに備える請求項15に記載の画素回路。

【請求項18】

第1の電源端子と、

第2の電源端子と、

前記第1の電源端子と前記第2の電源端子との間で、第1のシリコントランジスタ、第2のシリコントランジスタ、発光ダイオードの順序で直列に結合された、第1のシリコントランジスタ、第2のシリコントランジスタ、発光ダイオードと、

前記第1のシリコントランジスタのゲートと結合された半導体酸化物スイッチングトランジスタと、

前記第1のシリコントランジスタの前記ゲートと、前記第1の電源端子との間に結合されたコンデンサと、

10

20

30

40

50

を備える画素回路。

【請求項 19】

前記半導体酸化物スイッチングトランジスタは、前記第1のシリコントランジスタの前記ゲートと信号線との間に結合された請求項18に記載の画素回路。

【請求項20】

前記第1のシリコントランジスタは第1のpチャネルシリコントランジスタであって、
前記第2のシリコントランジスタは第2のpチャネルシリコントランジスタであって、
前記半導体酸化物スイッチングトランジスタはnチャネル半導体酸化物スイッチングトランジスタであって、

前記画素回路は、

前記発光ダイオードのアノードと信号線との間に結合されたpチャネルシリコンスイッチングトランジスタをさらに備える、請求項18に記載の画素回路。

フロントページの続き

(51)Int.Cl.	F I		テーマコード (参考)	
H 0 1 L 51/50 (2006.01)	H 0 5 B 33/14	A		
H 0 1 L 27/32 (2006.01)	H 0 1 L 27/32			

(74)代理人 100116894
弁理士 木村 秀二

(74)代理人 100130409
弁理士 下山 治

(74)代理人 100134175
弁理士 永川 行光

(72)発明者 リン, チン - ウェイ
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1
, エム/エス 8 9 - 2 ピーピーオー

(72)発明者 リン, ヒュン ション
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1
, エム/エス 8 3 - アイ

(72)発明者 チャン, シー - チャン
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1
, エム/エス 8 9 - 2 ピーピーオー

F ターム(参考) 3K107 AA01 BB01 CC33 EE04 EE59 HH02 HH05
5C080 AA06 AA07 BB05 CC03 DD05 DD26 DD29 FF11 GG01 JJ02
JJ03 JJ04 KK02 KK07 KK43 KK47 KK49
5C094 AA23 AA25 BA03 BA23 CA19 DB01 DB04 FB02 FB14
5C380 AA01 AA03 AB06 AB21 AB23 AB34 AC02 AC08 AC11 BA01
BA06 BA45 BB04 BD04 CB17 CC26 CC33 CC39 CC53 CC62
CC63 CC64 CD014 DA02 DA41 EA01 EA16 FA02 FA03 FA16
FA28
5F241 AA31 BB02 BB18 BC03 BC20 BC33 BC47 BD03 FF06

【外国語明細書】
2020079942000001.pdf

专利名称(译)	带有发光二极管的显示器		
公开(公告)号	JP2020079942A	公开(公告)日	2020-05-28
申请号	JP2019223967	申请日	2019-12-11
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	リンチンウェイ リンヒュンション チャンシーチャン		
发明人	リン, チン-ウェイ リン, ヒュン ション チャン, シー-チャン		
IPC分类号	G09G3/3233 G09F9/33 G09G3/20 G09G3/32 H01L33/00 H01L51/50 H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0861 G09G2320/0295 H01L27/1225 H01L29/78651 H01L29/7869 G09G3/3266 G09G3/3275 G09G2320/043 G09G2330/028 G09G2310/0202		
FI分类号	G09G3/3233 G09F9/33 G09G3/20.624.B G09G3/32.A H01L33/00.J H05B33/14.A H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/EE59 3K107/HH02 3K107/HH05 5C080/AA06 5C080/AA07 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/DD29 5C080/FF11 5C080/GG01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 5C080/KK49 5C094/AA23 5C094/AA25 5C094/BA03 5C094/BA23 5C094/CA19 5C094/DB01 5C094/DB04 5C094/FB02 5C094/FB14 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB21 5C380/AB23 5C380/AB34 5C380/AC02 5C380/AC08 5C380/AC11 5C380/BA01 5C380/BA06 5C380/BA45 5C380/BB04 5C380/BD04 5C380/CB17 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD014 5C380/DA02 5C380/DA41 5C380/EA01 5C380/EA16 5C380/FA02 5C380/FA03 5C380/FA16 5C380/FA28 5F241/AA31 5F241/BB02 5F241/BB18 5F241/BC03 5F241/BC20 5F241/BC33 5F241/BC47 5F241/BD03 5F241/FF06		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	62/263074 2015-12-04 US 15/263803 2016-09-13 US		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够获得良好显示性能的像素阵列。像素（22）具有诸如有机发光二极管的发光二极管（30），第一和第二开关晶体管（T1，T2），以及驱动晶体管（TD）和发光晶体管（TE）。在正电源（VDDEL）和接地电源（VSSEL）之间与发光二极管（30）串联连接，数据存储电容器（Cst1）在驱动晶体管（TD）的栅极和源极之间连接。在像素的列中设置有信号线（数据），用于传输数据信号，在显示驱动器电路和像素之间传输诸如来自驱动晶体管的感测到的驱动电流的信号以及开关晶体管（T1，T2）。发光晶体管（TE）和驱动晶体管（TD）可以是半导体氧化物晶体管或硅晶体管，并且可以是n沟道或p沟道晶体管。[选择图]图2

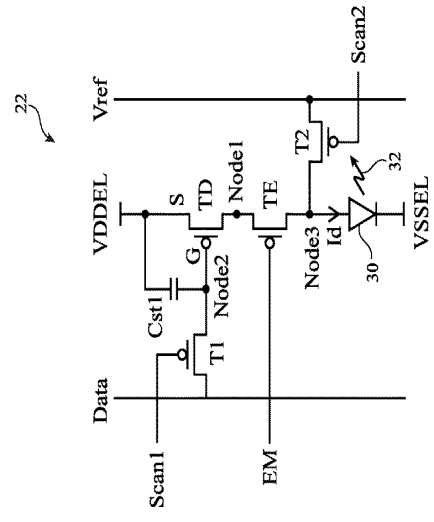


FIG. 2