

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-164801

(P2010-164801A)

(43) 公開日 平成22年7月29日(2010.7.29)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
H05B 33/26 (2006.01)	G09G 3/20 670J	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 5 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2009-7344 (P2009-7344)
 (22) 出願日 平成21年1月16日 (2009.1.16)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 飯田 幸人
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 富田 昌嗣
 東京都港区港南1丁目7番1号 ソニー一エムシーエス株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC02 CC21 CC33
 DD39 EE03 HH04
 5C080 AA06 BB05 CC03 DD03 DD29
 EE29 EE30 FF11 HH09 JJ02
 JJ03 JJ04 JJ06

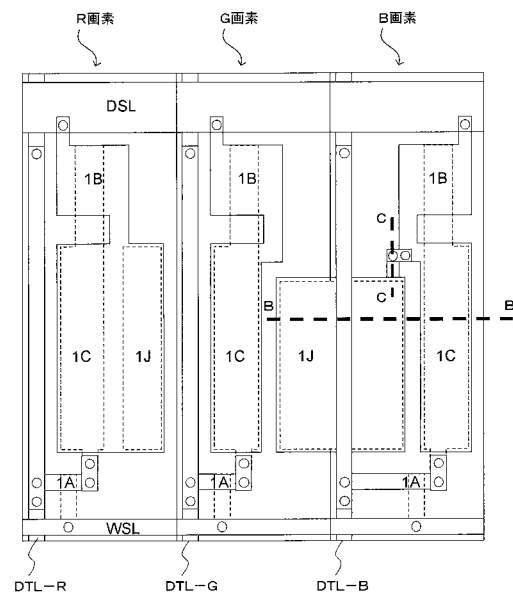
(54) 【発明の名称】 表示装置および電子機器

(57) 【要約】

【課題】画素を構成する回路において、信号線とアノードとの間の寄生容量の形成を回避し、容量カップリングによる輝度低下を防止すること。

【解決手段】本発明は、有機EL素子のアノード電極と駆動トランジスタ1Bのソース電極とが接続され、駆動トランジスタ1Bのゲート電極と書き込みトランジスタ1Aのソース電極またはドレイン電極とが接続され、駆動トランジスタ1Bのゲート-ソース電極間に保持容量1Cが接続され、有機EL素子のアノード-カソード間に補助容量1Jが接続される回路構成を含む画素が行列状に配置された画素アレイ部を備え、映像信号を送る信号線DTLが隣接する画素間に配置され、隣接する画素のうち一方の画素から他方の画素の領域へ一方の画素の補助容量1Jが入り込む構成で、補助容量1Jの信号線DTL側に配置される上側電極(一方の電極)が有機EL素子のカソード電極と導通している表示装置である。

【選択図】図12



【特許請求の範囲】**【請求項 1】**

電気光学素子の第 1 電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続され、前記電気光学素子の第 1 電極と第 2 電極との間に補助容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部を備え、

映像信号を送る信号線が隣接する画素間に配置され、前記隣接する画素のうち一方の画素から他方の画素の領域へ前記一方の画素の前記補助容量が入り込む構成で、前記補助容量の前記信号線側に配置される一方の電極が前記電気光学素子の第 2 電極と導通している表示装置。

10

【請求項 2】

前記駆動トランジスタのゲート電極および前記補助容量の他方の電極が第 1 配線層に設けられ、

前記信号線が第 2 配線層に設けられ、

前記補助容量の一方の電極が前記第 1 配線層と前記第 2 配線層との間に配置される中間層に設けられている

請求項 1 記載の表示装置。

【請求項 3】

前記中間層はポリシリコンによって構成される

20

請求項 2 記載の表示装置。

【請求項 4】

前記電気光学素子は、有機 EL (Electro Luminescence) 素子であり、

前記第 1 電極はアノード電極であり、

前記第 2 電極はカソード電極である

請求項 1 から 3 のうちいずれか 1 項に記載の表示装置。

【請求項 5】

本体筐体に表示装置を備えており、

前記表示装置が、

電気光学素子の第 1 電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続され、前記電気光学素子の第 1 電極と第 2 電極との間に補助容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部を備え、

30

映像信号を送る信号線が隣接する画素間に配置され、前記隣接する画素のうち一方の画素から他方の画素の領域へ前記一方の画素の前記補助容量が入り込む構成で、前記補助容量の前記信号線側となる一方の電極が前記電気光学素子の第 2 電極と導通している

電子機器。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明は、表示装置および電子機器に関する。詳しくは、電気光学素子を含む画素が行列状（マトリクス状）に配置されてなる平面型（フラットパネル型）の表示装置および電子機器に関する。

【背景技術】**【0002】**

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置としては、例えば有機薄膜に電界をかけると発光する現象を利用した有機 EL (Electro Luminescence) 素子を用いた有機 EL 表示装置が開発され、商品化が進められている。

50

【0003】

有機EL素子は、10V以下の印加電圧で駆動できるために低消費電力であり、また自発光素子であることから、液晶表示装置に必須の光源（バックライト）が不要であるという特徴がある。さらに、有機EL素子の応答速度が数 μs 程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式を採用することができる。近年では、画素回路内に能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、TFT(Thin Film Transistor; 薄膜トランジスタ)）を設けたアクティブマトリクス方式の表示装置の開発が盛んに行われている。

10

【0005】

ところで、一般的に、有機EL素子のI-V特性（電流-電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。また、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度（以下、「駆動トランジスタの移動度」と記述する） μ が経時的に変化したり、製造プロセスのばらつきによって画素ごとに異なったりする。

【0006】

そこで、これらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧 V_{th} の変動に対する補正（以下、「閾値補正」と記述する）や、駆動トランジスタの移動度 μ の変動に対する補正（以下、「移動度補正」と記述する）の各補正機能を画素回路の各々に持たせる構成を採用している（例えば、特許文献1参照）。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-133542号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

30

ここで、従来の画素レイアウトにおいては、各画素回路の素子サイズ（定数）によりTFTレイアウト面積を非対称となるように配置している。一方、外光反射に寄与する第2配線は等ピッチで配置している。そこで、ある画素の構成素子サイズが他の画素の構成素子サイズより大きく、レイアウト密度が高くなると、レイアウト密度の低い画素のスペースにレイアウト密度の高い構成素子の一部を配置している。このとき、画素間に配置される第2配線である映像信号線の下方を中間層であるポリシリコンが経由することになる。このポリシリコンがアノード電位である場合、映像信号線とアノードとの間の寄生容量による容量カップリングのため、輝度低下が引き起こされるという問題が生じている。

【0009】

本発明は、映像信号線とアノードとの間の寄生容量の形成を回避し、容量カップリングによる輝度低下を防止することを目的とする。

40

【課題を解決するための手段】

【0010】

本発明は、電気光学素子の第1電極と駆動トランジスタのソース電極とが接続され、駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、駆動トランジスタのゲート-ソース電極間に保持容量が接続され、電気光学素子の第1電極と第2電極との間に補助容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部を備え、映像信号を送る信号線が隣接する画素間に配置され、隣接する画素のうち一方の画素から他方の画素の領域へ一方の画素の補助容量が入り込む構成で、補助容量の信号線側に配置される一方の電極が電気光学素子の第2電極と導通して

50

いる表示装置である。また、この表示装置を本体筐体に備えた電子機器である。

【 0 0 1 1 】

このような本発明では、映像信号を送る信号線の下方を経由して隣接画素に補助容量を配置する構成で、補助容量の電極のうち信号線側に配置される一方の電極を電気光学素子の第2電極と導通させている。すなわち、補助容量の電極のうち信号線側に配置される一方の電極がカソード電位となり、信号線と補助容量の他方の電極がアノード電位となる。これにより、信号線とアノード電位との間がカソード電位でシールドされ、信号線とアノードとの間の寄生容量の形成が回避される。

【発明の効果】

【 0 0 1 2 】

本発明によれば、画素を構成する回路において、信号線とアノードとの間の寄生容量の形成を回避し、容量カップリングによる輝度低下を防止することが可能となる。

【図面の簡単な説明】

【 0 0 1 3 】

【図1】本発明の前提となるアクティブマトリクス型有機EL表示装置の構成の概略を示すシステム構成図である。

【図2】画素（画素回路）の具体的な構成例を示す回路図である。

【図3】本発明の前提となるアクティブマトリクス型有機EL表示装置の動作説明に供するタイミング波形図である。

【図4】本発明の前提となるアクティブマトリクス型有機EL表示装置の回路動作の説明図（その1）である。

【図5】本発明の前提となるアクティブマトリクス型有機EL表示装置の回路動作の説明図（その2）である。

【図6】本発明の前提となるアクティブマトリクス型有機EL表示装置の回路動作の説明図（その3）である。

【図7】従来の画素構造を説明する模式平面図である。

【図8】図7におけるA-A線の模式断面図である。

【図9】図7に示す画素構造における画素部の等価回路ある。

【図10】、図9に示した回路図における動作を説明するためのタイミングチャートである。

【図11】本実施形態の一例を示すシステム構成図である。

【図12】本実施形態に係る画素構造を説明する模式平面図である。

【図13】図12におけるB-B線の模式断面図である。

【図14】図12におけるC-C線の模式断面図である。

【図15】本実施形態の画素構成における動作を説明するためのタイミングチャートである。

【図16】本実施形態が適用されるテレビジョンセットの外観を示す斜視図である。

【図17】本実施形態が適用されるデジタルカメラの外観を示す斜視図であり、（A）は表側から見た斜視図、（B）は裏側から見た斜視図である。

【図18】本実施形態が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図19】本実施形態が適用されるビデオカメラの外観を示す斜視図である。

【図20】本実施形態が適用される携帯電話機を示す外観図であり、（A）は開いた状態での正面図、（B）はその側面図、（C）は閉じた状態での正面図、（D）は左側面図、（E）は右側面図、（F）は上面図、（G）は下面図である。

【発明を実施するための形態】

【 0 0 1 4 】

以下、本発明を実施するための形態（以下、「実施形態」と言う。）について説明する。なお、説明は以下の順序で行う。

1. 本実施形態の前提となる表示装置（システム構成、画素回路、回路動作）

10

20

30

40

50

2. 従来の画素構造での問題点（画素回路のレイアウト、等価回路、タイミングチャート）

3. 本実施形態の構成例（システム構成、配線構造、タイミングチャート）

4. 適用例（電子機器への各種適用例）

【0015】

< 1. 本実施形態の前提となる表示装置 >

[システム構成]

図1は、本実施形態の前提となるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。

【0016】

10

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子（有機電界発光素子）を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

【0017】

図1に示すように、有機EL表示装置100は、画素（PXC）101が行列状（マトリクス状）に2次元配置されてなる画素アレイ部102と、当該画素アレイ部102の周辺に配置され、各画素101を駆動する駆動部とを有する構成となっている。画素101を駆動する駆動部としては、例えば、水平駆動回路103、書き込み走査回路104および電源供給走査回路105が設けられている。

20

【0018】

画素アレイ部102には、m行n列の画素配列に対して、画素行ごとに走査線WSL-1～WSL-mと電源供給線DSL-1～DSL-mとが配線され、画素列ごとに信号線DTL-1～DTL-nが配線されている。

【0019】

画素アレイ部102は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型（フラット型）のパネル構造となっている。画素アレイ部102の各画素101は、アモルファスシリコンTFT（Thin Film Transistor; 薄膜トランジスタ）または低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、水平駆動回路103、書き込み走査回路104および電源供給走査回路105についても、画素アレイ部102を形成する表示パネル（基板）上に実装することができる。

30

【0020】

書き込み走査回路104は、クロックパルスckに同期してスタートパルスspを順にシフト（転送）するシフトレジスタ等によって構成され、画素アレイ部102の各画素101への映像信号の書き込みに際して、走査線WSL-1～WSL-mに順次書き込みパルス（走査信号）WS1～WSmを供給することによって画素アレイ部102の各画素101を行単位で順番に走査（線順次走査）する。

【0021】

電源供給走査回路105は、クロックパルスckに同期してスタートパルスspを順にシフトするシフトレジスタ等によって構成される。電源供給走査回路105は、書き込み走査回路104による線順次走査に同期して、第1電位Vcc_Hと当該第1電位Vcc_Hよりも低い第2電位Vcc_Lで切り替わる電源供給線電位DSL-1～DSL-mを電源供給線DSL-1～DSL-mに選択的に供給する。これにより、画素101の発光/非発光の制御を行なう。

40

【0022】

水平駆動回路103は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある）Vsigと信号線基準電位Voのいずれか一方を適宜選択し、信号線DTL-1～DTL-nを介して画素アレイ部102の各画素101に対して例えば行単位で書き込む。すなわち、水平駆動回路103は、映像信号の信号電圧Vinを行（ライン）単位で書き込む線順次書き込みの駆動

50

形態を採っている。

【0023】

ここで、信号線基準電位 V_o は、映像信号の信号電圧 V_{in} の基準となる電圧（例えば、黒レベルに相当する電圧）である。また、第2電位 V_{cc_L} は、信号線基準電位 V_o よりも低い電位、例えば、駆動トランジスタの閾値電圧を V_{th} とするとき $V_o - V_{th}$ よりも低い電位、好ましくは $V_o - V_{th}$ よりも十分に低い電位に設定される。

【0024】

[画素回路]

図2は、画素（画素回路）の具体的な構成例を示す回路図である。

【0025】

図2に示すように、画素101は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子1Dを発光素子として有し、当該有機EL素子1Dに加えて、駆動トランジスタ1B、書き込みトランジスタ1Aおよび保持容量1Cを有する画素構成、すなわち2つのトランジスタ（ T_r ）と1つの容量素子（ C ）からなる $2T_r / 1C$ の画素構成となっている。

10

【0026】

かかる構成の画素101においては、駆動トランジスタ1Bおよび書き込みトランジスタ1AとしてNチャネル型のTFTを用いている。ただし、ここでの駆動トランジスタ1Bおよび書き込みトランジスタ1Aの導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

20

【0027】

有機EL素子1Dは、全ての画素101に対して共通に配線された共通電源供給線1Hにカソード電極が接続されている。駆動トランジスタ1Bは、ソース電極が有機EL素子1Dのアノード電極に接続され、ドレイン電極が電源供給線DSL（ $DSL - 1 \sim DSL - m$ ）に接続されている。

【0028】

書き込みトランジスタ1Aは、ゲート電極が走査線WSL（ $WSL - 1 \sim WSL - m$ ）に接続され、一方の電極（ソース電極/ドレイン電極）が信号線DTL（ $DTL - 1 \sim DTL - n$ ）に接続され、他方の電極（ドレイン電極/ソース電極）が駆動トランジスタ1Bのゲート電極に接続されている。

30

【0029】

保持容量1Cは、一方の電極が駆動トランジスタ1Bのゲート電極に接続され、他方の電極が駆動トランジスタ1Bのソース電極（有機EL素子1Dのアノード電極）に接続されている。また、補助容量1Jは、一方の電極が有機EL素子1Dのアノード電極に接続され、他方の電極が有機EL素子1Dのカソード電極に接続されている。

【0030】

$2T_r / 1C$ の画素構成の画素101において、書き込みトランジスタ1Aは、書き込み走査回路104から走査線WSLを通してゲート電極に印加される走査信号WSに応答して導通状態となることにより、信号線DTLを通して水平駆動回路103から供給される輝度情報に応じた映像信号の信号電圧 V_{in} または信号線基準電位 V_o をサンプリングして画素101内に書き込む。

40

【0031】

この書き込まれた信号電圧 V_{in} または信号線基準電位 V_o は、駆動トランジスタ1Bのゲート電極に印加されるとともに保持容量1Cに保持される。駆動トランジスタ1Bは、電源供給線DSL（ $DSL - 1 \sim DSL - m$ ）の電位DSが第1電位 V_{cc_H} にあるときに、電源供給線DSLから電流の供給を受けて、保持容量1Cに保持された信号電圧 V_{in} の電圧値に応じた電流値の駆動電流を有機EL素子1Dに供給し、当該有機EL素子1Dを電流駆動することによって発光させる。

【0032】

[有機EL表示装置の回路動作]

50

次に、上記構成の有機EL表示装置100の回路動作について、図3のタイミング波形図を基に、図4～図6の動作説明図を用いて説明する。なお、図4～図6の動作説明図では、図面の簡略化のために、書き込みトランジスタ1Aをスイッチのシンボルで図示している。また、有機EL素子1Dは容量成分を持っていることから、当該EL容量1Iについても図示している。

【0033】

図3のタイミング波形図においては、走査線WSL(WSL-1～WSL-m)の電位(書き込みパルス)WSの変化、電源供給線DSL(DSL-1～DSL-m)の電位DS(V_{cc_H}/V_{cc_L})の変化、駆動トランジスタ1Bのゲート電位Vgおよびソース電位Vsの変化を表している。

10

【0034】

(発光期間)

図3のタイミング波形図において、時刻t1以前は有機EL素子1Dが発光状態にある(発光期間)。この発光期間では、電源供給線DSLの電位DSが第1電位 V_{cc_H} にあり、また、書き込みトランジスタ1Aが非導通状態にある。

【0035】

このとき、駆動トランジスタ1Bは飽和領域で動作するように設定されているために、図4(A)に示すように、電源供給線DSLから駆動トランジスタ1Bを通して当該駆動トランジスタ1Bのゲート-ソース間電圧Vgsに応じた駆動電流(ドレイン-ソース間電流)Idsが有機EL素子1Dに供給される。よって、有機EL素子1Dが駆動電流Idsの電流値に応じた輝度で発光する。

20

【0036】

(閾値補正準備期間)

そして、時刻t1になると、線順次走査の新しいフィールドに入り、図4(B)に示すように、電源供給線DSLの電位DSが第1電位(以下、「高電位」と記述する) V_{cc_H} から、信号線DTLの信号線基準電位Vo-Vthよりも十分に低い第2電位(以下、「低電位」と記述する) V_{cc_L} に切り替わる。

【0037】

ここで、有機EL素子1Dの閾値電圧をVel、共通電源供給線1Hの電位をVcathとすると、低電位 V_{cc_L} を $V_{cc_L} < Vel + V_{cath}$ とすると、駆動トランジスタ1Bのソース電位Vsが低電位 V_{cc_L} にほぼ等しくなるために、有機EL素子1Dは逆バイアス状態となって消光する。

30

【0038】

次に、時刻t2で走査線WSLの電位WSが低電位側から高電位側に遷移することで、図4(C)に示すように、書き込みトランジスタ1Aが導通状態となる。このとき、水平駆動回路103から信号線DTLに対して信号線基準電位Voが供給されているために、駆動トランジスタ1Bのゲート電位Vgが信号線基準電位Voになる。また、駆動トランジスタ1Bのソース電位Vsは、信号線基準電位Voよりも十分に低い電位 V_{cc_L} にある。

【0039】

このとき、駆動トランジスタ1Bのゲート-ソース間電圧Vgsは $V_o - V_{cc_L}$ となる。ここで、 $V_o - V_{cc_L}$ が駆動トランジスタ1Bの閾値電圧Vthよりも大きくないと、後述する閾値補正動作を行うことができないために、 $V_o - V_{cc_L} > V_{th}$ なる電位関係に設定する必要がある。このように、駆動トランジスタ1Bのゲート電位Vgを信号線基準電位Voに、ソース電位Vsを低電位 V_{cc_L} にそれぞれ固定して(確定させて)初期化する動作が閾値補正準備の動作である。

40

【0040】

(1回目の閾値補正期間)

次に、時刻t3で、図4(D)に示すように、電源供給線DSLの電位DSが低電位 V_{cc_L} から高電位 V_{cc_H} に切り替わると、駆動トランジスタ1Bのソース電位Vs

50

が上昇を開始し、1回目の閾値補正期間に入る。この1回目の閾値補正期間において、駆動トランジスタ1Bのソース電位 V_s が上昇することによって駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} が所定の電位 V_{x1} になり、この電位 V_{x1} が保持容量1Cに保持される。

【0041】

続いて、この水平期間(1H)の後半に入った時刻 t_4 で、図5(A)に示すように、水平駆動回路103から信号線DTLに対して映像信号の信号電圧 V_{in} が供給されることにより、信号線DTLの電位が信号線基準電位 V_o から信号電圧 V_{in} に遷移する。この期間では、他の行の画素に対する信号電圧 V_{in} の書き込みが行われる。

【0042】

このとき、自行の画素に対して信号電圧 V_{in} の書き込みが行われなくようにするために、走査線WSLの電位WSを高電位側から低電位側に遷移させ、書き込みトランジスタ1Aを非導通状態とする。これにより、駆動トランジスタ1Bのゲート電極は信号線DTLから切り離されてフローティング状態になる。

【0043】

ここで、駆動トランジスタ1Bのゲート電極がフローティング状態にあるときは、駆動トランジスタ1Bのゲート-ソース間に保持容量1Cが接続されていることにより、駆動トランジスタ1Bのソース電位 V_s が変動すると、当該ソース電位 V_s の変動に連動して(追従して)駆動トランジスタ1Bのゲート電位 V_g も変動する。これが保持容量1Cによるブートストラップ動作である。

【0044】

時刻 t_4 以降においても、駆動トランジスタ1Bのソース電位 V_s が上昇を続け、 V_{a1} だけ上昇する($V_s = V_o - V_{x1} + V_{a1}$)。このとき、ブートストラップ動作により、駆動トランジスタ1Bのソース電位 V_s の上昇に連動して、ゲート電位 V_g も V_{a1} だけ上昇する($V_g = V_o + V_{a1}$)。

【0045】

(2回目の閾値補正期間)

時刻 t_5 で次の水平期間に入り、図5(B)に示すように、走査線WSLの電位WSが低電位側から高電位側に遷移し、書き込みトランジスタ1Aが導通状態となると同時に、水平駆動回路103から信号線DTLに対して信号電圧 V_{in} に代えて信号線基準電位 V_o が供給され、2回目の閾値補正期間に入る。

【0046】

この2回目の閾値補正期間では、書き込みトランジスタ1Aが導通状態になることで信号線基準電位 V_o が書き込まれるために、駆動トランジスタ1Bのゲート電位 V_g が再び信号線基準電位 V_o に初期化される。このときのゲート電位 V_g の低下に連動してソース電位 V_s も低下する。そして再び、駆動トランジスタ1Bのソース電位 V_s が上昇を開始する。

【0047】

そして、この2回目の閾値補正期間において、駆動トランジスタ1Bのソース電位 V_s が上昇することによって駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} が所定の電位 V_{x2} になり、この電位 V_{x2} が保持容量1Cに保持される。

【0048】

続いて、この水平期間の後半に入った時刻 t_6 で、図5(C)に示すように、水平駆動回路103から信号線DTLに対して映像信号の信号電圧 V_{in} が供給されることにより、信号線DTLの電位がオフセット電圧 V_o から信号電圧 V_{in} に遷移する。この期間では、他の行(前回の書き込み行の次の行)の画素に対する信号電圧 V_{in} の書き込みが行われる。

【0049】

このとき、自行の画素に対して信号電圧 V_{in} の書き込みが行われなくようにするために、走査線WSLの電位WSを高電位側から低電位側に遷移させ、書き込みトランジスタ

10

20

30

40

50

1 A を非導通状態とする。これにより、駆動トランジスタ 1 B のゲート電極は信号線 D T L から切り離されてフローティング状態になる。

【 0 0 5 0 】

時刻 t_6 以降においても、駆動トランジスタ 1 B のソース電位 V_s が上昇を続け、 V_{a2} だけ上昇する ($V_s = V_o - V_{x1} + V_{a2}$)。このとき、ブートストラップ動作により、駆動トランジスタ 1 B のソース電位 V_s の上昇に連動して、ゲート電位 V_g も V_{a2} だけ上昇する ($V_g = V_o + V_{a2}$)。

【 0 0 5 1 】

(3 回目の閾値補正期間)

時刻 t_7 で次の水平期間に入り、図 5 (D) に示すように、走査線 W S L の電位 W S が低電位側から高電位側に遷移し、書き込みトランジスタ 1 A が導通状態となると同時に、水平駆動回路 1 0 3 から信号線 D T L に対して信号電圧 V_{in} に代えて信号線基準電位 V_o が供給され、3 回目の閾値補正期間に入る。

【 0 0 5 2 】

この 3 回目の閾値補正期間では、書き込みトランジスタ 1 A が導通状態になることで信号線基準電位 V_o が書き込まれるために、駆動トランジスタ 1 B のゲート電位 V_g が再び信号線基準電位 V_o に初期化される。このときのゲート電位 V_g の低下に連動してソース電位 V_s も低下する。そして再び、駆動トランジスタ 1 B のソース電位 V_s が上昇を開始する。

【 0 0 5 3 】

駆動トランジスタ 1 B のソース電位 V_s が上昇し、やがて、駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} が当該駆動トランジスタ 1 B の閾値電圧 V_{th} に収束することにより、当該閾値電圧 V_{th} に相当する電圧が保持容量 1 C に保持される。

【 0 0 5 4 】

上述した 3 回の閾値補正動作により、画素個々の駆動トランジスタ 1 B の閾値電圧 V_{th} が検出されて当該閾値電圧 V_{th} に相当する電圧が保持容量 1 C に保持されることになる。なお、3 回の閾値補正期間において、電流が専ら保持容量 1 C 側に流れ、有機 E L 素子 1 D 側には流れないようにするために、有機 E L 素子 1 D がカットオフ状態となるように共通電源供給線 1 H の電位 V_{cath} を設定しておくこととする。

【 0 0 5 5 】

(信号書き込み期間 & 移動度補正期間)

次に、時刻 t_8 で走査線 W S L の電位 W S が低電位側に遷移することで、図 6 (A) に示すように、書き込みトランジスタ 1 A が非導通状態となり、同時に、信号線 D T L の電位がオフセット電圧 V_o から映像信号の信号電圧 V_{in} に切り替わる。

【 0 0 5 6 】

書き込みトランジスタ 1 A が非導通状態になることで、駆動トランジスタ 1 B のゲート電極がフローティング状態になるが、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 1 B の閾値電圧 V_{th} に等しいため、当該駆動トランジスタ 1 B はカットオフ状態にある。したがって、駆動トランジスタ 1 B にドレイン - ソース間電流 I_{ds} は流れない。

【 0 0 5 7 】

続いて、時刻 t_9 で、走査線 W S L の電位 W S が高電位側に遷移することで、図 6 (B) に示すように、書き込みトランジスタ 1 A が導通状態になって映像信号の信号電圧 V_{in} をサンプリングして画素 1 0 1 内に書き込む。この書き込みトランジスタ 1 A による信号電圧 V_{in} の書き込みにより、駆動トランジスタ 1 B のゲート電位 V_g が信号電圧 V_{in} となる。

【 0 0 5 8 】

そして、映像信号の信号電圧 V_{in} による駆動トランジスタ 1 B の駆動の際に、当該駆動トランジスタ 1 B の閾値電圧 V_{th} が保持容量 1 C に保持された閾値電圧 V_{th} に相当する電圧と相殺されることによって閾値補正が行われる。

【 0 0 5 9 】

10

20

30

40

50

このとき、有機EL素子1Dは始めカットオフ状態（ハイインピーダンス状態）にあるために、映像信号の信号電圧 V_{in} に応じて電源供給線DSLから駆動トランジスタ1Bに流れる電流（ドレイン・ソース間電流 I_{ds} ）は有機EL素子1DのEL容量1Iに流れ込み、よって当該EL容量1Iの充電が開始される。

【0060】

このEL容量1Iの充電により、駆動トランジスタ1Bのソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ1Bの閾値電圧 V_{th} のばらつきは補正（閾値補正）されており、駆動トランジスタ1Bのドレイン・ソース間電流 I_{ds} は当該駆動トランジスタ1Bの移動度 μ に依存したものとなる。

【0061】

やがて、駆動トランジスタ1Bのソース電位 V_s が $V_o - V_{th} + \Delta V$ の電位まで上昇すると、駆動トランジスタ1Bのゲート・ソース間電圧 V_{gs} は $V_{in} + V_{th} - \Delta V$ となる。すなわち、ソース電位 V_s の上昇分 ΔV は、保持容量1Cに保持された電圧（ $V_{in} + V_{th} - \Delta V$ ）から差し引かれるように、換言すれば、保持容量1Cの充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 ΔV は負帰還の帰還量となる。

【0062】

このように、駆動トランジスタ1Bに流れるドレイン・ソース間電流 I_{ds} を当該駆動トランジスタ1Bのゲート入力に、即ちゲート・ソース間電圧 V_{gs} に負帰還することにより、駆動トランジスタ1Bのドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

【0063】

より具体的には、映像信号の信号電圧 V_{in} が高いほどドレイン・ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量（補正量） ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。また、映像信号の信号電圧 V_{in} を一定とした場合、駆動トランジスタ1Bの移動度 μ が大きいほど負帰還の帰還量 ΔV の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。

【0064】

（発光期間）

次に、時刻 t_{10} で走査線WSLの電位WSが低電位側に遷移することで、図6（C）に示すように、書き込みトランジスタ1Aが非導通状態となる。これにより、駆動トランジスタ1Bのゲート電極は信号線DTLから切り離されてフローティング状態になる。

【0065】

駆動トランジスタ1Bのゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ1Bのドレイン・ソース間電流 I_{ds} が有機EL素子1Dに流れ始めることにより、有機EL素子1Dのアノード電位は、駆動トランジスタ1Bのドレイン・ソース間電流 I_{ds} に応じて上昇する。

【0066】

有機EL素子1Dのアノード電位の上昇は、即ち駆動トランジスタ1Bのソース電位 V_s の上昇に他ならない。駆動トランジスタ1Bのソース電位 V_s が上昇すると、保持容量1Cのブートストラップ動作により、駆動トランジスタ1Bのゲート電位 V_g も連動して上昇する。

【0067】

このとき、ブートストラップゲインが1（理想値）であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ1Bのゲート・ソース間電圧 V_{gs} は $V_{in} + V_{th} - \Delta V$ で一定に保持される。そして、時刻 t_{11} で信号線DTLの電位が映像信号の信号電圧 V_{in} から信号線基準電位 V_o に切り替わる。

【0068】

以上の動作説明から明らかなように、本例では、信号書き込みおよび移動度補正が行わ

10

20

30

40

50

れる 1 H 期間と、当該 1 H 期間に先行する 2 H 期間の、計 3 H 期間に亘って閾値補正期間を設けている。これにより、閾値補正期間として十分な時間を確保することができるために、駆動トランジスタ 1 B の閾値電圧 V_{th} を確実に検出して保持容量 1 C に保持し、閾値補正動作を確実に行うことができる。

【 0 0 6 9 】

なお、閾値補正期間を 3 H 期間に亘って設けるとしたが、これは一例に過ぎず、信号書き込みおよび移動度補正が行われる 1 H 期間で閾値補正期間として十分な時間を確保できるのであれば、先行する水平期間に亘って閾値補正期間を設定する必要はないし、また、高精細化に伴って 1 H 期間が短くなり、閾値補正期間を 3 H 期間に亘って設けても十分な時間を確保できないのであれば、4 H 期間以上に亘って閾値補正期間を設定することも可能である。

10

【 0 0 7 0 】

< 2 . 従来の画素構成での問題点 >

[画素回路のレイアウト]

図 7 は、従来の画素構造を説明する模式平面図である。図 7 では、R (赤) の画素、G (緑) の画素、B (青) の画素の配置構成を示している。各画素は、水平方向 (図中横方向) に延びる電源供給線 D S L と走査線 W S L との間に構成され、垂直方向 (図中縦方向) に延びる信号線 D T L によって R G B 各画素の領域が区切られている。

【 0 0 7 1 】

各画素の領域内には、書き込みトランジスタ 1 A、駆動トランジスタ 1 B および保持容量 1 C が設けられている。また、書き込みゲインや移動度補正時間調整のための補助容量 1 J も設けられている。

20

【 0 0 7 2 】

図 7 に示す例では、G (緑) の画素のパターン密度が R (赤) の画素のパターン密度に比べて低く、B (青) の画素のパターン密度が R (赤) の画素のパターン密度に比べて高い場合を例としている。

【 0 0 7 3 】

信号線 D T L - R、D T L - G、D T L - B は外光反射の観点から等ピッチで配置されている。したがって、B (青) の画素の構成素子である補助容量 1 J の一部が隣接する G (緑) の画素の領域に入り込むよう構成されている。

30

【 0 0 7 4 】

ここで、書き込みトランジスタ 1 A、駆動トランジスタ 1 B のゲート電極およびゲート電極と導通する保持容量 1 C の下側電極、ならびに有機 E L 素子のカソード電極と導通する補助容量 1 J の下側電極は、第 1 配線層として形成されている。

【 0 0 7 5 】

また、電源供給線 D S L、信号線 D T L および走査線 W S L は、第 2 配線層として形成されている。なお、電源供給線 D S L と信号線 D T L との交差部分および信号線 D T L と走査線 W S L との交差部分はコンタクトホールを介して第 1 配線層に切り替えられている。

【 0 0 7 6 】

また、書き込みトランジスタ 1 A、駆動トランジスタ 1 B のソース電極およびドレイン電極、駆動トランジスタ 1 B のソース電極 (有機 E L 素子のアノード電極) と導通する保持容量 1 C の上側電極および補助容量 1 J の上側電極は、ポリシリコンで形成されている。ポリシリコンは、第 1 配線層と第 2 配線層との間に配置される中間層である。

40

【 0 0 7 7 】

図 8 は、図 7 における A - A 線の模式断面図である。画素構造は、ガラス基板の上に、第 1 配線層 M 1、第 2 配線層 M 2 およびポリシリコンの中間層 M D を備えている。先に説明したように、B (青) の画素の補助容量 1 J の一部が隣接する G (緑) の画素の領域に入り込む構成となっているため、信号線 D T L - B の下にポリシリコンで形成された補助容量 1 J の上側電極 D 1 が設けられている。なお、上側電極 D 1 は、B (青) の画素の保

50

持容量 1 C の上側電極と同一ノードのため、共通に設けられている。

【 0 0 7 8 】

[等価回路]

図 9 は、図 7 に示す画素構造における画素部の等価回路ある。信号線 D T L は書き込みトランジスタ 1 A と接続され、書き込みトランジスタ 1 A のソース電極またはドレイン電極が駆動トランジスタ 1 B のゲート電極 (ノード g) に接続されている。

【 0 0 7 9 】

駆動トランジスタ 1 B のドレイン電極には電源供給線 D S L が接続され、ゲート電極 - ソース電極間には保持容量 1 C が接続されている。駆動トランジスタ 1 B のソース電極は、有機 E L 素子 1 D のアノード電極に接続されている。有機 E L 素子 1 D のアノード電極 - カソード電極間には補助容量 1 J が接続されている。

10

【 0 0 8 0 】

このような回路では、第 2 配線層として構成される信号線 D T L と、ポリシリコンから成る中間層として構成される有機 E L 素子 1 D のアノード電極 (ノード s) と平行平板容量を形成しているため、ここに寄生容量 C p が構成されている。

【 0 0 8 1 】

[タイミングチャート]

図 1 0 は、図 9 に示した回路図における動作を説明するためのタイミングチャートである。図中破線で示す波形は本来の電位変動、実線は図 9 に示す回路図における電位変動を示している。

20

【 0 0 8 2 】

図 9 に示す回路図では、信号線 D T L とアノード電極 (ノード s) との間の寄生容量 C p が構成されるため、信号線 D T L の電位が切替る際にアノード、すなわち駆動トランジスタ 1 B のソース (ノード s) に容量カップリングが重畳される。

【 0 0 8 3 】

期間 (I) においては、映像信号サンプリングの直前に信号線 D T L が映像信号基準電位 V o から映像信号 V s i g に切替る際、容量カップリングが信号線 D T L - アノード電極 (ノード s) 間で生じる。このため、駆動トランジスタ 1 B のソース (ノード s) が閾値補正終了後の電位より容量比分突き上げられ、これに伴い駆動トランジスタ 1 B のゲート (ノード g) もそのブートストラップ動作により映像信号基準電位 V o から同様に突き上げられる。

30

【 0 0 8 4 】

次に、突き上げられた状態から映像信号のサンプリングが開始されるため、本来の入力振幅 $V_{in} = V_{sig} - V_o$ が入力されず、 $V_{in} = V_{sig} - V_a$ ($V_a > V_o$) が入力されることになる。このため、駆動トランジスタ 1 B のゲート - ソース間電圧は低下し、その結果輝度低下を引き起こす。期間 (I I) における容量カップリングは有機 E L 素子 1 D に電流が流れている状態であるため、容量カップリング後、元の電位に引き戻される。

【 0 0 8 5 】

< 3 . 本実施形態の構成例 >

40

[システム構成]

図 1 1 は、本実施形態の一例を示すシステム構成図である。図 1 1 に示すように、有機 E L 表示装置 1 0 0 は、画素 (P X L C) 1 0 1 が行列状 (マトリクス状) に 2 次元配置されてなる画素アレイ部 1 0 2 と、当該画素アレイ部 1 0 2 の周辺に配置され、各画素 1 0 1 を駆動する駆動部とを有する構成となっている。画素 1 0 1 を駆動する駆動部としては、例えば、水平駆動回路 1 0 3、書き込み走査回路 1 0 4 および電源供給走査回路 1 0 5 が設けられている。

【 0 0 8 6 】

画素アレイ部 1 0 2 には、m 行 n 列の画素配列に対して、画素行ごとに走査線 W S L - 1 ~ W S L - m と電源供給線 D S L - 1 ~ D S L - m とが配線され、画素列ごとに信号線

50

D T L - 1 ~ D T L - n が配線されている。これらの構成は図 1 に示すシステム構成と同じである。

【 0 0 8 7 】

[配線構造]

図 1 2 は、本実施形態に係る画素構造を説明する模式平面図である。図 1 2 では、R (赤) の画素、G (緑) の画素、B (青) の画素の配置構成を示している。各画素は、水平方向 (図中横方向) に延びる電源供給線 D S L と走査線 W S L との間に構成され、垂直方向 (図中縦方向) に延びる信号線 D T L によって R G B 各画素の領域が区切られている。

【 0 0 8 8 】

各画素の領域内には、書き込みトランジスタ 1 A、駆動トランジスタ 1 B および保持容量 1 C が設けられている。また、書き込みゲインや移動度補正時間調整のための補助容量 1 J も設けられている。

【 0 0 8 9 】

図 1 2 に示す例では、G (緑) の画素のパターン密度が R (赤) の画素のパターン密度に比べて低く、B (青) の画素のパターン密度が R (赤) の画素のパターン密度に比べて高い場合を例としている。

【 0 0 9 0 】

信号線 D T L - R、D T L - G、D T L - B は外光反射の観点から等ピッチで配置されている。したがって、B (青) の画素の構成素子である補助容量 1 J の一部が隣接する G (緑) の画素の領域に入り込むよう構成されている。

【 0 0 9 1 】

ここで、書き込みトランジスタ 1 A、駆動トランジスタ 1 B のゲート電極およびゲート電極と導通する保持容量 1 C の下側電極、ならびに補助容量 1 J の下側電極は、第 1 配線層として形成されている。

【 0 0 9 2 】

また、電源供給線 D S L、信号線 D T L および走査線 W S L は、第 2 配線層として形成されている。なお、電源供給線 D S L と信号線 D T L との交差部分および信号線 D T L と走査線 W S L との交差部分はコンタクトホールを介して第 1 配線層に切り替えられている。

【 0 0 9 3 】

また、書き込みトランジスタ 1 A、駆動トランジスタ 1 B のソース電極およびドレイン電極、駆動トランジスタ 1 B のソース電極と導通する保持容量 1 C の上側電極、補助容量 1 J の上側電極は、ポリシリコンで形成されている。ポリシリコンは、第 1 配線層と第 2 配線層との間に配置される中間層である。

【 0 0 9 4 】

このような配線構成において、本実施形態では、補助容量 1 J の上側電極 (一方の電極) と有機 E L 素子のカソード電極とを導通させ、補助容量 1 J の下側電極 (他方の電極) と有機 E L 素子のアノード電極とを導通させている。

【 0 0 9 5 】

つまり、本実施形態の画素構造におけるパターンレイアウトでは、信号線 D T L の下方を補助容量 1 J が経路する際、補助容量 1 J の電極のうち信号線 D T L 側に配置される上側電極 (一方の電極) を駆動トランジスタ 1 B のソース電極 (有機 E L 素子 1 D のアノード電極 (ノード s)) と導通させ、第 1 配線層に設定している。また、補助容量 1 J のうち下側電極 (他方の電極) を有機 E L 素子 1 D のカソード 1 H と導通させ、ポリシリコンである中間層に設定している。

【 0 0 9 6 】

図 1 3 は、図 1 2 における B - B 線の模式断面図である。画素構造は、ガラス基板の上に、第 1 配線層 M 1、第 2 配線層 M 2 およびポリシリコンの中間層 M D を備えている。先に説明したように、B (青) の画素の補助容量 1 J の一部が隣接する G (緑) の画素の領域に入り込む構成となっているため、信号線 D T L - B の下にポリシリコンで形成された

10

20

30

40

50

補助容量 1 J の上側電極 D 1 - 1 J が設けられている。なお、ポリシリコンである中間層 M D には、B (青) の画素の保持容量 1 C の上側電極 D 1 - 1 C も設けられている。

【 0 0 9 7 】

このような断面構造において、本実施形態では、補助容量 1 J の上側電極 D 1 - 1 J を有機 E L 素子のカソードと導通させ、下側電極 D 2 - 1 J をアノードと導通させている。

【 0 0 9 8 】

また、図 1 4 は、図 1 2 における C - C 線の模式断面図である。本実施形態では、補助容量 1 J の上側電極 D 1 - 1 J と保持容量 1 C の上側電極 D 1 - 1 C とでノードが異なることから、間が分離されている。また、補助容量 1 J の下側電極 D 2 - 1 J と保持容量 1 C の上側電極 D 1 - 1 C とでノードが同じとなることから、これらを導通させている。導通させるには、補助容量 1 J の下側電極 D 2 - 1 J にコンタクトホール C H 1 を形成し、保持容量 1 C の上側電極 D 1 - 1 C にコンタクトホール C H 2 を形成し、これらを第 2 配線層の配線 D 2 で導通させる。

10

【 0 0 9 9 】

このような配線構造により、信号線 D T L - B の下方に補助容量 1 J が経路する構成であっても、信号線 D T L - B とアノード (ノード s) との間にカソード 1 H によるシールドを構成できることになる。したがって、信号線 D T L - B と補助容量 1 J のアノード側の電極との間で図 9 に示すような寄生容量 C p は形成されないことになる。

【 0 1 0 0 】

[タイミングチャート]

20

図 1 5 は、本実施形態の画素構成における動作を説明するためのタイミングチャートである。実線が本実施形態の画素構成における電位変動、破線は図 4 の回路図における寄生容量 C p を有する場合の電位変動を示している。

【 0 1 0 1 】

寄生容量 C p を有すると、映像信号線 D T L の電位が切替る際にアノード、すなわち駆動トランジスタ 1 B のソース (ノード s) に容量カップリングが重畳される。期間 (I) においては、映像信号サンプリングの直前に信号線 D T L が映像信号基準電位 V o から映像信号 V s i g に切替る際、容量カップリングが信号線 D T L とアノード (ノード s) との間で生じるため、駆動トランジスタ 1 B のソース (ノード s) が閾値補正終了後の電位より容量比分散き上げられ、これに伴い駆動用 N 型トランジスタ 1 B のゲート g もそのブートストラップ動作により映像信号基準電位 V o から同様に突き上げられる。

30

【 0 1 0 2 】

次に、突き上げられた状態から映像信号のサンプリングが開始されるため、本来の入力振幅 $V_{in} = V_{sig} - V_o$ が入力されず、 $V_{in} = V_{sig} - V_a$ ($V_a > V_o$) が入力されるため、駆動用 N 型トランジスタ 1 B のゲートソース間電圧は低下し、その結果輝度低下を引き起こす。

【 0 1 0 3 】

一方、本実施形態では、寄生容量 C p が形成されないため、映像信号線 D T L の電位が切替る際、駆動トランジスタ 1 B のソース (ノード s) に容量カップリングは重畳されない。このため、駆動トランジスタ 1 B のソース (ノード s) が閾値補正終了後に変動することはない。したがって、閾値補正された状態から映像信号のサンプリングが開始されるため、本来の入力振幅 $V_{in} = V_{sig} - V_o$ が入力され、輝度低下は発生しない。

40

【 0 1 0 4 】

なお、上記実施形態では、図 1 1 に示す画素 1 0 1 の電気光学素子として、有機 E L 素子を用いた有機 E L 表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子 (発光素子) を用いた表示装置全般に対して適用可能である。

【 0 1 0 5 】

また、画素 1 0 1 の構成として、2つのトランジスタ (T r) と1つの容量素子 (C) からなる 2 T r / 1 C の画素構成の場合を例としてが、本発明はこれに限定されず、例え

50

ば4つのトランジスタ(Tr)と1つの容量素子(C)からなる4Tr/1Cの画素構成など、他の画素構成であっても適用可能である。

【0106】

<4.適用例>

以上説明した本実施形態に係る表示装置は、一例として、図15~図19に示す様々な電子機器に適用される。例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0107】

このように、あらゆる分野の電子機器の表示装置として本実施形態に係る表示装置を用いることにより、表示画像の画質向上を図ることができるために、各種の電子機器において、良質な画像表示を行うことができる利点がある。

【0108】

なお、本実施形態に係る表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部102に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、さらには、上記した遮光膜が設けられてもよい。なお、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC(フレキシブルプリントサーキット)等が設けられていてもよい。

【0109】

以下に、本実施形態の表示装置が適用される電子機器の具体例について説明する。

【0110】

図15は、本実施形態が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル108やフィルターガラス109等から構成される映像表示画面部107を含み、その映像表示画面部107として本実施形態による表示装置を用いることにより作成される。

【0111】

図16は、本実施形態が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本実施形態による表示装置を用いることにより作製される。

【0112】

図17は、本実施形態が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本実施形態による表示装置を用いることにより作製される。

【0113】

図18は、本実施形態が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本実施形態による表示装置を用いることにより作製される。

【0114】

図19は、本実施形態が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上部筐体141、下部筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含み、そのディスプレイ144やサブディスプレイ145として本実施

10

20

30

40

50

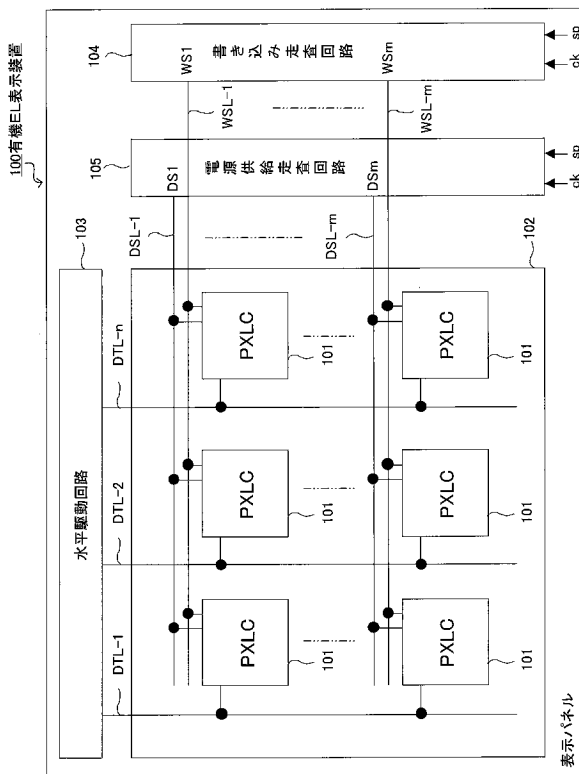
形態による表示装置を用いることにより作製される。

【符号の説明】

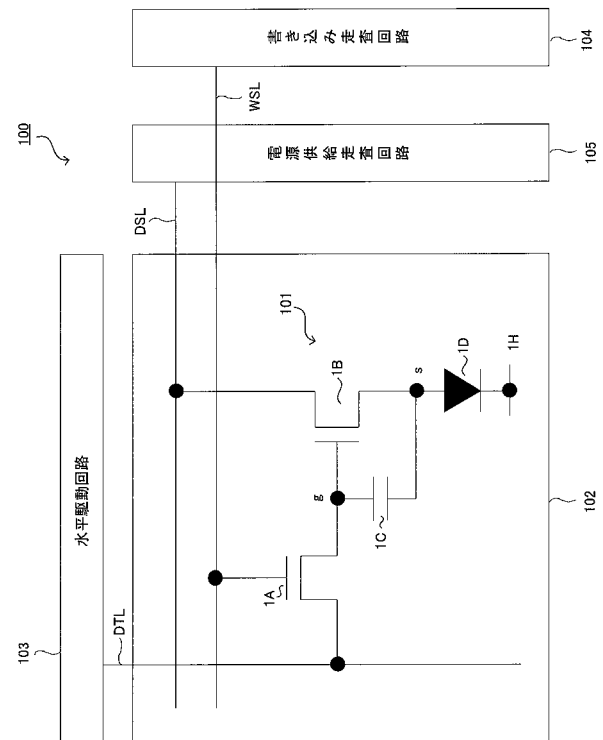
【0115】

100...有機EL表示装置、101...画素（画素回路）、102...画素アレイ部、103...水平駆動回路、104...書き込み走査回路、105...電源供給走査回路、1A...書き込みトランジスタ、1B...駆動トランジスタ、1C...保持容量、1D...有機EL素子、1J...補助容量、DSL-1～DSL-m...電源供給線、DTL-1～DTL-n...信号線、M1...第1配線層、M2...第2配線層、MD...中間層、WSL-1～WSL-m...走査線

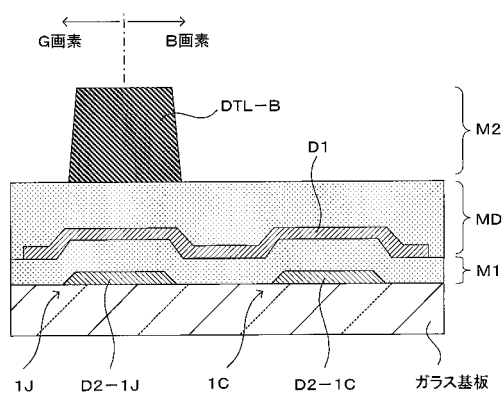
【図1】



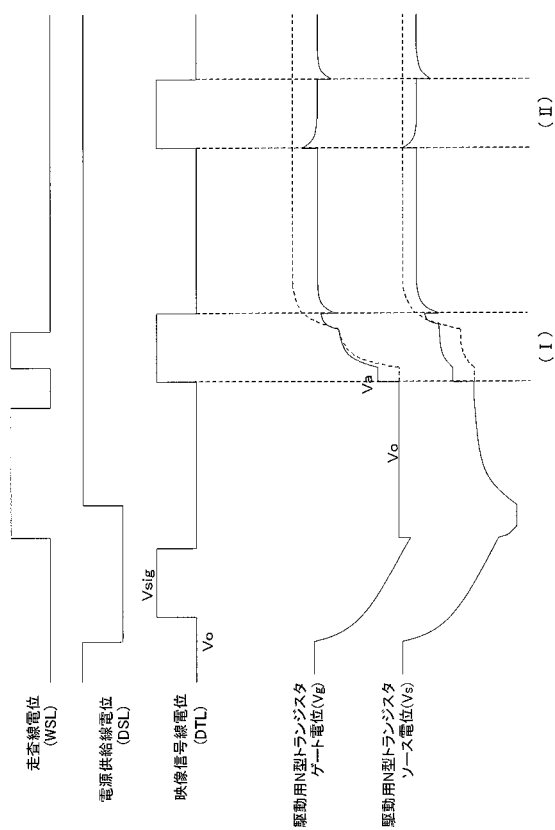
【図2】



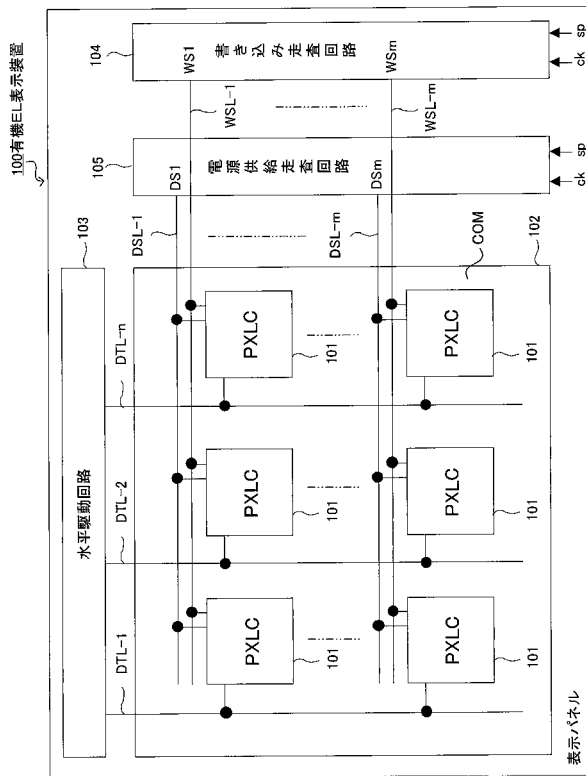
【 図 8 】



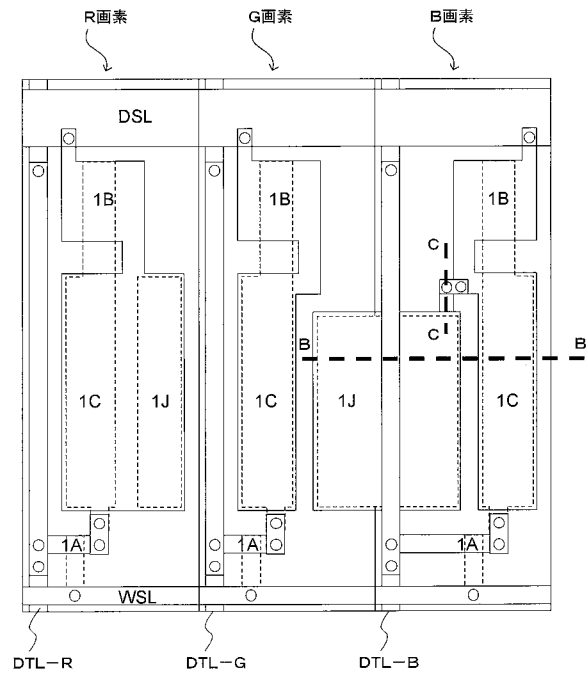
【 図 1 0 】



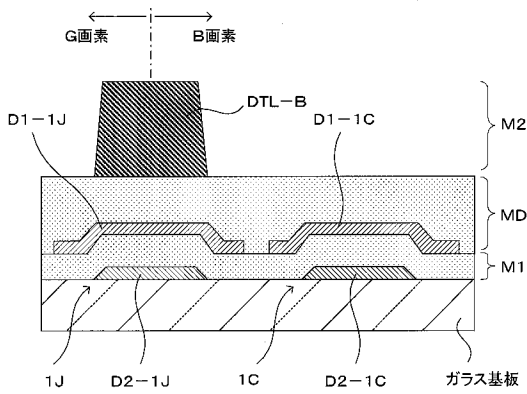
【図 1 1】



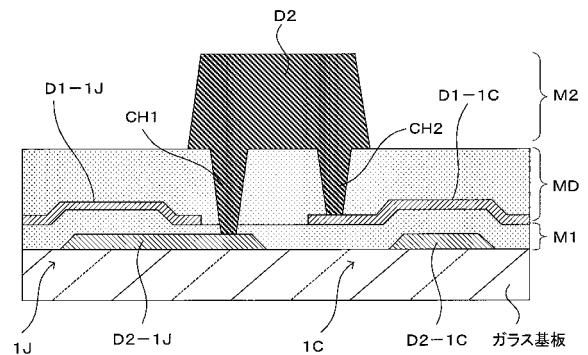
【図 1 2】



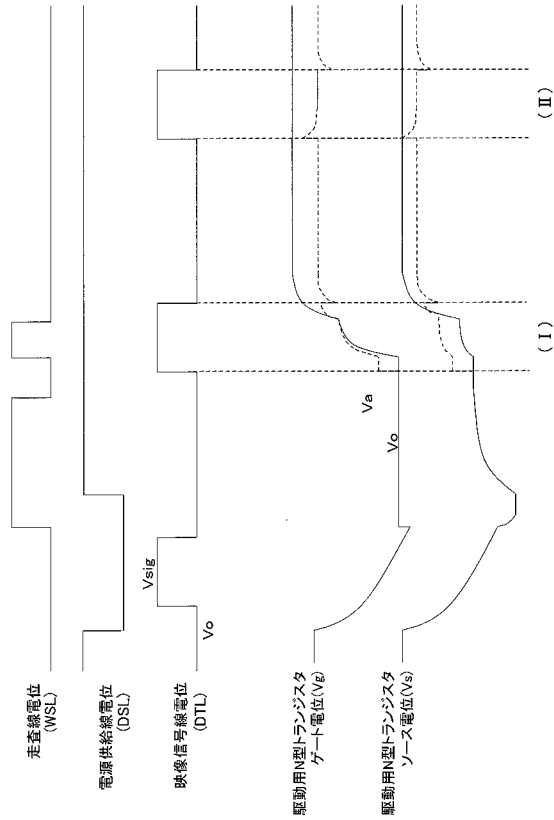
【図 1 3】



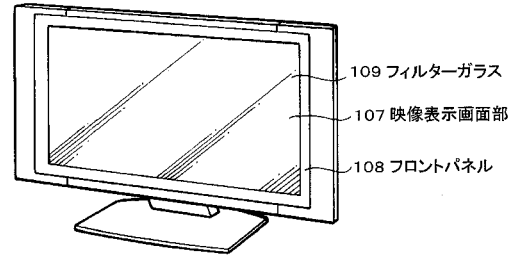
【図 1 4】



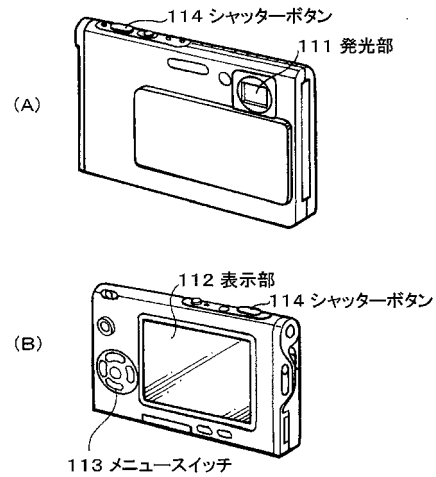
【図 15】



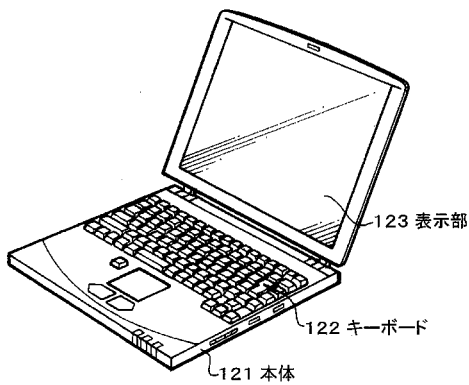
【図 16】



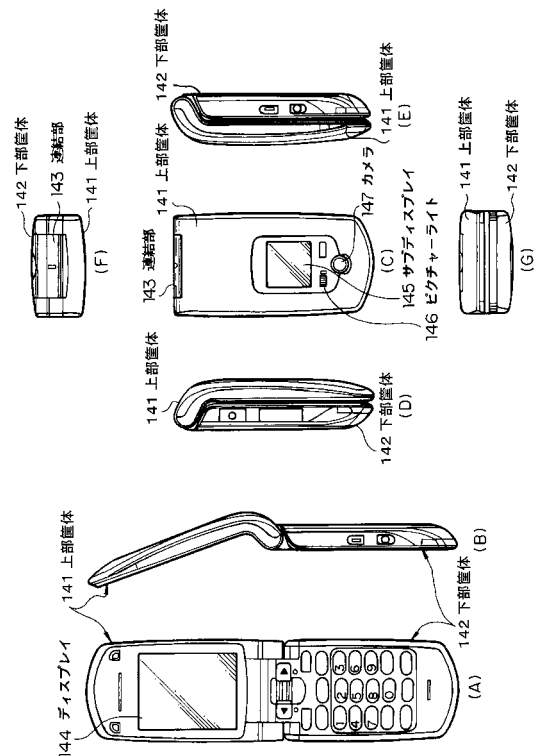
【図 17】



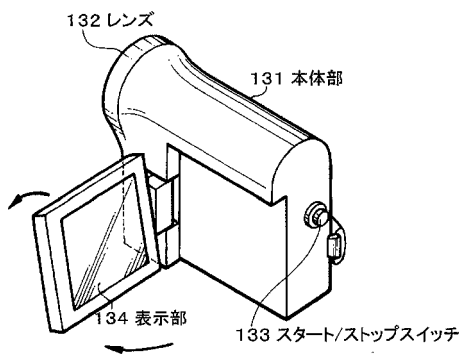
【図 18】



【図 20】



【図 19】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 8 0 G
H 0 5 B	33/14	A
H 0 5 B	33/26	Z

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2010164801A	公开(公告)日	2010-07-29
申请号	JP2009007344	申请日	2009-01-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 富田昌嗣		
发明人	飯田 幸人 富田 昌嗣		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/26		
CPC分类号	G09G3/12 G09G3/3233 G09G2300/0426 G09G2300/0465 G09G2300/0819 G09G2320/043 G09G2320/045 H01L27/3265		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.611.H G09G3/20.670.J G09G3/20.641.D G09G3/20.642.C G09G3/20.680.G H05B33/14.A H05B33/26.Z G09F9/30.338 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/CC33 3K107/DD39 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA10 5C094/AA21 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB04 5C094/EA07 5C094/FB12 5C094/FB14 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CD022 5C380/CD032 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
其他公开文献	JP5304257B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在构成像素的电路中，避免在信号线和阳极之间形成寄生电容，并通过电容耦合防止亮度降低。ŹSOLUTION：该显示装置包括：像素阵列单元，具有包括电路配置的像素，其中有机EL（电致发光）元件的阳极和驱动晶体管1B的源电极连接在一起，栅电极驱动晶体管1B和写入晶体管1A的源极或漏极连接在一起，保持电容器1C连接在驱动晶体管1B的栅极和源极之间，辅助电容器1J连接在阳极之间电极和有机EL元件的阴极以矩阵形状设置。用于传输视频信号的信号线DTL设置在相邻像素之间，并且从相邻像素的一个像素到另一像素的区域，设置一个像素的辅助电容器1J。设置在信号线DTL侧的辅助电容器1J的上电极（一个电极）与有机EL元件的阴极导电。Ź

