

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20314

(P2010-20314A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 670K	5C080
G09F 9/30 (2006.01)	G09G 3/20 624B	5C094
H01L 27/32 (2006.01)	G09G 3/20 624D	5C380
H01L 51/50 (2006.01)	G09G 3/20 622B	

審査請求 有 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号	特願2009-163447 (P2009-163447)	(71) 出願人	501426046 エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル, ヨンドゥンポーク, ヨ イドードン 20
(22) 出願日	平成21年7月10日 (2009.7.10)	(74) 代理人	100064447 弁理士 岡部 正夫
(31) 優先権主張番号	10-2008-0067133	(74) 代理人	100094112 弁理士 岡部 譲
(32) 優先日	平成20年7月10日 (2008.7.10)	(74) 代理人	100085176 弁理士 加藤 伸晃
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100104352 弁理士 朝日 伸光
		(74) 代理人	100128657 弁理士 三山 勝巳

最終頁に続く

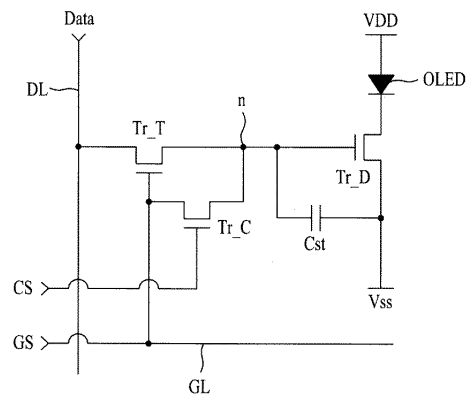
(54) 【発明の名称】 有機発光ダイオード表示装置

(57) 【要約】 (修正有)

【課題】駆動スイッチング素子の劣化を防止できる有機発光ダイオード表示装置の提供。

【解決手段】発光ダイオードを備えた画素セルと、データ信号を伝送するデータラインと、互いに異なる大きさを持つゲート高電圧、第1ゲート低電圧、及びデータ信号と相反する極性を持つ第2ゲート低電圧からなるゲート信号を伝送するゲートラインとを含み、各画素セルは、ゲートラインからの第1ゲート高電圧によってデータラインとノード間を接続させる信号伝達スイッチング素子と、ノードの信号状態で発光ダイオードに供給される駆動電流の大きさを制御する駆動スイッチング素子と、ノードと駆動スイッチング素子のソース電極またはドレイン電極間に接続されたストレージキャパシタと、ゲートラインからの第2ゲート低電圧及び制御ラインからの制御信号でゲートラインとノード間を接続させる制御スイッチング素子とを含む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

発光ダイオードを備えた複数の画素セルと、
画像に関する情報を持つデータ信号を送送する複数のデータラインと、
互いに異なる大きさを持つゲート高電圧、第 1 ゲート低電圧、及び前記データ信号と相反する極性を持つ第 2 ゲート低電圧からなるゲート信号を送送する複数のゲートラインと、

を含み

前記各画素セルは、

前記ゲートラインからの第 1 ゲート高電圧によってデータラインとノード間を接続させる信号伝達スイッチング素子と、 10

前記ノードの信号状態に応じて前記発光ダイオードに供給される駆動電流の大きさを制御する駆動スイッチング素子と、

前記ノードと前記駆動スイッチング素子のソース電極またはドレイン電極間に接続されたストレージキャパシタと、

前記ゲートラインからの第 2 ゲート低電圧及び制御ラインからの制御信号に応じて前記ゲートラインと前記ノード間を接続させる制御スイッチング素子と、

を含むことを特徴とする有機発光ダイオード表示装置。

【請求項 2】

前記第 1 ゲート低電圧は前記ゲート高電圧より小さく、前記第 2 ゲート低電圧は前記第 1 ゲート低電圧より小さく、 20

前記制御信号は、前記第 2 ゲート低電圧と前記制御スイッチング素子のしきい電圧との和より大きく、前記第 1 ゲート低電圧より小さい値を持つ直流電圧であることを特徴とする請求項 1 に記載の有機発光ダイオード表示装置。

【請求項 3】

前記ゲート信号がゲート高電圧に維持されるデータ入力期間に、前記ノードにデータ信号が供給され、

前記ゲート信号が第 1 ゲート低電圧に維持される発光維持期間に、前記ノードに供給されたデータ信号が維持され、

前記ゲート信号が第 2 ゲート低電圧に維持される回復期間に、前記ノードに前記第 2 ゲート低電圧が供給されることを特徴とする請求項 2 に記載の有機発光ダイオード表示装置 30

。

【請求項 4】

前記複数のゲートラインを駆動するためのゲートドライバをさらに含み、

前記ゲートドライバは、

第 1 スタートパルス及び第 1 クロック信号を用いて、前記各ゲートラインに供給されるゲート高電圧及び第 1 ゲート低電圧を順次に生成する第 1 駆動部と、

前記第 1 スタートパルスよりも遅れて出力され、パルス幅が大きい第 2 スタートパルス、及び前記第 1 クロック信号よりもパルス幅が大きい第 2 クロック信号を用いて、各ゲートラインに供給される第 2 ゲート低電圧を順次に出力する第 2 駆動部と、 40

前記第 1 及び第 2 駆動部からの出力のいずれかを選択して、各ゲートラインに出力する選択部と、

を含むことを特徴とする請求項 2 に記載の有機発光ダイオード表示装置。

【請求項 5】

第 1 駆動部は、前記第 1 スタートパルスを前記第 1 クロック信号に応じてシフトさせて順次に出力する第 1 シフトレジスタと、前記第 1 シフトレジスタからの各出力の論理に応じてゲート高電圧または第 1 ゲート低電圧のいずれかを選択して出力する複数のレベルシフターと、を含み、

前記第 2 駆動部は、前記第 2 スタートパルスを前記第 2 クロック信号に応じてシフトさせて順次に出力する第 2 シフトレジスタと、前記第 2 ゲート低電圧を生成する低電源生成 50

部と、を含み、

前記選択部は、前記各レベルシフトに対応する複数のマルチプレクサを含み、該各マルチプレクサは、前記第2シフトレジスタからの出力がロー論理の時に前記各レベルシフターからのゲート高電圧または第1ゲート低電圧を選択し、前記第2シフトレジスタからの出力がハイ論理の時に前記低電源生成部からの第2ゲート低電圧を選択することを特徴とする請求項4に記載の有機発光ダイオード表示装置。

【請求項6】

第1駆動部は、前記第1スタートパルスを用いて前記第1クロック信号に応じてシフトさせて順次に出力する第1シフトレジスタと、前記第1シフトレジスタからの各出力の論理に応じてゲート高電圧及び第1ゲート低電圧のいずれかを選択して出力する複数のレベルシフターと、を含み、

前記第2駆動部は、前記第2スタートパルスを用いて前記第2クロック信号に応じてシフトさせて順次に出力する第2シフトレジスタと、前記第2ゲート低電圧を生成する低電源生成部と、を含み、

前記選択部は、前記各レベルシフトに対応する複数のマルチプレクサと、前記第2シフトレジスタの各出力と外部からのイネーブル信号とを論理演算する複数の論理和ゲートと、を含み、前記各マルチプレクサは、前記論理和ゲートの出力がロー論理の時に前記各レベルシフターからのゲート高電圧または第1ゲート低電圧を選択し、前記論理和ゲートの出力がハイ論理の時に前記低電源生成部からの第2ゲート低電圧を選択することを特徴とする請求項4に記載の有機発光ダイオード表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード表示装置に関するもので、特に、駆動スイッチング素子の劣化を防止できる有機発光ダイオード表示装置に関する。

【背景技術】

【0002】

近年、陰極線管に比べて重さと体積が小さい各種の平板表示装置が開発されており、特に発光効率、輝度及び視野角に優れており、応答速度の速い発光表示装置が注目を受けている。

【0003】

発光素子は、光を発散する薄膜である発光層が、カソード電極とアノード電極との間に位置する構造を有し、この発光層に電子及び正孔を注入しこれらを再結合させることによって励起子を生成し、励起子が低いエネルギーに落ちながら発光するという特性を有する。

【0004】

このような発光素子は、発光層が無機物または有機物で構成され、発光層の種類によって無機発光素子と有機発光素子とに区分する。

【0005】

かかる発光素子に流れる駆動電流は、駆動スイッチング素子によってその大きさが制御される。すなわち、この駆動スイッチング素子は、自身のゲート電極に供給されるデータ信号に応じて駆動電流の大きさを制御する。しかし、このデータ信号は常に正極性または負極性のみを示すので、この駆動スイッチング素子の駆動時間が増加するにつれて駆動スイッチング素子のしきい電圧がいずれか一方に増加し続け、駆動スイッチング素子が劣化してしまうという問題点があった。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は上記の問題点を解決するために案出されたもので、その目的は、駆動スイッチング素子のゲート電極に周期別にデータ信号に対して反対の極性を持つ電圧を供給し、駆

10

20

30

40

50

動スイッチング素子のしきい電圧が元の値に回復するようにすることによって、駆動スイッチング素子の劣化を防止できる有機発光ダイオード表示装置を提供することにある。

【課題を解決するための手段】

【0007】

上記の目的を達成するための本発明に係る有機発光ダイオード表示装置は、発光ダイオードを備えた複数の画素セルと、

画像に関する情報を持つデータ信号を伝送する複数のデータラインと、

互いに異なる大きさを持つゲート高電圧、第1ゲート低電圧、及び前記データ信号と相反する極性を持つ第2ゲート低電圧からなるゲート信号を伝送する複数のゲートラインと、を含む

各画素セルは、前記ゲートラインからの第1ゲート高電圧によってデータラインとノード間を接続させる信号伝達スイッチング素子と、

前記ノードの信号状態に応じて前記発光ダイオードに供給される駆動電流の大きさを制御する駆動スイッチング素子と、

前記ノードと前記駆動スイッチング素子のソース電極またはドレイン電極間に接続されたストレージキャパシタと、

前記ゲートラインからの第2ゲート低電圧及び制御ラインからの制御信号に応じて前記ゲートラインと前記ノード間を接続させる制御スイッチング素子と、を含むことを特徴とする。

【発明の効果】

【0008】

本発明に係る有機発光ダイオード表示装置には下記のような効果がある。

本発明によると、駆動スイッチング素子のゲート電極に周期別にデータ信号に対して反対の極性を持つ電圧を供給することによって駆動スイッチング素子のしきい電圧が元の値に回復するようにし、駆動スイッチング素子の劣化を防止することができる。

【図面の簡単な説明】

【0009】

【図1】本発明による有機発光ダイオード表示装置を示す図である。

【図2】図1に示す有機発光ダイオード表示装置に供給される各種信号の波形を示す図である。

【図3】図1の任意の画素セルの回路構成を示す図である。

【図4】本発明の第1実施例によるゲートドライバの構成を示す図である。

【図5】本発明の第2実施例によるゲートドライバの構成を示す図である。

【発明を実施するための形態】

【0010】

図1は、本発明による有機発光ダイオード表示装置を示す図であり、図2は、図1に示す有機発光ダイオード表示装置に供給される各種信号の波形を示す図である。

【0011】

図1を参照すると、本発明による有機発光ダイオード表示装置は、データ信号(Data)が供給される m (ただし、 m は自然数)本のデータライン $DL1 \sim DLm$ と、ゲート信号が供給される n (ただし、 n は m と異なる自然数)本のゲートライン $GL1 \sim GLn$ と、第1駆動電源 VDD が供給される第1駆動電源ライン(図示せず)と、第2駆動電源 VSS が供給される第2駆動電源ライン(図示せず)と、複数の画素セル PXL と、を含む表示部100と；各ゲートライン $GL1 \sim GLn$ を駆動するためのゲートドライバ200と；各データライン $DL1 \sim DLm$ に画像に関する情報を持つデータ信号 $Data$ を供給するデータドライバ300と；を含んで構成される。

【0012】

ゲートドライバ200は、スタートパルス $SP1$ 、 $SP2$ とクロック信号 $CLK1$ 、 $CLK2$ を用いてゲート信号 $GS1 \sim GS n$ を生成し、生成されたゲート信号 $GS1 \sim GS n$ のそれぞれを各ゲートライン $GL1 \sim GL n$ に供給する。図2に示すように、各ゲート

10

20

30

40

50

ライン $GL1 \sim GLn$ に供給されるゲート信号 $GS1 \sim GS_n$ は、ゲート高電圧 V_{GH} 、第1ゲート低電圧 V_{GL1} 及び第2ゲート低電圧 V_{GL2} からなる。このゲート高電圧 V_{GH} 、第1ゲート低電圧 V_{GL1} 及び第2ゲート低電圧 V_{GL2} は、互いに異なる大きさを持つ。すなわち、第1ゲート低電圧 V_{GL1} はゲート高電圧 V_{GH} より小さく、そして第2ゲート低電圧 V_{GL2} は第1ゲート低電圧 V_{GL1} より小さい。特に、第2ゲート低電圧 V_{GL2} はデータ信号と相反する極性を持つ。ここで、上述したように、データ信号 $Data$ が正極性であるから、第2ゲート低電圧 V_{GL2} は負極性を持つ。もし、データ信号 $Data$ が負極性であれば、第2ゲート低電圧 V_{GL2} は正極性となる。

【0013】

ゲートドライバ200は、第1スタートパルス $SP1$ 及び第1クロック信号 $CLK1$ を用いてゲート信号のゲート高電圧 V_{GH} 及び第1ゲート低電圧 V_{GL1} を生成し、第2スタートパルス $SP2$ 及び第2クロック信号 $CLK2$ を用いてゲート信号の第2ゲート低電圧 V_{GL2} を生成する。言い換えると、ゲートドライバ200は、第1スタートパルス $SP1$ を第1クロック信号 $CLK1$ に応じてシフトさせることによって、ゲートラインに必要なゲート高電圧 V_{GH} 及び第1ゲート低電圧 V_{GL1} を順次に生成する。なお、第2スタートパルス $SP2$ を第2クロック信号 $CLK2$ に応じてシフトさせることによって、ゲートラインに必要な第2ゲート低電圧 V_{GL2} を順次に生成する。したがって、第1クロック信号 $CLK1$ の立ち上がりエッジごとにゲート高電圧 V_{GH} が発生し、第2クロック信号 $CLK2$ の立ち上がりエッジごとに第2ゲート低電圧 V_{GL2} が発生する。

【0014】

第1及び第2スタートパルス $SP1$ 、 $SP2$ は、1フレーム期間に只1度のみ出力される。言い換えると、第1及び第2クロック信号 $CLK1$ 、 $CLK2$ は、1フレーム期間に周期的に数回アクティブ状態（ハイ状態）を示すが、第1及び第2スタートパルス $SP1$ 、 $SP2$ は、1フレーム期間に只1度のアクティブ状態を示す。ここで、第2スタートパルス $SP2$ は第1スタートパルス $SP1$ よりも遅く出力される。また、第2スタートパルス $SP2$ は、第1スタートパルス $SP1$ に比べてより広いパルス幅を持つ。一方、第1クロック信号 $CLK1$ は、第2クロック信号 $CLK2$ より2倍高い周波数を持つ。

【0015】

データドライバ300は、図示せぬデータ制御信号に応じてデータ信号 $Data$ を生成して、各データライン $DL1 \sim D L m$ に供給する。この時、データドライバ300は、1水平期間ごとに1水平ライン分ずつのデータ信号 $Data$ を各データライン $DL1 \sim D L m$ に供給する。このデータ信号 $Data$ は正極性または負極性を持つことができ、ここでは、データ信号 $Data$ が正極性信号を持つとして説明する。

【0016】

1水平ライン中の m 個の画素セル PXL は、一つのゲートラインに共通して接続されるとともに、 m 本のデータラインに個別に接続される。例えば、第1水平ライン $HL1$ に沿って配列された第1～第 m 画素セル PXL はいずれも第1ゲートライン $GL1$ に共通して接続されるとともに、第1～第 m データライン $DL1 \sim D L m$ にそれぞれ個別に接続される。言い換えると、第1水平ライン $HL1$ の第1画素セル PXL は、第1データライン $DL1$ に接続され、第1水平ライン $HL1$ の第2画素セル PXL は、第2データライン $DL2$ に接続され、第1水平ライン $HL1$ の第3画素セル PXL は、第3データライン $DL3$ に接続され、...、そして第1水平ライン $HL1$ の第 m 画素セル PXL は、第 m データライン DLm に接続される。

【0017】

第1及び第2駆動電源ライン、そして制御ラインは全ての画素セル PXL に共通して接続される。

【0018】

ここで、各画素セル PXL の構造をより具体的に説明すると、下記の通りである。

【0019】

図3は、図1の任意の画素セル PXL の回路構成を示す図である。

10

20

30

40

50

【 0 0 2 0 】

各画素セルは、図 3 に示すように、発光ダイオード O L E D、信号伝達スイッチング素子 T r _ T、駆動スイッチング素子 T r _ D、制御スイッチング素子 T r _ C 及びストレージキャパシタ C s t を含む。

発光ダイオード O L E D は、駆動スイッチング素子 T r _ D により制御された駆動電流を受けて発光する発光ダイオード O L E D で、この発光ダイオード O L E D のカソード電極は、駆動スイッチング素子 T r _ D のドレイン電極（またはソース電極）に接続され、アノード電極は、第 1 駆動電源ラインに接続される。

【 0 0 2 1 】

信号伝達スイッチング素子 T r _ T は、ゲートラインからの第 1 ゲート高電圧 V G H によってデータラインとノード n 間を接続させる。そのために、信号伝達スイッチング素子 T r _ T のゲート電極はゲートラインに接続され、ドレイン電極（またはソース電極）はデータライン D L に接続され、そしてソース電極（またはドレイン電極）はノード n に接続される。

10

【 0 0 2 2 】

駆動スイッチング素子 T r _ D は、ノード n の信号状態に応じて発光ダイオード O L E D に供給される駆動電流の大きさを制御する。そのために、駆動スイッチング素子 T r _ D のゲート電極はノード n に接続され、ドレイン電極（またはソース電極）は発光ダイオード O L E D のカソード電極に接続され、そしてソース電極（またはドレイン電極）は、第 2 駆動電源を伝送する第 2 駆動電源ラインに接続される。

20

【 0 0 2 3 】

制御スイッチング素子 T r _ C は、ゲートラインからの第 2 ゲート低電圧 V G L 2 及び制御ラインからの制御信号 C S に応じてゲートラインとノード n を接続させる。そのために、制御スイッチング素子 T r _ C のゲート電極は、制御信号 C S を伝送する制御信号ラインに接続され、ドレイン電極（またはソース電極）はノード n に接続され、そしてソース電極（またはドレイン電極）はゲートラインに接続される。

【 0 0 2 4 】

制御信号 C S は、第 2 ゲート低電圧 V G L 2 と制御スイッチング素子 T r _ C のしきい電圧との和より大きく、かつ、第 1 ゲート低電圧 V G L 1 より小さい値を持つ直流電圧である。これは下記の式 1 で示される。

30

【 0 0 2 5 】

[数 1]

$$V_{GL2} + V_{th}(Tr_C) < CS \quad V_{GL1}$$

【 0 0 2 6 】

ここで、 $V_{th}(Tr_C)$ は、制御スイッチング素子 T r _ C のしきい電圧を意味する。

【 0 0 2 7 】

これにより、制御スイッチング素子 T r _ C は、自身のソース電極（ゲートラインに接続された電極）に供給されるゲート信号のレベルによってターン - オンするか否かが決定される。すなわち、ソース電極に供給されるゲート信号がゲート高電圧 V G H または第 1 ゲート低電圧 V G L 1 のレベルである時、制御スイッチング素子 T r _ C のゲート電極とソース電極間の電圧、すなわち、ゲート - ソース電極電圧は負極性のレベルを表す。したがって、制御スイッチング素子 T r _ C のソース電極に供給されるゲート信号がゲート高電圧 V G H または第 1 ゲート低電圧 V G L 1 のレベルである時、制御スイッチング素子 T r _ C はターン - オフ状態を維持する。しかし、制御スイッチング素子 T r _ C のソース電極に供給されるゲート信号が第 2 ゲート低電圧 V G L 2 のレベルである時、制御スイッチング素子 T r _ C のゲート - ソース電極電圧は正極性のレベルを表す。したがって、制御スイッチング素子 T r _ C のソース電極に供給されるゲート信号が第 2 ゲート低電圧 V G L 2 のレベルである時、制御スイッチング素子 T r _ C はターン - オン状態を維持する。

40

50

【0028】

この制御スイッチング素子 T_{r_C} がターン・オンされると、制御スイッチング素子 T_{r_C} のソース電極とドレイン電極が互いに連結される。すなわち、ゲートラインとノード n が互いに連結される。すると、ノード n が、ゲートラインからの第2ゲート低電圧 V_{GL2} によって負極性状態となる。これにより、ノード n にゲート電極を介して接続された駆動スイッチング素子 T_{r_D} の劣化が防止される。

【0029】

ストレージキャパシタ C_{st} は、1フレーム期間のデータ信号 $Data$ を保存するためのもので、これは、ノード n と駆動スイッチング素子 T_{r_D} のソース電極間に接続されたり、または、ノード n とドレイン電極間に接続される。

10

【0030】

このように構成された画素セル PXL の動作について説明すると、下記の通りである。

【0031】

図2及び図3に示すように、データ入力期間 T_1 でゲート信号がゲート高電圧 V_{GH} に維持されることから、このゲート高電圧 V_{GH} をゲート電極から受ける信号伝達スイッチング素子 T_{r_T} がターン・オンされる。これにより、ターン・オンされた信号伝達スイッチング素子 T_{r_T} を介してデータライン DL からのデータ信号 $Data$ がノード n に供給される。すると、ノード n の電圧がデータ信号 $Data$ 分だけ上昇し、このノード n にゲート電極を介して接続された駆動スイッチング素子 T_{r_D} がターン・オンされる。すると、ターン・オンされた駆動スイッチング素子 T_{r_D} を通じて駆動電流が発生する。この駆動電流は発光ダイオード $OLED$ に供給されて、発光ダイオード $OLED$ を発光させ始める。一方、このデータ入力期間 T_1 で制御スイッチング素子 T_{r_C} のゲート・ソース電極電圧は負極性を表すので、この期間 T_1 で制御スイッチング素子 T_{r_C} はターン・オフ状態を維持する。

20

【0032】

その後、図2及び図3に示すように、発光維持期間 T_2 でゲート信号が第1ゲート低電圧 V_{GL1} に維持されることから、この第1ゲート低電圧 V_{GL1} をゲート電極を介して受ける信号伝達スイッチング素子 T_{r_T} がターン・オフされる。これにより、ノード n はフローティング状態になり、このフローティング状態のノード n にはデータ入力期間 T_1 で供給されたデータ信号 $Data$ の電圧がそのまま維持される。したがって、この期間 T_2 で駆動スイッチング素子 T_{r_D} はターン・オン状態にあり、このターン・オン状態の駆動スイッチング素子 T_{r_D} からの駆動電流により発光ダイオード $OLED$ は引き続き発光状態を維持する。一方、この発光維持期間 T_2 で制御スイッチング素子 T_{r_C} のゲート・ソース電極電圧は負極性を表すので、この期間に制御スイッチング素子 T_{r_C} はターン・オフ状態を維持する。

30

【0033】

次いで、回復期間 T_3 でゲート信号が第2ゲート低電圧 V_{GL2} に維持されることから、この第2ゲート低電圧 V_{GL2} をゲート電極を介して受ける信号伝達スイッチング素子 T_{r_T} がターン・オフ状態を維持する。一方、この回復期間 T_3 に制御スイッチング素子 T_{r_C} のゲート・ソース電極電圧は正極性に変更されることによって、この期間 T_3 で制御スイッチング素子 T_{r_C} はターン・オンされる。すると、ゲートライン GL からの第2ゲート低電圧 V_{GL2} がターン・オンされた制御スイッチング素子 T_{r_C} を介してノード n に供給され、これにより、ノード n が第2ゲート低電圧 V_{GL2} に放電される。結局、この回復期間 T_3 に、ノード n の電圧がデータ信号 $Data$ による正極性電圧から第2ゲート低電圧 V_{GL2} による負極性電圧に下降し、よって、駆動スイッチング素子 T_{r_D} の劣化が防止される。

40

【0034】

上述したような動作のために、本発明による有機発光ダイオード表示装置におけるゲートドライバ200は下記のような構成を持つ。

【0035】

50

図 4 は、本発明の第 1 実施例によるゲートドライバ 200 の構成を示す図である。

【0036】

本発明の第 1 実施例によるゲートドライバ 200 は、図 4 に示すように、第 1 駆動部 401 と、第 2 駆動部 402 と、選択部 444 とを含む。

【0037】

第 1 駆動部 401 は、第 1 スタートパルス SP1 及び第 1 クロック信号 CLK1 を用いて、各ゲートラインに供給されるゲート高電圧 VGH 及び第 1 ゲート低電圧 VGL1 を順次に生成し、第 2 駆動部 402 は、第 2 スタートパルス SP2 及び第 2 クロック信号 CLK2 を用いて、各ゲートラインに供給される第 2 ゲート低電圧 VGL2 を順次に生成する。

10

【0038】

選択部 444 は、第 1 及び第 2 駆動部 401, 402 からの出力のいずれかを選択して各ゲートラインに出力する。

【0039】

次に、第 1 駆動部 401、第 2 駆動部 402、及び選択部 444 についてより具体的に説明する。

【0040】

第 1 駆動部 401 は、第 1 シフトレジスタ SR1 と複数のレベルシフター L/S とを含む。

【0041】

20

第 1 シフトレジスタ SR1 は、第 1 スタートパルス SP1 を第 1 クロック信号 CLK1 に応じてシフトさせて順次に出力する。第 1 シフトレジスタ SR1 は、第 1 クロック信号 CLK1 を伝送する第 1 クロック伝送ライン CL1 に共通して接続された複数のフリップ・フロップ F/F を含む。これらのフリップ・フロップ F/F の数は、ゲートラインの数と同一である。各フリップ・フロップ F/F は、前段のフリップ・フロップ F/F からの出力をスタートパルスとして受け、これを第 1 クロック信号 CLK1 に応じてシフトさせて出力する。それらのうち、図面の最も左側に位置した 1 番目のフリップ・フロップ F/F は、外部から第 1 スタートパルス SP1 を受ける。各フリップ・フロップ F/F からの出力は、次の段のフリップ・フロップ F/F の入力端に供給されるとともに、第 1 シフトレジスタ SR1 の各出力として使われる。これにより、第 1 シフトレジスタ SR1 の各出力端子からは順次に出力が発生し、この順次に出力された出力は、該当のレベルシフター L/S に供給される。これらレベルシフター L/S の数は、フリップ・フロップ F/F の数と同一である。

30

【0042】

各レベルシフター L/S は、第 1 シフトレジスタ SR1 からの各出力の論理に応じてゲート高電圧 VGH または第 1 ゲート低電圧 VGL1 のいずれかを選択して出力する。これらのレベルシフター L/S は、ゲート高電圧 VGH を伝送する高電圧伝送ライン VHL 及び第 1 ゲート低電圧 VGL1 を伝送する第 1 低電圧伝送ライン VLL1 に共通して接続される。すなわち、任意のレベルシフター L/S は、第 1 シフトレジスタ SR1 のいずれか一つの出力端子から供給される出力がハイ論理の場合、ゲート高電圧 VGH を選択して出力する。逆に、出力がロー論理の場合、第 1 ゲート低電圧 VGL1 を選択して出力する。

40

第 2 駆動部 402 は、第 2 シフトレジスタ SR2 及び低電源生成部を含む。

第 2 シフトレジスタ SR2 は、第 2 スタートパルス SP2 を第 2 クロック信号 CLK2 に応じてシフトさせて順次に出力する。第 2 シフトレジスタ SR2 は、第 2 クロック信号 CLK2 を伝送する第 2 クロック伝送ライン CL2 に共通して接続された複数のフリップ・フロップ F/F を含む。これらフリップ・フロップ F/F の数は、ゲートラインの数と同一である。各フリップ・フロップ F/F は、前段のフリップ・フロップ F/F からの出力をスタートパルスとして受け、これを第 2 クロック信号 CLK2 に応じてシフトさせて出力する。これらのうち、図面の最も左側の 1 番目のフリップ・フロップ F/F は、外部から第 2 スタートパルス SP2 を受ける。各フリップ・フロップ F/F からの出力は、次

50

の段のフリップ - フロップ F / F の入力端に供給されるとともに、第 2 シフトレジスタ S R 2 の各出力として使われる。これにより、第 2 シフトレジスタ S R 2 の各出力端子からは順次に出力が発生し、この順次に出力された出力は、該当のレベルシフター L / S に供給される。これらレベルシフター L / S の数はフリップ - フロップ F / F の数と同一である。

【 0 0 4 3 】

低電源生成部は、第 2 ゲート低電圧 V G L 2 を生成する。この低電源生成部からの第 2 ゲート低電圧 V G L 2 は、第 2 低電圧伝送ライン V L L 2 に供給される。

【 0 0 4 4 】

選択部 4 4 4 は、各レベルシフター L / S に対応する複数のマルチプレクサ M / X を含む。各マルチプレクサ M / X は、第 2 シフトレジスタ S R 2 からの出力の論理に応じて、レベルシフター L / S からの出力または第 2 低電圧伝送ラインからの出力のいずれかを選択する。すなわち、各マルチプレクサ M / X は、第 2 シフトレジスタ S R 2 からの出力がロー論理の時、各レベルシフター L / S からのゲート高電圧 V G H または第 1 ゲート低電圧 V G L 1 を選択し、第 2 シフトレジスタ S R 2 からの出力がハイ論理の時、低電源生成部からの第 2 ゲート低電圧 V G L 2 を選択する。

【 0 0 4 5 】

このような本発明の第 1 実施例によるゲートドライバ 2 0 0 の構造によれば、第 1 スタートパルス S P 1 によって第 1 シフトレジスタ S R 1 がまず順次に出力を発生させ、この第 1 シフトレジスタ S R 1 の特定出力の後に第 2 スタートパルス S P 2 が発生しながら第 2 シフトレジスタ S R 2 が順次に出力を発生し始める。言い換えると、第 1 シフトレジスタ S R 1 の各出力端子からの出力は、これに対応する第 2 シフトレジスタ S R 2 の各出力端子からの出力よりも先に出力される。

【 0 0 4 6 】

ここで、各マルチプレクサ M / X は、レベルシフター L / S を通過した第 1 シフトレジスタ S R 1 の出力と、第 2 低電源伝送ラインからの第 2 ゲート低電圧 V G L 2 を受けるが、この時、マルチプレクサ M / X は、第 2 シフトレジスタ S R 2 の出力、すなわち第 2 シフトレジスタ S R 2 の該当のフリップ - フロップ F / F の出力がロー論理を表す場合、ゲート高電圧 V G H と第 1 ゲート低電圧 V G L 1 を順次に選択して出力する。以降、このマルチプレクサ M / X は、第 2 シフトレジスタ S R 2 の出力、すなわち第 2 シフトレジスタ S R 2 の該当のフリップ - フロップの出力がハイ論理を表す場合、第 2 ゲート低電圧 V G L 2 を選択して出力する。これにより、一つのマルチプレクサ M / X から出力されるゲート信号は順に、ゲート高電圧 V G H 、第 1 ゲート低電圧 V G L 1 、そして第 2 ゲート低電圧 V G L 2 のレベルを表すこととなる。ここで、ゲート高電圧 V G H はデータ入力期間 T 1 に出力され、第 1 ゲート低電圧 V G L 1 は発光維持期間 T 2 に出力され、そして第 2 ゲート低電圧 V G L 2 は回復期間 T 3 に出力される。一方、回復期間 T 3 以降の出力は、第 1 ゲート低電圧 V G L 1 のレベルとなる。

【 0 0 4 7 】

この時、一つのマルチプレクサ M / X からの出力は一つのゲートラインに供給される。すなわち、第 k マルチプレクサ M / X の出力端子は第 k ゲートラインに接続する（ただし、k は自然数）。

【 0 0 4 8 】

また、本発明のゲートドライバ 2 0 0 は下記のような構成にしても良い。

【 0 0 4 9 】

図 5 は、本発明の第 2 実施例によるゲートドライバ 2 0 0 の構成を示す図である。

【 0 0 5 0 】

本発明の第 2 実施例によるゲートドライバ 2 0 0 は、図 5 に示すように、第 1 駆動部 5 0 1 と、第 2 駆動部 5 0 2 と、選択部 5 5 5 とを含む。

【 0 0 5 1 】

ここで、第 1 及び第 2 駆動部 5 0 1 , 5 0 2 は、上述された第 1 実施例の第 1 及び第 2

10

20

30

40

50

駆動部 401, 402 と同様に構成され、その説明は省略する。

【0052】

選択部 555 は、各レベルシフター L / S に対応する複数のマルチプレクサ M / X と、第 2 シフトレジスタ SR2 の各出力と外部からのイネーブル信号 EN とを論理演算する複数の論理和ゲート AND と、を含む。このイネーブル信号 EN は、イネーブル伝送ライン EL を通じて伝送される。

【0053】

各マルチプレクサ M / X は、論理和ゲート AND の出力がロー論理の時、各レベルシフター L / S からのゲート高電圧 VGH または第 1 ゲート低電圧 VGL1 を選択し、論理和ゲート AND の出力がハイ論理の時、低電源生成部からの第 2 ゲート低電圧 VGL2 を選択する。イネーブル信号 EN は、全てのゲートライン GL1 ~ GLn に 1 回ずつのゲート高電圧 VGH 及び第 1 ゲート低電圧 VGL1 が印加される間にはロー論理に維持され、以降の期間ではハイ論理に維持される。すなわち、このイネーブル信号 EN 及び論理和ゲート AND は、各ゲートラインに第 1 駆動部 501 からのゲート高電圧 VGH 及び第 1 ゲート低電圧 VGL1 が供給される期間中には各ゲートライン GL1 ~ GLn に第 2 ゲート低電圧 VGL2 が供給されないようにする。もちろん、第 1 実施例のような別のイネーブル信号 EN 及び論理和ゲート AND を用いることなく、第 1 及び第 2 スタートパルス SP1、SP2 が互いに異なる期間に出力されるようにすることによって、上述の期間で第 2 ゲート低電圧 VGL2 が各ゲートライン GL1 ~ GLn に供給されるのを防止できるが、第 2 実施例のようにイネーブル信号 EN 及び論理和ゲート AND をさらに備えることによって、信号の歪みにより生じうる誤動作をより防止することができる。

【0054】

本発明は以上の実施例及び添付の図面に限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を持つ者にとっては明白である。

【符号の説明】

【0055】

Tr__T : 信号伝達スイッチング素子

Tr__D : 駆動スイッチング素子

Tr__C : 制御スイッチング素子

n : ノード

DL : データライン

GL : ゲートライン

Cst : ストレージキャパシタ

VDD : 第 1 駆動電源

VSS : 第 2 駆動電源

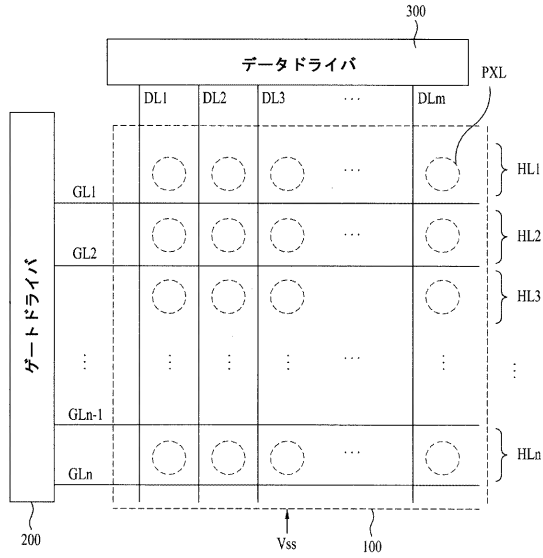
OLED : 発光ダイオード

Data : データ信号

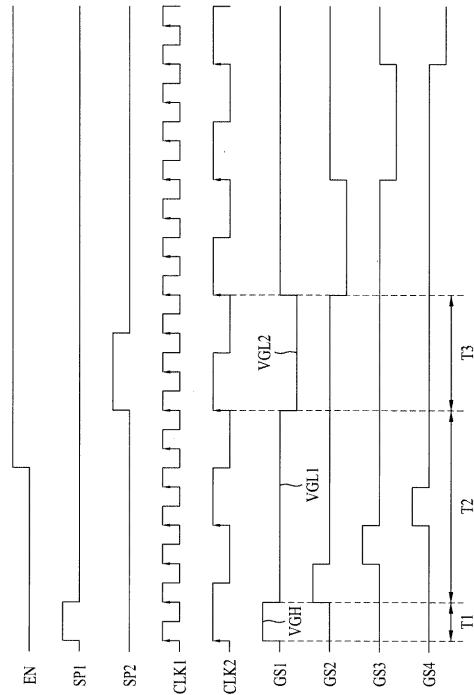
CS : 制御信号

GS : ゲート信号

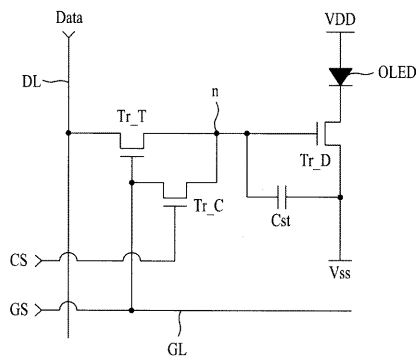
【図 1】



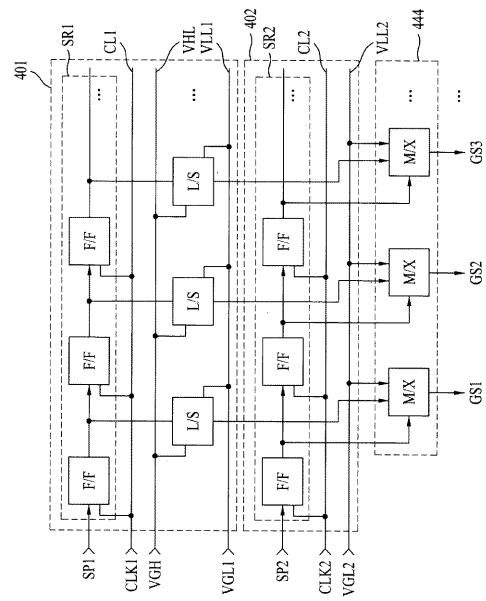
【図 2】



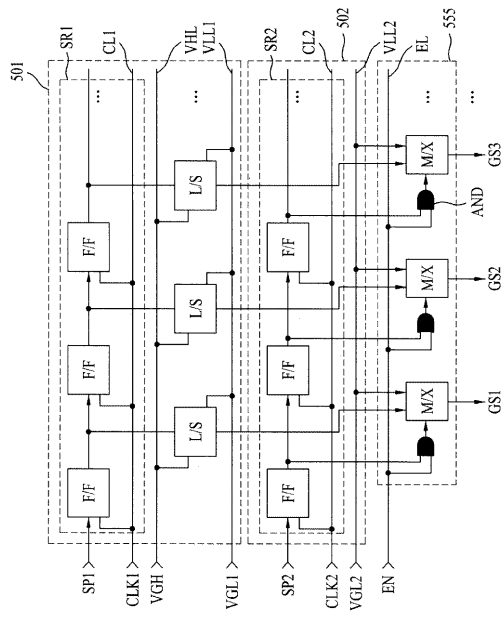
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

(74)代理人 100160967

弁理士 ▲濱▼口 岳久

(72)発明者 権 容 一

大韓民国 慶尚北道 龜尾市 道良洞 ナンバー 2 2 2 道良 ダランチェ 5 0 3 - 6 0 3

(72)発明者 禹 景 敦

大韓民国 慶尚北道 龜尾市 吳太洞 ナンバー 7 5 9 - 2 迂遠 ヴィラ 1 1 0 - 4 0 2

(72)発明者 李 在 度

大韓民国 慶尚北道 漆谷郡 石積面 中里 エルシーディー 寄宿舍 エヌエー - 4 2 5

F ターム(参考) 3K107 AA01 BB01 CC21 CC31 EE03 HH00 HH02 HH04 HH05

5C080 AA06 BB05 DD19 DD29 EE29 FF11 FF12 HH10 JJ02 JJ03

JJ04 JJ06

5C094 AA03 AA21 AA37 AA53 BA03 BA27 CA19 DB04

5C380 AA01 AB06 BD08 BD10 CA08 CA12 CA54 CB01 CB12 CB31

CC01 CC27 CC33 CC63 CD013 CF07 CF10 CF24 CF32 CF52

DA02 DA06 HA05

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	JP2010020314A	公开(公告)日	2010-01-28
申请号	JP2009163447	申请日	2009-07-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	權容一 禹景敦 李在度		
发明人	權 容 一 禹 景 敦 李 在 度		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0842 G09G2310/0254 G09G2310/061 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.670.K G09G3/20.624.B G09G3/20.624.D G09G3/20.622.B G09G3/20.622.C G09G3/20.622.D G09G3/20.622.E G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE03 3K107/HH00 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD19 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA21 5C094/AA37 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C380/AA01 5C380/AB06 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB12 5C380/CB31 5C380/CC01 5C380/CC27 5C380/CC33 5C380/CC63 5C380/CD013 5C380/CF07 5C380/CF10 5C380/CF24 5C380/CF32 5C380/CF52 5C380/DA02 5C380/DA06 5C380/HA05		
代理人(译)	朝日 伸光 ▲滨▼口 岳久		
优先权	1020080067133 2008-07-10 KR		
其他公开文献	JP5039752B2		
外部链接	Espacenet		

摘要(译)

一种能够防止驱动开关元件劣化的有机发光二极管显示装置。一种像素单元，其具有发光二极管，用于传输数据信号的数据线，具有不同尺寸的栅极高电压，第一栅极低电压以及具有与数据信号相反的极性的第二栅极。每个像素单元包括传输低压栅极信号的栅极线，并且每个像素单元在节点的信号状态下发光，并且信号传输开关元件通过来自栅极线的第一栅极高电压在数据线和节点之间连接。驱动开关元件，其控制提供给二极管的驱动电流的大小，连接在该节点与驱动开关元件的源极或漏极之间的存储电容器，来自栅极线的第二栅极低压以及控制线。包括一个控制开关元件，该元件将栅极线和节点与来自。[选择图]图3

