

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-225019

(P2008-225019A)

(43) 公開日 平成20年9月25日(2008.9.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 641D	
	G09G 3/20 624B	
	G09G 3/20 621A	
	G09G 3/30 K	
審査請求 有 請求項の数 5 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2007-62777 (P2007-62777)
 (22) 出願日 平成19年3月13日 (2007.3.13)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100102185
 弁理士 多田 繁範
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

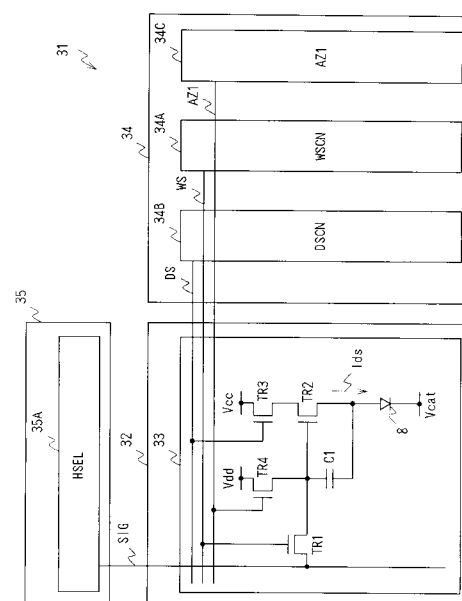
(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】本発明は、ディスプレイ装置に関し、例えば有機EL (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用して、従来に比して固定電位、走査線の配線パターン数を少なくすることができるようにする。

【解決手段】本発明は、発光素子8を駆動するトランジスタTR2のソース電圧Vsを所定電位に設定して、このトランジスタTR2のしきい値電圧Vthのばらつきにより発光輝度のばらつきを補正するようにして、この所定電位を信号線SIG側より供給する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの他端を第 1 の固定電位に設定する第 4 のトランジスタとを有し、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、

第 2 の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

第 1 ～第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、

前記第 1 の期間において、

前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第 1 及び第 4 のトランジスタをオフ状態に設定すると共に前記第 3 のトランジスタをオン状態に設定し、前記信号レベル保持用コンデンサの両端電位によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間において、

前記駆動パルス信号により、前記第 3 のトランジスタをオフ状態に設定して前記自発光素子の発光を停止させ、

前記第 3 の期間において、

前記制御信号により前記第 4 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの他端を前記第 1 の固定電位に設定した後、前記制御信号により前記第 4 のトランジスタをオフ状態に設定すると共に、前記信号線が前記第 2 の固定電位に設定されている期間で、前記書き込み信号により前記第 1 のトランジスタをオン状態に設定することにより、前記信号レベル保持用コンデンサの一端及び他端をそれぞれ前記第 2 の固定電位及び所定の電位に設定し、

前記第 4 の期間において、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の間、前記書き込み信号及び制御信号により前記第 1 及び前記第 4 のトランジスタをオン状態及びオフ状態に設定した状態で、前記信号線の信号レベルが前記第 2 の固定電位に設定される期間で、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定して前記信号レベル保持用コンデンサの両端電位差を、前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間において、

前記書き込み信号により前記第 1 のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する

ことを特徴とするディスプレイ装置。

【請求項 2】

前記第 1 の固定電位が、

前記電源電圧である

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記駆動回路は、

前記第 5 の期間において、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定した後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 5】

前記画素回路、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素回路、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、例えば有機 EL (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用することができる。本発明は、発光素子を駆動するトランジスタのゲート電圧及びソース電位をそれぞれ所定の固定電位に設定して、このトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このソース側の固定電位を信号線 S I G 側から設定することにより、従来に比して走査線、固定電位の配線パターン数を少なくすることができるようにする。

【背景技術】

【0002】

従来、有機 EL 素子を用いたディスプレイ装置に関して、例えば U S P 5, 6 8 4, 3 6 5、特開平 8-2 3 4 6 8 3 号公報等に種々の工夫が提案されている。

【0003】

ここで図 1 4 は、従来の有機 EL 素子を用いたいわゆるアクティブマトリックス型のディスプレイ装置を示すブロック図である。ディスプレイ装置 1 において、画素部 2 は、マトリックス状に画素 (P X) 3 が配置されて形成される。また画素部 2 は、このマトリックス状に配置した画素 3 に対して、走査線 S C N がライン単位で水平方向に設けられ、また走査線 S C N と直交するように信号線 S I G が列毎に設けられる。

【0004】

ここで図 1 5 に示すように、各画素 3 は、電流駆動による自発光型の発光素子である有機 EL 素子 8 と、この有機 EL 素子 8 を駆動する各画素 3 の駆動回路 (以下、画素回路と呼ぶ) とで形成される。

【0005】

画素回路は、信号レベル保持用コンデンサ C 1 の一端が一定電位に保持され、書き込み信号 W S によりオンオフ動作するトランジスタ T R 1 を介して、この信号レベル保持用コンデンサ C 1 の他端が信号線 S I G に接続される。これにより画素回路は、書き込み信号 W S の立ち上がりによってトランジスタ T R 1 がオン動作し、信号レベル保持用コンデンサ C 1 の他端電位が信号線 S I G の信号レベルに設定され、トランジスタ T R 1 がオン状態からオフ状態に切り換わるタイミングで、信号線 S I G の信号レベルが信号レベル保持

10

20

30

40

50

用コンデンサC 1の他端にサンプルホールドされる。

【0006】

画素回路は、ソースを電源Vccに接続したPチャンネルトランジスタTR 2のゲートに、この信号レベル保持用コンデンサC 1の他端が接続され、このトランジスタTR 2のドレインが有機EL素子8のアノードに接続される。ここで画素回路は、このトランジスタTR 2が常に飽和領域で動作するように設定され、その結果、トランジスタTR 2は、次式で表されるドレインソース電流Idsによる定電流回路を構成する。なおここでVgsは、トランジスタTR 2のゲートソース間電圧であり、μは移動度である。またWはチャンネル幅、Lはチャンネル長、Coxはゲート容量、VthはトランジスタTR 2のしきい値電圧である。これにより各画素回路は、信号レベル保持用コンデンサC 1にサンプルホールドされた信号線SIGの信号レベルに応じた駆動電流Idsにより有機EL素子8を駆動する。

10

【0007】

【数1】

$$I_{ds} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{ox} \times (V_{gs} - V_{th})^2 \quad \dots\dots (1)$$

20

【0008】

ディスプレイ装置1は、垂直駆動回路4のライトスキャン回路(WSCN)4Aにより、所定のサンプリングパルスを順次転送して、各画素3への書き込みを指示するタイミング信号である書き込み信号WSを生成する。また水平駆動回路5の水平セクタ(HSEL)5Aにより、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。これによりディスプレイ装置1は、点順次又は線順次で、各画素部3に設けられた信号レベル保持用コンデンサC 1の端子電圧を入力信号S1に応じて設定し、入力信号S1による画像を表示する。

【0009】

30

ここで有機EL素子8は、図16に示すように、使用により電流が流れ難くなる方向に電流電圧特性が経時変化する。なおこの図16において、符号L1が初期の特性を示し、符号L2が経時変化による特性を示すものである。しかしながら図15に示す回路構成によりPチャンネルトランジスタTR 2で有機EL素子8を駆動する場合には、信号線SIGの信号レベルに応じて設定されたゲートソース間電圧VgsによりトランジスタTR 2が有機EL素子8を駆動することにより、電流電圧特性の経時変化による各画素の輝度変化を防止することができる。

【0010】

ところで画素回路、水平駆動回路、垂直駆動回路を構成するトランジスタの全てをNチャンネルトランジスタで構成すれば、アモルファスシリコンプロセスでこれらの回路をまとめてガラス基板等の絶縁基板上に作成することができ、ディスプレイ装置を簡易に作成することができる。

40

【0011】

しかしながら図15との対比により図17に示すように、トランジスタTR 2にNチャンネル型を適用して各画素13を形成し、この画素13による画素部12でディスプレイ装置11を構成した場合、トランジスタTR 2のソースが有機EL素子8に接続されることにより、図16に示す電流電圧特性の変化によって、トランジスタTR 2のゲートソース間電圧Vgsが変化することになる。これによりこの場合、使用により有機EL素子8に流れる電流が徐々に減少し、各画素の輝度が徐々に低下することになる。またこの図17に示す構成では、トランジスタTR 2の特性のばらつきにより画素毎に発光輝度がばら

50

つくことになる。なおこの発光輝度のばらつきは、表示画面における均一性を乱し、表示画面のムラ、ざらつきにより知覚される。

【0012】

このためこのような有機EL素子の経時変化による発光輝度の低下、特性のばらつきによる発光輝度のばらつきを防止する工夫として図18に示す構成が提案されている。

【0013】

ここでこの図18に示すディスプレイ装置21において、画素部22は、画素23をマトリックス状に配置して形成される。ここで画素23は、信号レベル保持用コンデンサC1の一端が有機EL素子8のアノードに接続され、書き込み信号WSに応じてオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素23は、書き込み信号WSに応じて信号レベル保持用コンデンサC1の他端の電圧が、信号線SIGの信号レベルに設定される。

【0014】

画素23は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素23は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR2により有機EL素子8を駆動する。なおここでVcatは、有機EL素子8のカソード電位である。また駆動パルス信号DSは、各画素3の発光期間を制御するタイミング信号であり、ドライブスキャン回路(DSCN)24Bで所定のサンプリングパルスを順次転送して生成される。

【0015】

また画素23は、それぞれ制御信号AZ1、AZ2によりオンオフ動作するトランジスタTR4、TR5を介して、信号レベル保持用コンデンサC1の両端が所定の固定電位Vofs、Vssに接続される。ここでこれら制御信号AZ1、AZ2は、それぞれ垂直駆動回路24に設けられた制御信号生成回路(AZ1、AZ2)24C、24Dで所定のサンプリングパルスを順次転送して生成されるタイミング信号である。

【0016】

ここで図19は、このディスプレイ装置21における1つの画素23のタイミングチャートである。なおこの図19では、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図20に示すように、有機EL素子8を発光させる発光期間T1において、画素23は、書き込み信号WS、制御信号AZ1、AZ2(図19(A)~(C))の信号レベルが立ち下げられてトランジスタTR1、TR4、TR5がオフ状態に設定されると共に、駆動パルス信号DS(図19(D))信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。

【0017】

これにより画素23は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、このゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させ、有機EL素子8の経時変化による輝度低下が防止される。なおここでこのドレインソース電流Idsは、図15について説明した(1)式で表される。また以下においては、適宜、トランジスタをスイッチの符号で示す。

【0018】

画素23は、発光期間T1が終了すると、続く期間T2において、図21に示すように、トランジスタTR4、TR5がオン状態に設定される。これにより画素回路23では、信号レベル保持用コンデンサC1の両端電位が所定の固定電位Vofs、Vssに設定され(図19(E)及び(F))、これら固定電位Vofs、Vssの電位差Vofs-Vssによるゲートソース間電圧Vgsに応じたドレインソース電流Idsが、トランジスタTR2からトランジスタTR5に流れる。なおこの期間T2の間、有機EL素子8の両端電位差が有機EL素子8のしきい値電圧Vthelより小さくなって有機EL素子8が

発光しないように、またトランジスタT R 2が飽和領域で動作するように、固定電位V o f s、V s sが設定される。

【0019】

続いて画素23は、所定期間T3の間、図22に示すように、トランジスタT R 5がオフ状態に設定される。これにより画素23は、図22において破線で示すように、トランジスタT R 2のドレインソース電流I d sで信号レベル保持用コンデンサC 1のトランジスタT R 5側端電圧が上昇する。

【0020】

ここで図23に示すように、有機E L素子8は、ダイオードと容量C e lのコンデンサとの並列回路で等価回路が表される。これによりトランジスタT R 2のドレインソース電流I d sにより、トランジスタT R 2のソース電圧V sは、この期間T3において、図24に示すように徐々に上昇してゆく。これにより画素23は、信号レベル保持用コンデンサC 1の両端電位差が、トランジスタT R 2のしきい値電圧V t hに設定され、信号レベル保持用コンデンサC 1のトランジスタT R 5側の端子電圧が、固定電位V o f sからトランジスタT R 2のしきい値電圧V t hを減算した電圧V o f s - V t hに設定される。なおここでこの状態で、有機E L素子8のアノード電位V e lは、 $V e l = V o f s - V t h$ で表され、ディスプレイ装置21では、 $V e l \leq V c a t + V t h e l$ となるように固定電位V o f sが設定されて、この期間T3で有機E L素子8が発光しないように設定される。

【0021】

続いて画素23は、続く期間T4で、図25に示すように、トランジスタT R 3、T R 4が順次オフ状態に設定される。なおトランジスタT R 4より先にトランジスタT R 3をオフ状態に設定することで、トランジスタT R 2のゲート電圧V gの変動を抑圧することができる。また画素23は、続いてトランジスタT R 1がオン状態に設定され、これにより信号レベル保持用コンデンサC 1のトランジスタT R 5側の端子電圧を電圧V o f s - V t hに設定した状態で、信号レベル保持用コンデンサC 1のトランジスタT R 5側端の電圧を信号線S I Gの信号レベルV s i gに設定する。

【0022】

なおここでこの場合、トランジスタT R 2のゲートソース間電圧V g sは、正確には、次式で表される。ここでC 2は、トランジスタT R 2のゲートソース間容量である。しかしながら有機E L素子8の寄生容量C e lは、信号レベル保持用コンデンサC 1の容量、トランジスタT R 2のゲートソース間容量C 2に比して大きく、これによりトランジスタT R 2のゲートソース間電圧V g sは、実用上十分な精度で、電圧V s i g + V t hに設定される。

【0023】

【数2】

$$V_{gs} = \frac{C_{el}}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs}) + V_{th} \quad \cdots \cdots (2)$$

【0024】

これにより画素23では、トランジスタT R 2のゲートソース間電圧V g sが、信号線S I Gの信号レベルV s i gにしきい値電圧V t hを加算した電圧V s i g + V t hに設定される。これによりディスプレイ装置21では、トランジスタT R 2の特性の1つであるしきい値電圧V t hのばらつきによる発光輝度のばらつきを防止することができる。

【0025】

画素23は、続いて一定期間T5の間、図26に示すように、トランジスタT R 1をオン状態に設定したままの状態、トランジスタT R 3がオン状態に設定される。これによ

り画素23は、信号レベル保持用コンデンサC1の両端電圧差によるゲートソース電圧V_{gs}によりトランジスタTR2がドレインソース電流I_{ds}を流出させる。このときトランジスタTR2のソース電圧V_sが、有機EL素子8のしきい値電圧V_{th}とカソード電圧V_{cat}との和電圧より小さく、有機EL素子8に流出する電流が小さい場合、図27に示すように、トランジスタTR2のドレインソース電流I_{ds}によりトランジスタTR2のソース電圧V_sが電圧V_{s0}から徐々に上昇することになる。なおここで電圧V_{s0}は次式により表される。

【0026】

【数3】

$$V_{s0} = V_{ofs} - V_{th} + \frac{C_{el}}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (3)

【0027】

ここでこのソース電圧V_sの上昇速度は、トランジスタTR2の移動度μに依存したものとなり、符号V_{s1}及びV_{s2}によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧V_sの上昇速度は速くなる。

【0028】

これにより画素23は、一定の期間T₅の間だけ、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3をオン状態に設定して、トランジスタTR2の特性の1つである移動度のばらつきによる発光輝度のばらつきが防止される。

【0029】

その後、画素23は、図20に示すように、トランジスタTR1がオフ状態に設定され、しきい値電圧V_{th}、移動度μを補正して設定されたゲートソース間電圧V_{gs}により有機EL素子8を駆動する。なおこれによりトランジスタTR2のソース電圧V_sは、トランジスタTR1のオフにより、有機EL素子8にトランジスタTR2のドレインソース電流I_{ds}が流れる電圧まで上昇して、有機EL素子8が発光を開始することになり、これに伴ってトランジスタTR2のゲート電圧V_gも上昇することになる。

【0030】

この図18に示す構成によれば、有機EL素子8の経時変化により発光輝度の低下を防止することができ、またトランジスタTR2の特性のばらつきにより発光輝度のばらつきを防止することができる。

【0031】

しかしながらこの図18に示す構成の場合、1つの画素23に対して、1本の信号線SIG、制御信号AZ2、AZ1、駆動パルス信号DS、書き込み信号WSによる4本の走査線、固定電位V_{cc}、V_{ofs}、V_{ss}、V_{cat}の4本の配線パターンを設ける必要がある。ここで固定電位V_{cat}の配線パターンは、パネル全面に金属膜を蒸着して形成される。従って赤色、青色、緑色の画素で走査線を共通化しても、赤色、青色、緑色の1組の画素に対して、4本の走査線の配線パターンと3×3本の固定電位用の配線パターンとが必要になる。

【0032】

これによりNチャンネルトランジスタを用いた従来のディスプレイ装置では、走査線、固定電位用の配線パターン数が多くなる問題があった。なおこのように配線パターン数が多くなると、画素を高密度に効率良く配置することが困難になり、高精細のディスプレイ装置を、高い歩留まりで作成することが困難になる。

【特許文献1】USP5, 684, 365

10

20

30

40

50

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

本発明は以上の点を考慮してなされたもので、従来に比して走査線、固定電位の配線パターン数を少なくすることができるディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの他端を第1の固定電位に設定する第4のトランジスタとを有し、前記駆動回路は、前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、第2の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、第1～第5の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、前記第1の期間において、前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第1及び第4のトランジスタをオフ状態に設定すると共に前記第3のトランジスタをオン状態に設定し、前記信号レベル保持用コンデンサの両端電位によるゲートソース間電圧に応じた電流値により前記第2のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、前記第2の期間において、前記駆動パルス信号により、前記第3のトランジスタをオフ状態に設定して前記自発光素子の発光を停止させ、前記第3の期間において、前記制御信号により前記第4のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの他端を前記第1の固定電位に設定した後、前記制御信号により前記第4のトランジスタをオフ状態に設定すると共に、前記信号線が前記第2の固定電位に設定されている期間で、前記書き込み信号により前記第1のトランジスタをオン状態に設定することにより、前記信号レベル保持用コンデンサの一端及び他端をそれぞれ前記第2の固定電位及び所定の電位に設定し、前記第4の期間において、前記信号線で前記第2の固定電位が複数回繰り返される期間の間、前記書き込み信号及び制御信号により前記第1及び前記第4のトランジスタをオン状態及びオフ状態に設定した状態で、前記信号線の信号レベルが前記第2の固定電位に設定される期間で、前記駆動パルス信号により前記第3のトランジスタをオン状態に設定して前記信号レベル保持用コンデンサの両端電位差を、前記第2のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、前記第5の期間において、前記書き込み信号により前記第1のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する。

【0035】

請求項1の構成によれば、自発光素子を駆動する第2のトランジスタのゲート電圧は、第1の固定電位に設定された後、第2の固定電位に設定される。これに対応して第2のトランジスタのソース電圧は、自発光素子の特性で決まる電位に設定され、ゲート電圧の変化に連動していわゆるカップリングにより変化して所定の電位に設定される。これにより事前に、信号レベル保持用コンデンサの両端電位差を、第2のトランジスタのしきい値電圧以上に設定した後、ソース電圧を立ち上げて信号レベル保持用コンデンサの両端電位差を第2のトランジスタのしきい値電圧とほぼ等しい電圧に設定することができる。これにより第2のトランジスタのゲート電圧及びソース電位をそれぞれ所定の固定電位に設定し

10

20

30

40

50

て、この第2のトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このソース側の固定電位を信号線側から設定することができ、ソース側を所定電位に設定する固定電源用の配線パターン、この固定電位の第2のトランジスタへの設定を制御する制御信号の走査線を省略することができ、これにより従来に比して走査線、固定電位の配線パターン数を少なくすることができる。

【発明の効果】

【0036】

本発明によれば、従来に比して走査線、固定電位の配線パターン数を少なくすることができる。

【発明を実施するための最良の形態】

10

【0037】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0038】

図1は、図18との対比により本発明の実施例1のディスプレイ装置を示すブロック図である。このディスプレイ装置31において、図14、図18等を用いて上述したディスプレイ装置1、11、21と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置31は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部32、水平駆動回路35、垂直駆動回路34が一体に形成される。

20

【0039】

ここで水平駆動回路35は、水平セクタ(HSEL)35Aにより、所定のサンプリングパルスをクロックで順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。このとき図2に示すように、1水平走査期間(1H)のほぼ前半の期間の間、信号線SIGの信号レベルを図18について上述した画素23における所定の固定電位Vofsに設定し、続く1水平走査期間のほぼ後半の期間の間、信号線SIGの信号レベルを、各信号線SIGに接続された画素33の階調に対応する信号レベルVsigに順次設定する(図2(A))。なおこの図2においては、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。

30

【0040】

またこの水平駆動回路35の構成に対応して垂直駆動回路34は、制御信号AZ2を出力する制御信号生成回路(AZ2)が省略されて、ライトスキャン回路(WSCN)34A、ドライブスキャン回路(DSCN)34B、制御信号生成回路34Cによりそれぞれ書き込み信号WS、駆動パルス信号DS、制御信号AZ1を生成する。

【0041】

画素部32は、画素33をマトリックス状に配置して形成される。画素33は、信号レベル保持用コンデンサC1の一端が有機EL素子8のアノードに接続され、書き込み信号WSに応じてオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素33は、書き込み信号WSに応じて信号レベル保持用コンデンサC1の他端の電圧が、信号線SIGの信号レベルに設定される。

40

【0042】

画素33は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素33は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロウ回路構成のトランジスタTR2により有機EL素子8を駆動する。

【0043】

また画素33は、制御信号AZ1によりオンオフ動作するトランジスタTR4を介して

50

、トランジスタTR2のベースが固定電位V_{dd}に接続される。ここでこの固定電位V_{dd}は、画素33において十分に高い電圧に設定され、この実施例ではトランジスタTR4のドレインが電源V_{cc}に接続されて、この固定電位V_{dd}は電源V_{cc}の電位に設定される。

【0044】

画素33は、図3に示すように、有機EL素子8を発光させる発光期間T₁₁において、書き込み信号WS、制御信号AZ1（図2（B）及び（C））の信号レベルが立ち下げられてトランジスタTR1、TR4がオフ状態に設定される。また駆動パルス信号DS（図2（D））の信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。画素33は、この状態で、トランジスタTR2が飽和領域で動作するように設定されている。

10

【0045】

これにより画素33は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧V_{gs}に応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、ゲートソース間電圧V_{gs}で決まるドレインソース電流I_{ds}で有機EL素子8を発光させる。これによりこのディスプレイ装置31は、有機EL素子8の経時変化による輝度低下を防止する。なおここでこのドレインソース電流I_{ds}は、（1）式で表される。

【0046】

画素33は、発光期間T₁₁が終了すると、続く一定期間T₁₂において、駆動パルス信号DSの信号レベルが立ち下げられ、これにより図4に示すように、トランジスタTR3がオフ状態に設定される。これによりこの期間T₁₂では、トランジスタTR2への電源V_{cc}の供給が停止されて有機EL素子8が発光を停止する。また有機EL素子8の寄生容量C_{e1}に保持された電荷が放電してトランジスタTR2のソース電圧V_sが徐々に立ち下がり、トランジスタTR2のソース電圧V_sは、有機EL素子8のカソード電位V_{cat}に有機EL素子8のしきい値電圧V_{thel}を加算した電圧V_{cat}+V_{thel}に設定される。

20

【0047】

画素33は、続いて期間T₁₃の間、制御信号AZ1が立ち上げられ、図5に示すようにトランジスタTR4がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧が、固定電位V_{dd}に立ち上げられる。ここで固定電位V_{dd}は、電源電圧V_{cc}であることから、トランジスタTR2のソース電圧V_sは、この固定電位V_{dd}の立ち上げに連動して、一時的に、上昇するものの、その後、徐々に立ち下がり電圧V_{cat}+V_{thel}に戻る。

30

【0048】

画素33は、続く期間T₁₄において、制御信号AZ1の信号レベルが立ち下げられてトランジスタTR4がオフ状態に設定された後、信号線SIGの信号レベルが固定電位V_{ofs}に設定される期間で、書き込み信号WSが立ち上げられ、図6に示すように、トランジスタTR1がオン状態に設定される。これにより画素33は、トランジスタTR2のゲート電圧V_gが、信号線SIGの信号レベルV_{ofs}に立ち下がる。またこのゲート電圧V_gの変化が信号レベルを立ち下げる方向の変化であることから、トランジスタTR2のソース電圧V_sは、信号レベル保持用コンデンサC1の容量、有機EL素子8の寄生容量C_{e1}、のゲートソース間容量C₂のカップリングにより、有機EL素子8を逆バイアスする方向に電位が変化することになる。より具体的に、トランジスタTR2のソース電圧V_sは、次式により示すように、信号レベル保持用コンデンサC1の容量、有機EL素子8の寄生容量C_{e1}、トランジスタTR2のゲートソース間容量C₂によってゲート電圧V_gの変化を容量分割した分だけ立ち下がることになる。なおここでΔV_sは、ゲート電圧V_gの変化によるソース電圧V_sの電圧変化を示し、V_{gs}は、この電圧変化によるトランジスタTR2のゲートソース間電圧である。

40

【0049】

50

【数 4】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{ofs} - V_{dd}) \quad \dots\dots (4)$$

【0050】

10

【数 5】

$$V_{gs} = \frac{C_{e1}}{C_{e1} + C_1 + C_2} \times V_{ofs} + \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times V_{dd} - V_{cat} - V_{thel} \quad \dots\dots (5)$$

20

【0051】

続いて画素33は、期間T15において、発光期間T11を開始する時点から所定数の水平走査期間だけ逆上った時点の、信号線SIGの信号レベルが固定電位Vofsに設定されている期間が開始するタイミングで、駆動パルス信号DSが立ち上げられ、図7に示すようにトランジスタTR3がオン状態に設定される。これにより画素33は、矢印により示すように電流が流れて、信号レベル保持用コンデンサC1の両端電位差がトランジスタTR2のしきい値電圧Vthとなる方向に、トランジスタTR2のソース電圧Vsが徐々に上昇する。

【0052】

なおこの図7に示す状態において、画素33は、 $V_{el} \leq V_{cat} + V_{thel}$ に保持され、この電位V_{el}はトランジスタTR2のドレインソース電流Idsに比して非常に小さな電流を流す電圧に設定される。従ってトランジスタTR2のドレインソース電流Idsは、信号レベル保持用コンデンサC1と、有機EL素子8の容量を充電するために使用され、有機EL素子8は発光を停止した状態に保持される。

30

【0053】

画素33は、続いて信号線SIGの信号レベルが階調に対応する信号レベルVsigに立ち上がるタイミングで、駆動パルス信号DSの信号レベルが立ち下げられ、これにより図8に示すように、トランジスタTR3がオフ状態に設定され、トランジスタTR2のゲート電圧Vgが、電圧Vofsから所定ライン数だけ前の画素の階調に対応する信号レベルVsigに立ち上がる。なおこの場合も、画素33は、 $V_{el} \leq V_{cat} + V_{thel}$ に保持され、有機EL素子8は発光を停止した状態に保持される。また、トランジスタTR2のソース電圧Vsの変化は、次式により表されることになる。

40

【0054】

【数 6】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (6)

【0055】

10

また、一定時間経過後、再び信号線SIGの信号レベルが固定電位Vofsに設定され、トランジスタTR2のゲートに入力される。この場合、トランジスタTR2のソース電圧Vsの変化は次式により表されることになる。

【0056】

【数 7】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{ofs} - V_{sig})$$

20

…… (7)

【0057】

画素33は、駆動パルス信号DSの信号レベルを立ち上げた図7に示す状態と、駆動パルス信号DSの信号レベルを立ち下げた図8に示す状態とが所定回数だけ繰り返され、徐々にトランジスタTR2のソース電圧Vsを立ち上げて、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。なおこれにより有機EL素子8のアノード電位Velは、 $V_{e1} = V_{ofs} - V_{th} \leq V_{cat} + V_{th}$ に設定される。

30

【0058】

これにより図2に示す例では、期間TA、TB、TCで、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。なお図9は、信号線SIGの信号レベル及び駆動パルス信号DSを長時間、固定電位Vofsに保持した場合の、トランジスタTR2のソース電圧の変化を示す特性曲線図であり、最終的にトランジスタTR2のゲートソース間電圧Vgsは、電位Vthとなる。なおこれによりディスプレイ装置31は、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定するのに十分な回数だけ、図7及び図8に示す状態を繰り返すように設定される。

【0059】

40

このようにして画素33は、トランジスタTR2のしきい値電圧Vthを信号レベル保持用コンデンサC1にセットすると、続く期間T16において、信号線SIGの信号レベルが対応する画素の信号レベルVsigに設定されている期間で、図10に示すように、駆動パルス信号DSの信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。またその後、書き込み信号WSの信号レベルが立ち下げられてトランジスタTR1がオフ状態に設定され、これにより直前の、トランジスタTR1がオン状態に設定されている時点の、信号線SIGの信号レベルVsigが信号レベル保持用コンデンサC1にサンプルホールドされて、図3について上述した接続に戻る。

【0060】

ここで信号を入力したときは、トランジスタTR2のゲートソース間電圧Vgsは、正

50

確には、(2)式で表されるものの、有機EL素子8の寄生容量 C_{e1} が、信号レベル保持用コンデンサ C_1 の容量、トランジスタTR2のゲートソース間容量 C_2 に比して大きいことにより、実用上十分な精度で、電圧 $V_{sig} + V_{th}$ に設定される。

【0061】

次に画素33は、この期間 T_{16} の間、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定され、図11に示すように、トランジスタTR2の移動度に応じてトランジスタTR2のソース電圧 V_s が変化してトランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止する。なおこの図11において、符号 V_{s1} 及び V_{s2} によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧 V_s の上昇速度は速くなる。

10

【0062】

(2) 実施例の動作

以上の構成において、このディスプレイ装置31では(図2)、垂直駆動回路34による走査線の駆動により順次ライン単位で画素部32の画素33に信号線SIGの信号レベルが設定されると共に、この設定された信号レベルにより各画素33が発光し、所望の画像が画素部32で表示される。

【0063】

すなわちディスプレイ装置31では、トランジスタTR1がオン状態に設定され、これにより信号線SIGの信号レベルが信号レベル保持用コンデンサ C_1 にセットされる。またトランジスタTR1、TR4をオフ状態に設定すると共に、トランジスタTR3をオン状態に設定し、この信号レベル保持用コンデンサ C_1 にセットされた電圧によりトランジスタTR2で有機EL素子8を発光させる(図2、期間 T_{11})。

20

【0064】

このディスプレイ装置31では、この有機EL素子8を駆動するトランジスタTR2のゲート及びソースに、信号レベル保持用コンデンサ C_1 の両端が接続されて、このトランジスタTR2のソースが有機EL素子8のアノードに接続されて画素33が形成される。これによりこのディスプレイ装置31では、信号レベル保持用コンデンサ C_1 に信号線SIGの信号レベルがセットされた後、この信号レベル保持用コンデンサ C_1 の両端電位差によるゲートソース間電圧 V_{gs} により有機EL素子8を駆動し、このディスプレイ装置31を構成する全てのトランジスタをNチャンネル型で構成した場合であっても、有機EL素子8の経時変化による発光輝度の低下が防止される。

30

【0065】

これに対して有機EL素子8の発光を停止させて信号線SIGの信号レベルを信号レベル保持用コンデンサ C_1 にセットする際に、トランジスタTR1、TR3、TR4のオンオフ制御により、有機EL素子8を駆動するトランジスタTR2のソース電圧 V_s 及びゲート電圧 V_g を一旦所定電位にセットした後、徐々にソース電圧 V_s を立ち上げて、信号レベル保持用コンデンサ C_1 の両端電位差をトランジスタTR2のしきい値電圧 V_{th} にセットする(期間 T_A 、 T_B 、 T_C)。またその後、信号レベル保持用コンデンサ C_1 に信号線SIGの信号レベル V_{sig} をセットし、これによりトランジスタTR2の特性の1つであるしきい値電圧 V_{th} のばらつきにより発光輝度のばらつきが防止される。

40

【0066】

しかしながらこのように信号レベル保持用コンデンサ C_1 にトランジスタTR2のしきい値電圧 V_{th} をセットする場合、トランジスタTR2のゲート及びソースをそれぞれ所定のタイミングで所定電位に設定することが必要なことにより、電源電圧 V_{cc} も含めて、固定電位の配線パターン数が3本必要になる。なお有機EL素子8のカソード電圧 V_{cat} の配線パターンは除く(図18)。また走査線の数も多くなる。

【0067】

そこでこのディスプレイ装置31では、電源 V_{cc} からトランジスタTR2を切り離してトランジスタTR2のソース側電圧を所定電位($V_{cat} + V_{thel}$)に保持するようにして、制御信号AZ1によりトランジスタTR4をオン状態に設定してトランジスタ

50

TR 2 のゲート電圧 V_g が固定電圧 V_{dd} に立ち上げられる。

【0068】

また固定電位 V_{ofs} を間に挟んで、信号線 SIG の信号レベルを順次各画素の階調を示す信号レベルに設定して、トランジスタ TR 4 をオフ状態に設定した後、信号線 SIG の信号レベルがこの固定電位 V_{ofs} に設定される期間で、書き込み信号 WS によりトランジスタ TR 1 がオン状態に設定され、トランジスタ TR 2 のゲート電圧 V_g が固定電位 V_{ofs} に設定される。このとき信号レベル保持用コンデンサ C 1、トランジスタ TR 2 のゲートソース間容量 C 2、有機 EL 素子 8 の寄生容量 C_{el} によるカップリングにより、トランジスタ TR 2 のソース電圧 V_s が低下して所定電位に設定される。

【0069】

これによりこのディスプレイ装置 31 では、トランジスタ TR 3 のソース側固定電位を信号線 SIG 側から設定するようにして、このソース側固定電位（図 18 においては V_s ）に係る配線パターンを省略することができ、従来に比して固定電位の配線パターン数を低減することができる。またこのソース側固定電位に係るトランジスタ TR 5、このトランジスタ TR 5 をオンオフ制御する制御信号 AZ 2 を省略することができ（図 18）、これにより走査線の数低減し、さらには各画素 33 の構成を簡略化することができる。これによりこのディスプレイ装置 31 では、高密度、かつ効率良く画素 33 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。

【0070】

またディスプレイ装置 31 では、制御信号 AZ 1 によりトランジスタ TR 2 のゲートに設定される固定電位 V_{dd} が、電源 V_{cc} であることから、これによってもこの固定電圧 V_{dd} の配線パターンを省略することができ、これによっても画素 33 の構成を簡略化し、さらには高密度、かつ効率良く画素 33 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。

【0071】

また発光期間 T 11 を開始するときに、駆動パルス信号 DS を立ち上げた後、書き込み信号 WS を立ち下げることににより、トランジスタ TR 2 の特性の 1 つである移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0072】

（3）実施例の効果

以上の構成によれば、発光素子を駆動するトランジスタのゲート電圧及びソース電位をそれぞれ所定の固定電位に設定して、このトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このソース側の固定電位を信号線 SIG 側から設定することにより、従来に比して走査線、固定電位の配線パターン数を少なくすることができる。

【0073】

また駆動パルス信号 DS によりトランジスタ TR 3 をオン状態に設定した後、一定期間経過して、書き込み信号 WS によりトランジスタ TR 1 をオフ状態に設定することにより、トランジスタ TR 2 の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0074】

また画素回路、駆動回路のトランジスタの全てを N チャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【実施例 2】

【0075】

図 12 は、図 1 との対比により本発明の実施例 2 のディスプレイ装置を示すブロック図である。このディスプレイ装置 41 は、制御信号 AZ 1 に関する構成が異なる点を除いて、実施例 1 のディスプレイ装置 31 と同一に構成される。

【0076】

10

20

30

40

50

このディスプレイ装置 4 1 において、垂直駆動回路 4 4 は、制御信号生成回路が省略され、ライトスキャン回路 4 4 A で制御信号 A Z 1 を生成する。ここで図 1 3 に示すように、ライトスキャン回路 4 4 A は、画素部 3 2 の走査線への配線により、複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を、制御信号 A Z 1 として出力する。従ってライトスキャン回路 4 4 A から、1 ライン分の書き込み信号 W S は、対応する画素 3 3 に書き込み信号として出力されると共に、この画素 3 3 より複数ラインだけ後行する画素 3 3 に制御信号 A Z 1 として出力される。

【0077】

これによりこのディスプレイ装置 4 1 では、垂直駆動回路 4 4 の構成を簡略化して、いわゆる狭額縁化できるように構成される。

【0078】

図 1 2 の構成によれば、複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を、制御信号 A Z 1 として使用することにより、垂直駆動回路の構成を簡略化することができる。

【実施例 3】

【0079】

なお上述の実施例においては、有機 E L 素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

【産業上の利用可能性】

【0080】

本発明は、ディスプレイ装置に関し、例えば有機 E L 表示装置等の電流駆動による自発光型素子のディスプレイ装置に適用することができる。

【図面の簡単な説明】

【0081】

【図 1】 本発明の実施例 1 のディスプレイ装置を示すブロック図である。

【図 2】 図 1 のディスプレイ装置のタイミングチャートである。

【図 3】 図 2 の期間 T 1 1 における画素の設定を示す接続図である。

【図 4】 図 2 の期間 T 1 2 における画素の設定を示す接続図である。

【図 5】 図 2 の期間 T 1 3 における画素の設定を示す接続図である。

【図 6】 図 2 の期間 T 1 4 における画素の設定を示す接続図である。

【図 7】 図 6 の続きの設定を示す接続図である。

【図 8】 図 7 の続きの設定を示す接続図である。

【図 9】 しきい値電圧の補正の説明に供する特性曲線図である。

【図 10】 図 2 の期間 T 1 5 における画素の設定を示す接続図である。

【図 11】 移動度の補正の説明に供する特性曲線図である。

【図 12】 本発明の実施例 2 のディスプレイ装置を示すブロック図である。

【図 13】 図 1 2 のディスプレイ装置のタイミングチャートである。

【図 14】 従来のディスプレイ装置を示すブロック図である。

【図 15】 図 1 4 のディスプレイ装置を詳細に示すブロック図である。

【図 16】 有機 E L 素子の経時変化を示す特性曲線図である。

【図 17】 図 1 4 の構成に N チャンネルトランジスタを使用した場合を示すブロック図である。

【図 18】 N チャンネルトランジスタを用いた従来のディスプレイ装置を示す接続図である。

【図 19】 図 1 8 のディスプレイ装置のタイミングチャートである。

【図 20】 図 1 9 の期間 T 1 における画素の設定を示す接続図である。

【図 21】 図 1 9 の期間 T 2 における画素の設定を示す接続図である。

【図 22】 図 1 9 の期間 T 3 における画素の設定を示す接続図である。

【図 23】 図 2 2 の続きを示す接続図である。

10

20

30

40

50

【図 2 4】しきい値電圧の補正の説明に供する特性曲線図である。

【図 25】図 19 の期間 T4 における画素の設定を示す接続図である。

【図 2 6】 図 1 9 の期間 T 5 における画素の設定を示す接続図である。

【図 27】移動度の補正の説明に供する特性曲線図である。

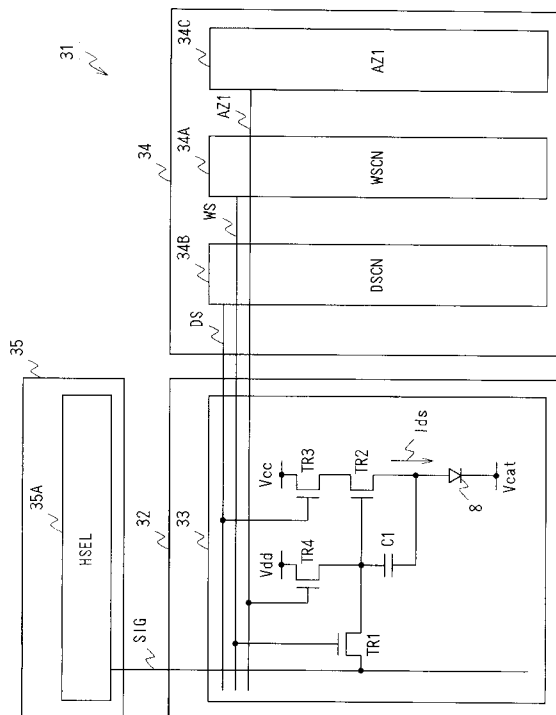
【符号の説明】

【 0 0 8 2 】

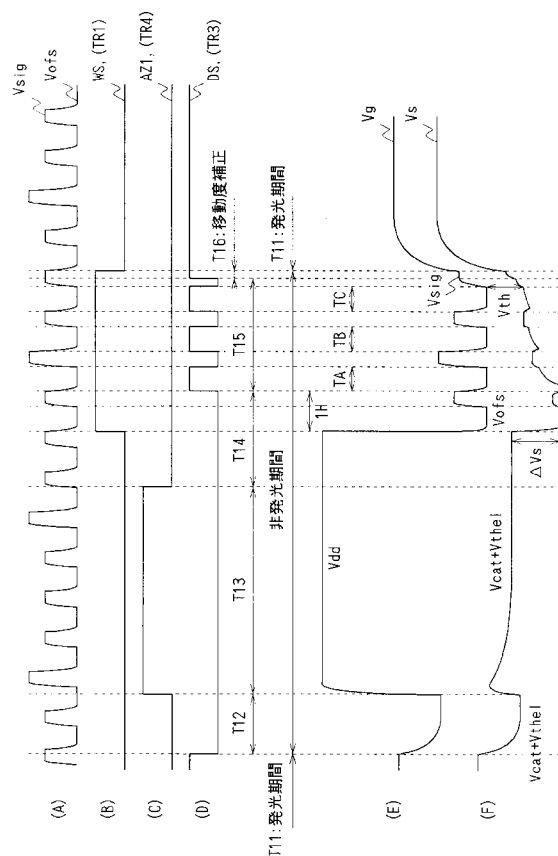
1、1 1、2 1、3 1、4 1 ……ディスプレイ装置、2、1 2、2 2、3 2 ……画素部、3、1 3、2 3、3 3 ……画素、4、2 4、3 4、4 4 ……垂直駆動回路、5、3 5、……水平駆動回路、8 ……有機 E L 素子、C 1 ……信号レベル保持用コンデンサ、T R 1 ~ T R 5 ……トランジスタ

10

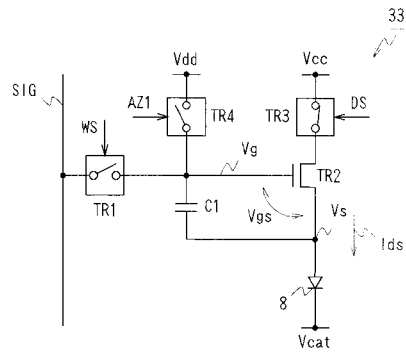
【 図 1 】



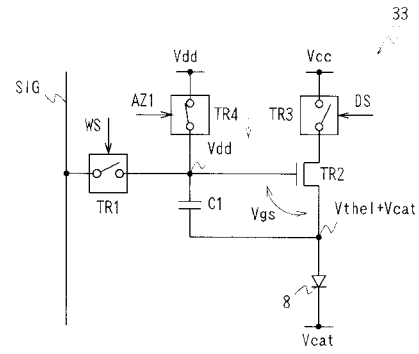
【図 2】



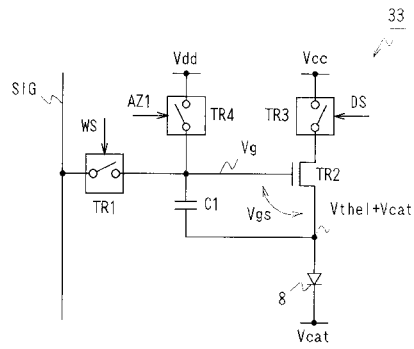
【図 3】



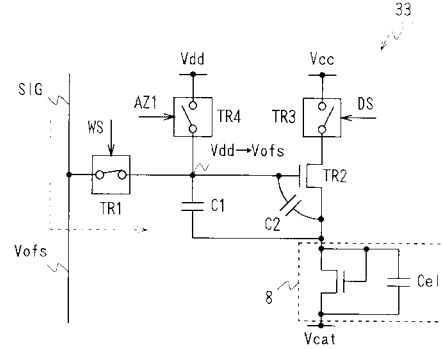
【図 5】



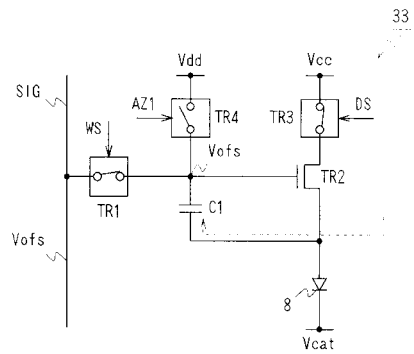
【図 4】



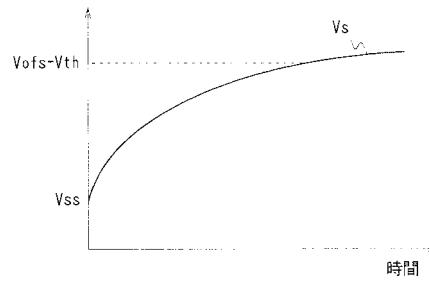
【図 6】



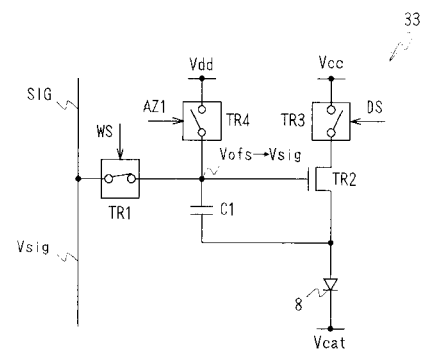
【図 7】



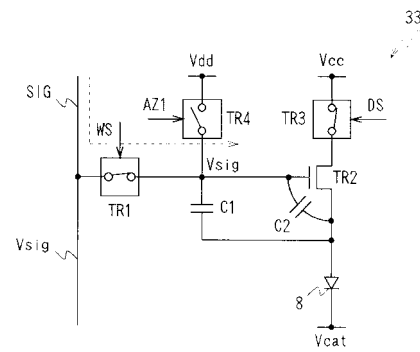
【図 9】



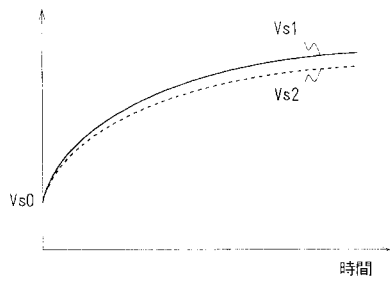
【図 8】



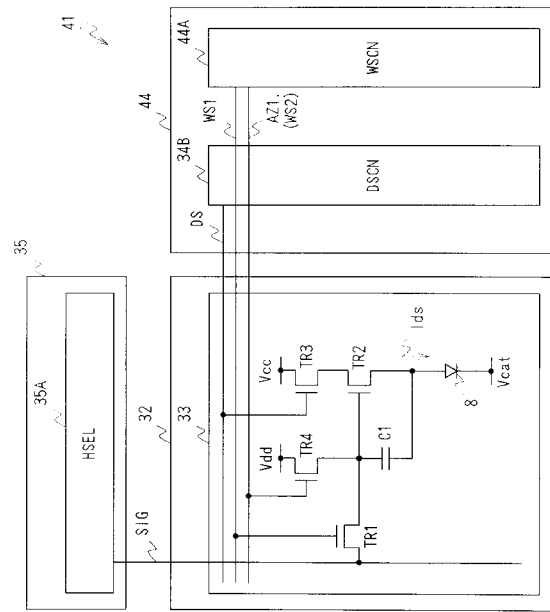
【図 10】



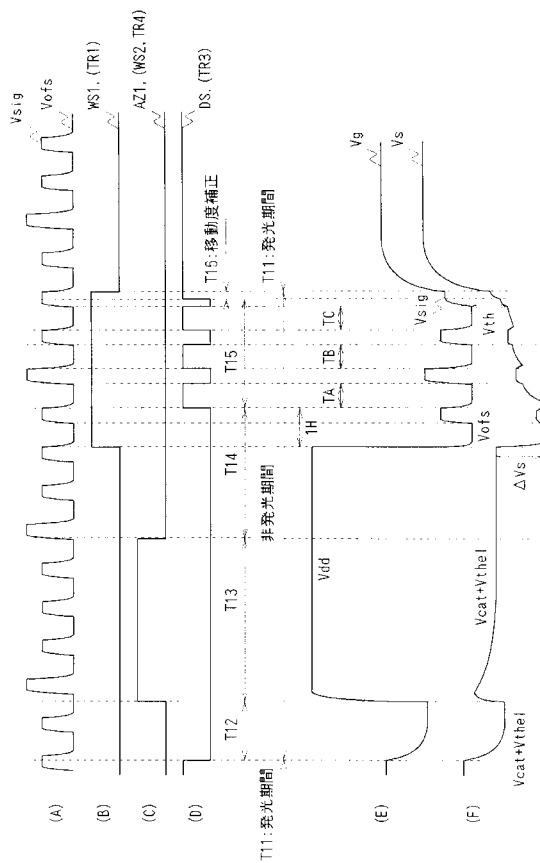
【 図 1 1 】



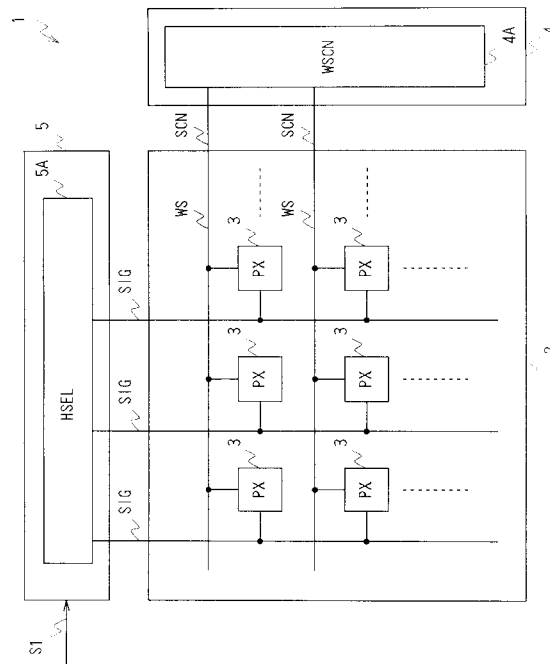
【図 1 2】



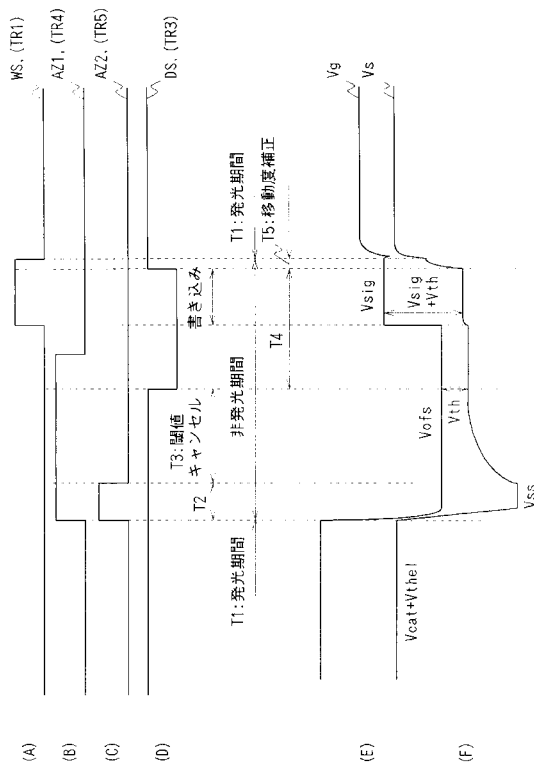
【图 1 3】



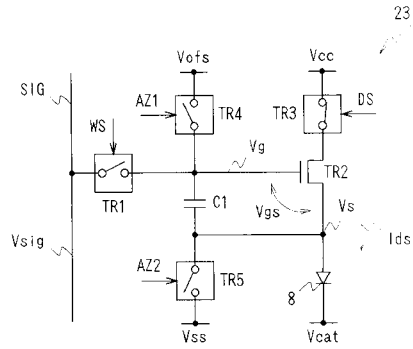
【 図 1 4 】



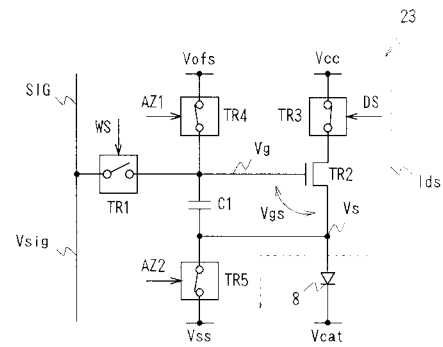
【図 19】



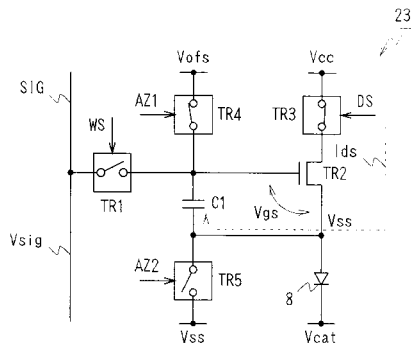
【図 20】



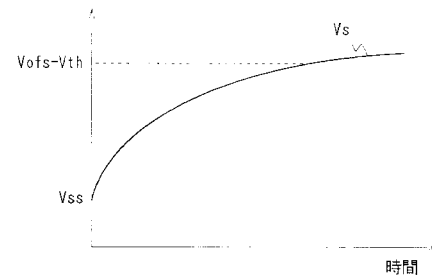
【図 21】



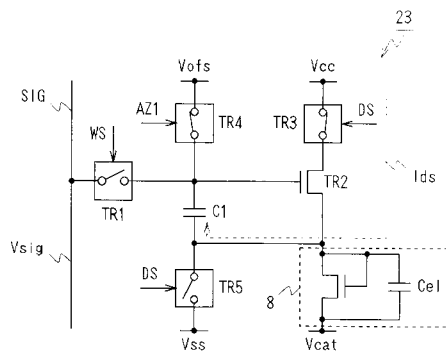
【図 22】



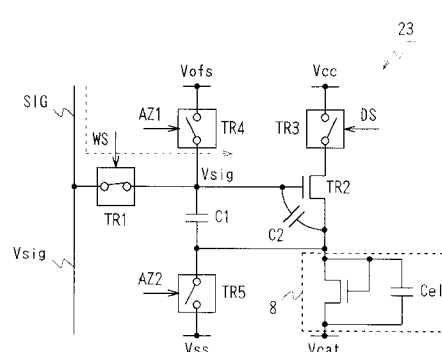
【図 24】



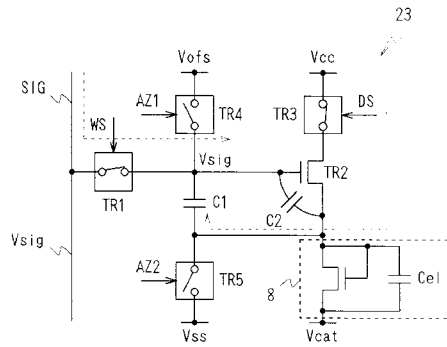
【図 23】



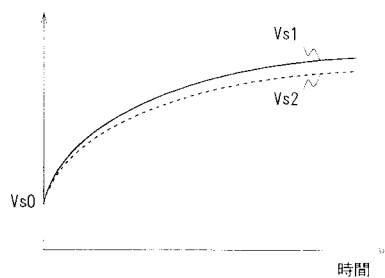
【図 25】



【図 26】



【図 27】



【手続補正書】

【提出日】平成20年4月28日(2008.4.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、

前記信号レベル保持用コンデンサの一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、

制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を第1の固定電位に設定する第4のトランジスタとを有し、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、

第 2 の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

第 1 ～第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、

前記第 1 の期間において、

前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第 1 及び第 4 のトランジスタをオフ状態に設定すると共に前記第 3 のトランジスタをオン状態に設定し、前記信号レベル保持用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間において、

前記駆動パルス信号により、前記第 3 のトランジスタをオフ状態に設定して前記自発光素子の発光を停止させ、

前記第 3 の期間において、

前記制御信号により前記第 4 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの一端を前記第 1 の固定電位に設定した後、前記制御信号により前記第 4 のトランジスタをオフ状態に設定すると共に、前記信号線が前記第 2 の固定電位に設定されている期間で、前記書き込み信号により前記第 1 のトランジスタをオン状態に設定することにより、前記信号レベル保持用コンデンサの一端及び他端をそれぞれ前記第 2 の固定電位及び所定の電位に設定し、

前記第 4 の期間において、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の間、前記書き込み信号及び制御信号により前記第 1 及び前記第 4 のトランジスタをオン状態及びオフ状態に設定した状態で、前記信号線の信号レベルが前記第 2 の固定電位に設定される期間で、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定して前記信号レベル保持用コンデンサの両端電位差を、前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間において、

前記書き込み信号により前記第 1 のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する

ディスプレイ装置。

【請求項 2】

前記第 1 の固定電位が、

前記電源電圧である

請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記駆動回路は、

前記第 5 の期間において、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定した後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

請求項 1 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力する

請求項 1 に記載のディスプレイ装置。

【請求項 5】

前記画素、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

請求項 1 に記載のディスプレイ装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

ディスプレイ装置1は、垂直駆動回路4のライトスキャン回路(WSCN)4Aにより、所定のサンプリングパルスを順次転送して、各画素3への書き込みを指示するタイミング信号である書き込み信号WSを生成する。また水平駆動回路5の水平セクタ(HSEL)5Aにより、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。これによりディスプレイ装置1は、点順次又は線順次で、各画素3に設けられた信号レベル保持用コンデンサC1の端子電圧を入力信号S1に応じて設定し、入力信号S1による画像を表示する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

画素23は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素23は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR2により有機EL素子8を駆動する。なおここでVcatは、有機EL素子8のカソード電位である。また駆動パルス信号DSは、各画素23の発光期間を制御するタイミング信号であり、ドライブスキャン回路(DSCN)24Bで所定のサンプリングパルスを順次転送して生成される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

続いて画素23は、続く期間T4で、図25に示すように、トランジスタTR3、TR4が順次オフ状態に設定される。なおトランジスタTR4より先にトランジスタTR3をオフ状態に設定することで、トランジスタTR2のゲート電圧Vgの変動を抑圧することができる。また画素23は、続いてトランジスタTR1がオン状態に設定され、これにより信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧Vofs-Vthに設定した状態で、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧を信号線SIGの信号レベルVsigに設定する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベ

ル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を第1の固定電位に設定する第4のトランジスタとを有し、前記駆動回路は、前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、第2の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、第1～第5の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、前記第1の期間において、前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第1及び第4のトランジスタをオフ状態に設定すると共に前記第3のトランジスタをオン状態に設定し、前記信号レベル保持用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第2のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、前記第2の期間において、前記駆動パルス信号により、前記第3のトランジスタをオフ状態に設定して前記自発光素子の発光を停止させ、前記第3の期間において、前記制御信号により前記第4のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの一端を前記第1の固定電位に設定した後、前記制御信号により前記第4のトランジスタをオフ状態に設定すると共に、前記信号線が前記第2の固定電位に設定されている期間で、前記書き込み信号により前記第1のトランジスタをオン状態に設定することにより、前記信号レベル保持用コンデンサの一端及び他端をそれぞれ前記第2の固定電位及び所定の電位に設定し、前記第4の期間において、前記信号線で前記第2の固定電位が複数回繰り返される期間の間、前記書き込み信号及び制御信号により前記第1及び前記第4のトランジスタをオン状態及びオフ状態に設定した状態で、前記信号線の信号レベルが前記第2の固定電位に設定される期間で、前記駆動パルス信号により前記第3のトランジスタをオン状態に設定して前記信号レベル保持用コンデンサの両端電位差を、前記第2のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、前記第5の期間において、前記書き込み信号により前記第1のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

また画素33は、制御信号AZ1によりオンオフ動作するトランジスタTR4を介して、トランジスタTR2のベースが固定電位V_{dd}に接続される。ここでこの固定電位V_{dd}は、画素33において十分に高い電圧に設定され、この実施例ではトランジスタTR4のドレインが固定電位V_{dd}に接続されて、この固定電位V_{dd}は電源V_{cc}の電位に設定される。

【手続補正7】

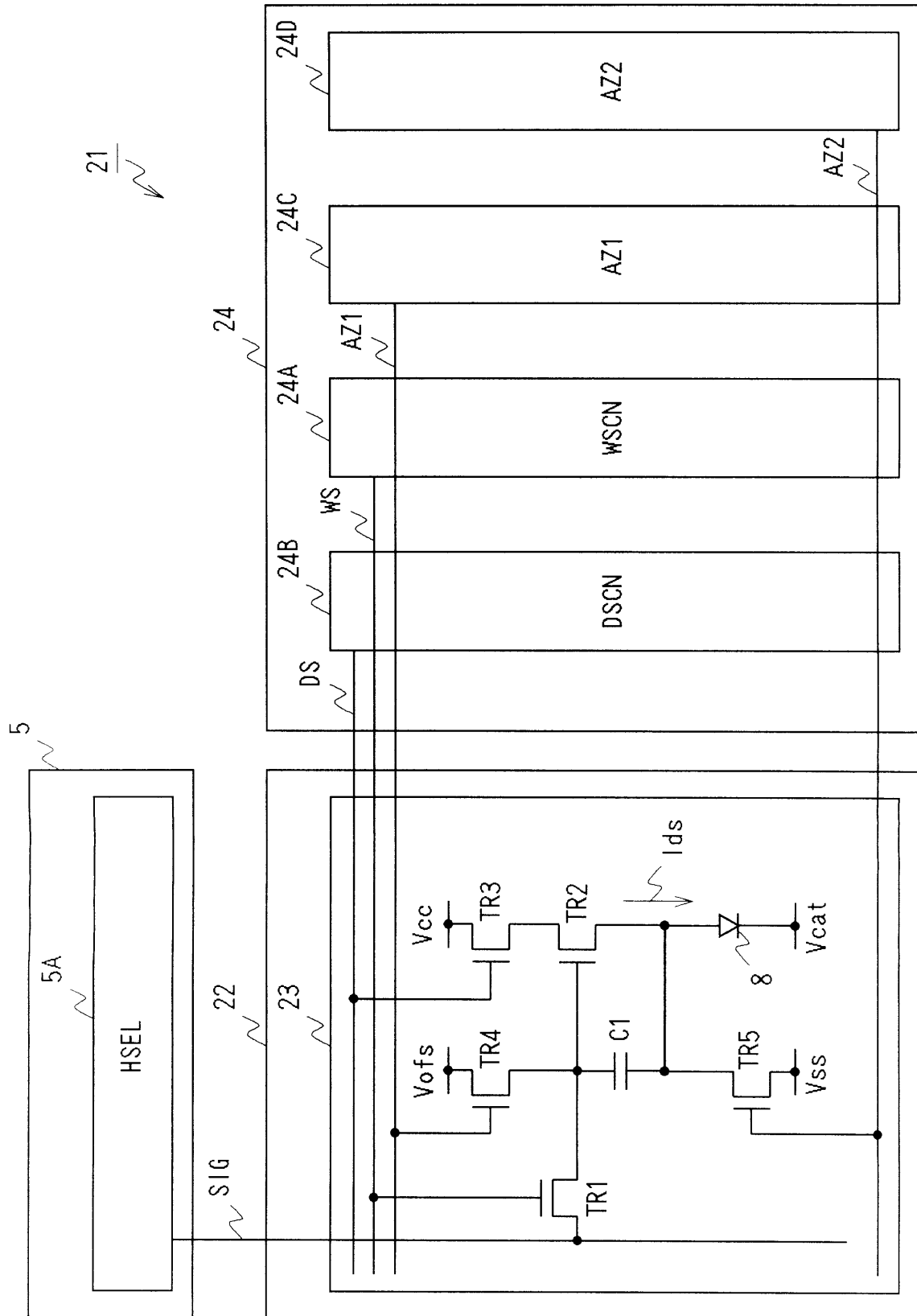
【補正対象書類名】図面

【補正対象項目名】図18

【補正方法】変更

【補正の内容】

【図 18】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 1 2 E

F ターム(参考) 5C080 AA06 BB05 DD05 DD23 EE28 EE29 FF11 JJ02 JJ03 JJ04
JJ05

专利名称(译)	显示设备		
公开(公告)号	JP2008225019A	公开(公告)日	2008-09-25
申请号	JP2007062777	申请日	2007-03-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎 山下淳一		
发明人	内野 勝秀 山本 哲郎 山下 淳一		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0809 G09G2310/0216 G09G2310/0262 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.621.A G09G3/30.K G09G3/20.611.H G09G3/20.642.A G09G3/20.670.J G09G3/20.612.E G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC55 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CD026 5C380/CD035 5C380/CD036 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA05		
其他公开文献	JP4300492B2		
外部链接	Espacenet		

摘要(译)

本发明涉及一种显示装置，例如，通过有机EL (Electro Luminescence , EL) 元件等的电流驱动而应用于例如自发光显示装置，与以往的显示装置相比，固定电位高且扫描线的配线图案数增加。能够减少它。根据本发明，将驱动发光元件8的晶体管TR2的源极电压Vs设置为预定电位，并且通过晶体管TR2的阈值电压V_{th}的变化来校正发光亮度的变化。，预定电位从信号线SIG侧提供。 [选型图]图1

