

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108568

(P2007-108568A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/30 J	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 622A	
	G09G 3/20 623A	
審査請求 未請求 請求項の数 7 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2005-301567 (P2005-301567)
 (22) 出願日 平成17年10月17日 (2005.10.17)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 中村 和夫
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC35 EE03 HH05
 5C080 AA06 BB05 CC03 DD03 DD29
 EE29 EE30 FF11 JJ02 JJ03
 JJ04 JJ05

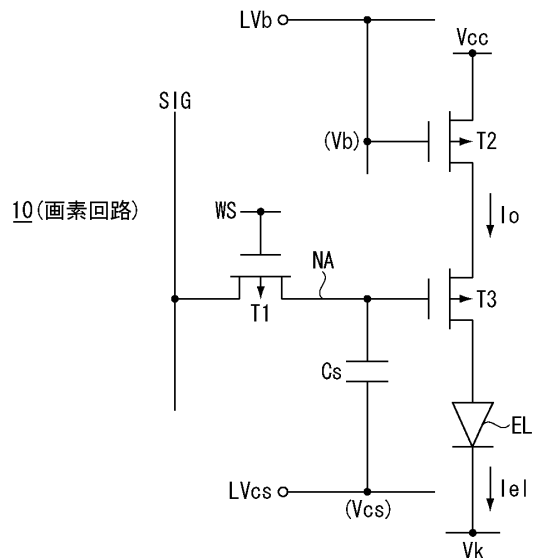
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 デューティ駆動で動画特性を改善した表示装置を提供する。

【解決手段】 各画素回路10は、発光素子ELと、第1、第2及び第3のトランジスタT1、T2、T3と容量Csを含む。デューティ制御回路は、発光期間に所定のバイアス電位Vbとなり非発光期間に固定電位Vccとなるデューティ信号を各制御線LVbに出力する。トランジスタT1は、走査線WSから供給される走査パルスに応じて導通する。容量Csは、トランジスタT1が導通した時信号線SIGから供給される映像信号が書き込まれる。トランジスタT2は、そのゲートがバイアス電位Vbに有るとき駆動電流Ioを供給する一方、固定電位Vccにあるときカットオフする。トランジスタT3は、容量Csに書き込まれた映像信号及び容量Csに印加されたランプ信号Vcsに応じて動作し、トランジスタT2から供給された駆動電流Ioを発光素子ELに流して発光を行なう。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

信号線と走査線とが交差する部分に形成される画素回路がマトリクス状に配置されて成る画素アレイと、各走査線に並行する制御線に接続したデューティ制御回路とを含む表示装置であって、

各画素回路は、発光素子と、第 1、第 2 及び第 3 のトランジスタと容量とを含み、前記発光素子が前記第 1、第 2、第 3 のトランジスタ及び前記容量により発光駆動され、

前記デューティ制御回路は、発光期間に所定のバイアス電位となり非発光期間に固定電位となるデューティ信号を各制御線に出力し、

前記第 1 のトランジスタのゲートに前記走査線が接続され、

前記第 1 のトランジスタのソース/ドレインの一方に前記信号線が接続され、他方に前記容量の一端と前記第 3 のトランジスタのゲートとが接続され、

前記容量の他端には時間的に増減するランプ信号が印加され、

前記第 2 のトランジスタのゲートは前記制御線を介して前記デューティ制御回路に接続され、

前記第 2 のトランジスタのソース/ドレインの一方は電源に接続され、他方は前記第 3 のトランジスタに接続されており、

前記第 1 のトランジスタは、前記走査線から供給される走査パルスに応じて導通し、

前記容量は、前記第 1 のトランジスタが導通した時前記信号線から供給される映像信号が書き込まれ、

前記第 2 のトランジスタは、そのゲートが前記制御線を介してバイアス電位に有るとき駆動電流を供給する一方、固定電位にあるときカットオフし、

前記第 3 のトランジスタは、前記容量に書き込まれた映像信号及び前記容量に印加されたランプ信号に応じて動作し、前記第 2 のトランジスタから供給された駆動電流を前記発光素子に流して発光を行なうことを特徴とする表示装置。

【請求項 2】

前記第 2 のトランジスタは、発光期間中ゲートに印加された前記バイアス電位に応じて飽和領域で動作し、定電流源として一定の駆動電流を前記発光素子に供給することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記第 3 のトランジスタは、前記ランプ信号と前記映像信号によりスイッチング動作し、前記映像信号のレベルに応じた時間だけ前記駆動電流を前記発光素子に流すことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

各画素回路は、赤色、緑色又は青色で発光する発光素子のいずれかを含み、

前記デューティ制御回路は、各色の発光素子に対して異なるレベルの駆動電流を供給するため、各色毎に前記バイアス電位を別個に設定できることを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記ランプ信号は、前記第 1 のトランジスタが導通状態にあるときは所定の基準電位に設定され、前記第 1 のトランジスタが非導通状態にあるときは、1 フレーム周期より十分高速な周期で増減を繰り返すことを特徴とする請求項 1 記載の表示装置。

【請求項 6】

前記第 1、第 2 及び第 3 のトランジスタは、結晶珪素を素子領域とする電界効果トランジスタであることを特徴とする請求項 1 記載の表示装置。

【請求項 7】

信号線と走査線とが交差する部分に形成される画素回路がマトリクス状に配置されて成る画素アレイと、各走査線に並行する制御線に接続したデューティ制御回路とを含み、

各画素回路は、発光素子と、第 1、第 2 及び第 3 のトランジスタと容量を含み、前記発光素子が前記第 1、第 2、第 3 のトランジスタ及び前記容量により発光駆動され、

10

20

30

40

50

前記デューティ制御回路は、発光期間に所定のバイアス電位となり非発光期間に固定電位となるデューティ信号を各制御線に出力し、

前記第 1 のトランジスタのゲートに前記走査線が接続され、

前記第 1 のトランジスタのソース / ドレインの一方に前記信号線が接続され、他方に前記容量の一端と前記第 3 のトランジスタのゲートとが接続され、

前記容量の他端には時間的に増減するランプ信号が印加され、

前記第 2 のトランジスタのゲートは前記制御線を介して前記デューティ制御回路に接続され、

前記第 2 のトランジスタのソース / ドレインの一方は電源に接続され、他方は前記第 3 のトランジスタに接続されている表示装置の駆動方法であって、

前記走査線に走査パルスを供給して、前記第 1 のトランジスタを導通させ、

前記信号線から映像信号を供給し、前記第 1 のトランジスタが導通した時前記映像信号を前記容量に書き込み、

発光期間中前記第 2 のトランジスタのゲートをバイアス電位に保持して駆動電流を供給する一方、非発光期間中前記第 2 のトランジスタのゲートを固定電位に保持してカットオフし、

前記容量に書き込まれた映像信号及び前記容量に印加されたランプ信号に応じて前記第 3 のトランジスタを動作させ、前記第 2 のトランジスタから供給された駆動電流を前記発光素子に流して発光を行なうことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されてなるアクティブマトリクス型の表示装置及びその駆動方法に関する。より詳しくは、有機エレクトロルミネッセンス素子（有機 EL 素子）などの発光素子を画素とし、これをトランジスタで駆動する表示装置及びその駆動方法に関する。

【背景技術】

【0002】

【特許文献 1】国際公開 01 / 54107 号

【特許文献 2】特開 2004 - 246320

【0003】

近年、フラットパネルディスプレイ（FPD）として有機 EL 表示装置に関心が高まっている。現在、FPD では液晶表示装置（LCD）が主流を占めているが、液晶表示装置は自発光デバイスではないので、バックライトや偏光板などの他部材を必要とする。このため、表示装置の厚みが増したり、輝度が不足するなどの事情が避けられない。これに対して有機 EL 表示装置は自発光デバイスであり、バックライトなど他部材が原理的に不要で、薄型化や高輝度の実現性などの点で LCD と比較して有利である。特に、各画素にトランジスタなどのスイッチング素子を形成したアクティブマトリクス型有機 EL 表示装置では、各画素にホールド点灯させることで消費電流を低く抑えることができ、大画面化および高精細化が比較的容易に行えることから盛んに開発が進められており、次世代 FPD の主流になると期待されている。

【0004】

また、近年ではデジタルスチルカメラ、デジタルカムコーダーなどに代表される個人用撮影機器が発達しており、それらのファインダー表示素子として、結晶珪素基板上に画素回路および駆動回路が形成された Liquid Crystal on Silicon 所謂 LCOS あるいは高温または低温多結晶シリコン LCD が用いられている。LCD を用いたファインダー素子では、透過型ではバックライトが、反射型ではフロントライトが必要であり、必然的にモジュール厚が増してしまい、機器の薄型化に不利となる。また、個人用撮影機器の小型化とともにファインダー自体も小型され、それに伴い画素自体も微細化される傾向にあり、透過型 LCD では開口部が十分にとれず、性能限界に近づきつつあ

10

20

30

40

50

る。反射型ではＬＣＯＳが主流になりつつあるが、やはり照明系は必要であり、機器の薄型化に寄与しない。一方、有機ＥＬをビューファインダー表示素子として用いた場合には、自発光であるのでＬＣＤのような照明系を必要とせず、機器の薄型化に寄与できる。また、有機ＥＬの素子構造として上面発光の素子を用いることで、開口率も性能上十分な値を確保できる。

【０００５】

また、近年ではビューファインダーも高精細化の道をたどりつつあり、ＱＶＧＡ（Ｑｕarter Video Graphics Array：３２０×２４０画素）からＶＧＡ（Video Graphics Array：６４０×４８０画素）、さらにはＳＶＧＡ（Super Video Graphics Array：８００×６００画素）やＸ
 10
 ＧＡ（Extended Graphics Array：１０２４×７６８画素）の要求が機器メーカーから出ている。これらの高精細化の要求に対応するには、ＬＣＯＳのようにＭＯＳプロセスを用いるのは当然のこととして、さらに画素回路のトランジスタ素子数を減少させる必要がある。

【発明の開示】

【発明が解決しようとする課題】

【０００６】

一般的に有機ＥＬを駆動する画素回路では、トランジスタの閾値変動やトランスコンダクタンス変動を補償する機構が必要で、様々な技術が提案されている。しかし、これらの画素回路の大部分は、トランジスタ数が５個程度と多い。また、ＭＯＳプロセスによりト
 20
 ランジスタを形成した場合には、ＭＯＳトランジスタの移動度が約３００～６００ｃｍ^２／Ｖ・ｓと大きく、高精細な微小画素を駆動する場合には、電流供給能力が大きすぎる。ＭＯＳプロセスによくフィットし、且つ素子数が少ない回路としては、上記特許文献１に記載された回路が知られている。この画素回路は２個のトランジスタと１個の容量で形成されている。

【０００７】

以下、この従来の画素回路について図面を用いて説明する。図９は従来の画素回路を示し、また図１０は図９の回路の動作タイミングを示している。回路構成としては、トランジスタは全てＰ型で構成されており、サンプリングトランジスタＴ１１のゲートに映像信号の取り込み制御を行う走査線ＷＳが接続され、ソースには映像信号線ＳＩＧが、ドレインには容量Ｃ
 30
 ｓの一端と駆動トランジスタＴ１２のゲートが接続される。駆動トランジスタＴ１２のソースには電源Ｖｃｃが与えられ、ドレインには発光素子ＥＬのアノード電極が接続される。発光素子ＥＬのカソード電極はカソード電源Ｖｋのラインに接続される。容量Ｃｓの他端には、電圧Ｖｃｓの供給ラインＬＶｃｓが接続される。

【０００８】

この画素回路の動作は、図１０の時点ｔｍ１で、走査線ＷＳの走査パルスが低電位にすることでサンプリングトランジスタＴ１１をオンにする。これにより、容量Ｃｓの一端であるノードＮＡの電位を映像信号電位に設定する。即ち映像信号線ＳＩＧによって与えられる信号電圧Ｖ
 40
 ｓを容量Ｃｓに書き込む。このとき、容量Ｃｓに電圧Ｖｃｓを供給するラインＬＶｓｃは、ある基準電位Ｖｒｅｆに固定される（Ｖｃｓ＝Ｖｒｅｆ）。

【０００９】

時点ｔｍ２で走査線ＷＳの走査パルスが高電位とされ、サンプリングトランジスタＴ１がカットオフされる。この時点ｔｍ２で、ラインＬＶｃｓから容量Ｃｓに与えられる電圧
 50
 Ｖｃｓは、基準電位Ｖｒｅｆから最高電位Ｖｒまで時間的に増加するランプ信号とされる。このランプ信号の周期は１フレームより十分短く、通常１水平期間に設定される。このとき、容量Ｃｓの容量カップリングにより、ランプ信号による電圧Ｖｃｓの増加に伴ってノードＮＡの電位、即ち駆動トランジスタＴ１２のゲート電圧は、信号電圧ＶｓからＶ
 ｓ＋Ｖ
 ｒまで増加することになる。この電圧増加期間中において、ある時点でノードＮＡの電位が駆動トランジスタＴ１２のカットオフ電圧（閾値電圧Ｖ
 ｔ
 ｈ）に到達する。すると、駆動トランジスタＴ１２は遮断され、発光素子ＥＬへの電流Ｉ
 ｅ
 １の供給は停止される

。その時点まで、つまり駆動トランジスタ T_{12} が導通している間は、駆動トランジスタ T_{12} を介して発光素子 E_L に電流 I_{e1} が供給されるため、発光素子 E_L は発光している。期間 $t_{m2} \sim t_{m3}$ にこのような動作が行われるが、期間 $t_{m3} \sim t_{m4}$ 、期間 $t_{m4} \sim t_{m5}$ も同様の動作が行われる。即ち例えば1フレーム内の1水平期間($t_{m1} \sim t_{m2}$)において映像信号電位 V_s の書込が行われた後は、そのフレーム内の後続する各水平期間でランプ信号によって期間 $t_{m2} \sim t_{m3}$ と同様の動作が行われることになる。なお、駆動トランジスタ T_{12} は線形領域で動作しておりスイッチング素子として用いられているため、駆動トランジスタ T_{12} がオンしている期間は、電源 V_{cc} と発光素子 E_L のアノードが直結されており、いわゆる定電圧駆動となっている。

【0010】

10

ここで、駆動トランジスタ T_{12} がオンしている時間 T_{on} は、ランプ信号波形が直線的に増加するとして、以下の式で表現される。

$$T_{on} = (V_{th} / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h \quad \dots (式1)$$

但し V_{th} は駆動トランジスタ T_{12} の閾値電圧、 V_r は電圧 V_{cs} の振幅、 V_{cc} は電源電圧、 V_s は映像信号電位、 T_h は1水平期間の周期を表す。駆動トランジスタ T_{12} がオンしている時間 T_{on} は、発光素子 E_L が発光する期間であり、つまり発光素子 E_L は、例えば1水平期間(1H)内において、ノード N_A に与えられる映像信号電圧 V_s に応じた時間だけ発光することになる。このように発光素子 E_L が映像信号電圧 V_s に応じた時間だけ発光することで階調制御される。

【0011】

20

ところで一般にトランジスタの閾値電圧 V_{th} は経時変動する。ここで、閾値電圧 V_{th} が $\pm \Delta V_{th}$ だけ変動すると、

$$T_{on} = ((V_{th} \pm \Delta V_{th}) / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h \quad \dots (式2)$$

となり、駆動トランジスタ T_{12} のオン時間 T_{on} が変動してしまう。

ところが、MOSトランジスタの閾値電圧変動 ΔV_{th} は $\pm 10 \text{ mV}$ 程度であることから、ランプ信号振幅 V_r を十分大きく、例えば1V程度にすることで、閾値電圧変動 ΔV_{th} を、その1%程度に抑え込むことが可能であり、実用上問題無い。つまりオン時間 T_{on} が閾値電圧変動 ΔV_{th} によって大きく影響を受けるものとはならない。

また、オン時間 T_{on} により階調制御しているので、ランプ信号振幅 V_r を大きく設定すれば、各画素での駆動トランジスタ T_{12} の特性バラツキ起因による階調ズレや面内ザラツキを抑制できる。さらに、ランプ信号の周期が1水平周期と高速であるので、フリッカも無い。

30

【0012】

しかしながら、図9のような従来回路では、発光時には発光素子 E_L に定電圧が印加される。一般に有機 E_L 素子を駆動する際、定電流駆動のほうが定電圧駆動に比較して、有機 E_L 寿命が長い。これを図11を用いて説明する。

図11(a)は有機 E_L の電流-電圧特性($I-V$ 曲線)を示し、図11(b)は電流-輝度特性($I-L$ 曲線)を示している。まず図11(a)の $I-V$ 曲線であるが、初期の特性は実線のようになるが、経時劣化により破線のようになる。すると、初期には電圧 V_o で電流 I_o であったものが、経時劣化で ΔI だけ電流が低下する。すなわち、ある定電圧 V_o で駆動した場合には、 ΔI だけ電流が劣化する。

40

次に図11(b)の $I-L$ 曲線を見ると、初期の特性は実線のようになるが、経時劣化により破線のようになる。すると、定電流駆動している場合には、初期の $<A>$ 点から $$ 点までの経時劣化で収まるが、定電圧駆動の場合には図11(a)に見られたように ΔI だけ電流が劣化するので、 $I-L$ 劣化は $<C>$ 点まで進み、劣化度合いが大きい。このことから、有機 E_L 表示装置の長寿命化のためには定電流駆動が望ましいものとなるが、図9で示した従来回路では定電流駆動は不可能である。

【0013】

また、静止画ではなく動画表示を行う場合、1フレーム内で発光期間を制御することで

50

動画特性を向上させる手法があるが、上述した従来の表示装置では、この発光期間を制御することが出来ない。

【 0 0 1 4 】

なお図 9 で示した画素回路以外で、ランプ信号を用いてトランジスタ特性バラツキの影響を緩和する画素回路が上記特許文献 2 に記載されているが、その画素回路は低温多結晶シリコンの特性を基にしているため、基本回路の素子数が 7 トランジスタ + 1 容量と多く、高精細な画素には不向きである。

【課題を解決するための手段】

【 0 0 1 5 】

上述した従来の技術の課題を解決するために、本発明は少ない素子数で定電流駆動を実現し、またトランジスタ特性ばらつきを緩和することで、長寿命、高精細且つ高画質の表示装置及びその駆動方法を提供することを目的とする。特に、動画特性を改善した表示装置及びその駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、信号線と走査線とが交差する部分に形成される画素回路がマトリクス状に配置されて成る画素アレイと、各走査線に並行する制御線に接続したデューティ制御回路とを含む表示装置であって、各画素回路は、発光素子と、第 1、第 2 及び第 3 のトランジスタと容量とを含み、前記発光素子が前記第 1、第 2、第 3 のトランジスタ及び前記容量により発光駆動され、前記デューティ制御回路は、発光期間に所定のバイアス電位となり非発光期間に固定電位となるデューティ信号を各制御線に出力し、前記第 1 のトランジスタのゲートに前記走査線が接続され、前記第 1 のトランジスタのソース/ドレインの一方に前記信号線が接続され、他方に前記容量の一端と前記第 3 のトランジスタのゲートとが接続され、前記容量の他端には時間的に増減するランプ信号が印加され、前記第 2 のトランジスタのゲートは前記制御線を介して前記デューティ制御回路に接続され、前記第 2 のトランジスタのソース/ドレインの一方は電源に接続され、他方は前記第 3 のトランジスタに接続されており、前記第 1 のトランジスタは、前記走査線から供給される走査パルスに応じて導通し、前記容量は、前記第 1 のトランジスタが導通した時前記信号線から供給される映像信号が書き込まれ、前記第 2 のトランジスタは、そのゲートが前記制御線を介してバイアス電位に有るとき駆動電流を供給する一方、固定電位にあるときカットオフし、前記第 3 のトランジスタは、前記容量に書き込まれた映像信号及び前記容量に印加されたランプ信号に応じて動作し、前記第 2 のトランジスタから供給された駆動電流を前記発光素子に流して発光を行なうことを特徴とする。

【 0 0 1 6 】

好ましくは、前記第 2 のトランジスタは、発光期間中ゲートに印加された前記バイアス電位に応じて飽和領域で動作し、定電流源として一定の駆動電流を前記発光素子に供給する。又前記第 3 のトランジスタは、前記ランプ信号と前記映像信号によりスイッチング動作し、前記映像信号のレベルに応じた時間だけ前記駆動電流を前記発光素子に流す。好ましくは、各画素回路は、赤色、緑色又は青色で発光する発光素子のいずれかを含み、前記デューティ制御回路は、各色の発光素子に対して異なるレベルの駆動電流を供給するため、各色毎に前記バイアス電位を別個に設定できる。又前記ランプ信号は、前記第 1 のトランジスタが導通状態にあるときは所定の基準電位に設定され、前記第 1 のトランジスタが非導通状態にあるときは、1 フレーム周期より十分高速な周期で増減を繰り返す。又前記第 1、第 2 及び第 3 のトランジスタは、結晶珪素を素子領域とする電界効果トランジスタである。

【 0 0 1 7 】

本発明は表示装置の駆動方法も包含する。即ち、信号線と走査線とが交差する部分に形成される画素回路がマトリクス状に配置されて成る画素アレイと、各走査線に並行する制御線に接続したデューティ制御回路とを含み、各画素回路は、発光素子と、第 1、第 2 及び第 3 のトランジスタと容量を含み、前記発光素子が前記第 1、第 2、第 3 のトランジスタ及び前記容量により発光駆動され、前記デューティ制御回路は、発光期間に所定のバイアス電位となり非発光期間に固定電位となるデューティ信号を各制御線に出力し、前記第

1のトランジスタのゲートに前記走査線が接続され、前記第1のトランジスタのソース/ドレインの一方に前記信号線が接続され、他方に前記容量の一端と前記第3のトランジスタのゲートとが接続され、前記容量の他端には時間的に増減するランプ信号が印加され、前記第2のトランジスタのゲートは前記制御線を介して前記デューティ制御回路に接続され、前記第2のトランジスタのソース/ドレインの一方は電源に接続され、他方は前記第3のトランジスタに接続されている表示装置の駆動方法であって、前記走査線に走査パルスを供給して、前記第1のトランジスタを導通させ、前記信号線から映像信号を供給し、前記第1のトランジスタが導通した時前記映像信号を前記容量に書き込み、発光期間中前記第2のトランジスタのゲートをバイアス電位に保持して駆動電流を供給する一方、非発光期間中前記第2のトランジスタのゲートを固定電位に保持してカットオフし、前記容量に書き込まれた映像信号及び前記容量に印加されたランプ信号に応じて前記第3のトランジスタを動作させ、前記第2のトランジスタから供給された駆動電流を前記発光素子に流して発光を行なうことを特徴とする。

【発明の効果】

【0018】

本発明によれば、直流バイアスで制御される定電流源トランジスタ（第2のトランジスタ）で生成される電流を信号値（アナログ映像信号電位）と時間的に増減するランプ信号を用いて、駆動トランジスタ（第3のトランジスタ）を制御することでトランジスタ特性バラツキの影響を受けづらい定電流パルス幅変調を行う。このようにして定電流駆動での有機EL薄膜の発光動作を行うことで、少素子の画素回路構成において長寿命化が実現でき、またトランジスタ特性バラツキの影響を受けにくいことや、少素子の画素回路構成により、高精細かつ高画質化に有利なものとなる。

【0019】

特に本発明によれば、デューティ制御回路が備えられており、発光期間にバイアス電位となり非発光期間に固定電位となるデューティ信号を各画素回路に出力している。これにより、1フレーム期間内で所定の時間幅だけ画素を発光させ、残りの時間を非発光にすることが出来る。この様に、1フレームにおける発光期間のデューティを制御することで、擬似的に発光素子のインパルス駆動を行うことが可能となり、動画特性を向上させることが出来る。

【0020】

また上記バイアス電圧としては、R画素回路に対するR画素用バイアス電圧、G画素回路に対するG画素用バイアス電圧、B画素回路に対するB画素用バイアス電圧が、それぞれ個別に設定されることで、R、G、Bの各色の発光効率や色の見え方に応じた適切な電流量を各有機EL薄膜に印加でき、高画質化を実現できると共に、バイアス設定によってホワイトバランス調整が可能となる。

【0021】

加えて第1のトランジスタが導通している期間（つまり信号値の容量への書込期間）は、上記容量の他端には所定の基準電圧が印加されるが、この所定の基準電圧を、上記第3のトランジスタの閾値電圧を越える電圧とすることで、第1のトランジスタを確実に非導通状態（有機EL薄膜と直列の場合）、或いは導通状態（有機EL薄膜と並列の場合）とすることができ、有機EL薄膜の偽発光を防止できる。これにより高コントラストの有機EL表示装置を実現できる。

【発明を実施するための最良の形態】

【0022】

以下図面を参照して本発明の実施形態を詳細に説明する。図1は本発明にかかる表示装置の全体構成を示すブロック図である。本例の表示装置では、画素アレイ1としてカラー画素ユニットGSがm行×n列のマトリクス状に配列されている。1つのカラー画素ユニットは、R（赤）画素回路10R、B（青）画素回路10B、G（緑）画素回路10Gから構成される。そしてこのようなカラー画素ユニットGS11～GSnmがマトリクス状に配列される。図では画素アレイ1における4隅のカラー画素ユニットGS11、GS1

n、GS_{m1}、GS_{nm}のみを示し、他は省略している。

【0023】

この様な画素アレイ1に対して、映像信号線駆動回路2、走査線駆動回路3及びデューティ制御回路4が設けられる。映像信号線駆動回路2には、水平クロックHCK、水平スタート信号HST、及び映像信号(Video)が入力される。映像信号線駆動回路2はこれらの信号に基づいて、画素アレイ1の各列に対して配設された映像信号線SIGに対して、各水平期間毎に映像信号を与える。映像信号線SIGとしては、列方向に並ぶR画素回路10Rに対する映像信号線SIG-R、列方向に並ぶB画素回路10Bに対する映像信号線SIG-B、列方向に並ぶG画素回路10Gに対する映像信号線SIG-Gが設けられる。カラー画素ユニットGSはn列であるため、画素アレイ1に対して、映像信号線SIG-R(1)~SIG-R(n)、SIG-B(1)~SIG-B(n)、SIG-G(1)~SIG-G(n)が設けられることになり、映像信号線駆動回路2は、これらの映像信号線SIGに対してそれぞれ1水平期間毎に、列方向の各画素に応じたR映像信号、B映像信号、G映像信号を印加する。

10

【0024】

走査線駆動回路3には、垂直走査クロックVCK、垂直スタート信号VST、ランプ信号、及び基準電圧Vrefが与えられる。ランプ信号は、例えば1水平期間の周期で電圧値が0から最大値に増加する鋸歯波状信号とされる。走査線駆動回路3はこれらの信号に基づいて、画素アレイ1の各行に対して配設された走査線WSに走査パルスを与え、また電圧印加線LVcsを駆動する。画素アレイ1はm行の画素が構成されることから、走査線WSとしては走査線WS(1)~WS(m)が設けられ、また電圧印加線LVcs(1)~LVcs(m)が設けられる。走査線駆動回路3は、1フレーム期間内において、1水平期間毎に走査線WS(1)~WS(m)を順次選択する走査パルスを印加する。各画素回路10(10R、10B、10G)には、それぞれ対応する行の走査線WSからの走査パルスと、電圧印加線LVcsからの電圧Vcsが与えられる。

20

【0025】

デューティ制御回路4には、垂直走査クロックVCK、垂直スタート信号VSTb、バイアス電位VbG、VbB、VbR及び電源電位Vccが与えられる。デューティ制御回路4はこれらの信号や電位に基づいて、画素アレイ1の各行に対して走査線WSと並行に配設された制御線LVbにデューティ信号を与える。画素アレイ1はm行の画素が配列されることから、制御線LVbとしては制御線LVb(1)~LVb(m)が設けられる。デューティ制御回路4は、1フレーム期間内において、1水平期間毎に制御線LVb(1)~LVb(m)に順次デューティ信号を出力する。このデューティ信号は1フレーム期間内で予め定められた発光期間にバイアス電位VbG、VbB、VbRとなり、非発光期間に固定電位(Vcc)になる。換言すると、デューティ信号は1フレーム期間における発光期間の割合(デューティ)を制御するものである。このデューティは外部から入力される垂直スタート信号VSTbによって設定される。デューティが小さくなるほど発光期間が短くなりいわゆるインパルス発光に近づく。周知のように、CRTは原理的にインパルス駆動であり、この為に動画特性が優れている。本発明はアクティブマトリクス型の表示装置で擬似的にこのインパルス駆動を実現するため、デューティ制御回路4を設けている。例えばデューティを発光期間と非発光期間で50対50とすることにより、動画特性を改善することが出来る。

30

40

【0026】

制御線LVb(1)~LVb(m)は各々RGB毎に分かれたバス配線になっている。例えば第1の制御線LVb(1)は実際には3本に分かれており、画素回路10R、10B、10Gでそれぞれ別のバイアス電位VbR、VbB、VbGを供給している。デューティ信号のデューティは各画素回路10R、10B、10Gで共通であるが、そのバイアス電位VbR、VbB、VbGは異なっている。RGB各画素毎にバイアス電位を別個に設定することで、ホワイトバランスの調整を可能にしている。この様に画素アレイ1のR画素回路10Rに対しては発光期間中制御線LVbを介してバイアス電位VbRが与えら

50

れ、画素回路 10 B に対してはバイアス電位 V_{bB} が与えられ、画素回路 10 G に対してはバイアス電位 V_{bG} が与えられる。この他画素アレイ 1 の各画素回路 10 (10 R , 10 B , 10 G) に対しては、電源電位 V_{cc} とカソード電位 V_k が与えられる。

【0027】

図 2 は、画素回路 10 の具体的な構成を示す画素回路図である。画素回路 10 は基本的に各色の画素回路 10 R , 10 B , 10 G で共通となっている。この画素回路 10 は発光素子 E_L を駆動する回路が 3 つの P 型トランジスタ T_1 , T_2 , T_3 と 1 つの容量 C_s で形成されている。第 1 のトランジスタ T_1 (以下、サンプリングトランジスタ T_1) は、そのゲートが映像信号取り込み制御のための走査線 W_S に接続される。またドレインには映像信号線 S_{IG} が接続され、ソースには容量 C_s の一端と第 3 のトランジスタ T_3 (以下、駆動トランジスタ T_3) のゲートが接続される。この駆動トランジスタ T_3 のゲートをノード N_A として示している。容量 C_s の他端には、電圧印加線 $L_{V_{cs}}$ が接続され、上記の走査線駆動回路 3 により電圧 V_{cs} が印加される。

10

【0028】

第 2 のトランジスタ T_2 (以下、電流源トランジスタ T_2) のソースには電源 V_{cc} のラインが接続されている。また電流源トランジスタ T_2 のゲートには制御線 L_{V_b} が接続されており、デューティ制御回路 4 からデューティ信号が印加される。前述したように、このデューティ信号は発光期間に所定のバイアス電位 V_b となり、非発光期間に固定電位 (例えば V_{cc}) となる。電流源トランジスタ T_2 のドレインは駆動トランジスタ T_3 のソースと接続される。駆動トランジスタ T_3 のドレインには発光素子 E_L のアノードが接続され、発光素子 E_L のカソードはカソード電源 V_k のラインに接続される。

20

電流源トランジスタ T_2 は、飽和領域で動作するように設定されており、定電流 I_o を供給する。バイアス電位 V_b は電流 I_o が、駆動する発光素子 E_L で必要とされる電流値 I_{el} となるように設定される。例えば、輝度 200 nit を得るのに 5 nA 必要なら、 $I_o = 5 \text{ nA}$ に設定する。駆動トランジスタ T_3 がバイアス電位 V_b によってオンとされる発光期間、定電流 I_o が発光素子 E_L に駆動電流 I_{el} として流れ、発光素子 E_L が発光することになる。また駆動トランジスタ T_3 がオフとされる非発光期間、デューティ信号が V_{cc} になり、駆動トランジスタ T_3 がカットオフして定電流 I_o の供給が絶たれる。これにより、発光素子 E_L は非発光状態になる。この様に本発明では、電流源トランジスタ T_2 のゲートに印加されるデューティ信号をバイアス電位 V_b と固定電位 V_{cc} との間で切替えることにより、発光素子 E_L の発光期間と非発光期間を制御している。

30

【0029】

図 3 に、図 2 の画素回路 10 の動作原理を示す。まず時点 t_{m1} において、走査線 W_S の走査パルスが低電位にすることで、サンプリングトランジスタ T_1 をオン状態にする。すると映像信号線 S_{IG} より映像信号が容量 C_s に充電されて、ノード N_A の電位は映像信号電位 V_s となる。なお、このサンプリングトランジスタ T_1 がオン状態の間は、電圧印加線 $L_{V_{cs}}$ の電圧 V_{cs} は基準電位 V_{ref} に固定される。基準電圧 V_{ref} は通常グラウンドレベルに設定される。即ち走査線 W_S の走査パルスが低電位とされている期間 $t_{m1} \sim t_{m2}$ は、映像信号の書込期間であり、基準電圧 V_{ref} がグラウンドレベルであることで、ノード N_A の電位を映像信号電位 V_s とする期間である。

40

【0030】

時点 t_{m2} で走査線 W_S が高電位になることでサンプリングトランジスタ T_1 がオフとされる。同時に時点 t_{m2} から電圧印加線 $L_{V_{cs}}$ の電圧 V_{cs} は、電圧値を基準電圧 V_{ref} から V_r まで時間的に増加させるランプ信号電圧とする。このランプ信号の周期は、1 フレーム期間より十分短く設定する。例えば、1 水平周期 (1 H) が適当である。電圧 V_{cs} の増加に伴い、ノード N_A の電位は容量 C_s の電荷保持により、信号電位 V_s から $V_s + V_r$ まで上昇する。この間において、ノード N_A の電位が駆動トランジスタ T_3 の閾値電圧 V_{th} に到達すると、駆動トランジスタ T_3 が遮断され、発光素子 E_L への電流供給は停止される。その時点まで、つまり駆動トランジスタ T_3 がオンとされている間は、電流源トランジスタ T_2 とバイアス電位 V_b により決定される一定電流 I_o が発光素

50

子 E L に流れることになる。期間 $t_{m2} \sim t_{m3}$ にこのような動作が行われるが、期間 $t_{m3} \sim t_{m4}$ 、期間 $t_{m4} \sim t_{m5}$ も同様の動作が行われる。即ち例えば 1 フレーム内の 1 水平期間 ($t_{m1} \sim t_{m2}$) において映像信号電位 V_s の書込が行われた後は、1 フレーム期間内で後続する各水平期間に、ランプ信号による電圧 V_{cs} の時間的増加に応じて期間 $t_{m2} \sim t_{m3}$ と同様の動作が行われることになる。

【0031】

ここで、駆動トランジスタ T3 がオンになっている時間 T_{on} は、上述した式 1 のとおり、 $T_{on} = (V_{th} / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h$ で表現され、電圧 V_r 、即ちランプ信号振幅が十分大きければ、駆動トランジスタ T3 の閾値電圧 V_{th} の変動には、ほとんど左右されない。つまり、MOS トランジスタの閾値電圧変動 ΔV_{th} は $\pm 10 \text{ mV}$ 程度であることから、ランプ信号振幅 V_r を十分大きく、例えば 1 V 程度にすることで、閾値電圧変動 ΔV_{th} を、その 1 % 程度に抑え込むことが可能であり、オン時間 T_{on} が閾値電圧変動 ΔV_{th} によって大きく影響を受けるものとはならない。結局、人間が視認する明るさ Y は、 $Y = I_o \cdot T_{on}$ となり、階調は T_{on} で制御される。そしてこのようにオン時間 T_{on} で階調制御しているので、ランプ信号振幅 V_r を大きく設定すれば、各画素での駆動トランジスタ T3 の特性バラツキ起因による階調ズレや面内ザラツキを抑制できる。さらに、ランプ信号の周期が一水平周期と高速であるので、フリッカも無い。

【0032】

そしてこの画素回路 10 の場合、発光素子 E L は発光期間中、定電流 I_o により駆動されるので、劣化は定電圧駆動する場合に比べて小さいものとできる。つまり先に述べた図 11 に沿っていえば、初期に図 11 (b) の < A > 点の輝度を得られていたときに、経時劣化によっては輝度は < B > 点までしか下がらず、< C > 点まで劣化してしまう従来の画素回路に比べて劣化の度合いが小さい。これによって長寿命化が実現される。

【0033】

図 4 は、図 1 に示した表示装置の 1 フレームにおける動作を模式的に表している。図示を簡略化する為、1 フレームは 5 個の水平期間 (5 H) で構成されている。なお実際には数百の水平期間で 1 フレームが構成されている。図示を簡略化する為、最初の画素行の動作を 1 フレームにわたって表している。二番目の行以下、順次 1 H ずつシフトしながら一番目の画素行と同様の走査を繰り返す。まず走査線 $W S (1)$ に走査パルスが印加され、画素容量に映像信号が書き込まれる。この最初の 1 H 期間は図 3 の t_{m1} から t_{m2} の書き込み期間に相当する。その後制御線 $L V b (1)$ にデューティ信号が印加される。このデューティ信号は図示の例ではデューティオンが 50 % でデューティオフが 50 % となっている。デューティオンの間デューティ信号はバイアス電位に保持される。したがって発光素子には駆動電流 $I_{el} (1)$ が 1 H 毎に流れ、発光状態となる。即ちデューティ信号のデューティオンの期間が発光期間を規定している。その後デューティオフになるとデューティ信号は所定の固定電位となり、電源トランジスタ T2 がオフし、発光素子 E L に駆動電流 $I_{el} (1)$ が流れない。したがってデューティ信号のデューティオフの期間が非発光期間を規定している。図のタイミングチャートから明らかなように、発光素子は 1 フレームの間常に発光しているのではなく、デューティオンの期間だけ発光している。したがって C R T と同じようなインパルス駆動となり、動画特性を向上することが出来る。仮にアクティブマトリクス型の液晶ディスプレイのように 1 フレームにわたって常時発光素子を点灯すると、残像効果が現れ、フレーム間で画像に尾が引いたような状態が現れ、動画特性を損なう。

【0034】

図 5 は、図 1 に示した走査線駆動回路 3 の具体的な構成例を示す回路図である。走査線駆動回路 3 は、画素アレイ 1 の各行に対応してレジスタ 31 (1) ~ 31 (m) による m 段のシフトレジスタで形成される。レジスタ 31 (1) には垂直スタートパルス $V S T$ が入力されるとともに、各レジスタ 31 (1) ~ 31 (m) は、水平期間周期の垂直走査クロック $V C K$ に従って、垂直スタートパルス $V S T$ を出力すると共に後段のレジスタに送

10

20

30

40

50

る。各レジスタ 31 (1) ~ 31 (m) に対しては、レベルシフト回路 32, バッファアンプ 33, スイッチ 34, 36、インバータ 35 が設けられている (図ではレジスタ 31 (1) に対応する部分のみ示している)。レジスタ 31 (1) から出力されたパルスはレベルシフト回路 32 でレベルシフトされ、例えば低電位 0 V、高電位 6 V の走査パルスとされる。そしてバッファアンプ 33 を介して走査線 WS (1) に出力される。続く各レジスタ 31 (2) ~ 31 (m) に対しても、同様の回路で走査線 WS (2) ~ WS (m) に走査パルスが出力されることで、上記図 4 のように、各行が順次選択された走査パルスが画素アレイ 1 に与えられる。また、端子 37 には上述したように振幅 V_r で、1 水平期間を 1 周期としたランプ信号が入力されている。さらに端子 38 には、例えばグランド電位 (0 V) としての基準電圧 V_{ref} が与えられている。スイッチ 34 はレベルシフト回路 32 からの走査パルスが制御パルスとして与えられてオン/オフされる。またスイッチ 36 は、インバータ 35 による走査パルスの反転信号が制御パルスとして与えられてオン/オフされる。ここでスイッチ 34, 36 は、それぞれ制御パルスが高電位のときにオンとされる。従って、走査線 WS の走査パルスが低電位の期間は、電圧印加線 LVcs に基準電圧 V_{ref} が与えられ、走査線 WS の走査パルスが低電位の期間は、電圧印加線 LVcs にランプ信号が与えられることになり、画素回路 10 の容量 Cs の他端に与えられる電圧 Vcs は、図 3 に示したようになる。

【0035】

図 6 は、図 1 に示したデューティ制御回路 4 の具体的な構成例を示す回路図である。基本的には、図 5 に示した走査線駆動回路 3 と同様な構成となっており、1 ライン分のみを表してある。図示するようにデューティ制御回路 4 の 1 ライン分は、シフトレジスタ 41 とレベルシフタ 42 とスイッチ 44, 46 とインバータ 45 とで構成され、制御線 LVb (1) に RGB 毎に分かれたデューティ信号を出力する。シフトレジスタ 41 は垂直クロック信号 VCK に応じて動作し、垂直スタート信号 VSTb を 1 ライン毎に転送してレベルシフタ 42 に出力する。スタート信号 VSTb は外部から供給され、デューティ信号のデューティ比を規定している。レベルシフタ 42 はシフトレジスタ 41 から出力された信号をレベルシフトして、スイッチ 44, 46 のオンオフを制御する。デューティオンのときスイッチ 44 がオンする一方スイッチ 46 はインバータ 45 を介してオフになる。この結果制御線 LVb (1) には外部から供給されたバイアス電位 V_{bR} , V_{bG} , V_{bB} がそれぞれ出力される。この後デューティオフになるとスイッチ 44 がオフになる一方スイッチ 46 がインバータ 45 を介してオンになる。これにより制御線 LVb (1) にはスイッチ 46 を介して電源電位 Vcc が供給される。

【0036】

ここで図 1 に示した各画素回路 10R, 10B, 10G は、それぞれ対応する色の発光素子に対して定電流駆動を行う訳であるが、バイアス電圧 Vb は、それぞれ R, B, G に対して個別に設定される。即ち R 画素回路 10R ではバイアス電圧 V_{bR} が設定されて定電流 IR の値が決められる。B 画素回路 10B ではバイアス電圧 V_{bB} が設定されて定電流 IB の値が決められる。G 画素回路 10G ではバイアス電圧 V_{bG} が設定されて定電流 IG の値が決められる。このように色毎にバイアス電位を設定することで、カラー表示の際のホワイトバランス調整でピーク電流を設定できる。従って、ホワイトバランス調整ではトランジスタサイズを物理的に調整することなく、外部からの電氣的な調整を直流電位で設定できることとなるため、映像信号のダイナミックレンジを色毎に設定する必要がなく、外部回路を簡略化できる。また、パネル毎に生じるトランジスタ特性バラツキによる補正も外部バイアス電源電位を変更することで容易に対応できる。また発光効率や色の見え方は、R、B、G 各色で異なるが、それに応じた調整もバイアス電圧 V_{bR} , V_{bB} , V_{bG} の設定で可能となる。さらには発光素子 EL としての薄膜の材料などによっても発光効率が変動するが、それに対する調整も可能である。一例として、例えば電流 IR は 1.8 nA、電流 IB は 3 nA、電流 IG は 5 nA などに調整することが考えられる。

【0037】

図 7 は、画素回路の他の実施形態を示す回路図である。図示の画素回路 10 は例えば M

ＯＳプロセスで形成される回路であり、発光素子ＥＬを駆動する回路は、Ｎ型のサンプリ
ングトランジスタＴ１、Ｐ型の電流源トランジスタＴ２、Ｎ型の駆動トランジスタＴ３と
、１つの容量Ｃｓで構成されている。これらのトランジスタＴ１、Ｔ２、Ｔ３は、例えば
結晶ケイ素を素子領域とする電界効果トランジスタである。ＭＯＳプロセスでは結晶ケイ
素基板（シリコンウェハ）上に不純物添加、拡散を行い、ポリシリコン膜、酸化膜、層間
絶縁膜などを成膜していくことでトランジスタを形成し、また素子間の配線のためのアル
ミニウムまたは銅などによる金属配線膜を形成して主要な回路を構成する。本発明の画素
回路の場合、図７に示したようにトランジスタＴ１、Ｔ２、Ｔ３及び容量Ｃｓがシリコン
ウェハ上にＭＯＳプロセスを用いて形成すると共に、金属配線膜が形成される。各層の間
はコンタクトとして層間プラグＣＴが形成されて電氣的に接続される。そして最上層とし
てアノード電極、有機ＥＬ薄膜及びカソード電極が蒸着形成され、発光素子となる。

10

【００３８】

サンプリングトランジスタＴ１は、そのゲートが映像信号取り込み制御のための走査線
ＷＳに接続される。またドレインには映像信号線ＳＩＧが接続され、ソースは容量Ｃｓの一
端と駆動トランジスタＴ３のゲート、即ちノードＮＡに接続される。容量Ｃｓの他端には
、電圧印加線ＬＶｃｓが接続され、図１の走査線駆動回路３により電圧Ｖｃｓが印加され
る。電流源トランジスタＴ２のソースには電源Ｖｃｃのラインが接続され、ゲートには電
流調整用バイアス電源Ｖｂのラインが接続される。またドレインは駆動トランジスタＴ３
のドレインおよび発光素子ＥＬのアノードと接続される。駆動トランジスタＴ３のソース
は固定電位Ｖｌｏのラインが接続される。発光素子ＥＬのカソードにはカソード電源Ｖｋ
のラインが接続される。電流源トランジスタＴ２は、飽和領域で動作するように設定され
ており定電流Ｉｏを流す。バイアス電位Ｖｂは電流Ｉｏが、駆動する発光素子ＥＬで必要
とされる電流値となるように設定される。例えば、輝度２００ｎｉｔを得るのに５ｎＡ必
要なら、 $I_o = 5\text{ nA}$ と設定する。この場合、駆動トランジスタＴ３と発光素子ＥＬは並
列とされている。従って、駆動トランジスタＴ３がオフとされる期間、定電流Ｉｏが、発
光素子ＥＬに電流Ｉｅｌとして流れ、発光素子ＥＬが発光することになる。駆動トランジ
スタＴ３がオンである期間は定電流Ｉｏは、電流Ｉｔとして固定電位Ｖｌｏ側に流れ込む
ことになる。

20

【００３９】

図８により回路動作を説明する。まず、時点 t_{m1} で走査線ＷＳを高電位にすることで
、ＮチャンネルのサンプリングトランジスタＴ１をオン状態にする。すると映像信号線
ＳＩＧよりアナログ映像信号電位Ｖｓが容量Ｃｓに充電されてノードＮＡの電位はＶｓとな
る。この期間 $t_{m1} \sim t_{m2}$ で与えられる映像信号の書込期間、つまりサンプリングトラ
ンジスタＴ１がオン状態の間は、電圧印加線ＬＶｃｓからの電圧Ｖｃｓは基準電位Ｖｒ
ｅｆ（例えばグラウンドレベル）に固定される。

30

【００４０】

時点 t_{m2} で走査線ＷＳが低電位になることでサンプリングトランジスタＴ１がオフと
される。同時に時点 t_{m2} から電圧印加線ＬＶｃｓの電圧Ｖｃｓは、電圧値を基準電圧
ＶｒｅｆからＶｒまで時間的に増加させるランプ信号電圧とする。このランプ信号の周期は
、１フレーム期間より十分短く設定する。例えば、１水平周期（１Ｈ）が適当である。電
圧Ｖｃｓの増加に伴い、ノードＮＡの電位は容量Ｃｓの電荷保持により、信号電位Ｖｓか
ら $V_s + V_r$ まで上昇する。この間において、ノードＮＡの電位が駆動トランジスタＴ３
の閾値電圧Ｖｔｈに到達すると、駆動トランジスタＴ３が導通される。この導通時点まで
は、電流源トランジスタＴ２とバイアス電位Ｖｂにより決定される定電流Ｉｏが発光素子
ＥＬに流れる。駆動トランジスタＴ３が導通した後は、駆動トランジスタＴ３の導通時の
オン抵抗は発光素子ＥＬのオン抵抗よりも十分小さいため、電流源トランジスタＴ２より
供給される電流Ｉｏは、駆動トランジスタＴ３を介して固定電位Ｖｌｏに流れ込み、発光
素子ＥＬへは、殆ど流れないことになる。期間 $t_{m2} \sim t_{m3}$ にこのような動作が行われ
るが、期間 $t_{m3} \sim t_{m4}$ 、期間 $t_{m4} \sim t_{m5}$ も同様の動作が行われる。即ち例えば１
フレーム内の１水平期間（ $t_{m1} \sim t_{m2}$ ）において映像信号電位Ｖｓの書込が行われた

40

50

後は、1フレーム期間内で後続する各水平期間に、ランプ信号による電圧 V_{cs} の時間的増加に応じて期間 $t_{m2} \sim t_{m3}$ と同様の動作が行われることになる。

【0041】

ここで、駆動トランジスタ T_3 がオフとされて発光素子 E_L に電流が流れている時間 T_{on} は、

$$T_{on} = (V_{th} / V_r) \cdot T_h + (V_{lo} - V_s) / V_r \cdot T_h \cdots (\text{式3})$$

となる。ただし V_{th} は駆動トランジスタ T_3 の閾値電圧、 V_r はランプ振幅、 T_h はランプ信号周期、 V_{lo} は駆動トランジスタ T_3 のソース電圧、 V_s は映像信号電圧である。

そしてこの時間 T_{on} は、電圧 V_r 、即ちランプ信号振幅が十分大きければ、駆動トランジスタ T_3 の閾値電圧 V_{th} の変動には、ほとんど左右されない。つまり、MOSトランジスタの閾値電圧変動 ΔV_{th} は $\pm 10 \text{ mV}$ 程度であることから、ランプ信号振幅 V_r を十分大きく、例えば 1 V 程度にすることで、閾値電圧変動 ΔV_{th} を、その 1% 程度に抑え込むことが可能であり、オン時間 T_{on} が閾値電圧変動 ΔV_{th} によって大きく影響を受けるものとはならない。結局、人間が視認する明るさ Y は、 $Y = I_o \cdot T_{on}$ となり、階調は T_{on} で制御される。そしてこのようにオン時間 T_{on} で階調制御しているので、ランプ信号振幅 V_r を大きく設定すれば、各画素での駆動トランジスタ T_3 の特性バラツキ起因による階調ズレや面内ザラツキを抑制できる。さらに、ランプ信号の周期が一水平周期と高速であるので、フリッカも無い。そしてこの画素回路10の場合、発光素子 E_L は発光期間中、定電流 I_o により駆動されるので、上述した第1の実施の形態と同様、発光素子 E_L の劣化は定電圧駆動する場合に比べて小さいものとできる。

【0042】

この第2の実施の形態においても、第1の実施の形態と同様の効果、即ち少素子、長寿命、高精細かつ高画質である有機 E_L 表示装置を実現できる。また、この図7の画素回路10は図1の各画素回路10R、10B、10Gとしての構成であるが、バイアス電圧 V_b がデューティ制御されて動画特性が改善し、且つバイアス電圧 V_b が色毎に独立して設定されることでホワイトバランス調整等ができ、外部回路の簡略化や各種調整の容易性が得られることも第1の実施の形態と同様である。この場合のデューティ制御回路4については図6とほぼ同様の構成でよく、走査線駆動回路3については図5とほぼ同様の構成でよい。但しこの第2の実施の形態ではサンプリングトランジスタ T_1 がN型であるため、走査線 WS に与える走査線パルスは第1の実施の形態の走査パルスに対して反転したものとなる。そして、その走査パルスの高電位期間にスイッチ36がオンとされ、また低電位期間にスイッチ34がオンとされる構成となる。

【図面の簡単な説明】

【0043】

【図1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図2】図1に示した表示装置を構成する画素回路の実施形態を示す回路図である。

【図3】図2に示した画素回路の動作説明に供するタイミングチャートである。

【図4】図1に示した表示装置の動作説明に供するタイミングチャートである。

【図5】図1に示した表示装置に含まれる走査線駆動回路の具体例を示す回路図である。

【図6】図1に示した表示装置に含まれるデューティ制御回路の具体例を示す回路図である。

【図7】画素回路の他の実施形態を示す回路図である。

【図8】図7に示した画素回路の動作説明に供するタイミングチャートである。

【図9】従来の画素回路の一例を示す回路図である。

【図10】図9に示した従来の画素回路の動作説明に供するタイミングチャートである。

【図11】同じく従来の画素回路の動作説明に供するグラフである。

【符号の説明】

【0044】

1・・・画素アレイ、2・・・映像信号線駆動回路、3・・・走査線駆動回路、4・・・

10

20

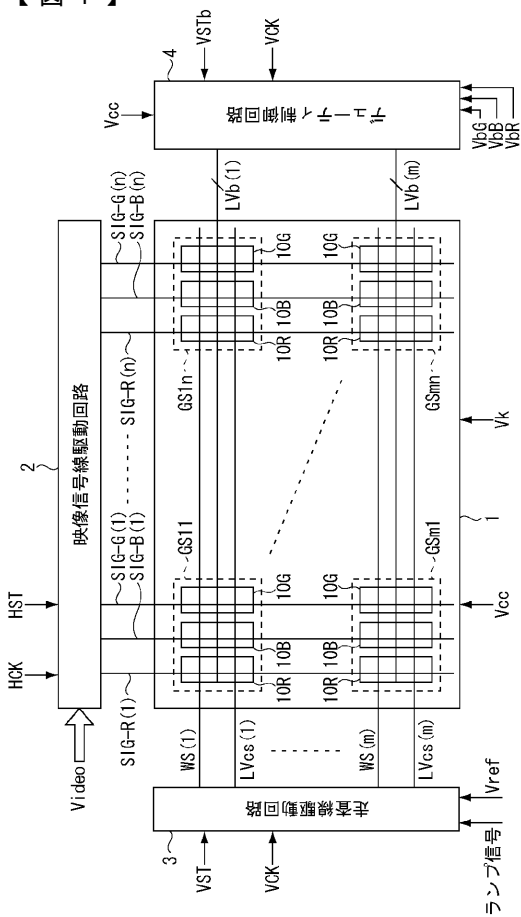
30

40

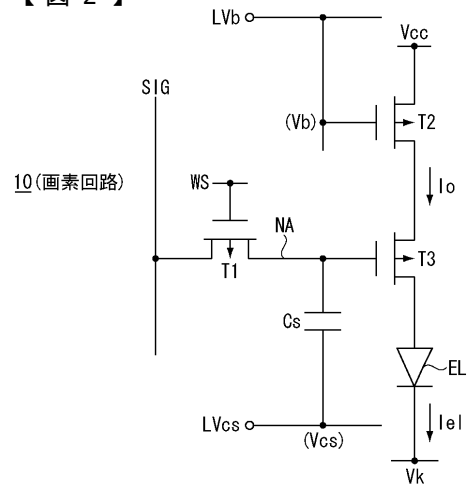
50

デューティ制御回路、10R, 10B, 10G・・・画素回路、T1, T2, T3・・・トランジスタ、Cs・・・容量

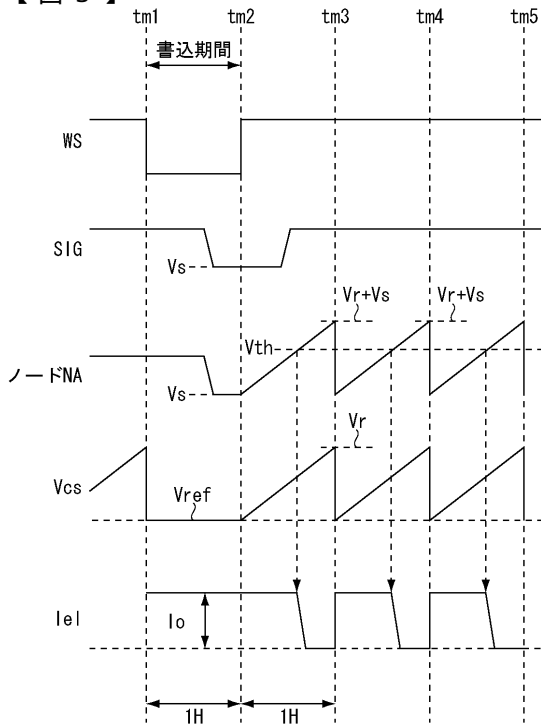
【図1】



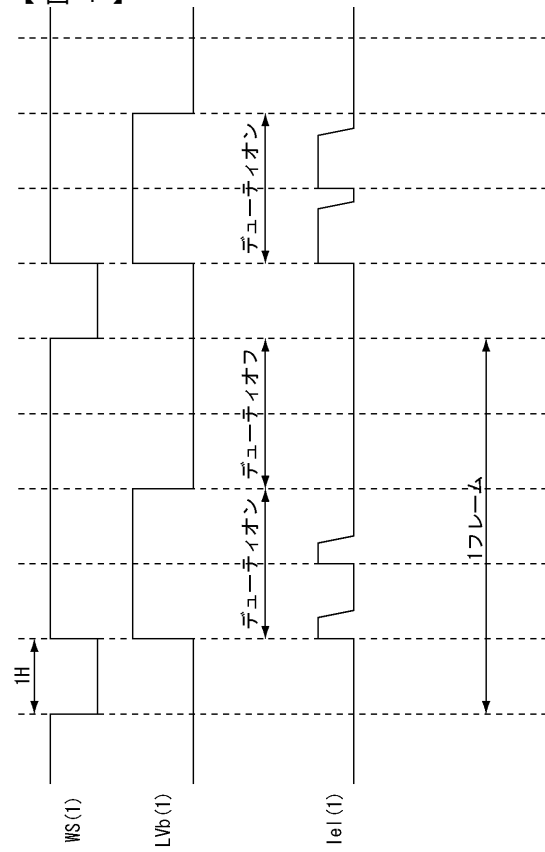
【図2】



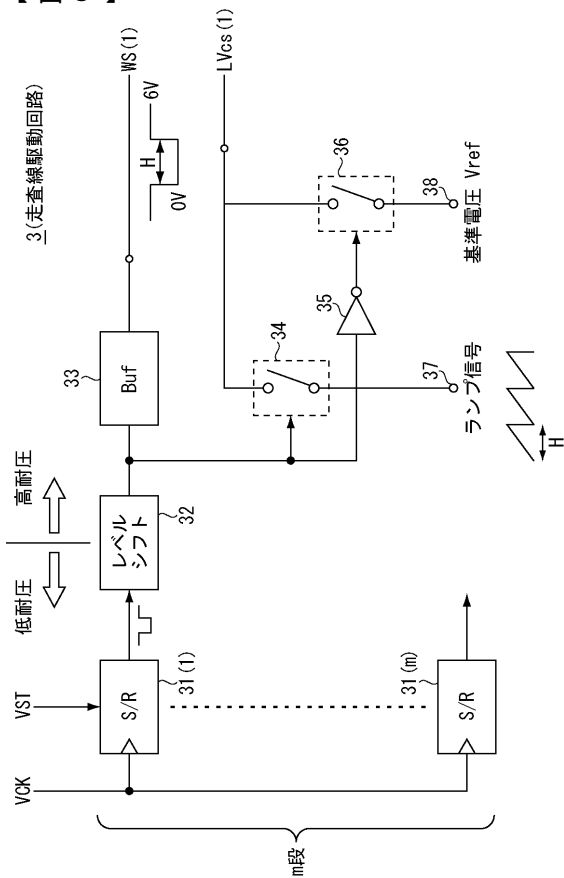
【図 3】



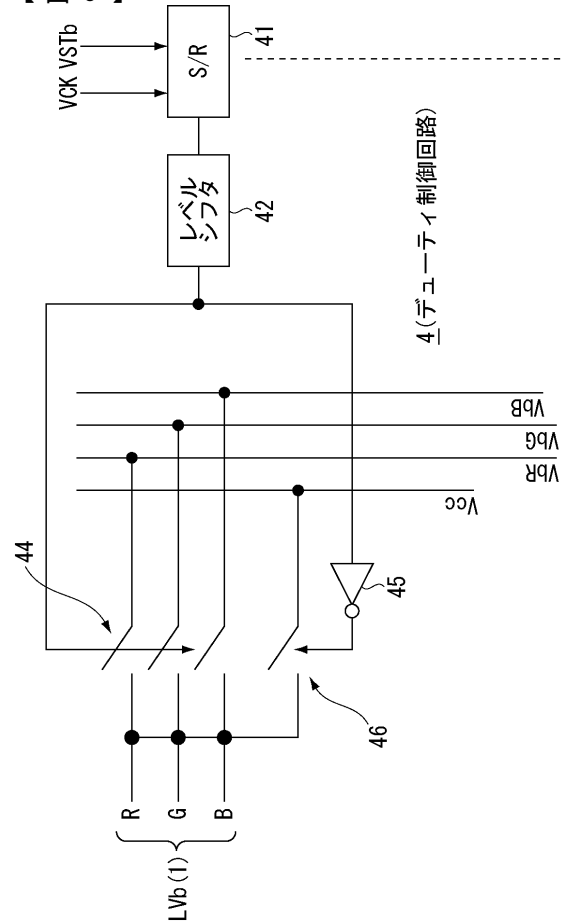
【図 4】



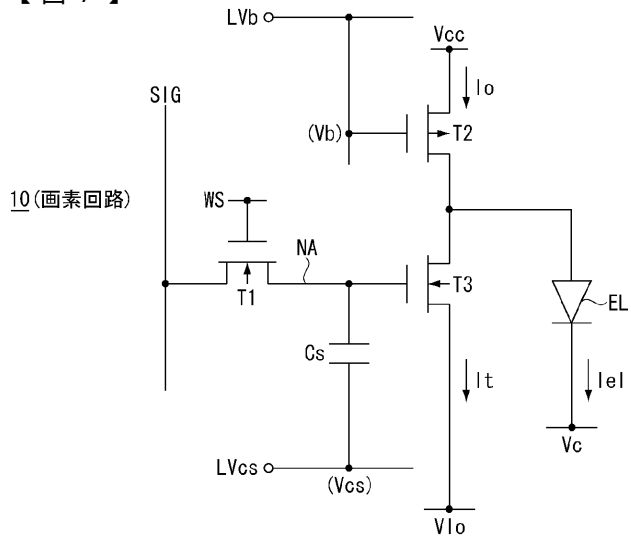
【図 5】



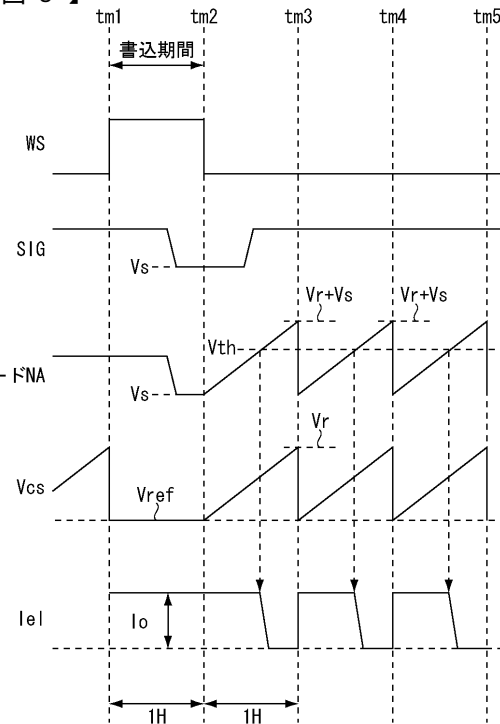
【図 6】



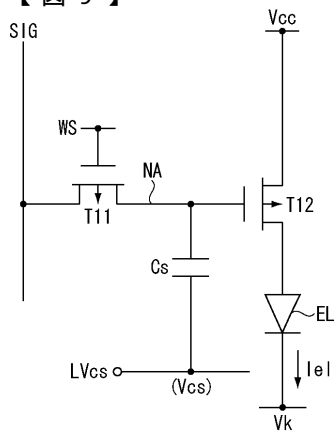
【図 7】



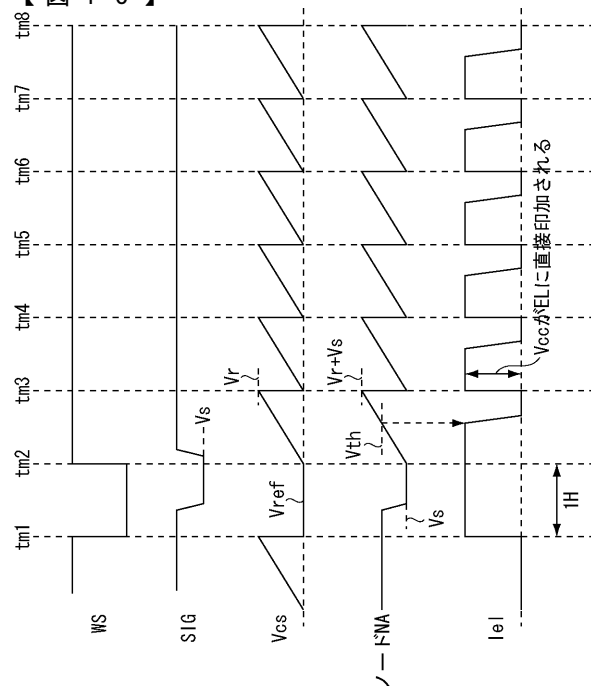
【図 8】



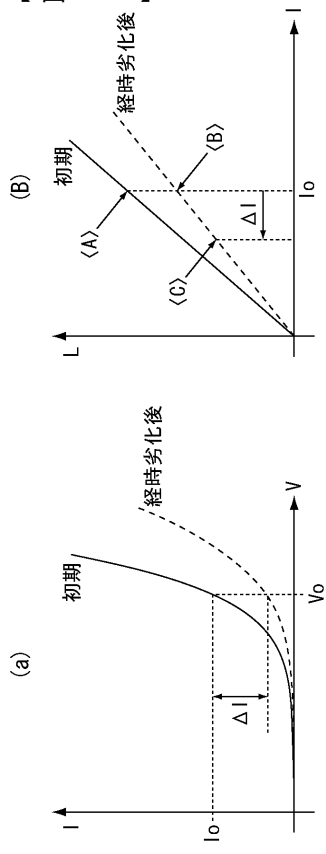
【図 9】



【図 10】



【図 1 1】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 4 2 L
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 7 0 J
H 0 5 B	33/14	A

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2007108568A	公开(公告)日	2007-04-26
申请号	JP2005301567	申请日	2005-10-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	中村和夫 内野勝秀		
发明人	中村 和夫 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.624.B G09G3/20.622.A G09G3/20.623.A G09G3/20.641.A G09G3/20.622.G G09G3/20.642.L G09G3/20.611.H G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/28.230		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC10 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB09 5C380/BB15 5C380/BB16 5C380/BB23 5C380/BD02 5C380/BD09 5C380/BE05 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB14 5C380/CB18 5C380/CB26 5C380/CC02 5C380/CC03 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CF07 5C380/CF51 5C380/DA01 5C380/DA02 5C380/DA07 5C380/DA30 5C380/DA32 5C380/DA35		
其他公开文献	JP5092227B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种通过占空比驱动改善了运动图像特性的显示装置。每个像素电路包括发光元件EL，第一，第二和第三晶体管T1，T2，T3和电容器Cs。占空比控制电路将在发光期间具有规定的偏置电位Vb，在非发光期间具有固定的电位Vcc的占空比信号输出到各控制线LVb。响应于从扫描线WS提供的扫描脉冲，晶体管T1导通。当晶体管T1导通时，从信号线SIG提供的视频信号被写入电容器Cs。晶体管T2的栅极处于偏置电势Vb时，提供驱动电流Io，并且晶体管T2处于固定电势Vcc时，其截止。晶体管T3根据写入电容器Cs的视频信号和施加到电容器Cs的斜坡信号Vcs工作，并且使从晶体管T2提供的驱动电流Io流过发光元件EL发光。[选择图]图2

