

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-3706

(P2007-3706A)

(43) 公開日 平成19年1月11日(2007.1.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 H	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 18 O L (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2005-182226 (P2005-182226)

(22) 出願日 平成17年6月22日(2005.6.22)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 湯本 昭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 浅野 慎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

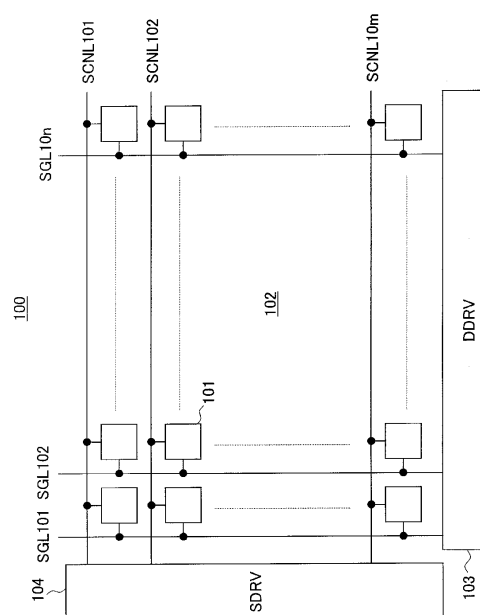
(54) 【発明の名称】 画素回路、表示装置、並びに画素回路の駆動方法

(57) 【要約】

【課題】高輝度時の輝度ばらつきを防止でき、かつ、低輝度時の信号書き込み応答性を損わない画素回路、および表示装置、並びに画素回路の駆動方法を提供する。

【解決手段】画素回路101は、電源電位VCCと基準電位GNDとの間に直列に配置されたTFT111および有機EL発光素子113、信号線SGLとTFT111のゲート間に接続されたTFT112、およびTFT111のゲートと電源電位線VCCとの間に接続されたキャパシタC111を含み、1フィールド期間にN(8あるいは10)個のサブフィールドSF期間を設けて、Nビット(2のN乗階調)表示を可能にし、スキャンドライバ104がN個のサブフィールドSF1~SFNの信号を発生させ、スキャンドライバ104が先の選択を行うときに、信号線SGLにデータドライバ103からハイレベルまたはローレベルの信号を印加し画素への信号の取り込みをそのタイミングで行う。

【選択図】図4



【特許請求の範囲】

【請求項 1】

流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、
少なくとも輝度情報に応じた電圧信号が供給される信号線と、
少なくとも第 1 の制御線と、
第 1 の基準電位および第 2 の基準電位と、
ノードと、
上記第 1 の基準電位と上記第 2 の基準電位間に、上記電気光学素子と直列に接続され、
上記ノードの電位に応じてオン、オフする第 1 のスイッチと、
上記信号線とノードとの間に接続され、上記第 1 の制御線によってオン、オフされる第 10
2 のスイッチと、
上記ノードと所定電位との間に接続され、上記第 2 のスイッチを通して入力した電圧信号
を保持するキャパシタと、を含み、
1 フィールドが N 個（ただし N は正の整数）のサブフィールドに分割されて N 個の異なる
区分が設定され、各サブフィールドごとに上記第 2 のスイッチがオン、オフ制御されて
電圧信号を入力し、入力信号に応じて上記第 1 のスイッチをオン、オフさせて、N ビット
階調表示を行うように制御される
画素回路。

【請求項 2】

上記サブフィールドごとに電圧信号を入力した後に、上記ノードの電位を所定電位とし 20
てイレーズするイレーズ部を含む
請求項 1 記載の画素回路。

【請求項 3】

上記第 1 のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有
する
請求項 1 記載の画素回路。

【請求項 4】

上記第 1 のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有
する
請求項 2 記載の画素回路。 30

【請求項 5】

上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する
請求項 3 記載の画素回路。

【請求項 6】

上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する
請求項 4 記載の画素回路。

【請求項 7】

各サブフィールドの先頭の 1 水平走査期間が N 等分されて N 個の区分が設定され、各サ
ブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第 2 のスイッチ
のオン、オフ周期を 1 水平走査期間の長さの $1/N$ 倍または K/N 倍（ただし、K は 2 以 40
上の整数）として、N ビットの階調表示を行うように制御される
請求項 1 記載の画素回路

【請求項 8】

マトリクス状に複数配列された画素回路と、
上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた電圧信号が
供給される信号線と、
上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第 1 の制御線と、
上記信号線に所望の上記電圧信号を伝搬させる第 1 のドライバと、
上記第 1 の制御線に所定のタイミングでスイッチをオン、オフするための信号を印加す
る第 2 のドライバと、

第 1 の基準電位および第 2 の基準電位と、を有し、

上記各画素回路は、

流れる電流によって輝度が変化する電気光学素子と、

ノードと、

上記第 1 の基準電位と上記第 2 の基準電位間に、上記電気光学素子と直列に接続され、上記ノードの電位に応じてオン、オフする第 1 のスイッチと、

上記信号線とノードとの間に接続され、上記第 1 の制御線によってオン、オフされる第 2 のスイッチと、

上記ノードと所定電位との間に接続され、上記第 2 のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、

上記第 1 および第 2 のドライバは、

各フィールドが N 個（ただし N は正の整数）のサブフィールドに分割されて N 個の異なる区分が設定され、各サブフィールドごとに上記画素回路の上記第 2 のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第 1 のスイッチをオン、オフさせて、 N ビット階調表示を行うように上記第 1 の制御線および信号線を駆動する表示装置。

【請求項 9】

各サブフィールドの先頭の 1 水平走査期間が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第 2 のスイッチのオン、オフ周期を 1 水平走査期間の長さの $1/N$ 倍または K/N 倍（ただし、 K は 2 以上の整数）として、 N ビットの階調表示を行うように制御される

請求項 8 記載の表示装置。

【請求項 10】

上記各画素回路の階調を表現するサブフィールドの配置順について、1 水平走査期間におけるサブフィールドの上記第 2 のスイッチのオン、オフのタイミングが、すべてのラインにおいて異なり、かつ、タイミングチャートを横軸に時間、縦軸にライン番号とした場合、上記オン、オフのタイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる

請求項 9 記載の表示装置。

【請求項 11】

上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリを有する

請求項 8 記載の表示装置。

【請求項 12】

1 フィールド期間において、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリと、

上記画素回路の階調表示を行うための 1 フィールド期間内に表示データの入れ替えを行う、フィールドメモリと、を有する

請求項 8 記載の表示装置。

【請求項 13】

上記画素回路は、上記サブフィールドごとに電圧信号を入力した後に、上記ノードの電位を所定電位としてイレーズするイレーズ部を含む

請求項 8 記載の表示装置。

【請求項 14】

上記第 1 のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有する

請求項 8 記載の表示装置。

【請求項 15】

上記第 1 のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有する

請求項 13 記載の表示装置。

10

20

30

40

50

【請求項 16】

上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する請求項 14 記載の表示装置。

【請求項 17】

上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する請求項 15 記載の表示装置。

【請求項 18】

流れる電流によって輝度が変化する電気光学素子と、
少なくとも輝度情報に応じた電圧信号が供給される信号線と、
少なくとも第 1 の制御線と、
第 1 の基準電位および第 2 の基準電位と、
ノードと、

10

上記第 1 の基準電位と上記第 2 の基準電位間に、上記電気光学素子と直列に接続され、
上記ノードの電位に応じてオン、オフする第 1 のスイッチと、

上記信号線とノードとの間に接続され、上記第 1 の制御線によってオン、オフされる第 2 のスイッチと、

上記ノードと所定電位との間に接続され、上記第 2 のスイッチを通して入力した電圧信号を保持するキャパシタと、を含む画素回路の駆動方法であって、

1 フィールドを N 個（ただし N は正の整数）のサブフィールドに分割して N 個の異なる区分を設定し、各サブフィールドごとに上記第 2 のスイッチをオン、オフ制御して電圧信号を入力し、入力信号に応じて上記第 1 のスイッチをオン、オフさせて、N ビット階調表示を行うように駆動する

20

画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL (Electroluminescence) 表示装置および LCD (液晶表示装置) などのアクティブマトリクス表示装置を含む信号線によって輝度が制御される電気光学素子を有する画素回路、表示装置、並びに画素回路の駆動方法に関するものである。

【背景技術】

30

【0002】

アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機 EL 素子等の電気光学素子が用いられる。

そのうち、有機 EL 素子は有機材料からなる層、すなわち有機層を電極で挟み込んだ構造を有している。

この有機 EL 素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機 EL 素子は以下のような特長を持っている。

【0003】

(1) 10 V 以下の低電圧駆動で、数百～数万 cd/m^2 の輝度が得られることから低消費電力化が可能である。

40

(2) 自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。

(3) シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。

【0004】

これらの特長を持つ有機 EL 素子を画素の表示素子として用いた有機 EL 表示装置（以下、有機 EL ディスプレイと記す）は、次世代のフラットパネルディスプレイとして有望視されている。

【0005】

50

ところで、有機ＥＬディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方式のうち、アクティブマトリクス方式には、以下のような特長がある。

【０００６】

(１) 各画素における有機ＥＬ素子の発光を１フレーム期間に亘って保持できるアクティブマトリクス方式は、有機ＥＬディスプレイの高精細化・高輝度化に適している。

(２) 基板(パネル)上に、薄膜トランジスタを用いた周辺回路を作製することが可能であるため、パネル外部とのインターフェイスの簡素化、パネルの高機能化が可能である。

【０００７】

このアクティブマトリクス型有機ＥＬディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ(Thin Film Transistor ; T F T)を用いるのが一般的である。 10

その理由は、ポリシリコンT F Tは駆動能力が高く、画素サイズを小さく設計できることによって高精細化に有利だからである。

【０００８】

ところで、ポリシリコンT F Tは上述したような特長を持つ反面、特性のばらつきが大きいことも広く知られている。

したがって、ポリシリコンT F Tを用いる場合、その特性ばらつきを抑えること、また回路的にT F Tの特性ばらつきを補償することは、ポリシリコンT F Tを用いたアクティブマトリクス型有機ＥＬディスプレイにおける大きな課題である。これは、次のような理由による。 20

【０００９】

すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機ＥＬディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。

【００１０】

図１は、アクティブマトリクス型有機ＥＬディスプレイの画素回路の構成例を示す回路図である(たとえば、特許文献１、２参照)。

【００１１】

マトリクス状に配列される画素回路１０は、図１に示すように、pチャネルT F T １１、nチャネルT F T １２、およびキャパシタC １１、および有機ＥＬ素子(O L E D)からなる発光素子１３を有する。 30

各画素回路１０のT F T １１は、ソースが電源電位線V C C Lに、ゲートがT F T １２のドレインにそれぞれ接続されている。有機ＥＬ発光素子１３は、アノードがT F T １１のドレインに、カソードが基準電位(たとえば、グランド電位)G N Dにそれぞれ接続されている。

各画素回路１０のT F T １２は、ソースが対応する列の信号線S G Lに、ゲートが対応する行の走査線S C N Lにそれぞれ接続されている。

キャパシタC １１は、一端が電源電位線V C C Lに、他端がT F T １２のドレインにそれぞれ接続されている。 40

【００１２】

なお、有機ＥＬ素子は多くの場合整流性があるため、O L E D(Organic Light Emitting Diode)と呼ばれることがあり、図１その他では発光素子としてダイオードの記号を用いているが、以下の説明においてはO L E Dに必ずしも整流性を要求するものではない。

【００１３】

このような構成を有する画素回路１０において、輝度データの書き込みを行う画素では、図示しないスキャンドライバ３によって走査線を介して選択されることで、画素回路１０のT F T １２がオンする。

このとき、輝度データはデータドライバ２から信号線S G Lを介して電圧で供給され、T F T １２を通してデータ電圧を保持するキャパシタC １１に書き込まれる。 50

キャパシタC 1 1に書き込まれた輝度データは、1フィールド期間に亘って保持される。この保持されたデータ電圧は、T F T 1 1のゲートに印加される。

これにより、T F T 1 1は、保持データに従って有機E L発光素子1 3を電流で駆動する。このとき、有機E L発光素子1 3の階調表現は、キャパシタC 1 1によって保持されるT F T 1 1のゲート・ソース間電圧V d a t a (< 0)を変調することによって行われる。

【0 0 1 4】

一般に、有機E L素子の輝度L o l e dは、当該素子に流れる電流I o l e dに比例する。したがって、有機E L発光素子1 3の輝度L o l e dと電流I o l e dとの間には次式(1)が成り立つ。

【0 0 1 5】

(数 1)

$$L_{oled} \quad I_{oled} = k (V_{data} - V_{th})^2 \quad \dots (1)$$

【0 0 1 6】

式(1)において、 $k = 1 / 2 \cdot \mu \cdot C_{ox} \cdot W / L$ である。ここで、 μ はT F T 1 1のキャリアの移動度、 C_{ox} はT F T 1 1の単位面積当たりのゲート容量、 W はT F T 1 1のゲート幅、 L はT F T 1 1のゲート長である。

したがって、T F T 1 1の移動度 μ 、しきい値電圧 $V_{th} (< 0)$ のばらつきが、直接的に、有機E L発光素子1 3の輝度ばらつきに影響を与えることがわかる。

【0 0 1 7】

この場合、たとえば異なる画素に対して同じ電位V d a t aを書き込んでも、画素によってT F T 1 1のしきい値 V_{th} がばらつく結果、発光素子(OLED) 1 3に流れる電流I o l e dは画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。

【0 0 1 8】

この問題を改善するため多数の画素回路が提案されているが、代表例を図2に示す(たとえば特許文献3、または特許文献4参照)。

【0 0 1 9】

図2の画素回路2 0は、pチャネルT F T 2 1、nチャネルT F T 2 2 ~ 2 4、キャパシタC 2 1、C 2 2、発光素子である有機E L発光素子2 5を有する。また、図3において、S G Lは信号線を、S C N Lは走査線を、A Z Lはオートゼロ線を、D R V Lは駆動線をそれぞれ示している。

この画素回路2 0の動作について、図3に示すタイミングチャートを参照しながら以下に説明する。

【0 0 2 0】

図3(A)、(B)に示すように、駆動線D R V L、オートゼロ線A Z Lをハイレベルとし、T F T 2 2およびT F T 2 3を導通状態とする。このときT F T 2 1はダイオード接続された状態で発光素子(OLED) 2 5と接続されるため、T F T 2 1に電流が流れる。

【0 0 2 1】

次に、図3(A)に示すように、駆動線D R V Lをローレベルとし、T F T 2 2を非導通とする。このとき走査線S C N Lは、図3(C)に示すように、ハイレベルでT F T 2 4が導通状態とされ、信号線S G Lには、図3(D)に示すように、基準電位 V_{ref} が与えられる。T F T 2 1に流れる電流が遮断されるため、図3(E)に示すようにT F T 2 1のゲート電位 V_g は上昇するが、その電位が $V_{DD} - |V_{th}|$ まで上昇した時点でT F T 2 1は非導通状態となって電位が安定する。この動作を以後、「オートゼロ動作」と称することがある。

【0 0 2 2】

図3(B)、(D)に示すように、オートゼロ線A Z LをローレベルとしてT F T 2 3を非導通状態とし、信号線S G Lの電位を V_{ref} から ΔV_{data} だけ低い電位とする。この信号線電位の変化は、図3(E)に示すように、キャパシタC 2 1を介してT F T 2 1の

10

20

30

40

50

ゲート電位を ΔV_g だけ低下させる。

【0023】

図3(A), (C)に示すように、走査線 $SCNL$ をローレベルとして $TFT24$ を非導通状態とし、駆動線 $DRVL$ をハイレベルとして $TFT22$ を導通状態とすると、 $TFT21$ および発光素子 (OLED) 25 に電流が流れ、発光素子 25 が発光を開始する。

【0024】

寄生容量が無視できるとすれば、 ΔV_g および $TFT21$ のゲート電位 V_g はそれぞれ次のようになる。

【0025】

(数2)

$$\Delta V_g = \Delta V_{data} \times C_1 / (C_1 + C_2) \quad \dots (2)$$

【0026】

(数3)

$$V_g = V_{cc} - |V_{th}| - \Delta V_{data} \times C_1 / (C_1 + C_2) \quad \dots (3)$$

【0027】

ここで、 C_1 はキャパシタ $C21$ の容量値、 C_2 はキャパシタ $C22$ の容量値をそれぞれ示している。

【0028】

一方、発光時に発光素子 (OLED) 25 に流れる電流を I_{oled} とすると、これは発光素子 25 と直列に接続される $TFT21$ によって電流値が制御される。 $TFT21$ が飽和領域で動作すると仮定すれば、良く知られた MOS トランジスタの式および上記(3)式を用いて次の関係を得る。

【0029】

(数4)

$$\begin{aligned} I_{oled} &= \mu C_{ox} W / L / 2 (V_{cc} - V_g - |V_{th}|)^2 \\ &= \mu C_{ox} W / L / 2 (\Delta V_{data} \times C_1 / (C_1 + C_2))^2 \\ &\quad \dots (4) \end{aligned}$$

【0030】

ここで、 μ はキャリアの移動度、 C_{ox} は単位面積当たりのゲート容量、 W はゲート幅、 L はゲート長をそれぞれ示している。

【0031】

(4)式によれば、 I_{oled} は $TFT21$ のしきい値 V_{th} によらず、外部から与えられる ΔV_{data} によって制御される。言い換えれば、図2の画素回路20を用いれば、画素毎にばらつくしきい値 V_{th} の影響を受けず、電流の均一性、ひいては輝度の均一性が比較的高い表示装置を実現することができる。

【特許文献1】USP5, 684, 365

【特許文献2】特開平8-234683号公報

【特許文献3】USP6, 229, 506

【特許文献4】特表2002-514320号公報のFIG. 3

【発明の開示】

【発明が解決しようとする課題】

【0032】

上述のように、図1のような画素回路10を用いた場合、トランジスタのしきい値 V_{th} のばらつきのため、画素間の輝度の均一性が損なわれ、高品位の表示装置を構成することは困難である。

【0033】

一方、図2の画素回路を用いれば、輝度の均一性が比較的高い表示装置を実現することが可能であるが、これには次のような問題がある。

【0034】

第1の問題は、外部から駆動するデータ振幅 ΔV_{data} に対し、駆動トランジスタのゲー

10

20

30

40

50

ト振幅 ΔV_g は (2) 式に従って減少する。逆に言えば、同じ ΔV_g を得るために大きな ΔV_{data} を与える必要があり、これは消費電力やノイズの点から望ましくない。

【0035】

第2の問題は、図3の画素回路20に関する上記動作説明は理想的なものであって、実際には、発光素子(OLED)25を駆動するTFT21の V_{th} のばらつきの影響が無くなるわけではない。

これは、オートゼロ線AZLとTFT21のゲートノードがTFT23のゲート容量によって結合されており、オートゼロ線AZLが高レベルへ遷移してTFT23が非導通状態となる過程において、TFT23のチャネル電荷がTFT21のゲートノードに流入するためである。この理由を次に説明する。

10

【0036】

すなわち、オートゼロ動作終了後、TFT21のゲート電位は理想的には $V_{CC}-|V_{th}|$ であるべきであるが、上記電荷の流入によって実際にはそれよりやや高い電位となり、なおかつこの電荷の流入量は V_{th} の値によって変動する。なぜなら、オートゼロ動作終了直前におけるTFT21のゲート電位はほぼ $V_{CC}-|V_{th}|$ である。したがって、この電位は $|V_{th}|$ がたとえば小さい程高い。

一方、オートゼロ動作終了時、オートゼロ線AZLの電位が上昇してTFT23が非導通に転ずる際、そのソース電位、すなわちTFT21のゲート電位が高い程、TFT23が非導通になるタイミングが遅れるため、より多くの電荷がTFT21のゲートに流入することになる。結果としてオートゼロ動作終了後のTFT21のゲート電位が $|V_{th}|$ の影響を受けるため、前述の(3)式や(4)式が厳密には成立せず、画素毎にばらつく V_{th} の影響を受けることになる。

20

【0037】

また、低温ポリシリコンTFT作製時のレーザアニールのポリシリコンの結晶粒径ばらつきに起因した移動度のばらつきは除去することはできない。そのため、面内輝度ばらつきが発生してしまう。特に、低輝度時より高輝度時に面内輝度ばらつきが発生する。

【0038】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、高輝度時の輝度ばらつきを防止でき、かつ、低輝度時の信号書き込み応答性を損わない画素回路、および表示装置、並びに画素回路の駆動方法を提供することにある。

30

【課題を解決するための手段】

【0039】

本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、少なくとも輝度情報に応じた電圧信号が供給される信号線と、少なくとも第1の制御線と、第1の基準電位および第2の基準電位と、ノードと、上記第1の基準電位と上記第2の基準電位間に、上記電気光学素子と直列に接続され、上記ノードの電位に応じてオン、オフする第1のスイッチと、上記信号線とノードとの間に接続され、上記第1の制御線によってオン、オフされる第2のスイッチと、上記ノードと所定電位との間に接続され、上記第2のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、1フィールドがN個(ただしNは正の整数)のサブフィールドに分割されてN個の異なる区分が設定され、各サブフィールドごとに上記第2のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第1のスイッチをオン、オフさせて、Nビット階調表示を行うように制御される。

40

【0040】

本発明の第2の観点の表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた電圧信号が供給される信号線と、上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第1の制御線と、上記信号線に所望の上記電圧信号を伝搬させる第1のドライバと、上記第1の制御線に所定のタイミングでスイッチをオン、オフするための信号を印加する第2のドライバと、第1の基準電位および第2の基準電位と、を有し、上記各画素回路は、流れる電

50

流によって輝度が変化する電気光学素子と、ノードと、上記第1の基準電位と上記第2の基準電位間に、上記電気光学素子と直列に接続され、上記ノードの電位に応じてオン、オフする第1のスイッチと、上記信号線とノードとの間に接続され、上記第1の制御線によってオン、オフされる第2のスイッチと、上記ノードと所定電位との間に接続され、上記第2のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、上記第1および第2のドライバは、各フィールドがN個（ただしNは正の整数）のサブフィールドに分割されてN個の異なる区分が設定され、各サブフィールドごとに上記画素回路の上記第2のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第1のスイッチをオン、オフさせて、Nビット階調表示を行うように上記第1の制御線および信号線を駆動する。

10

【0041】

好適には、各サブフィールドの先頭の1水平走査期間がN等分されてN個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第2のスイッチのオン、オフ周期を1水平走査期間の長さの1/N倍またはK/N倍（ただし、Kは2以上の整数）として、Nビットの階調表示を行うように制御される。

【0042】

好適には、上記各画素回路の階調を表現するサブフィールドの配置順について、1水平走査期間におけるサブフィールドの上記第2のスイッチのオン、オフのタイミングが、すべてのラインにおいて異なり、かつ、タイミングチャートを横軸に時間、縦軸にライン番号とした場合、上記オン、オフのタイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

20

【0043】

好適には、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリを有する。

【0044】

好適には、1フィールド期間において、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリと、上記画素回路の階調表示を行うための1フィールド期間内に表示データの入れ替えを行う、フィールドメモリと、を有する。

【0045】

好適には、上記画素回路は、上記サブフィールドごとに電圧信号を入力した後に、上記ノードの電位を所定電位としてイレーズするイレーズ部を含む。

30

【0046】

好適には、上記第1のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有する。

【0047】

好適には、上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する。

【0048】

本発明の第3の観点は、流れる電流によって輝度が変化する電気光学素子と、少なくとも輝度情報に応じた電圧信号が供給される信号線と、少なくとも第1の制御線と、第1の基準電位および第2の基準電位と、ノードと、上記第1の基準電位と上記第2の基準電位間に、上記電気光学素子と直列に接続され、上記ノードの電位に応じてオン、オフする第1のスイッチと、上記信号線とノードとの間に接続され、上記第1の制御線によってオン、オフされる第2のスイッチと、上記ノードと所定電位との間に接続され、上記第2のスイッチを通して入力した電圧信号を保持するキャパシタと、を含む画素回路の駆動方法であって、1フィールドをN個（ただしNは正の整数）のサブフィールドに分割してN個の異なる区分を設定し、各サブフィールドごとに上記第2のスイッチをオン、オフ制御して電圧信号を入力し、入力信号に応じて上記第1のスイッチをオン、オフさせて、Nビット階調表示を行うように駆動する。

40

【0049】

50

本発明によれば、輝度データの書き込みを行う画素回路においては、第1の制御線により選択されることで、画素回路の第2のスイッチが所定期間オンする。

このとき、信号線を介してハイレベルまたはローレベルを示す電圧信号が給され、第2のスイッチを通してキャパシタに保持される。

キャパシタに保持されたデータ電圧は、ノードを通して第1のスイッチをオンまたはオフさせる。

これにより、保持データに従って電気光学素子を電流で駆動する。

電気光学素子を駆動する場合にオン、オフされる第1および第2のスイッチは、単なるオン・オフスイッチとして機能する。

そして、電気光学素子の階調表現は、たとえば1フィールド期間にN個のサブフィールド期間を設けて、Nビット階調表示を可能にしている。 10

このときに、N個のサブフィールドの信号が分割して発生され、画素回路の選択を行うときに、信号線にはハイレベルまたはローレベルの信号が印加され、画素への信号の取り込みがそのタイミングで行われる。

【発明の効果】

【0050】

本発明によれば、高輝度での輝度ばらつきが無くなり、特に、白表示時の画像品質が向上する。

また、任意の輝度参照を設定できるため、パネルアプリケーション、たとえば、背景がグレイ表示に対応時に輝度ばらつき偏差をなくすように設定することができる。 20

また、電圧信号駆動が可能であるため、信号線への接続点数を軽減できる利点がある。

【発明を実施するための最良の形態】

【0051】

以下、本発明の実施形態を図面に関連付けて説明する。

【0052】

< 第1実施形態 >

図4は、本第1の実施形態に係るアクティブマトリクス型有機ELディスプレイの構成の概略を示す図である。

図5は、本第1の実施形態に係るアクティブマトリクス型有機ELディスプレイの画素回路の構成例を示す回路図である。 30

【0053】

アクティブマトリクス型有機ELディスプレイ100は、画素回路101が $m \times n$ 個のマトリクス状に配列された画素アレイ部102、第1のドライバとしてのデータドライバ(DDRV)103、および第2のドライバとしてのスキンドライバ(SDRV)104を有している。

そして、画素回路101のマトリクス配列に対してデータドライバ(DDRV)103によって選択的に駆動される n 列分の信号線 $SG_L101 \sim SG_L10n$ が画素列毎に配線され、スキンドライバ(SDRV)104によって選択的に駆動される m 行分の第1の制御線としての走査線 $SC_NL101 \sim SC_NL10m$ が画素行毎にそれぞれ配線されている。 40

【0054】

また、画素回路101は、図5に示すように、 p チャネルTFT111、112、およびキャパシタ $C111$ 、および有機EL素子(OLED)からなる発光素子113を有する。

各画素回路101のTFT111は、ソースが電源電位線 V_{CC} に、ゲートがTFT112のドレインにそれぞれ接続されている。有機EL発光素子113は、アノードがTFT111のドレインに、カソードが基準電位(たとえば、グランド電位) GND にそれぞれ接続されている。

各画素回路101のTFT112は、ソースが対応する列の信号線 $SG_L101 \sim SG_L10n$ に、ゲートが対応する行の走査線 $SC_NL101 \sim SC_NL10m$ にそれぞれ接 50

続されている。

キャパシタ C 1 1 1 は、一端（第 1 電極）が電源電位線 V C C L に、他端（第 2 電極）が T F T 1 1 2 のドレインにそれぞれ接続されている。

【 0 0 5 5 】

本実施形態の画素回路 1 0 1 における 2 つの T F T 1 1 1 , 1 1 2 は、低温ポリシリコンの T F T からなり、飽和領域ではなく、リニア領域で動作させ、単なるスイッチとして機能するように駆動される。

すなわち、画素回路 1 0 1 は、低音ポリシリコン T F T からなるセクタスイッチ回路を含んで構成されており、これにより、信号電位を発生させるソース I C のピン（PIN）数を削減することが可能となる。

10

【 0 0 5 6 】

本実施形態の画素回路 1 0 1 は、データドライバ 1 0 3 およびスキャンドライバ 1 0 4 により、1 フィールド期間において、複数回表示するように駆動制御される。

また、データドライバ 1 0 3 は、後で詳述するように、セクタスイッチを含み、セクタスイッチは、画素回路 1 0 1 の複数回表示において分割されたフィールドの中で 2 回以上の複数回選択されて、信号線 S G L を介した信号書き込みが行われる。

【 0 0 5 7 】

垂直走査回路としてのスキャンドライバ 1 0 4 は、データラッチ方式のシフトレジスタ方式を採用している。

スキャンドライバ 1 0 4 のスキャン（走査）タイミングは、図 6 のタイミングチャートに示すように、たとえば 1 フィールド (Field) 期間（16.7 m s）に 8 個のサブフィールド（Sub Field: S F）期間を設けて、8 ビット（2⁵6 階調）表示を可能にしている。

20

このときに、スキャンドライバ 1 0 4 が 8 個のサブフィールド（Sub Field）S F 1 ~ S F 8（Field 分割選択）の信号を発生させ、スキャンドライバ（垂直走査回路）1 0 4 が先の選択を行うときに、信号線 S G L にはデータドライバ（セクタ）1 0 3 からハイ（High）レベル（たとえば 10 V）またはロー（Low）レベル（0 V）の信号が印加され、画素への信号の取り込みをそのタイミングで行う。

【 0 0 5 8 】

図 7 は、本第 1 の実施形態に係る表示パネルの構成例を示す図である。

30

【 0 0 5 9 】

図 7 に示すように、表示パネル 2 0 0 に、画素アレイ部 1 0 2、データドライバ（D D R V）1 0 3、およびスキャンドライバ（S D R V）1 0 4 が形成されている。

そして、データドライバ 1 0 3 は、データインターフェースを介してチップ 3 0 0 に形成されたソース I C 3 0 1 が接続されている。

図 7 の画素アレイ部 1 0 2 は、例としてパネルの画素数を横方向 9 6 0（R G B）×縦方向 2 4 0（ライン）としている。

【 0 0 6 0 】

データドライバ 1 0 3 は、レベルシフタ 1 0 3 1 および 2 - セクタスイッチ部 1 0 3 2 により構成されている。

40

本実施形態においては、ソース I C 3 0 1 からの 0 / 5 V 振幅の発生信号をパネル入力部の近傍に存在するデータドライバ 1 3 0 のレベルシフタ 1 0 3 1 により 0 / 10 V 振幅の信号にレベルシフトし、さらにセクタスイッチ部 1 0 3 2 を介して選択することにより、8 個のサブフィールド S F に時分割配分する。

【 0 0 6 1 】

図 8 は、セクタスイッチ部 1 0 3 の複数の各セクタスイッチを切り替える切替信号 S 1、S 2 のタイミング例を示す図である。

図 7 に示すセクタスイッチ部 1 0 3 1 は、セクタスイッチ S W 1、S W 2、S W 3 の 3 つのみを示している。

【 0 0 6 2 】

50

図 7 のスイッチ S W 1 は、切替信号 S 1 を受けると B 信号に対応した信号線 S G L 1 0 1 - B にレベルシフトされた 1 0 V の信号または 0 V に信号を伝搬させ、切替信号 S 2 を受けると R 信号に対応した信号線 S G L 1 0 2 - R にレベルシフトされた 1 0 V の信号または 0 V の信号を伝搬させる。

スイッチ S W 2 は、切替信号 S 1 を受けると G 信号に対応した信号線 S G L 1 0 3 - G にレベルシフトされた 1 0 V の信号または 0 V の信号を伝搬させ、切替信号 S 2 を受けると B 信号に対応した信号線 S G L 1 0 4 - B にレベルシフトされた 1 0 V の信号または 0 V の信号を伝搬させる。

スイッチ S W 3 は、切替信号 S 1 を受けると R 信号に対応した信号線 S G L 1 0 5 - R にレベルシフトされた 1 0 V の信号または 0 V の信号を伝搬させ、切替信号 S 2 を受けると G 信号に対応した信号線 S G L 1 0 6 - G にレベルシフトされた 1 0 V の信号または 0 V の信号を伝搬させる。

10

【 0 0 6 3 】

このような、時分割階調表示を行うことにより、ソース I C 3 0 1 からの信号線の数、通常の有機 E L ディスプレイに対して、説き分割分で割った（除した）数で対応できることから入出力ピン数を少なくできる。

【 0 0 6 4 】

以上のように、本実施形態においては、画素回路 1 0 1 の光学素子 1 1 3 を駆動して表示するに際し、1 フィールドを複数のサブフィールド S F に分割して発光期間の異なる（長さの異なる）サブフィールド S F を選択（オン、オフ）し発光させて階調表示を行う時分割階調表示を採用している。

20

本実施形態においては、この時分割階調表示を行う場合に、線順次書き込み方式ではなく、アドレス表示同時駆動方式（A W D : Address While Display Driving Scheme）に従ってデータ出力を行う。

【 0 0 6 5 】

以下に、線順次書き込み方式ではなく A W D 方式を採用した理由について説明する。

まず、線順次書き込み方式について、図 9 ~ 図 1 1 に関連付けて説明する。

【 0 0 6 6 】

図 9 は、線順次書き込み方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。図 1 0 は、線順次書き込み方式のデータの出力形態を示す図である。図 1 1 は、線順次書き込み方式を採用した場合のスキャンの様子を示す図である。

30

【 0 0 6 7 】

ここでは、1 フィールドをそれぞれ期間の異なる 3 つのサブフィールド S F 1、S F 2、S F 3 に分割する 8 階調表示の場合であって、8 ライン駆動の場合を例としている。

線順次の場合、データは図 9 および図 1 0 に示すように、L S B から M S B へと順番に出力され、書き込みの順番は線順次、すなわち、ライン L 1 ~ ライン L 8 のサブフィールド S F 1 を書き込み、ライン L 1 ~ ライン L 8 のサブフィールド S F 2 を書き込み、ライン L 1 ~ ライン L 8 のサブフィールド S F 3 を書き込む。

しかしこの場合、図 9 に示すように、書き込めない期間が存在してしまう。

有機 E L 素子からなる発光素子 1 1 3 の劣化を抑えるために、1 度に流れる電流量を抑えることが必要である。電流量を抑えるためには発光期間を長くすればよいが、書き込み時間以外をすべて発光期間にすると、書き込み時間が足りなくなる。

40

たとえば、2 4 0 ラインで 8 S F（2 5 6 階調）の場合、書き込み時間は 0 . 2 7 μ s となる。

書き込み時間を優先すると、表示期間が減少する。たとえば、2 4 0 ライン、8 S F（2 5 6 階調）で、書き込み時間 6 μ s とした場合、表示期間の割合は約 6 4 % となり、1 度に流れる電流が増大する。

【 0 0 6 8 】

そこで、本実施形態においては、図 1 2 および図 1 3 に示すように、A W D 方式を採用してデータ出力を行っている。

50

【 0 0 6 9 】

図 1 2 は、A W D 方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。図 1 3 は、A W D 方式のデータの出力形態を示す図である。

【 0 0 7 0 】

ここでも、1 フィールドをそれぞれ期間の異なる 3 つのサブフィールド S F 1、S F 2、S F 3 に分割する 8 階調表示の場合であって、8 ライン駆動の場合を例としている。

A W D 方式においては、書き込みが線順次ではなく、データも、たとえばライン L 1 のサブフィールド S F 1、次にライン L 8 のサブフィールド S F 2、次にライン L 6 のサブフィールド S F 3 のように、ランダムな順に行われる。

【 0 0 7 1 】

10

上述したように、本実施形態の有機 E L ディスプレイ 1 0 0 においては、サブフィールドの階調表現を行う。

具体的には、各ラインごとに、各フィールドが N 個（ただし N は正の整数）のサブフィールド S F に分割され、各サブフィールドの先頭の 1 H 期間（ただし、H は水平走査期間）が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後のキャパシタ C 1 1 1 の放電維持期間でのスキャンドライバ 1 0 4 によるサステインパルス W S の周期を 1 H 期間の長さの $1/N$ 倍または K/N 倍（ただし、K は 2 以上 H の整数）として、N ビットの階調表示を行う。

そして、各画素の階調を表現するサブフィールドの配置順について、1 H 期間におけるサブフィールド S F の放電開始タイミングが、すべてのラインにおいて異なり、かつ、いわゆるタイミングチャートを横軸に時間、縦軸にライン番号とした場合（図 1 2 および図 1 3 参照）、キャパシタ C 1 1 1 の放電開始タイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

20

【 0 0 7 2 】

以上の A W D 方式に応じた駆動タイミングを採用することにより、書き込み期間を全期間無駄なく配置可能となっている。

たとえば 2 4 0 ライン、8 S F（2 5 6 階調）の場合、書き込み時間は $8.7 \mu s (= 16.7 ms / 8 S F / 240 \text{ ライン})$ となる。

【 0 0 7 3 】

このような、A W D 方式に応じた駆動タイミングは、たとえばあらかじめ A W D タイムシーケンスとして図示しないテーブルに保持される。

30

以下に、A D W タイムシーケンスの作成方法の一例を説明する。なお、ここでは、2 ビット分の γ 補正を含めて 1 フィールドを 1 0 サブフィールドの分割する場合を例に説明する。

【 0 0 7 4 】

1) 1 フィールド（ $16.7 ms$ ）をスキャンライン（走査線）数（この例では 2 4 0 ライン）で割り（除して）、1 H 期間を決定する。すなわち、 $16.7 ms / 240 = 69.5 \mu s$ を 1 H 期間とする。

【 0 0 7 5 】

2) 1 H（ $69.5 \mu s$ ）をサブフィールド数（この例では 1 0 S F）で割り（除して）、書き込み時間を決定する。すなわち、 $69.5 \mu s / 10 = 6.95 \mu s$ を書き込み時間とする。

40

【 0 0 7 6 】

3) 1 H 期間を、図 1 4 に示すように、各サブフィールドの書き込み期間で割り振る。

【 0 0 7 7 】

4) 割り振ったサブフィールド S F の書き込み期間を違反しないように、各サブフィールド S F の書き込みタイミングを設定する。

【 0 0 7 8 】

5) 各ラインの書き込みシーケンスを 1 H ずらしていくことにより、A W D タイムシーケンス表の作成が完了する。

50

【 0 0 7 9 】

次に、上記構成による動作を説明する。

【 0 0 8 0 】

以上の構成を有する有機 E L ディスプレイにおいて、輝度データの書き込みを行う画素回路 1 0 1 では、この画素を含む画素行がスキンドライバ 1 0 4 によって走査線 S C N L を介して選択されることで、その行の画素回路 1 0 1 の T F T 1 1 2 がオンする。

このとき、データドライバ 1 0 3 から信号線 S G L を介してハイレベル (1 0 V) またはローレベル (0 V) を示す電圧で供給され、T F T 1 1 2 を通してキャパシタ C 1 1 1 に保持される。

キャパシタ C 1 1 1 に保持されたデータ電圧は、T F T 1 1 1 のゲートに印加される。

これにより、T F T 1 1 1 は、保持データに従ってオンまたはオフし、有機 E L 発光素子 1 3 が電流駆動される。

有機 E L 発光素子 1 1 3 を駆動する場合にオン、オフされる T F T 1 1 1 および T F T 1 1 2 は、単なるオン・オフスイッチとして機能する。

すなわち、本実施形態においては、有機 E L 発光素子 1 1 3 の階調表現は、キャパシタ C 1 1 1 によって保持される T F T 1 1 1 のゲート・ソース間電圧を変調することによって行われるのではなく、以下のように行われる。

【 0 0 8 1 】

本実施形態においては、スキンドライバ 1 0 4 のスキャン (走査) タイミングは、たとえば 1 フィールド (Field) 期間 (1 6 . 7 m s) に 8 個のサブフィールド S F 期間を設けて、8 ビット (2 5 6 階調) 表示を可能にしている。

このときに、スキンドライバ 1 0 4 において 8 個のサブフィールド S F 1 ~ S F 8 (Field 分割選択) の信号が発生され、スキンドライバ 1 0 4 が先の選択を行うときに、信号線 S G L にはデータドライバ 1 0 3 からハイレベル (たとえば 1 0 V) またはローレベル (0 V) の信号が印加され、画素への信号の取り込みがそのタイミングで行われる。

【 0 0 8 2 】

このように、本第 1 の実施形態においては、有機 E L 発光素子 1 1 3 の階調表現を、時分割階調表示とし、データ出力は、線順次書き込み方式ではなく、A W D 方式に従って行い、各画素回路 1 0 1 においては、有機 E L 発光素子 1 1 3 への電流供給路に配置される T F T 1 1 1 を単なるオン・オフスイッチとしてのみ機能させることから、有機 E L 発光素子 1 1 3 の輝度ばらつきに影響を与える T F T 1 1 1 の移動度 μ 、しきい値 V_{th} のばらつきにかかわらず、有機 E L 発光素子 1 1 3 を輝度むらの発生を抑止しつつ安定に駆動することが可能となっている。

【 0 0 8 3 】

以上説明したように、本第 1 の実施形態によれば、画素回路 1 0 1 を、電源電位線 V C C L と基準電位 (たとえば接地電位 G N D) との間に直列に配置された T F T 1 1 1 および有機 E L 発光素子 1 1 3、信号線 S G L と T F T 1 1 1 のゲート間に接続された T F T 1 1 2、および T F T 1 1 1 のゲートと電源電位線 V C C L との間に接続されたキャパシタ C 1 1 1 を含んで構成し、スキンドライバ 1 0 4 のスキャンタイミングは、たとえば 1 フィールド期間 (1 6 . 7 m s) に N (たとえば 8 あるいは 1 0) 個のサブフィールド S F 期間を設けて、N ビット (8 ビットの場合、2 5 6 階調) 表示を可能にし、スキンドライバ 1 0 4 がたとえば N 個のサブフィールド S F 1 ~ S F N の信号を発生させ、スキンドライバ 1 0 4 が先の選択を行うときに、信号線 S G L にはデータドライバ 1 0 3 からハイレベル (たとえば 1 0 V) またはローレベル (0 V) の信号が印加され、画素への信号の取り込みをそのタイミングで行うことから、以下の効果を得ることができる。

【 0 0 8 4 】

各画素回路 1 0 1 においては、有機 E L 発光素子 1 1 3 への電流供給路に配置される T F T 1 1 1 を単なるオン・オフスイッチとしてのみ機能させることが可能で、その結果、有機 E L 発光素子 1 1 3 の輝度ばらつきに影響を与える T F T 1 1 1 の移動度 μ 、しきい値 V_{th} のばらつきにかかわらず、有機 E L 発光素子 1 1 3 を輝度むらの発生を抑止し

10

20

30

40

50

つつ安定に駆動することが可能である。したがって低輝度時の信号書き込み応答性を損うことなく、高輝度時の輝度ばらつきを防止できる。その結果、高品位な画像を表示することができる。

また、画素回路の構成をしきい値補正用のTFT等を設けることなく、極めて簡単な構成とすることができる。その結果、スキャンライン等の制御線を最小限のとどめることができ、制御系の負荷の軽減を図れることはもとより、表示パネルの狭額縁化を図ることができる。

【0085】

換言すれば、本第1の実施形態によれば、高輝度での輝度ばらつきが無くなり、白表示時の有機EL発光素子(OLED)の画像品質が向上する。

10

また、任意の輝度参照を設定できるため、パネルアプリケーション(たとえば、背景がグレイ表示に対応)時に、輝度ばらつき偏差をなくすように設定することができる。

また、電圧信号駆動であるため、信号線への接続点数を軽減できる。電流駆動回路では、電流を水平選択期間中流すことが必要となる結果、信号線の切り替えスイッチが使用できない。電圧信号は信号線の容量に電荷を蓄積させるほうが接続端子数削減には望ましい。

【0086】

なお、図5の画素回路101は一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、TFT111, TFT112は単なるスイッチであることから、これらのすべて乃至一部をnチャネルTFT、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

20

【0087】

<第2実施形態>

図15は、本発明の第2の実施形態に係るアクティブマトリクス型有機ELディスプレイ(表示装置)の構成の概略を示す図である。

図16は、第2の実施形態に係るアクティブマトリクス型有機ELディスプレイの画素回路を示す回路図である。

図17は、本発明の第2の実施形態に係るアクティブマトリクス型有機ELディスプレイ(表示装置)の表示パネル構成例を含めて示す図である。

【0088】

30

本第2の実施形態の有機ELディスプレイ100Aが上述した第1の実施形態の有機ELディスプレイ100と異なる点は、各ラインの画素回路101Aにおいて、1つのサブフィールドSFに電圧信号(10Vまたは0V)をTFT112を通して取り込みキャパシタC111に保持した後、その都度TFT111のゲートおよびキャパシタC111画接続されたノードND111の電位を消去(イレーズ: erase)するようにして、安定した階調表示を実現したことにある。

具体的には、有機ELディスプレイ100Aにおいて、各画素行ごとに消去(イレーズ)線ESL101~ESL10mを配線し、各消去線ESL101~ESL10mに対して消去信号ESを選択的に印加するイレーズドライバ(EDRV)105を設けている。

そして、各画素回路101Aにおいて、イレーズ用のpチャネルTFT114を設け、TFT114のソースが電源電位船VCCに接続され、ドレインがTFT111のゲートおよびキャパシタC111の第2電極が接続されたノードND111に接続され、ゲートが対応する行に配線された消去線ESLに接続されている。

40

【0089】

図18は、消去信号ESのタイミングを示す図である。

図18の例は、1フィールドを10個のサブフィールドSFに分割した場合の例である。

本実施形態においては、1フィールドの分割数にかかわらず、1つのサブフィールドSFに電圧信号(10Vまたは0V)をTFT112を通して取り込みキャパシタC111に保持した後、その都度TFT111のゲートおよびキャパシタC111画接続された

50

ノードND111の電位を消去（イレース：erase）するようにして、安定した階調表示を実現している。

【0090】

また、本第2の実施形態においては、1フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのR、G、B独立のラインメモリと、この複数回任意の単位画素の階調表示を行うための、1フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含むICチップ300Aをパネル外に配置している。

ここで、ラインメモリは、順次フィールドメモリでAWD方式に応じて並び替えたデータによりソースICを制御して信号データを出力する。このとき、RGBに単独での出力が可能になるため、接続PIN数、配線数は激減する。 10

すなわち、時分割によるデータ信号を発生させるソースIC300Aのピン数は、TFTで形成された、たとえば8ビットデータ信号を各信号線毎にメモリを持たせることにより、削減できる。この8ビットデータはフィールドメモリからのRGB独立のシリアルデータよりなる。その結果、ソースIC300Aからの信号線の本数は、通常の有機ELディスプレイに対して、ビットに対応したGBの本数が達成でき、最小の入出力ピン数で済む。

【0091】

その他の構成は第1の実施形態と同様であり、本第2の実施形態によれば、各画素回路においてTFT114が一つ増え、制御線としての消去線ESLが増えるものの、パネルの面積的には狭額縁化にさほどの影響を及ぼすことなく、上述した第1の実施形態の効果と同様の効果を得ることができ、さらに安定した階調表示を実現することができる。 20

【0092】

なお、図16の画素回路101Aは一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、TFT111、TFT112、TFT114は単なるスイッチであることから、これらのすべて乃至一部をnチャネルTFT、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

【0093】

< 第3実施形態 >

図19は、本発明の第3の実施形態に係るアクティブマトリクス型有機ELディスプレイ（表示装置）の構成の概略を示す図である。 30

図20は、第3の実施形態に係るアクティブマトリクス型有機ELディスプレイの画素回路を示す回路図である。

図21は、本発明の第3の実施形態に係るアクティブマトリクス型有機ELディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【0094】

本第3の実施形態の有機ELディスプレイ100Bが上述した第2の実施形態の有機ELディスプレイ100Aと異なる点は、各ラインの画素回路101Bにおいて、定電流を複製して、複製した電流を駆動スイッチTFT111を通して有機EL発光素子113に供給するように構成し、有機EL発光素子113の特性劣化が発生し、輝度の低下を抑止している。 40

具体的には、有機ELディスプレイ100Bにおいて、各画素列ごとに参照電流供給線IRFL101～IRFL10nを配線し、各参照電流供給線IRFL101～IRFL10nに対して参照電流I_{ref}を選択的に印加する電流ドライバ（IDRV）106を設けている。

さらに、各画素行ごとに電流複製線（カンレトコピー線）CCL101～CCL10mを配線し、各電流複製線CCL101～CCL10mに対してカレントコピー信号CSを選択的に印加するコピードライバ（CDRV）107を設けている。

そして、各画素回路101Bにおいて、図20に示すように、駆動スイッチとしてのTFT111のソースと電源電位船VCCLとの間に、カンレトコピー回路120を設けて 50

いる。

【0095】

カレントコピー回路120は、図20に示すように、pチャネルTFT121、nチャネルTFT122、123、キャパシタC121、およびノードND121、ND122を有している。

【0096】

TFT121のソースが電源電位線VCCLに接続され、ドレインがノードND121に接続され、ゲートがノードND122に接続されている。

キャパシタC121の一端(第1電極)が電源電位線VCCLに接続され、他端(第2電極)がノードND122に接続されている。

10

TFT122のソースが参照電流供給線IRFLに接続され、ドレインがノードND121に接続されている。TFT123のソースがノードND121に接続され、ドレインがノードND122に接続されている。TFT122、123のゲートがカレントコピー線CCLに共通に接続されている。

カレントコピー回路120の出力ノードND121が画素回路101Bの駆動スイッチを形成するTFT111のソースに接続されている。

【0097】

このようは構成を有する画素回路101Bにおいて、まずコピードライバ107によりカレントコピー線CCLにハイレベルのカレントコピー信号CSが所定期間印加される。これにより、カレントコピー回路120のTFT122、123がオン状態となる。

20

このとき、対応する参照電流供給線IRFLには参照電流Irefが供給されており、この参照電流Irefは、カレントコピー回路120のTFT122、123を通してキャパシタC121にコピーされる(電荷として保持されてコピーされる)。

所定期間が経過すると、カレントコピー信号CSがコピードライバ107によりローレベルに切り替えられる。これにより、カレントコピー回路120のTFT122、123はオフし、参照電流IrefがキャパシタC121に保持され、コピーされた状態となる。

これに伴い、ノードND122が所定の電位に保持され、TFT121のゲートに印加されて、定電流がノードND121を通してTFT111のソース側に供給される。

後は、第1および第2の実施形態と同様の駆動により、スキャンドライバ104においてたとえば8個のサブフィールドSF1~SF8(Field分割選択)の信号を発生され、スキャンドライバ104が先の選択を行うときに、信号線SGLにはデータドライバ103からハイレベル(たとえば10V)またはローレベル(0V)の信号が印加され、画素への信号の取り込みがそのタイミングで行われる。

30

なお、1つのサブフィールドSFに電圧信号(10Vまたは0V)をTFT112を通して取り込みキャパシタC111に保持した後、その都度TFT111のゲートおよびキャパシタC111に接続されたノードND111の電位が消去される。

【0098】

また、本第3の実施形態においては、1フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのR、G、B独立のラインメモリと、この複数回任意の単位画素の階調表示を行うための、1フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含むICチップ300Bをパネル外に配置している。

40

ここで、ラインメモリは、順次フィールドメモリでAWD方式に応じて並び替えたデータによりソースICを制御して信号データを出力する。このとき、RGBに単独での出力が可能になるため、接続PIN数、配線数は激減する。

【0099】

本第3の実施形態によれば、上記した第1および第2の実施形態の効果と同様の効果を得られることはもとより、有機EL発光素子113の特性劣化が発生し、輝度の低下することを抑止することができ、さらに高品位の画像を得ることができる。

【0100】

50

< 第 4 実施形態 >

図 2 2 は、本発明の第 4 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

【 0 1 0 1 】

本第 4 の実施形態の有機 E L ディスプレイ 1 0 0 C が第 2 の実施形態の有機 E L ディスプレイ 1 0 0 A と異なる点は、1 フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するための R、G、B 独立のラインメモリを、外部の I C チップ内ではなく、パネル 2 0 0 C のデータドライバ 1 0 4 の入力側に配置し、I C チップ 3 0 0 C に、複数回任意の単位画素の階調表示を行うための、1 フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含む構成としたことにある。

10

【 0 1 0 2 】

また、本第 4 の実施形態においては、T F T (薄膜トランジスタ) によるデータドライバにおける水平走査駆動回路の動作周波数を低減するため、データドライバ 1 0 3 - 1 , 1 0 3 - 2 の 2 つにして、動作周波数を本来の周波数の 2 分の 1 にした構成を採用している。したがって、パネル 2 0 0 C 内には、2 つのラインメモリ 1 0 8 - 1 , 1 0 8 - 2 が配置されている。

【 0 1 0 3 】

なお、一例として、図 2 3 に本実施形態による信号データ配線とラインメモリの配置を示し、図 2 4 に本実施形態による信号データの読み込みタイミングチャートを示す。

ただし、図 2 3 においては、図面の簡単化のため R データのみを示しているが、実際には B データ、G データも同様に配置の配線および配置となる。

20

【 0 1 0 4 】

その他の構成は第 2 の実施形態と同様であり、本第 4 の実施形態によれば、上述した第 2 の実施形態の効果と同様の効果を得ることができる。

【 0 1 0 5 】

< 第 5 実施形態 >

図 2 5 は、本発明の第 5 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

【 0 1 0 6 】

本第 5 の実施形態の有機 E L ディスプレイ 1 0 0 D が第 3 の実施形態の有機 E L ディスプレイ 1 0 0 B と異なる点は、1 フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するための R、G、B 独立のラインメモリを、外部の I C チップ内ではなく、パネル 2 0 0 D のデータドライバ 1 0 4 の入力側に配置し、I C チップ 3 0 0 C に、複数回任意の単位画素の階調表示を行うための、1 フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含む構成としたことにある。

30

【 0 1 0 7 】

また、本第 5 の実施形態においては、T F T (薄膜トランジスタ) によるデータドライバにおける水平走査駆動回路の動作周波数を低減するため、データドライバ 1 0 3 - 1 , 1 0 3 - 2 の 2 つにして、動作周波数を本来の周波数の 2 分の 1 にした構成を採用している。したがって、パネル 2 0 0 D 内には、2 つのラインメモリ 1 0 8 - 1 , 1 0 8 - 2 が配置されている。

40

【 0 1 0 8 】

その他の構成は第 3 の実施形態と同様であり、本第 5 の実施形態によれば、上述した第 5 の実施形態の効果と同様の効果を得ることができる。

【 0 1 0 9 】

< 第 6 実施形態 >

図 2 6 は、本発明の第 6 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

【 0 1 1 0 】

本第 6 の実施形態の有機 E L ディスプレイ 1 0 0 E は、第 5 の実施形態の有機 E L ディ

50

プレイ 100D のデータドライバ 103 - 1 , 103 - 2 の部分をさらに具体的な構成を示している。

【0111】

本第 6 の実施形態のデータドライバ 103 (- 1 , - 2) はレベルシフタ 1031E、2 - セクタスイッチ部 1032E、および水平走査駆動回路 (SR) 1033E を含んで構成される。

【0112】

この場合、レベルシフタ 1031E は、たとえば図 27 または図 28 に示すような位置に配置される。

【0113】

図 27 の例の場合、IC チップ 300E の 0 / 5V 振幅の 5V 系信号をラインメモリ 108 に入力し、水平走査駆動回路 1031 で所定の処理をした後、レベルシフタ 1031E で 0 / 10V 振幅の 10V 系信号にレベルシフト処理 (5V を 10V に昇圧) して、セクタスイッチ部 1032E に入力する。

セクタスイッチ部 1032E においては、10V 系信号を切替信号に応じて適宜切り替えて、所定の信号線に AWD 方式に従ったデータを伝搬させる。

【0114】

図 28 の例の場合、IC チップ 300E の 0 / 5V 振幅の 5V 系信号を、まず、レベルシフタ 1031E で 0 / 10V 振幅の 10V 系信号にレベルシフト処理 (5V を 10V に昇圧) して、10V 系信号をラインメモリ 108 に入力し、水平走査駆動回路 1031 で

所定の処理をした後、セクタスイッチ部 1032E に入力する。
セクタスイッチ部 1032E においては、10V 系信号を切替信号に応じて適宜切り替えて、所定の信号線に AWD 方式に従ったデータを伝搬させる。

【0115】

本第 6 の実施形態によれば、上述した第 3 および第 5 の実施形態の効果と同様の効果を得ることができる。

【図面の簡単な説明】

【0116】

【図 1】一般的な画素回路の第 1 の構成例を示す回路図である。

【図 2】一般的な画素回路の第 2 の構成例を示す回路図である。

【図 3】図 2 の回路の駆動方法を説明するためのタイミングチャートである。

【図 4】本発明の第 1 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの構成の概略を示す図である。

【図 5】本第 1 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路の構成例を示す回路図である。

【図 6】本実施形態の時分割階調表示を説明するための図である。

【図 7】本実施形態に係るデータドライバの具体的な構成例を示す図である。

【図 8】図 7 のセクタスイッチ部の切り替えタイミングを示す図である。

【図 9】線順次書き込み方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。

【図 10】線順次書き込み方式のデータの出力形態を示す図である。

【図 11】線順次書き込み方式を採用した場合のスキャンの様子を示す図である。

【図 12】AWD 方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。

【図 13】AWD 方式のデータの出力形態を示す図である。

【図 14】AWD タイムシーケンス表の作成例を説明するための図である。

【図 15】本発明の第 2 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の構成の概略を示す図である。

【図 16】第 2 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路を示す回路図である。

10

20

30

40

50

【図 17】本発明の第 2 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【図 18】消去信号 ES のタイミングを示す図である。

【図 19】本発明の第 3 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ（表示装置）の構成の概略を示す図である。

【図 20】第 3 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路を示す回路図である。

【図 21】本発明の第 3 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【図 22】本発明の第 4 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。 10

【図 23】本実施形態による信号データ配線とラインメモリの配置の一例を示す図である。

【図 24】本実施形態による信号データの読み込みタイミングチャートを示す図である。

【図 25】本発明の第 5 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【図 26】本発明の第 6 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【図 27】図 26 のデータドライバ部分の第 1 の構成例を示す図である。

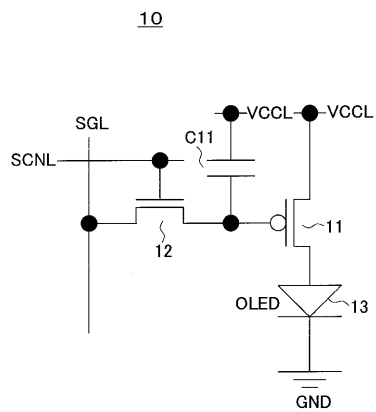
【図 28】図 26 のデータドライバ部分の第 2 の構成例を示す図である。 20

【符号の説明】

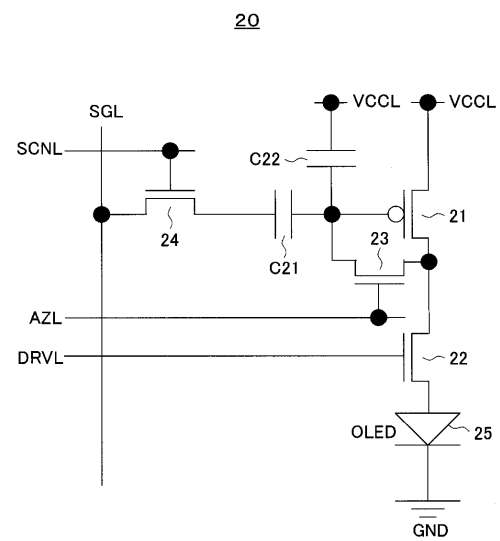
【0117】

100, 100A ~ 100E ... アクティブマトリクス型有機 EL ディスプレイ（表示装置）、101, 101A, 101B ... 画素回路、102, 102A, 102B ... 画素アレイ部、103, 103-1, 103-2 ... データドライバ（DDRV）、104, 104-1, 104-2 ... スキャンドライバ（SDRV）、105 ... イレージドライバ（EDRV）、106 ... 電流ドライバ、107 ... コピードライバ、108-1, 108-2 ... ラインメモリ、200, 200A ~ 200E ... 表示パネル、111, 112, 114 ... TFT、120 ... カレントコピー回路、121 ~ 123 ... TFT、C121 ... キャパシタ、ND111、ND121, ND122 ... ノード、VCC L ... 電源電位線。 30

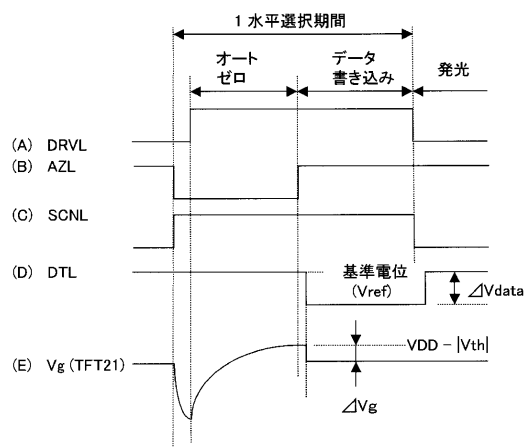
【図 1】



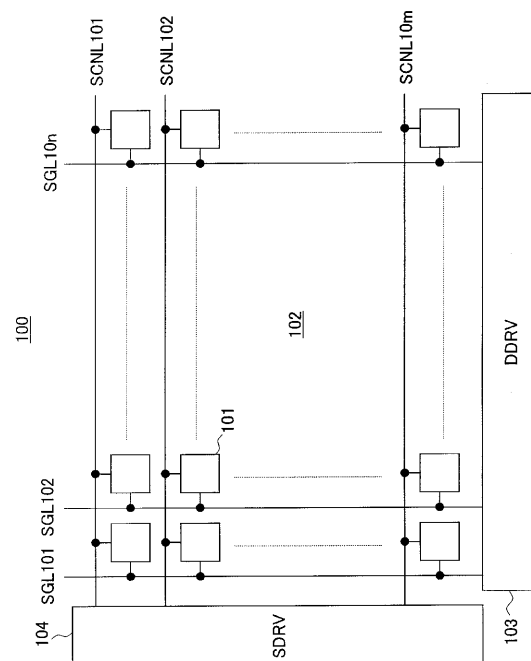
【図 2】



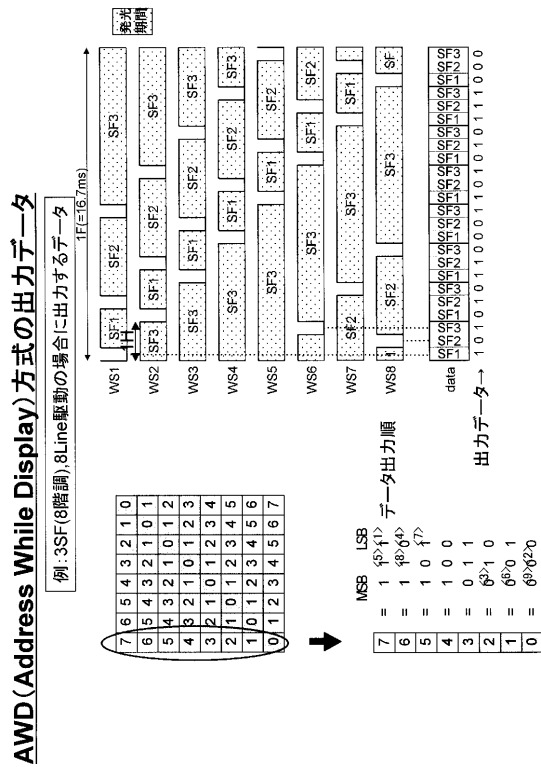
【図 3】



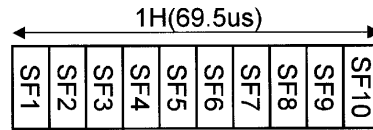
【図 4】



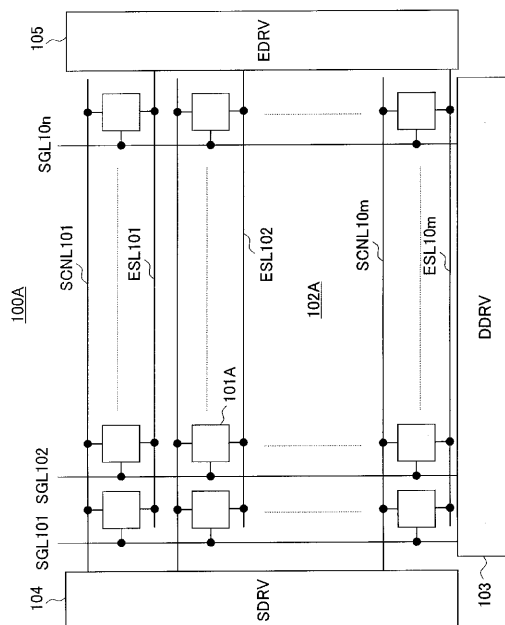
【 図 1 3 】



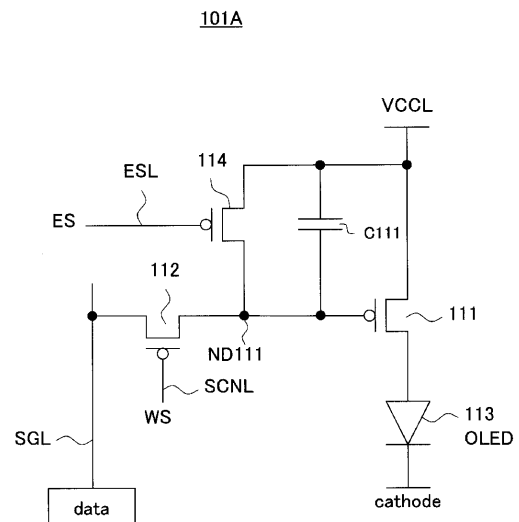
【 図 1 4 】



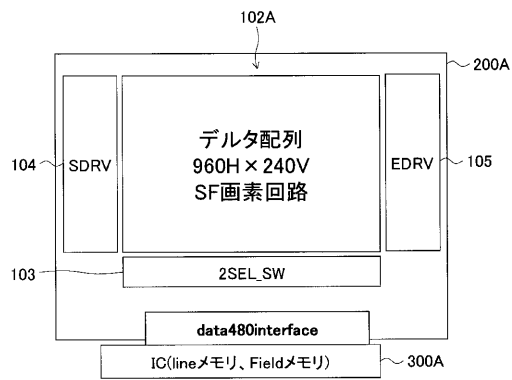
【 図 1 5 】



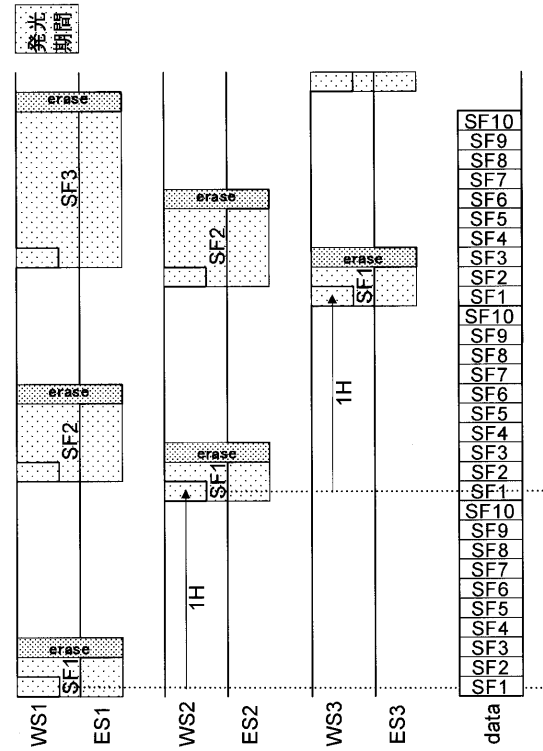
【 図 1 6 】



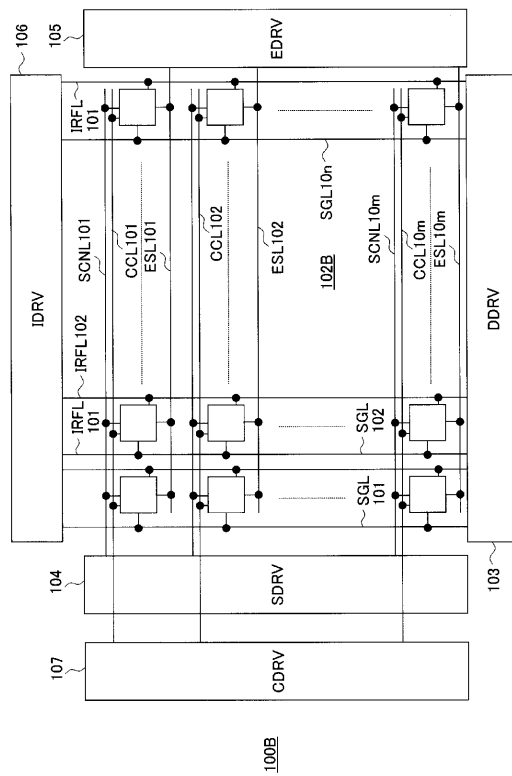
【図 17】



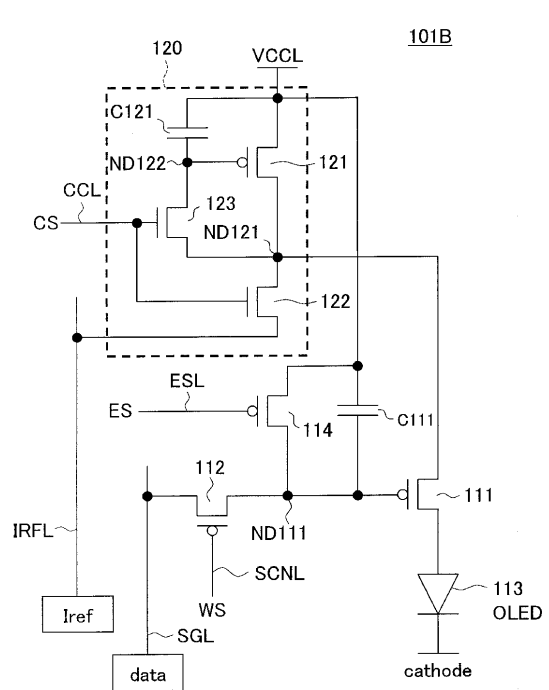
【図 18】



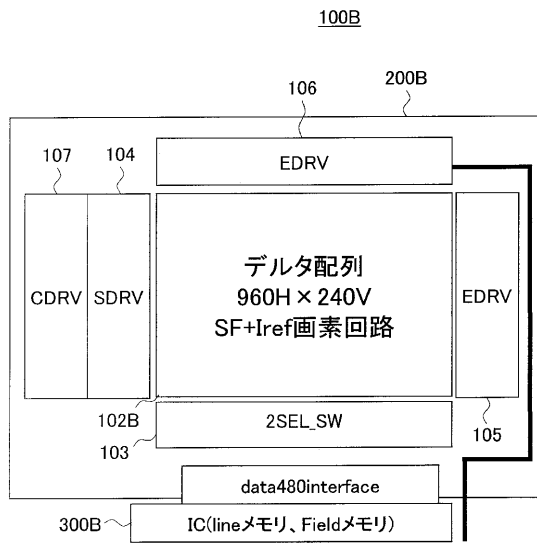
【図 19】



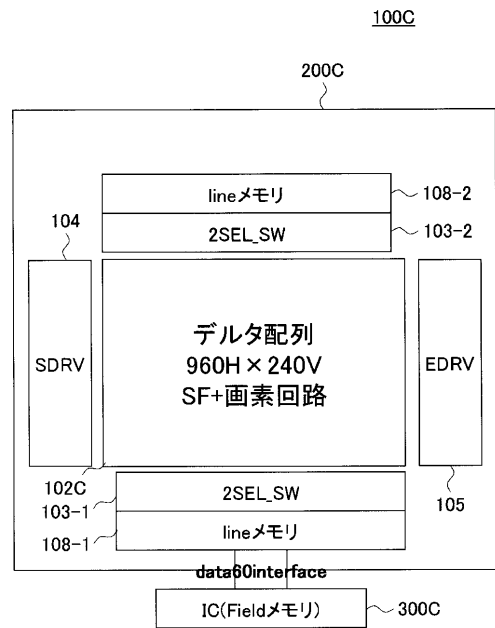
【図 20】



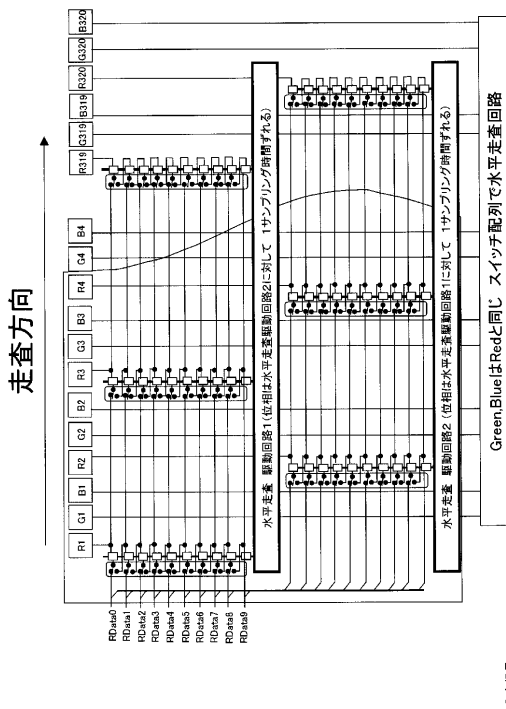
【図 2 1】



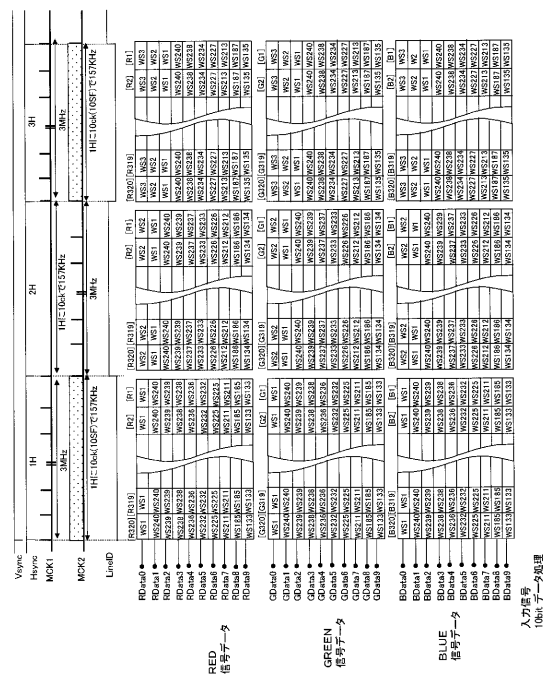
【図 2 2】



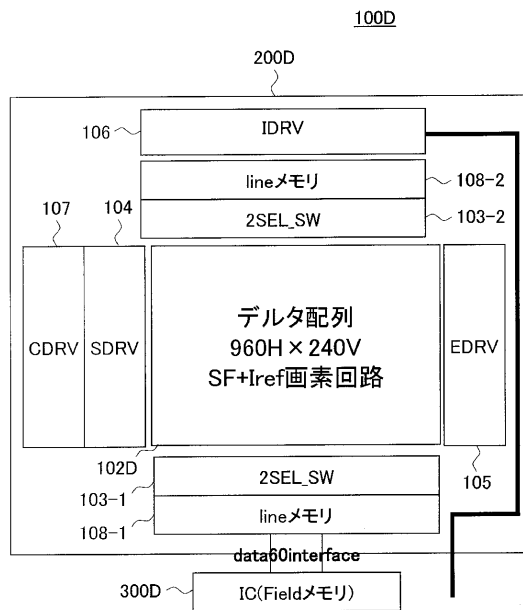
【図 2 3】



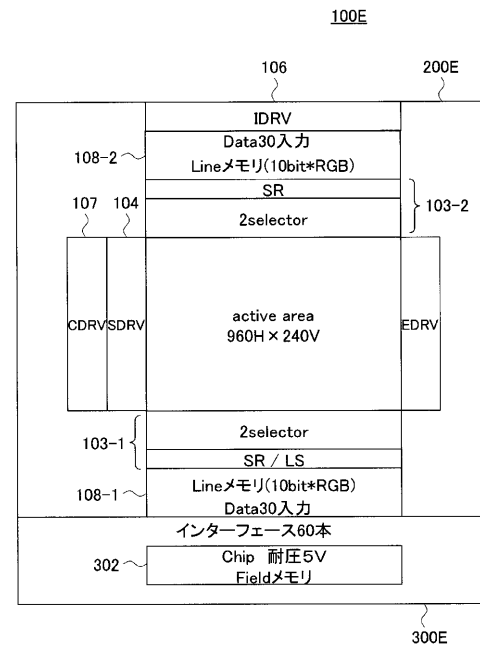
【図 2 4】



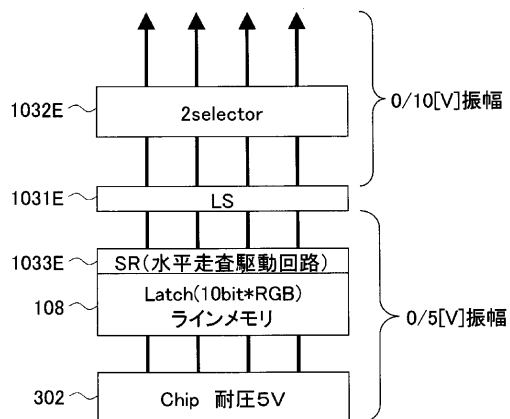
【図 25】



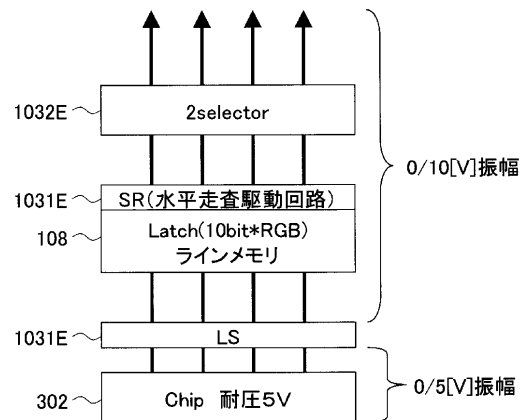
【図 26】



【図 27】



【図 28】



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 4 1 D
 G 0 9 G 3/20 6 4 1 E
 G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 2 1 A
 H 0 5 B 33/14 A

(72)発明者 甚田 誠一郎
 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 藤村 寛
 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 山口 正則
 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 渡邊 勝秀
 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04
 5C080 AA06 BB05 DD05 DD08 DD26 EE29 FF11 GG12 JJ02 JJ03
 JJ04

专利名称(译)	像素电路，显示装置和像素电路的驱动方法		
公开(公告)号	JP2007003706A	公开(公告)日	2007-01-11
申请号	JP2005182226	申请日	2005-06-22
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	猪野益充 湯本昭 浅野慎 甚田誠一郎 藤村寛 山口正則 渡邊勝秀		
发明人	猪野 益充 湯本 昭 浅野 慎 甚田 誠一郎 藤村 寛 山口 正則 渡邊 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.H G09G3/30.K G09G3/20.611.H G09G3/20.642.A G09G3/20.621.F G09G3/20.641.D G09G3/20.641.E G09G3/20.624.B G09G3/20.621.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB19 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB41 5C380/BA01 5C380/BA06 5C380/BA08 5C380/BA12 5C380/BA13 5C380/BA17 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA14 5C380/CA16 5C380/CA48 5C380/CA53 5C380/CA57 5C380/CB01 5C380/CB06 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD024 5C380/CD026 5C380/CF02 5C380/CF03 5C380/CF26 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA47		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种像素电路，其能够在高亮度显示期间防止亮度变化而不损害低亮度显示期间的信号写入响应，并提供显示装置和像素电路的驱动方法。ŽSOLUTION：像素电路101包括串联布置在电源电位线VCCL和参考电位GND之间的TFT 111和有机EL发光元件113，连接在信号线SGL和TFT 111的栅极之间的TFT 112电容器C111连接在TFT111的栅极和电源电位线VCCL之间。提供具有N（8或10）个子场SF周期的单场周期以执行N比特（2 N 灰度）显示，并且扫描驱动器104生成N个子场的信号。SF1至SFN;当扫描驱动器104预先形成选择时，从数据驱动器103向信号线SGL施加高电平或低电平信号，并且在该定时将信号输入到像素。Ž

