

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	338	G 0 9 F 9/30	338 5 C 0 8 0
	365		365 Z 5 C 0 9 4
9/33		9/33	Z
G 0 9 G 3/20	611	G 0 9 G 3/20	611 H

審査請求 未請求 請求項の数 4 O L (全 22数) 最終頁に続く

(21)出願番号	特願2001 - 264590(P2001 - 264590)	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成13年8月31日(2001.8.31)	(72)発明者	山崎 克則 長野県諏訪市大和3丁目3番5号 セイコーエ プソン株式会社内
		(74)代理人	100098084 弁理士 川▲崎▼ 研二

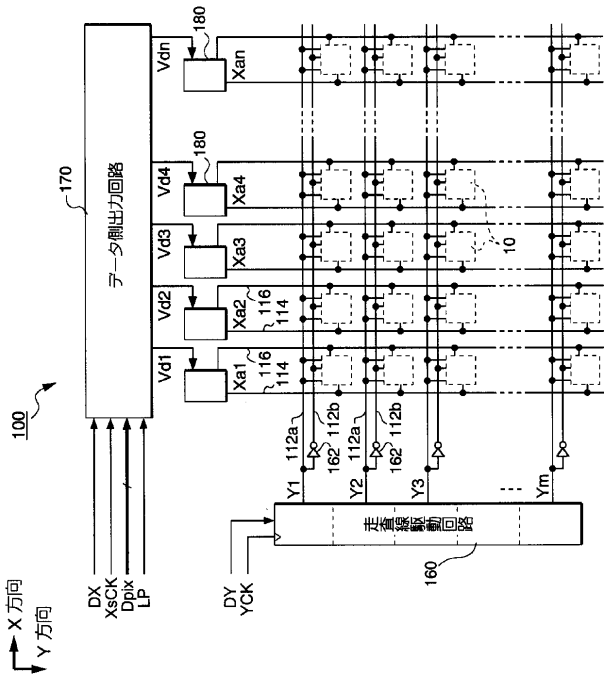
最終頁に続く

(54)【発明の名称】 表示装置および電子機器

(57)【要約】

【課題】 E L 素子を駆動するトランジスタに起因よる輝度バラツキを抑える。

【解決手段】 走査線112aとデータ線114との交差に対応して設けられ、E L 素子を含んだ画素10P、10Qと、選択走査線との交差に対応する画素の階調に応じた階調電圧Vd1、Vd2、...、Vd(n/2)を、当該階調に応じた階調電流にて規定して出力するデータ側出力回路170と、奇数行の走査線112aが選択される場合、兼用線118aを介してE L 素子に流れる電流が階調電圧を規定する階調電流に一致するように、兼用線118bに印加するデータ電圧を操作する一方、偶数行の走査線112aが選択される場合、兼用線118bを介してE L 素子に流れる電流が階調電圧を規定する階調電流に一致するように、兼用線118aに印加するデータ電圧を操作するデータ電圧操作回路180とを備える。



【特許請求の範囲】

【請求項 1】 走査線とデータ線との交差にて、それぞれ異なる走査線に対応し、各々が、対応する走査線に供給される走査信号にしたがって閉接または開接する第 1 のスイッチと、前記第 1 のスイッチが閉接したときに、当該データ線に印加されたデータ電圧を保持する容量と、前記容量によって保持されたデータ電圧をゲート電圧とするトランジスタと、前記トランジスタのソースまたはドレインの一方に接続 10 される発光素子と、前記トランジスタのソースまたはドレインの他方を、前記第 1 のスイッチが閉接すれば前記共用線に接続する一方、前記第 1 のスイッチが開接する期間に電源電圧の給電線に接続する第 2 のスイッチとを備える画素と、前記データ線と対をなし、前記第 1 のスイッチが閉接したときに、前記発光素子に電流を流すための共用線と、当該画素の階調に対応する階調電流と前記共用線に流れる電流との差をなくす方向に、当該データ線に印加するデータ電圧を操作するデータ電圧操作回路とを具備する 20 ことを特徴とする表示装置。

【請求項 2】 走査線とデータ線との交差に対応して設けられる画素の個数は 2 であり、当該 2 画素のうち、一方の画素に対応する走査線が選択されると、他方の画素に対するデータ線を、当該一方の画素に対する共用線として切り替えるとともに、他方の画素に対する共用線を、当該一方の画素に対するデータ線として切り替える切替スイッチを有することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 走査線とデータ線との交差にて、それぞれ異なる走査線に対応し、各々が、対応する走査線に供給される走査信号にしたがって閉接または開接する第 1 のスイッチと、前記第 1 のスイッチが閉接したときに、当該データ線に印加されたデータ電圧を保持する容量と、前記容量によって保持されたデータ電圧をゲート電圧とするトランジスタと、前記トランジスタのソースまたはドレインの一方に接続される発光素子とを備える画素と、前記第 1 のスイッチが閉接したときに、前記発光素子に 40 電流を流すための共用線と、前記トランジスタのソースまたはドレインの他方を、前記第 1 のスイッチが閉接すれば前記共用線に接続する一方、前記第 1 のスイッチが開接する期間に、前記共用線に接続するとともに、前記共用線を前記電源電圧の給電線に接続する第 2 のスイッチと、前記第 1 のスイッチが閉接したときに、当該画素の階調に対応する階調電流と前記共用線に流れる電流との差をなくす方向に、当該データ線に印加するデータ電圧を操作するデータ電圧操作回路とを具備することを特徴とす 50

る表示装置。

【請求項 4】 請求項 1 または 3 に記載の表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機 EL (Electro Luminescent) や LED (Light Emitting Diode) などの自発光素子により表示を行う表示装置、表示装置の駆動回路、駆動方法および電子機器に関する。

【0002】

【従来の技術】近年、携帯電話や PDA (Personal Digital Assistance) などの電子機器に、有機 EL や LED などの自発光素子により表示を行う表示装置が用いられてつつある。この理由は、同じようなディスプレイ・デバイスとして用いられる液晶装置と比較すると、コントラスト比が高い点や、視野角依存性が小さい点、応答が高速である点、バックライトまたはフロントライトが不要であり、これに伴って薄型化（条件によっては低消費電力化）に有利である点などが評価されているからである。

【0003】自発光素子により表示を行う表示装置は、駆動方式によって分類すると、液晶装置と同様に、トランジスタ等の能動素子を用いて画素を駆動するアクティブ・マトリクス型と、能動素子を用いないで画素を駆動するパッシブ・マトリクス型とに大別することができる。このうち、前者に係るアクティブ・マトリクス型では、画素毎に表示を制御することができるので、高解像度化しても高い表示能力を確保することができる点や、画素に少ない電流を比較的長時間流すことができるので、駆動電圧が低くて済み、低消費電力化に有利である点などにおいて、後者に係るパッシブ・マトリクス型と比較して有利とされている。

【0004】

【発明が解決しようとする課題】しかしながら、自発光素子により表示を行う表示装置のうち、アクティブ・マトリクス型の表示装置では、トランジスタの特性が画素毎にバラつくことに起因して表示品位が低下する、といった問題があった。すなわち、トランジスタの特性がバラつく、と、発光素子に流れる電流量もバラつくので、互いに同一であるべき画素の輝度が画素毎に相違する結果、表示品位を低下させるのである。上記問題を解決すべく、本発明の目的は、トランジスタの特性のバラつきに起因する表示品位の低下を防止することが可能な表示装置および電子機器を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明に係る表示装置は、走査線とデータ線との交差にて、それぞれ異なる走査線に対応し、各々が、対応する走査線に供給される走査信号にしたがって閉接または開接する第 1 のスイッチと、前記第 1 のスイッチが開

接したときに、当該データ線に印加されたデータ電圧を保持する容量と、前記容量によって保持されたデータ電圧をゲート電圧とするトランジスタと、前記トランジスタのソースまたはドレインの一方に接続される発光素子と、前記トランジスタのソースまたはドレインの他方を、前記第 1 のスイッチが閉接すれば前記共用線に接続する一方、前記第 1 のスイッチが開接する期間に電源電圧の給電線に接続する第 2 のスイッチとを備える画素と、前記データ線と対をなし、前記第 1 のスイッチが閉接したときに、前記発光素子に電流を流すための共用線と、当該画素の階調に対応する階調電流と前記共用線に流れる電流との差をなくす方向に、当該データ線に印加するデータ電圧を操作するデータ電圧操作回路とを具備する構成を特徴としている。この構成によれば、第 1 のスイッチが閉接すると、データ線に印加されたデータ電圧が容量によって保持されるとともに、トランジスタのソースまたはドレインの他方が第 2 のスイッチによって共用線に接続されるので、当該トランジスタによって当該データ電圧に応じた電流が共用線を介して発光素子に流れる。ここで、データ電圧操作回路は、画素の階調に応じた階調電流と共用線を介して発光素子に流れる電流との差をなくす方向に、データ線に印加するデータ電圧を操作するので、発光素子に流れる電流は精度良く階調電流にほぼ一致することになる。第 1 のスイッチが開接する期間では、トランジスタのソースまたはドレインの他方が第 2 のスイッチによって電源電圧の給電線に接続されるので、容量に保持されたデータ電圧、詳細には、E L 素子に流れる電流を階調電流にほぼ一致させたデータ電圧にしたがった電流が発光素子に流れ続ける。したがって、トランジスタの特性がバラついて、発光素子に流れる電流は、同一輝度であれば画素同士揃うので、同一であるべき画素の輝度が相違することに起因する表示品位の低下が防止されることになる。さらに、走査線とデータ線との交差に対応して設けられる複数の画素にわたって、データ線と共用線との共用が可能であるので、構成を簡易化することもできる。なお、ここでいう容量とは、トランジスタのゲートに一端が接続される保持容量のほか、当該ゲートの寄生容量をも含む概念である。

【0006】この構成において、走査線とデータ線との交差に対応して設けられる画素の個数は 2 であり、当該 2 画素のうち、一方の画素に対応する走査線が選択されると、他方の画素に対するデータ線を、当該一方の画素に対する共用線として切り替えけるとともに、他方の画素に対する共用線を、当該一方の画素に対するデータ線として切り替える切替スイッチを有する態様が好ましい。この態様によれば、交差に対応して設けられる 2 画素において、データ線と共用線との共用されるとともに、データ線は共用線として、共用線はデータ線として、それぞれ可逆的に切り替えられる。

【0007】また、本発明に係る表示装置は、走査線とデータ線との交差にて、それぞれ異なる走査線に対応し、各々が、対応する走査線に供給される走査信号にしたがって閉接または開接する第 1 のスイッチと、前記第 1 のスイッチが閉接したときに、当該データ線に印加されたデータ電圧を保持する容量と、前記容量によって保持されたデータ電圧をゲート電圧とするトランジスタと、前記トランジスタのソースまたはドレインの一方に接続される発光素子とを備える画素と、前記第 1 のスイッチが閉接したときに、前記発光素子に電流を流すための共用線と、前記トランジスタのソースまたはドレインの他方を、前記第 1 のスイッチが閉接すれば前記共用線に接続する一方、前記第 1 のスイッチが開接する期間に、前記共用線に接続するとともに、前記共用線を前記電源電圧の給電線に接続する第 2 のスイッチと、前記第 1 のスイッチが閉接したときに、当該画素の階調に対応する階調電流と前記共用線に流れる電流との差をなくす方向に、当該データ線に印加するデータ電圧を操作するデータ電圧操作回路とを具備する構成を特徴としている。この構成によっても、発光素子に流れる電流が精度良く階調電流にほぼ一致するので、同一であるべき画素の輝度の相違に起因する表示品位の低下が防止されることになる。さらに、共用線は、データ電圧を操作する際に E L 素子に電流を供給する機能と、第 1 のスイッチが開接する期間に E L 素子に電流を流し続けるための給電線としての機能とが兼用されるので、構成の簡易化を図ることも可能となる。

【0008】さらに、本発明に係る電子機器は、上記表示装置を有するので、輝度を均一化させて、表示の高品位化等を図ることができる。なお、このような電子機器としては、パーソナルコンピュータや、デジタルスチルカメラ、携帯電話などが挙げられる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0010】＜第 1 実施形態＞まず、本発明の第 1 実施形態に係る表示装置について説明する。図 1 は、この表示装置の構成を示すブロック図である。この図に示されるように、表示装置 100 には、走査線 112 a および補走査線 112 b が互いに組となって、それぞれ m 本、行 (X) 方向に延在する一方、データ線 114 および共用線 116 が互いに組となって、それぞれ n 本、列 (Y) 方向に延在している (m、n は、2 以上の整数である)。

【0011】次に、走査線駆動回路 160 は、パルス状の信号 D Y を、1 水平走査期間 (1 H) の周期を有するクロック信号 Y C K にしたがって順次転送する m 段のシフトレジスタである。詳細には、走査線駆動回路 160 は、図 3 に示されるように、1 垂直走査期間 (1 F) の最初に供給される信号 D Y を、クロック信号 Y C K の立

ち上がり毎に順次シフトするとともに、1、2、3、
...、m 段のシフト信号を、それぞれ 1、2、3、...、m
行目の走査線 112a の各々に、それぞれ走査信号 Y
1、Y 2、Y 3、...、Y m として供給する。このため、
走査信号 Y 1、Y 2、Y 3、...、Y m は、信号 DY が L
レベルになって初めてクロック信号 YCK が立ち上がった
タイミングから、順番に 1 水平走査期間だけ L レベル
になる。ここで、一般的に i (i は、1 i m を満た
す整数) 行目の走査線 112a に供給される走査信号 Y
i が L レベルになると、当該走査線 112a が選択され 10
たことを示す。

【0012】続いて、走査線 112a の各行にはインバ
ータ 162 が設けられる。一般的に i 行目のインバ
ータ 162 は、走査信号 Y i を論理反転した反転走査信号 /
Y i を、i 行目の補走査線 112b に供給する (/ は反
転を示す)。

【0013】一方、データ側出力回路 170 は、選択さ
れた走査線に位置する画素の階調データ Dpix を順次サ
ンプリングして、当該階調データ Dpix に応じた階調電
圧を列毎に出力する。ここで、階調データ Dpix とは、 20
画素の階調をディジタル値にて指示するデータであり、
図示せぬ上位装置から後述する順番にて供給される。また、
説明の便宜上、1、2、3、...、n 列に対応して出
力される階調電圧を、それぞれ V d 1、V d 2、V d
3、...、V d n と表記する。さらに、データ電圧操作回
路 180 が、列毎に設けられている。ここで、一般的に
j 列目のデータ電圧操作回路 180 は、階調電圧 V d j
と j 列目の共用線 116 に流れる電流とに応じて、当該
j 列目のデータ線 114 に印加するデータ電圧 X a j を
操作する。なお、データ側出力回路 170 およびデータ 30
電圧操作回路 180 の詳細については、後述する。

【0014】一方、走査線 112a (補走査線 112
b) とデータ線 114 (共用線 116) との交差に対応
して、画素 10 が配列する。したがって、この表示装置
100 の解像度は、縦 m ドット × 横 n ドットである。た
だし、本発明をこの解像度に限る趣旨ではない。

【0015】<画素> 次に、上述した画素 10 の詳細に
ついて説明する。図 2 は、一般的に i 行目の走査線 11
2a と j 列目のデータ線 114 との交差に対応する画素
10 の構成を示す回路図である。この図に示されるよう 40
に、1 つの画素 10 には、P チャネル型の薄膜トランジ
スタ (Thin Film Transistor、以下「TFT」と省略す
る) 122、124、126、128 と EL 素子 130
とが備えられる。このうち、TFT 122 は、j 列目の
データ線 114 と TFT 124 のゲート G との間に介挿
されている。また、TFT 122 のゲートは、i 行目の
走査線 112a に接続されている。このため、TFT 1
22 は、走査信号 Y i が L レベルになるとオンするス
イッチとして機能する。また、TFT 124 のゲート G
には、容量 50 が寄生する。

【0016】続いて、ゲートが i 行目の走査線 112a
に接続された TFT 126 は、j 列目の共用線 116 と
TFT 124 のソース S との間に介挿されている。ま
た、ゲートが i 行目の補走査線 112b に接続された T
FT 128 は、電源電圧 Vcc の給電線と TFT 124
のソース S との間に介挿されている。ここで、走査信号
Y i と反転走査信号 /Y i とは互いに論理反転した関係
にあるので、TFT 126、128 が互いに排他的にオ
ンオフすることになる。すなわち、TFT 126、12
8 は、走査信号 Y i が L レベルであれば、それぞれオ
ン、オフして、TFT 124 のソース S を共用線 116
に接続する一方、走査信号 Y i が H レベルであれば、そ
れぞれオフ、オンして、TFT 124 のソース S を電圧
Vcc の給電線に接続するスイッチとして機能する。

【0017】TFT 124 のドレイン D は、EL 素子 1
30 の陽極に接続されている。ここで、EL 素子 130
は、陽極たる画素電極と陰極との間に発光 (EL) 層を
挟持して、電流に応じた輝度で発光する構成であるが、
詳細については本件と直接関係しないので、その説明を
省略する。なお、EL 素子 130 の陰極は、すべての画
素 10 にわたって共通であり、基準電圧 Gnd の接地線
(給電線) に接地されている。なお、本実施形態では、
電圧 Vcc の給電線および電圧 Gnd の接地線は、全画
素 10 にわたって共通に配線されるが、図面の複雑化を
防止するために省略している。

【0018】この画素 10 では、走査信号 Y i が L レ
ベルになると、TFT 122 がオンするので、データ電圧
X a j に応じた電荷が容量 50 に蓄積されるとともに、
TFT 124 のゲート電圧は、j 列目のデータ線 114
に印加されたデータ電圧 X a j になる。また、TFT 1
26 がオン、TFT 128 がオフするので、TFT 12
4 のソース S には、共用線 126 の電圧が印加される。
このため、走査信号 Y i が L レベルであれば、EL 素子
130 には、データ電圧 X a j に応じた電流が TFT 1
24 によって流れることになる。一方、走査信号 Y i が
H レベルであれば、TFT 122 がオフするが、TFT
124 のゲート電圧は、TFT 122 がオフする直前の
データ電圧 X a j に容量 50 によって保持されている。
また、TFT 126 がオフ、TFT 128 がオンするの
で、TFT 124 のドレインは、電圧 Vcc になる。こ
のため、走査信号 Y i が H レベルになっても、EL 素子
130 には、保持されたデータ電圧 X a j に応じた電流
が TFT 124 により流れ続けることになる。

【0019】なお、厳密に言えば、TFT 124 のゲ
ート電圧については TFT 122 における電圧降下を、T
FT 124 のドレイン電圧については TFT 126 また
は 128 における電圧降下を、それぞれ考慮しなければ
ならないが、本実施形態では、これら電圧降下の影響を
無視している。また、本実施形態では、容量 50 とし
て、TFT 124 に寄生する容量を用いているが、TFT

T124のゲートGと定電位線(例えば電圧Gndの接地線)との間にコンデンサを設けて、該コンデンサを容量50として用いても良い。

【0020】<データ側出力回路>次に、上述したデータ側出力回路170の詳細について説明する。図4は、データ側出力回路170の構成を示すブロック図である。この図に示されるように、データ側出力回路170は、データ線114の本数nと等しい段数のシフトレジスタ1710と、レジスタ(Reg)1720と、ラッチ回路(L)1730と、D/A変換器1740とを有し、このうち、後三者は、シフトレジスタ1710の各段に対応して設けられている。

【0021】まず、シフトレジスタ1710は、1行分の階調データDpixの供給開始タイミングにおいて出力されるパルス状の信号DXを、クロック信号XsCKの立ち上がり毎に順次シフトして、サンプリング制御信号Xs1、Xs2、Xs3、...、Xsnとして出力する。続いて、一般的にj列目のレジスタ(Reg)1720は、データバス172を介して供給される階調データDpixを、シフトレジスタ1710のj段から出力されるサンプリング制御信号Xsjの立ち上がりにてサンプリングして、保持する。さらに、一般的にj列目のラッチ回路(L)1730は、同じくj列目のレジスタ1720によって保持された階調データDpixを、水平走査期間の開始時に供給されるラッチパルスLPの立ち上がりによってラッチして出力する。そして、一般的にj列目のD/A変換器1740は、同じくj列目のラッチ回路1730によってラッチされた階調データDpixを、アナログの階調電圧Vdjとして出力する。

【0022】本実施形態において、階調電圧Vdjは、次式のように定められる。

$$V_{dj} = R_a \cdot I_d + V_{cc} \dots (1)$$

この式(1)において、Raは、D/A変換器1740の出力端に接続される抵抗値であり、また、Idは、階調データDpixによって指示される階調の輝度にてEL素子130が発光するために必要な階調電流の値である。なお、電圧Vccは、上述したように、TFT128(図2参照)がオンしたとき、EL素子130に印加される電源電圧である。すなわち、階調電圧Vdjは、電流値Idの関数にて規定されることになる。

【0023】次に、図5は、データ側出力回路170の動作を説明するためのタイミングチャートである。この図に示されるように、ラッチパルスLPが出力されて走査信号YiがLレベルに遷移するタイミングに先んじて、信号DXがHレベルに立ち上がると、i行目であって1、2、3、...、n列目の画素に対応する階調データDpixが順番に供給される。

【0024】このうち、i行1列の画素に対応する階調データDpixが供給されるタイミングにおいて、シフトレジスタ1710から出力されるサンプリング制御信号

Xs1がHレベルに立ち上がると、当該階調データが、1列目のレジスタ1720(図5において「1:Reg」と表記)によってサンプリングされる。次に、i行2列の画素に対応する階調データDpixが供給されるタイミングにおいて、サンプリング制御信号Xs2がHレベルに立ち上がると、当該階調データが、2列目のレジスタ1720(図5において「2:Reg」と表記)によってサンプリングされる。以下同様に、3、4、...、n列目の画素に対応する階調データDpixの各々が、それぞれ3、4、...、n列目のレジスタ1720によってサンプリングされる。

【0025】続いて、ラッチパルスLPが出力されると、それぞれ各列のレジスタ1720によってサンプリングされた階調データDpixが、それぞれの列に対応するラッチ回路1730において一斉にラッチされる。そして、1、2、3、...、n列においてラッチされた階調データDpixは、それぞれ1、2、3、...、n列のD/A変換器1740に変換されて、階調電圧Vd1、Vd2、Vd3、...、Vdnとして一斉に出力されることになる。ところで、ここで説明したデータ側出力回路170は、一例であって、階調電圧Vd1、Vd2、Vd3、...、Vdnとして一斉に出力できる構成であればいかなる構成でもよい。例えば、階調データDpixといったデジタルデータではなく、階調電圧Vd1、Vd2、Vd3、...、Vdnを順次、アナログ電圧として取り込み、1、2、3、...、n列に対応して階調電圧Vd1、Vd2、Vd3、...、Vdnとして一斉に出力する構成であっても良い。

【0026】なお、この階調電圧の出力動作に合わせて、すなわち、ラッチパルスLPの出力に同期して、走査信号YiがLレベルになって、i行目の走査線112aが選択されることになる。またここでは、一般的にi行目の走査線112aに着目して、当該行に位置する画素に対応した階調電圧の出力動作について説明したが、実際には、このような出力動作は、走査線駆動回路160による選択にしたがって、それぞれ1行目、2行目、3行目、...、m行目の走査線112aに対応して順番に実行されることになる。

【0027】<データ電圧操作回路>次に、データ電圧操作回路180の詳細について説明する。ここで、図6は、一般的にj列目に対応するデータ電圧操作回路180の構成を示す回路図である。まず、j列目の共用線116は、抵抗値がRaに調整された可変型の抵抗1802の一端に接続されており、また、抵抗1802の他端には、j列目のD/A変換器1740による階調電圧Vdjが印加される。ここで、説明の便宜上、当該共用線116の電圧をVdetと表記する。

【0028】次に、共用線116は、コンパレータ1804の負入力端に接続される一方、その正入力端は、電圧Vccの給電線に接続されている。コンパレータ18

04は、負入力端の電圧 V_{det} と正入力端の電圧 V_{cc} とを比較して、電圧 V_{det} が電圧 V_{cc} を超えればLレベルの信号を出力する一方、電圧 V_{det} が電圧 V_{cc} 以下であればHレベルの信号を出力する。コンパレータ1804の出力端は、抵抗1806を介してNチャネル型のTFT1810のゲートに接続されており、一方、当該TFT1810のゲートは、容量1808を介して接地されている。このため、コンパレータ1804の出力信号は、抵抗1806およびコンデンサ1808からなる積分回路によって平滑化されるとともに、該平滑化電圧 V_g が、Nチャネル型のTFT1810のゲートに印加される。

【0029】TFT1810のソースは、電圧 V_a の給電線に接続される一方、そのドレインは、j列目のデータ線114に接続されているほか、抵抗1812を介して電圧 V_b の給電線に接続されている。なお、電圧 $V_a > 電圧V_b$ である。

【0030】<表示動作>次に、表示装置100の表示動作について説明する。上述したように、走査線駆動回路160によって、走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_m が、1水平走査期間(1H)毎に、順次排他的にLレベルになる(図3参照)。ここで、一般的にi行目の走査信号 Y_i がLレベルになると、データ側出力回路170によって、i行1列、i行2列、i行3列、...、i行n列に位置する画素の輝度を指示する階調データ D_{pix} がそれぞれ変換されて、電圧 V_{d1} 、 V_{d2} 、 V_{d3} 、...、 V_{dn} として出力される点も上述した通りである。そこで、ここではi行j列の画素に着目して、当該i行目の走査線が選択された状態における動作と、当該選択後の非選択の状態における動作とに分けて説明することにする。

【0031】<選択状態>図7は、i行目の走査線112aが選択された状態において、i行j列の画素10における動作を説明するための図である。まず、i行目の走査線112aが選択されると、走査信号 Y_i がLレベルになるので、TFT122、126がオンし、また、反転走査信号 $/Y_i$ がHレベルになるので、TFT128がオフする。このため、i行j列のEL素子130には、選択開始直後のデータ電圧 X_{aj} に応じた電流が、抵抗1802→共用線116→TFT126→TFT124→(EL素子130)→接地線という経路にて流れる。

【0032】走査信号 Y_i がLレベルである期間、j列目のデータ電圧操作回路180における抵抗1802の他端には、i行j列の画素に対応し、かつ、(1)式で示される階調電圧 V_{dj} ($=R_a \cdot I_d + V_{cc}$)がデータ側出力回路170によって印加されている。この階調電圧 V_{dj} を規定する電流値 I_d は、上述したように、EL素子130が階調データ D_{pix} によって指示される階調の輝度にて発光するために必要とする電流値で

ある。すなわち、階調電流 V_{dj} は、EL素子130に流すべき電流の目標値を電圧変換して表現したものである。一方、EL素子130に電流が上記経路を介して流れると、抵抗1802の両端には、当該電流値と抵抗値 R_a との積で示される電圧が発生するので、共用線116の一端における電圧 V_{det} は、階調電圧 V_{dj} から抵抗1802の電圧降下分を減じた値となる。

【0033】したがって、EL素子130に実際に流れている電流値が目標電流値たる I_d と一致していれば、電圧 V_{det} は、電圧 V_{cc} になっているはずである。ただし、選択開始直後のデータ電圧 X_{aj} は、階調電圧 V_{dj} をほとんど反映していないので、電圧 V_{det} は電圧 V_{cc} と一致しないことが多い。そこで、本実施形態は、走査信号 Y_i がLレベルである期間に、電圧 V_{det} が電圧 V_{cc} となるようにデータ電圧 X_{aj} を操作して、EL素子130に実際に流れる電流値を I_d に一致させる制御を実行する。

【0034】詳細には、EL素子130に実際に流れる電流値が目標電流値 I_d よりも少ないと、電圧 V_{det} は、電圧 V_{cc} よりも高くなる。このため、コンパレータ1804の出力信号がLレベルとなる期間が長くなって、電圧 V_g が相対的に低くなる結果、TFT1810のオン抵抗が上昇するので、当該オン抵抗と抵抗1812とによって電圧($V_a - V_b$)を分圧したデータ電圧 X_{aj} は、選択開始直後の状態から低下する。すなわち、EL素子130に流れる電流値が目標電流値 I_d よりも少ないと、EL素子130に流れる電流値を多くする方向の制御が行われることになる。

【0035】反対に、EL素子130に流れる電流値が目標電流値 I_d よりも多いと、電圧 V_{det} は、電圧 V_{cc} よりも低くなる。このため、電圧 V_g が相対的に高くなって、TFT1810のオン抵抗が低下するので、データ電圧 X_{aj} は、選択開始直後の状態から上昇する。すなわち、EL素子130に流れる電流値が目標電流値 I_d よりも多いと、EL素子130に流れる電流値を少なくする方向の制御が行われることになる。

【0036】結局、EL素子130に流れる電流は、上記2つの方向の制御が均衡する地点にて、すなわち、電圧 V_{det} が電圧 V_{cc} となる地点にて安定化する結果、目標とする電流値 I_d と一致することになる。したがって、本実施形態では、EL素子130に流れる電流値は、i行目の走査線112aの選択開始直後において目標電流値 I_d と異なっていたとしても、選択終了直前に至るまでには、目標電流値 I_d に一致することになる。

【0037】なお、電圧 V_{det} が電圧 V_{cc} と一致していると、コンパレータ1804による出力信号がLレベルとなる期間とHレベルとなる期間とは、単位期間(例えば、1水平走査期間よりも十分短い期間)を基準として考えると、互いに50%ずつになる。そして、この出力電圧の平滑化電圧 V_g をゲート電圧としたときの

TFT1810の抵抗と抵抗1812とによって、電圧(Va - Vb)が分圧されて、この分圧電圧がデータ線114にデータ電圧として印加される。したがって、該分圧電圧が、EL素子130に流れる電流値を目標値のIdに一致させるTFT124のゲート電圧であり、データ電圧である。

【0038】<非選択状態>次に、i行目の走査線112aが選択された後の非選択の状態における動作について説明する。図8は、i行目の走査線112aが非選択された状態において、i行j列の画素10における動作を説明するための図である。

【0039】選択状態から非選択状態に移行するのに伴って、走査信号YiはLレベルからHレベルに遷移する。このため、TFT122がオフするが、TFT124のゲート電圧は、i行目の走査線112aの選択終了直前におけるデータ電圧Xajに、詳細には、EL素子130に流れる電流値を目標電流値Idとさせるデータ電圧Xajに、容量50によって保持されている。

【0040】また、走査信号YiがHレベルに遷移することに伴って、TFT126がオフし、また、反転走査信号/YiがLレベルに遷移するので、TFT128がオンする結果、TFT124のソースSの接続先が、j列目の共用線116から電圧Vccの給電線へと切り替わる。ただし、当該共用線116に印加される電圧は、i行目の走査線112aの選択終了直前に至るまでに電圧Vccと一致するように制御されているので、接続先が切り替わっても、TFT124のソースSに印加される電圧はVccであることには変わりがない。

【0041】したがって、i行j列のEL素子130に流れる電流の経路は、電圧Vccの給電線→TFT128→TFT124→(EL素子130)→接地線という経路に変更されるものの、TFT124のゲート電圧、および、ソース/ドレイン間の電圧のいずれも、走査信号YiがHレベルに遷移する直前から全く変化しないことになる。このため、当該EL素子130は、選択状態から非選択状態となって1垂直走査期間経過後、再び選択状態となるまで、容量50によって保持されたデータ電圧Xajに応じた電流に輝度にて、すなわち、階調データDpixで指示された階調の輝度にて、発光し続けることになる。

【0042】なお、ここでは、一般的にi行j列の画素110について着目して説明したが、走査信号YiがLレベルとなる期間では、他の列についても同様な制御動作が一斉に実行される。さらに、走査信号YiがLレベルとなる期間に着目したが、走査信号Y1、Y2、Y3、...、Ymは、上述したように1水平走査期間(1H)毎、順次排他的にLレベルになるので(図3参照)、上記制御動作は1行毎に順番に実行されることになる。

【0043】このように、本実施形態に係る表示装置

00では、EL素子130に流れる電流値が、選択開始直後に目標電流値Idと相違しても、選択終了直前までに目標電流値Idに一致するように制御されるとともに、選択終了後においても、電流値Idに維持される。このため、TFT124の特性が画素毎にバラついた状態にあって、さらに全画素を同一階調とする場合であっても、各EL素子130に流れる電流を、当該階調に応じた電流値Idにほぼ揃えることができるので、表示面内における輝度が均一化される結果、高品位の表示が可能となるのである。

【0044】また、本実施形態において、選択時にいてEL素子130に流れる電流値がIdとなっていれば、共用線116は、電圧Vccに一致するように制御されるので、選択時から非選択時に移行するに際して、TFT124のソースSが電圧Vccに維持される構成となっている。このような構成を採用した理由は次の通りである。すなわち、EL素子124に流れる電流を制御するTFT124をポリシリコン・プロセスで形成した場合、ゲート電圧が一定であっても、ソース/ドレイン電圧が異なれば、流れる電流も異なってしまうので、これを防止するためである。

【0045】<既存技術との対比>ここで、本実施形態に対する比較のために、3種類の既存技術を挙げて説明する。

【0046】まず、第1の技術について説明する。図26は、第1の技術を適用した表示装置の主要部、特に画素の構成を示す回路図である。この図に示されるように、画素10は、走査線112とデータ線114との交差に対応して設けられて、スイッチング用のTFT11とEL素子130を駆動するためのTFT13とを有する。この構成において、TFT11がオンすると、TFT13のゲートGには、寄生容量(または保持容量)50によって当該オン時におけるデータ線114の電圧が保持される。さらに、TFT13からは、そのゲート電圧に応じた電流Iが吐き出される。

【0047】したがって、走査線を1本ずつ選択して、選択した走査線112aに対し、TFT11をオンさせる選択信号を供給するとともに、データ線114に、輝度に応じた電圧を印加すると、当該電圧は、TFT11がオフした後であっても寄生容量50に保持されるので、保持電圧に応じた電流がEL素子130に流れ続ける。このため、EL素子130は、走査線112が非選択であっても、選択時におけるデータ線114の電圧に応じた輝度で発光し続けることになる。

【0048】しかしながら、第1の技術では、TFT13の特性がEL素子130に流れる電流に直接的に影響を与えてしまう。すなわち、TFT13の特性がバラつく結果、表示面内において輝度の均一性を保つことができず、表示画面の品位が低下しやすい、という欠点があ

る。

【0049】この欠点を解消するために、さらに、第2および第3の技術が知られている。図19は、このうちの前者に係る第2の技術を適用した表示装置の主要部の構成を示す回路図である。この図に示される構成にあつては、第1に、TFT27がオンからオフした状態にて、走査線112の選択信号によってTFT21をオンさせ、さらに、TFT25をオンにさせる。これにより、TFT23から吐き出される電流によって容量54が充電されるので、TFT23のゲート電圧が上昇する。TFT23のゲート電位が上昇すると、TFTから吐き出される電流が減少し、停止するので、容量54には、しきい値電圧がセットされることになる。第2に、TFT27をオフさせた後に、データ線114のデータ電圧を、輝度に応じて変化させる。これによって、当該変化電圧は、容量52を介してしきい値電圧に加算される。第3に、TFT27を再びオンさせて、しきい値電圧に変化電圧が加算されたゲート電圧に応じた電流を、TFT23に流させる。これにより、駆動用のTFT23のしきい値電圧が画素毎にバラつくのが補償されることとなる。

【0050】このように第2の技術では、TFT23の特性バラつきについては確かに補償することができる。しかしながら、第2の技術では、容量52、54の容量バラつきが、輝度の均一性に影響を与えることになる。

【0051】次に、図28は、第3の技術を適用した表示装置の主要部構成を示す回路図である。第3の技術において、データ線114には、選択行における画素10の輝度に応じた電流 I_s が定電流源（図示せず）によって流れる構成となっている。この構成において、走査線112aを介した選択信号によってTFT31をオンにさせるとともに、消去線112eを介した選択信号によってTFT33をオンにさせると、TFT35、37からなるカレントミラー回路によって、TFT35を介してEL素子130に流れる電流 I_e と、TFT37、31を介してデータ線114に流れる電流 I_s とがほぼ等しくなる。一方、容量58には、TFT35、37の共通ゲート電圧に応じた電荷が蓄積されるので、TFT31、37をオフにさせても、容量58によって保持されたゲート電圧によって、電流 I_e がEL素子130に流れ続けることになる。

【0052】ここで、選択時においてデータ線114に流れる電流 I_s を、パネル内において同一となるように制御すると、駆動用のTFT35のしきい値電圧特性が画素毎にバラついていても、EL素子130に流れる電流 I_e を各画素にわたって同一とさせることができる。このため、輝度の均一性を図ることができる。なお、走査線112aに選択信号を供給していない期間に、消去線112eに選択信号を供給すると、TFT33のオンによって容量58に蓄積された電荷がクリアされる。このた

め、駆動用TFT35はオフとなり、EL素子130に流れる電流が遮断されるので、画素10は強制的にオフ（消去）状態となる。

【0053】しかしながら、図28に示される構成では、近接して形成されたTFT35、37の特性が同一であることが、カレントミラー回路としての前提である。したがって、この前提が崩れれば、すなわち、同一画素10内において近接して形成されたTFT35、37の特性がバラついてしまうと、電流 I_s は、EL素子130に実際に流れる電流 I_e と一致しないことになり、このため、たとえ電流 I_s を同一となるように制御しても、輝度の均一性を保つことができなくなる。

【0054】これに対して、本実施形態では、共用線116を介してEL素子130に実際に流れる電流が、目標電流値 I_d に一致するようにデータ電圧を操作するので、異なる画素同士における素子（容量やTFT）の特性バラつきについてはもちろん、仮に同一画素内における素子の特性バラつきが存在したとしても、表示面内における輝度の均一性を確保することが可能となる。

【0055】ただし、本実施形態では、異なる画素同士における素子特性バラつき、および、同一画素内における素子の特性バラつきについては無視できるものの、抵抗1802（図6参照）の値が列毎にバラつくと、全画素を同一階調とするときに、EL素子130に流れる電流値が列毎に異なってしまう事態を招くことになる。この事態を未然に防止するために、上述した実施形態では、抵抗1802を可変型として、各列毎に抵抗値 R_a に調整することが可能な構成を採用したのである。なお、可変型とは、レーザ等のトリミングによる抵抗値の設定や、電子的な抵抗の設定等を含む概念である。抵抗1802の抵抗値のバラつきが十分に小さい場合には、固定抵抗であっても構わない。

【0056】また、本実施形態において、補走査線112bを行毎に設けて、該補走査線112bに反転走査信号を供給する構成とした理由は、画素10におけるTFT122、124、126、128のチャネル型を統一して、製造プロセスを簡略化するためである。換言すれば、本実施形態では、TFT124のソースSを、共用線116または電圧 V_{cc} の給電線のいずれか一方に切り替えなければならないが、TFT126、128のチャネル型を統一すると、両ゲートに、それぞれ排他的な論理信号を供給する必要が生じるので、補走査線112bを行毎に別途設けて反転走査信号を供給する構成としたのである。ここで、例えば製造プロセスの複雑化を無視することができるのであれば、図2におけるTFT128をNチャネル型とし、そのゲートを走査線112aに接続すれば、補走査線112bおよびインバータ162（図1参照）を省略することが可能となる。

【0057】＜第1実施形態の応用＞上述した構成では、1組のデータ線114および共用線116に1列分

の m 個の画素が対応し、このうち、選択された行に位置する画素の EL 素子130に共用線116を介して流れる電流値が目標値と一致するように、データ線114に印加するデータ電圧を操作する構成となっていた。しかしながら、この構成では、各列に対応してデータ電圧操作回路180が設けられるので、それだけ構成が複雑化するほか、列ピッチを狭小化して表示の高精細化を図る際の妨げとなる。そこで、データ電圧操作回路180等を削減する第1実施形態の応用例として、次の2例について説明する。

【0058】<第1実施形態の応用例A>まず、1組のデータ線および共用線に2列分の画素に対応させるとともに、データ線の機能と共用線の機能とを交互に入れ替えた応用例Aについて説明する。

【0059】図9は、この応用例Aに係る表示装置100の構成を示すブロック図である。この図において、兼用線118a、118bは、それぞれ図1に示される構成におけるデータ線114の機能と共用線116の機能を兼用するものである。詳細には、兼用線118a、118bの一方がデータ線114として機能する場合に

は、他方が共用線116として機能し、反対に、一方が共用線116として機能する場合には、他方がデータ線114として機能する。

【0060】この兼用線118a、118bの1組は、2列分の画素に対応して設けられるので、応用例Aに係るデータ電圧操作回路184も、2列に1個の割合にて設けられる。このため、データ電圧操作回路184の個数は、図1に示される構成と比較して、半分の $(n/2)$ となる(n を偶数とした場合)。さらに、図示はしないが、データ側出力回路170におけるシフトレジスタ1710の段数及びレジスタ1720、ラッチ回路1730並びにD/A変換器1740の個数も、それぞれ半分の $(n/2)$ となっている。なお、兼用線118a、118bの列位置を一般的に説明するための j は、応用例Aにあつては、 $1 \leq j \leq (n/2)$ を満たす整数となる。

【0061】一方、走査線112aおよび補走査線112bの本数は、図1に示される構成と比較して、倍の $(2m)$ となっている。このため、走査線駆動回路160を構成するシフトレジスタの段数およびインバータ162の個数も、倍の $(2m)$ となっている。なお、走査線112aの行位置を一般的に説明するための i は、応用例Aにあつては、 $1 \leq i \leq (2m)$ を満たす整数となる。

【0062】ここで、2本の走査線112a(補走査線112b)と、1組の兼用線118a、118bとの交差に対応して、2つの画素10P、10Qが行(X)方向に隣接して配置する。このため、画素は、2本の走査線112aに対して1行分配列するとともに、1組の兼用線118a、118bに対して2列分配列することに

なるので、表示装置としての解像度は、図1に示される構成と同一の縦 m ドット×横 n ドットとなる。

【0063】<画素の構成>次に、画素10P、10Qの詳細について説明する。図10は、連続する i 行目、 $(i+1)$ 行目の走査線112aと、 j 列目にて組をなす兼用線118a、118bとの交差に対応する画素10P、10Qの構成を示す回路図である。

【0064】この図に示されるように、画素10P、10Qのうち、前者に係る画素10Pは、選択が先に行われる i 行目の走査線112aに対応する。すなわち、画素10Pにおいて、TFT122、126のゲートは、それぞれ i 行目の走査線112aに接続され、TFT128のゲートは、 i 行目の補走査線112bに接続されている。また、画素10Pにおいて、TFT122は、兼用線118bとTFT124のゲートとの間に介挿される一方、TFT126は、兼用線118aとTFT124のソースとの間に介挿されている。次に、後者に係る画素10Qは、 i 行目の次に選択される $(i+1)$ 行目の走査線112aに対応する。すなわち、画素10Qにおいて、TFT122、126のゲートは、それぞれ $(i+1)$ 行目の走査線112aに接続され、TFT128のゲートは、 $(i+1)$ 行目の補走査線112bに接続されている。また、画素10Qにおいて、TFT122は、兼用線118aとTFT124のゲートとの間に介挿される一方、TFT126は、兼用線118bとTFT124のソースとの間に介挿されている。

【0065】ここで便宜上、応用例Aにおいて、走査線112aの行位置を一般的に説明するための i を奇数 $(1, 3, 5, \dots)$ とすると、画素10Pは、奇数の i 行目の走査線112aに対応し、画素10Qは、奇数 i に続く偶数 $(i+1)$ 行目の走査線112aに対応することになる。なお、 i 行目の走査線112aに対応する画素10Pおよび $(i+1)$ 行目の走査線112aに対応する画素10Qは、画素配列で言えば、同一の $(i+1)/2$ 行目に位置することになる。また、 j 列目の兼用線118a(118b)に対応する画素10P、10Qは、画素配列で言えば、それぞれ $(2j-1)$ 列目、 $(2j)$ 列目に位置することになる。

【0066】<データ側出力回路の動作>この応用例Aにおいて、データ側出力回路170の構成は、上述したように、シフトレジスタ1710の段数及びレジスタ1720、ラッチ回路1730並びにD/A変換器1740の個数が、それぞれ半分の $(n/2)$ となる以外、図4に示される構成と同様である。ただし、階調データDpixが供給される順序は、図11に示される順序と異なる。すなわち、図11に示されるように、 i 行目の走査線112aに供給される走査信号 Y_i がLレベルに遷移する直前であつて、サンプリング信号 $Xs1$ 、 $Xs2$ 、 $Xs3$ 、...、 $Xs(n/2)$ がそれぞれHレベルになるタイミングでは、当該 i 行目の走査線112aに対応す

る画素10P、すなわち、画素配列で言えば $(i+1)/2$ 行のうち、奇数列たる1、3、5、...、 $(n-1)$ 列の画素10Pの階調データDpixが順番に供給される。続く $(i+1)$ 行目の走査線112aに供給される走査信号 $Y(i+1)$ がLレベルに遷移する直前であって、サンプリング信号 $Xs1$ 、 $Xs2$ 、 $Xs3$ 、...、 $Xs(n/2)$ がそれぞれHレベルになるタイミングでは、当該 $(i+1)$ 行目の走査線112aに対応する画素10Q、すなわち、画素配列で言えば $(i+1)/2$ 行のうち、偶数列たる2、4、6、...、 n 列の画素10Qの階調データDpixが順番に供給される。

【0067】すなわち、応用例Aにおいて、画素配列で言えば1行分の画素の階調データDpixは、2本の走査線112aの選択に要する2水平走査期間にわたって供給される。詳細には、前半の1水平走査期間では、奇数列の画素10Pの階調データDpixが供給され、後半の1水平走査期間では、偶数列の画素10Qの階調データDpixが供給される。このため、応用例Aに係るデータ側出力回路170から出力される階調電圧 $Vd1$ 、 $Vd2$ 、 $Vd3$ 、...、 $Vd(n/2)$ は、走査信号 Yi がLレベルになる前半の1水平走査期間では、画素配列で言えば $(i+1)/2$ 行の1、3、5、...、 $(n-1)$ 列の画素10Pの階調を、走査信号 $Y(i+1)$ がLレベルになる後半の1水平走査期間では、同一の $(i+1)/2$ 行の2、4、6、...、 n 列の画素10Qの階調を、それぞれ上記(1)式で示したものとなる。

【0068】<データ電圧操作回路>次に、応用例Aにおけるデータ電圧操作回路184について説明する。図12は、データ電圧操作回路184の構成を示す回路図である。この図に示される構成が図6に示される構成と相違する点は、切替スイッチ1842、1844が設けられている点にある。この切替スイッチ1842、1844の各々は、奇数行選択信号P/QがHレベルであれば、それぞれ図において実線で示される位置をとる一方、奇数行選択信号P/QがLレベルであれば、それぞれ図において破線で示される位置をとる。ここで、奇数行選択信号P/Qは、奇数行目の走査線112aが選択されるとHレベルとなり、偶数行目の走査線112aが選択されるとLレベルとなる信号である。なお、このような奇数行選択信号P/Qは、クロック信号YCKを2分周した信号を出力するとともに、当該出力信号を走査信号 $Y1$ がLレベルであるときにHレベルにリセットする分周回路によって生成しても良い。

【0069】<応用例Aの動作>このような構成による応用例Aにおいて、奇数行の走査信号 Yi がLレベルになる前半の1水平走査期間では、画素配列で言えば $(i+1)/2$ 行のうち、奇数列に位置する画素10Pにわたって、EL素子130に流れる電流が目標値に一致させる制御が行われる。詳細には、例えばj番目のデータ電圧操作回路184は、画素配列でいう $(i+1)/2$

行・ $(2j-1)$ 列に位置する画素10Pの階調電圧 Vdj から抵抗1802の抵抗値Raと兼用線118aに流れる電流値との積で示される電圧降下を減じた電圧 $Vdet$ が、電圧 Vcc と一致するようにデータ電圧を操作して兼用線118bに印加する。

【0070】次に、偶数行の走査信号 $Y(i+1)$ がLレベルになる後半の1水平走査期間では、画素配列で言えば $(i+1)/2$ 行のうち、偶数列に位置する画素10Qにわたって、EL素子130に流れる電流が目標値に一致させる制御が行われる。詳細には、例えばj番目のデータ電圧操作回路184は、画素配列でいう $(i+1)/2$ 行・ $(2j)$ 列に位置する画素10Qの階調電圧 Vdj から抵抗1802の抵抗値Raと兼用線118bに流れる電流値との積で示される電圧降下を減じた電圧 $Vdet$ が、電圧 Vcc と一致するようにデータ電圧を操作して兼用線118bに印加する。

【0071】このような応用例Aでは、図1に示される構成と同様に縦mドット×横nドットの表示であれば、走査線駆動回路160におけるシフトレジスタの段数およびインバータ162の個数が2倍になるものの、データ側出力回路170におけるシフトレジスタ1710の段数及びレジスタ1720、ラッチ回路1730並びにD/A変換器1740の個数が、それぞれ半分で済み、これに伴って、データ電圧操作回路184の個数も半分で済むので、回路全体で見れば、構成の簡易化されることになる。また、1列分の画素に対応して設ける必要のあった構成(シフトレジスタ1710、レジスタ1720、ラッチ回路1730、D/A変換器1740およびデータ電圧操作回路180)を、応用例Aでは、2列分の画素に対応して設ければ済むので、その分、画素の列ピッチを狭小化して、表示の高精細化を図ることも可能となる。

【0072】<第1実施形態の応用例B>次に、1組のデータ線および共用線に3列分の画素に対応させるが、応用例Aのようにデータ線の機能と共用線の機能とを入れ替えない応用例Bについて説明する。図13は、この応用例Bに係る表示装置100の構成を示すブロック図である。

【0073】この図に示されるように、応用例Bにおいて、データ線114および共用線116は、3列分の画素に対応して設けられる。一方、走査線112aおよび補走査線112bの本数は、図1に示される構成と比較して、3倍の $(3m)$ である。さらに、3本の走査線112a(補走査線112b)と、1本のデータ線114(共用線116)との交差に対応して、3つの画素10R、10G、10Bが行(X)方向に隣接して配置している。ここで、画素10R、10G、10Bは、それぞれ赤(R)、緑(G)、青(B)にて発色するようにEL層を選択したものであり、これら3つの画素をもって略正方形の1ドットを構成する。したがって、応用例

Bにおいて表示装置としての解像度は、図1に示される構成と同一の縦 m ドット×横 n ドットであるが、図1に示される構成では、単色表示であるのに対し、応用例Bではカラー表示であり、横方向の画素数が3倍となっている点に留意されたい。なお、データ線114（または共用線116）の列位置を一般的に説明するための j は、応用例Aにあっても、図1に示される構成と同様に、 $1 \leq j \leq n$ を満たす整数である。また、応用例Bにあつては、走査線112aの行位置を一般的に説明するための i は、 $1 \leq i \leq (3m)$ を満たす整数である。

【0074】<画素の構成>次に、同一のドットを構成する画素10R、10G、10Bの詳細について説明する。ここで、図14は、連続する i 行目、 $(i+1)$ 行目、 $(i+2)$ 行目の走査線112aと、 j 列目のデータ線114との交差に対応する画素10R、10G、10Bの構成を示す回路図である。

【0075】この図に示されるように、画素10R、10G、10Bのうち、画素10Rは、選択が先に行われる i 行目の走査線112aに対応する。すなわち、画素10Rにおいて、TFT122、126のゲートは、それぞれ i 行目の走査線112aに接続され、TFT128のゲートは、 i 行目の補走査線112bに接続されている。続いて、画素10Gは、 i 行目の次に選択される $(i+1)$ 行目の走査線112aに対応する。すなわち、画素10Gにおいて、TFT122、126のゲートは、それぞれ $(i+1)$ 行目の走査線112aに接続され、TFT128のゲートは、 $(i+1)$ 行目の補走査線112bに接続されている。そして、画素10Bは、 $(i+1)$ 行目の次に選択される $(i+2)$ 行目の走査線112aに対応する。すなわち、画素10Bにおいて、TFT122、126のゲートは、それぞれ $(i+2)$ 行目の走査線112aに接続され、TFT128のゲートは、 $(i+2)$ 行目の補走査線112bに接続されている。

【0076】なお、画素10R、10G、10Bにおいて、TFT122は、いずれも自己の画素に係るTFT124のゲートと j 列目のデータ線114との間に介挿される一方、TFT126は、自己の画素に係るTFT124のソースと j 列目の共用線116との間に介挿されている。ここで、応用例Bにおいて、 i を、3で割ったときに余りが1となる整数とすれば、連続する i 行目、 $(i+1)$ 行目、 $(i+2)$ 行目の走査線112aと、 j 列目のデータ線114との交差に対応する画素10R、10G、10Bにより構成される1ドットは、表示配列の $(i+2)/3$ 行目であつて、 j 列目に位置することになる。

【0077】このような応用例Bにおいて、画素配列で言えば1行分のドットの階調データDpixは、3本の走査線112aの選択に要する3水平走査期間にわたって供給される。詳細には、1番目の1水平走査期間におい

て画素10Rの階調データDpixが、2番目の1水平走査期間において画素10Gの階調データDpixが、3番目の1水平走査期間において画素10Bの階調データDpixが、それぞれ供給される。このため、応用例Bに係るデータ側出力回路170から出力される階調電圧 V_{d1} 、 V_{d2} 、 V_{d3} 、...、 V_{dn} は、走査信号 Y_i がLレベルになる1水平走査期間では、 $(i+2)/3$ 行の各列に位置するドットのうち画素10Rの階調を、走査信号 $Y_{(i+1)}$ がLレベルになる1水平走査期間では、同一行の各列に位置するドットのうち画素10Gの階調を、走査信号 $Y_{(i+2)}$ がLレベルになる1水平走査期間では、同一行の各列に位置するドットのうち画素10Bの階調を、それぞれ上記(1)式で示したものとなる。

【0078】結局、応用例Bにおいて、走査信号 Y_i がLレベルになる1番目の1水平走査期間では、画素配列で言えば $(i+2)/3$ 行のうち、画素10RのEL素子130に流れる電流が目標値に一致させる制御が行われる。詳細には、例えば j 番目のデータ電圧操作回路180は、画素配列でいう $(i+3)/2$ 行・ j 列に位置するドットのうち、画素10Rに対応する階調電圧 V_{dj} から抵抗1802の電圧降下を減じた電圧 V_{det} が、電圧 V_{cc} と一致するようにデータ電圧を操作して j 列目のデータ線114に印加する。同様に、走査信号 $Y_{(i+1)}$ がLレベルになる2番目の1水平走査期間では、画素配列で言えば $(i+2)/3$ 行のうち、画素10GのEL素子130に流れる電流が目標値に一致させる制御が行われ、続いて、走査信号 $Y_{(i+2)}$ がLレベルになる3番目の1水平走査期間では、画素配列で言えば $(i+2)/3$ 行のうち、画素10BのEL素子130に流れる電流が目標値に一致させる制御が行われる。

【0079】このような応用例Bによれば、カラー表示が可能となるだけでなく、画素数が図1に示される構成と比較すれば、3倍になっているにもかかわらず、データ側出力回路170におけるシフトレジスタ1710の段数及びレジスタ1720、ラッチ回路1730、D/A変換器1740並びにデータ電圧操作回路180の個数については、図1に示される構成と同一である。換言すれば、応用例Bにおいて、カラー表示としないで、画素10R、10G、10Bを、独立する同色の画素として扱えば、これらの段数や個数について、図1に示される構成と比較して、 $1/3$ で済むことになり、走査線駆動回路160においてシフトレジスタの段数およびインバータ162の個数が3倍になってしまう点を考慮しても、全体でみれば、構成の簡易化を図ることが可能となる。

【0080】なお、応用例Bにおいては画素の選択を、画素10R、10G、10Bの順序としたが、これ以外の順序としても良いのはもちろんである。また、応用例

Bは、カラー表示装置に適用したため、3列分の画素に対して、1個のデータ電圧駆動回路180を割り当てた構成としたが、応用例Bでは、応用例Aのようにデータ線114の機能と共用線116の機能とを交互に切り替える必要がないので、4列分以上の画素に、1個のデータ電圧駆動回路180を割り当てても良いし、2列分の画素に、1個のデータ電圧駆動回路180を割り当てても良い。

【0081】<第2実施形態>上述した第1実施形態(図1参照)において、各画素10に引き回す必要のある配線は、画素10に形成される4つのTFTのチャンネル型を統一することが条件であれば、走査線112a、補走査線112b、データ線114、共用線116、電圧Vccの給電線および基準電圧Gndの接地線の計6本である。このため、第1の実施形態では、引き回される配線のみで構成が複雑化するほか、開口率が低下しやすい傾向になる。そこで、各画素10に引き回す必要のある配線数を第1実施形態と比較して減少させた第2実施形態について説明することにする。

【0082】図15は、第2実施形態に係る表示装置100の構成を示すブロック図である。この図に示される構成と第1実施形態の構成(図1参照)との主な相違点は、補走査線112bおよびインバータ162が廃されている点と、後述するサスティン信号ERが、各画素10およびデータ電圧操作回路182に供給される点とである。さらに、相違点に伴って、画素10の構成およびデータ電圧操作回路182の構成も相違している。

【0083】図16は、本実施形態の画素10の構成を示す回路図である。この図において、共用線117は、画素列毎に設けられ、選択時においてEL素子に流れる電流を検出する電流検出線としての機能と、サスティン期間におけるEL素子の電源給電線としての機能とを兼用する。ここで、電流検出線としての機能とは、上述した第1実施形態における共用線116と同等の機能を言う。また、サスティン期間とは、容量50に保持されたゲート電圧にしたがった電流をEL素子130に流して表示を行う期間を言い、本実施形態では、サスティン信号ERがLレベルになることによって指示される。TFT127、129は、ともにTFT124のソースSとj列目の共用線117との間に介挿され、このうち、TFT127のゲートがi行目の走査線112aに接続され、TFT129のゲートがサスティン信号ERの供給線に接続されている。なお、本実施形態では、電圧Gndの接地線およびサスティン信号ERの供給線は、全画素10にわたって共通であるが、図面の複雑化を防止するために省略している。

【0084】図17は、サスティン信号ERの信号波形を示すタイミングチャートである。この図に示されるように、走査信号Y1、Y2、Y3、...、YmがすべてH

レベルとなる期間に、すなわち、走査線112aがすべて非選択となる期間に、サスティン信号ERはLレベルになる。なお、このようなサスティン信号ERは、走査信号Y1、Y2、Y3、...、Ymをすべて入力とするNAND回路によって求めても良いし、走査信号Ymの立ち上がりから、次の垂直走査期間における走査信号Y1の立ち下がりまで、Lレベルにラッチする回路を用いても良い。また、ここでは、走査線112aがすべて非選択となる期間に、サスティン信号ERがLレベルになるとしているが、当該期間の一部だけの期間に、Lレベルになるとしても良い。また、図17では、走査信号Y1、Y2、Y3、...、Ymを総て選択した後にサスティン信号ERをLレベルにしているが、これに限定されるものではない。例えば、走査信号Y1を選択した後、走査信号Y1、Y2、Y3、...、YmがすべてHレベルとなる期間を設け、サスティン信号ERをLレベルにし、次に走査信号Y2を選択し(サスティン信号ERはHレベル)、その後再び走査信号Y1、Y2、Y3、...、YmがすべてHレベルとなる期間を設け、サスティン信号ERをLレベルにするといった、サスティン信号ERの与え方でも良く、さらに複数行の走査信号を連続して選択した後に、サスティン信号ERをLレベルにする期間を設けても良い。

【0085】図18は、本実施形態のデータ電圧操作回路182の構成を示す回路図である。この図に示される構成と第1実施形態の構成(図6参照)との相違点は、切替スイッチ1822が設けられている点にある。この切替スイッチ1822は、サスティン信号ERがHレベルであれば、図において実線で示される位置をとって、共用線117を抵抗1802の一端に接続する一方、サスティン信号ERがLレベルであれば、図において破線で示される位置をとって、共用線117を電圧Vccの給電線に接続する。なお、第2実施形態において、TFT124のソースSは、走査信号YiがLレベルであれば、TFT127によって共用線117に接続される一方、サスティン信号ERがLレベルであれば、TFT129および切替スイッチ1822によって、電圧Vccの給電線に共用線117を介して接続されることになる。すなわち、本実施形態では、TFT127、129および切替スイッチ1822の三者が、TFT124のソースSを、走査信号YiがLレベルであれば共用線117に接続する一方、サスティン信号ERがLレベルであれば電圧Vccの給電線に接続するスイッチとして機能する。

【0086】次に、第2実施形態の表示動作について説明する。図19は、i行目の走査線112aが選択された状態において、i行j列の画素10における動作を説明するための図である。まず、i行目の走査線112aが選択されると、走査信号YiがLレベルになるので、TFT122、127がオンする。また、サスティン信

号 E R が H レベルであるので、T F T 1 2 9 がオフし、切替スイッチ 1 8 2 2 によって共用線 1 1 7 が抵抗 1 8 0 2 の一端に接続される。このため、i 行 j 列の E L 素子 1 3 0 には、選択開始直後のデータ電圧 X a j に応じた電流が、抵抗 1 8 0 2 → 切替スイッチ 1 8 2 2 → 共用線 1 1 7 → T F T 1 2 7 → T F T 1 2 4 → (E L 素子 1 3 0) → 接地線という経路にて流れる。

【0087】第2実施形態において、第1実施形態とは E L 素子 1 3 0 に流れる電流経路が異なるだけであり、他については同一であるから、第1実施形態と同様な制御動作が実行されることになる。すなわち、走査信号 Y i が L レベルとなる期間において、E L 素子 1 3 0 に流れる電流値が、選択終了直前までに目標電流値 I d に一致するようにデータ電圧 X a j が操作されることになる。この後、走査信号 Y i が H レベルに遷移しても、当該データ電圧 X a j は、容量 5 0 によって保持される。ただし、第2実施形態では、走査信号 Y i が H レベルに遷移しても、サスティン信号 E R が L レベルにならなければ、E L 素子 1 3 0 に電流が流れない。なお、ここでは、i 行目に (特にその j 列に) 着目しているが、実際 20 には、データ電圧を容量 5 0 に保持させる動作は、1、2、3、...、m 行目の走査線 1 1 2 a が 1 本ずつ順番に選択される毎に、各列一斉に実行されることになる。

【0088】各画素の容量 5 0 に、データ電圧が保持された状態において、サスティン信号 E R が L レベルになると、T F T 1 2 9 がオンする。また、切替スイッチ 1 8 2 2 によって共用線 1 1 7 が電圧 V c c の給電線に接続される。このため、図 2 0 に示されるように、すべての画素の E L 素子 1 3 0 には、自己に係る画素の容量 5 0 によって保持されたデータ電圧 X a j に応じた電流 30 が、電圧 V c c の給電線 → 切替スイッチ 1 8 2 2 → 共用線 1 1 7 → T F T 1 2 9 → T F T 1 2 4 → (E L 素子 1 3 0) → 接地線という経路にて流れることになる。したがって、すべての E L 素子 1 3 0 は、サスティン信号 E R が H レベルに復帰するまで、自己に係る画素の容量 5 0 によって保持されたデータ電圧に応じた電流に輝度にて、すなわち、階調データ D p i x で指示された階調の輝度にて、発光し続けることになる。

【0089】このように、第2実施形態では、第1実施形態と同様に、E L 素子 1 3 0 に実際に流れる電流が目標電流値 I d に一致するように、データ電圧が操作されるので、表示面内における輝度の均一性を確保することが可能となる。さらに、第2実施形態では、E L 素子 1 3 0 の電源電圧の一方である電圧 V c c を、列毎に共用される共用線 1 1 7 と該共用線 1 1 7 に設けられる切替スイッチ 1 8 2 2 とを介して給電する構成としてのので、電圧 V c c の給電線を全画素に引き回す必要がない。このため、画素 1 0 に形成される 4 つの T F T のチャンネル型を統一することが条件であっても、各画素 1 0 に引き 40 回す必要のある配線は、走査線 1 1 2 a、データ線 1 1

4、共用線 1 1 7、サスティン信号 E R の供給線および電圧 G n d の接地線の計 5 本で済み、その分、第1の実施形態と比較して、構成の簡易化、開口率の向上を図ることが可能となる。

【0090】<第2実施形態の応用>電流検出線としての機能と電源給電線としての機能とを共用線 1 1 7 に兼用させる第2実施形態 (図 1 5 参照) においては、第1実施形態の応用例 B (図 1 3 参照) と同様に、1 組のデータ線 1 1 4 および共用線 1 1 7 に 3 列分の画素を対応させてカラー表示を行う技術を適用することが可能である。そこで次に、図 1 5 に示される構成に、1 組のデータ線 1 1 4 および共用線 1 1 7 に 3 列分の画素を対応させた応用例について説明する。

【0091】図 2 1 は、第2実施形態の応用例に係る表示装置の構成を示すブロック図である。この図に示されるように、第2実施形態の応用例では、データ線 1 1 4 および共用線 1 1 7 は、3 列分の画素に対応して設けられる。一方、走査線 1 1 2 a の本数は、図 1 と比較して、3 倍の (3 m) である。さらに、3 本の走査線 1 1 2 a と、1 本のデータ線 1 1 4 (共用線 1 1 6) との交差に対応して、3 つの画素 1 0 R、1 0 G、1 0 B が行 (X) 方向に隣接して配置している。なお、画素 1 0 R、1 0 G、1 0 B は、上述したように、それぞれ赤 (R)、緑 (G)、青 (B) にて発光する。

【0092】次に、同一のドットを構成する画素 1 0 R、1 0 G、1 0 B の詳細について説明する。ここで、図 2 2 は、連続する i 行目、(i + 1) 行目、(i + 2) 行目の走査線 1 1 2 a と、j 列目のデータ線 1 1 4 との交差に対応する画素 1 0 R、1 0 G、1 0 B の構成を示す回路図である。

【0093】この図に示されるように、画素 1 0 R、1 0 G、1 0 B のうち、画素 1 0 R は、選択が先に行われる i 行目の走査線 1 1 2 a に対応する。すなわち、画素 1 0 R において、T F T 1 2 2、1 2 7 のゲートは、それぞれ i 行目の走査線 1 1 2 a に接続されている。続いて、画素 1 0 G は、i 行目の次に選択される (i + 1) 行目の走査線 1 1 2 a に対応する。すなわち、画素 1 0 G において、T F T 1 2 2、1 2 7 のゲートは、それぞれ (i + 1) 行目の走査線 1 1 2 a に接続されている。そして、画素 1 0 B は、(i + 1) 行目の次に選択される (i + 2) 行目の走査線 1 1 2 a に対応する。すなわち、画素 1 0 B において、T F T 1 2 2、1 2 7 のゲートは、それぞれ (i + 2) 行目の走査線 1 1 2 a に接続されている。

【0094】なお、画素 1 0 R、1 0 G、1 0 B において、T F T 1 2 2 は、いずれも自己の画素に係る T F T 1 2 4 のゲートと j 列目のデータ線 1 1 4 との間に介挿される一方、T F T 1 2 7、1 2 9 は、自己の画素に係る T F T 1 2 4 のソースと j 列目の共用線 1 1 6 との間に介挿されている。また、画素 1 0 R、1 0 G、1 0 B

において、TFT129のゲートは、サスティン信号ERの供給線に共通接続されている。ここで、応用例において、 i を、3で割ったときに余りが1となる整数とすれば、連続する i 行目、 $(i+1)$ 行目、 $(i+2)$ 行目の走査線112aと、 j 列目のデータ線114との交差に対応する画素10R、10G、10Bにより構成される1ドットは、表示配列の $(i+2)/3$ 行目であって、 j 列目に位置することになる。

【0095】この第2実施形態の応用例において、画素配列で言えば1行分のドットの階調データDpixは、第1実施形態の応用例Aと同様に、3本の走査線112aの選択に要する3水平走査期間にわたって供給される。このため、応用例Bにおいて、走査信号YiがLレベルになる1番目の1水平走査期間では、画素配列で言えば $(i+2)/3$ 行のうち、画素10RのEL素子130に流れる電流が目標値に一致させる制御が行われる。次に、走査信号Y $(i+1)$ がLレベルになる2番目の1水平走査期間では、画素配列で言えば $(i+2)/3$ 行のうち、画素10GのEL素子130に流れる電流が目標値に一致させる制御が行われ、続いて、走査信号Y $(i+2)$ がLレベルになる3番目の1水平走査期間では、画素配列で言えば $(i+2)/3$ 行のうち、画素10BのEL素子130に流れる電流が目標値に一致させる制御が行われる。そして、サスティン信号ERがLレベルに遷移すると、すべての共用線117には、電圧Vccが印加されて、自己の画素に係る容量50に保持された電圧に対応した電流をEL素子130に流し続ける。ここで、上述したように、容量50に保持された電圧は、EL素子130に流れる電流値を目標値に一致させるデータ電圧であるので、すべての画素10R、10G、10Bは、階調データDpixにて指示される輝度に対応する輝度にて発光し続けることになる。

【0096】このような第2実施形態の応用例によれば、第1実施形態の応用例Bと同様に、カラー表示が可能となるだけでなく、構成の簡易化を図ることが可能となり、また、これに伴って表示の高精細化も容易となる。

【0097】<その他>本発明は、上述した第1および第2実施形態に限られず、種々の変形が可能である。例えば、上述した説明では、第1実施形態の応用例Bおよび第2実施形態の応用例以外、原則として単色の画素について階調表示を行う構成となっていたが、これら以外の構成においても、3つの画素の各々に対して、R(赤)、G(緑)、B(青)にて発色するようにEL層を選択するとともに、これらの3画素により1ドットを構成して、カラー表示を行うとしても良い。また、EL素子130に替えて、LEDなどを他の発光素子を用いても良い。

【0098】TFT124については、Nチャネル型としても良い。ただし、TFT124をNチャネル型とす

る場合には、データ電圧操作回路180(182、184)において、抵抗1802の一端の電圧Vdetと電圧Vccとの比較結果に対するデータ電圧の操作方向を逆転する必要がある。すなわち、TFT124をNチャネル型とする場合には、EL素子130に流れる電流がIdよりも少なく、電圧Vdetが電圧Vccよりも高ければ、データ電圧を上昇させる必要があるし、反対に、EL素子130に流れる電流がIdよりも多く、電圧Vdetが電圧Vccよりも低ければ、データ電圧を低くさせる必要がある。また、TFT124のドレインDにEL素子の陽極を接続するのではなく、TFT124のソースにEL素子の陰極を接続しても良い。

【0099】また、TFT122、126(127)、128(129)についても、Nチャネル型としても良いし、Pチャネル型との混成としても良い。各々について、Pチャネル型およびNチャネル型を相補型に組み合わせたトランスマッションゲートとするのが、電圧降下をほぼ完全に無視することができる点において望ましい。

【0100】さらに、上述した実施形態では、データ電圧操作回路180については、図6に示される構成としたが、これに限られない。例えば、TFT1810をバイポーラトランジスタに置換しても良いし、別途の抵抗を分圧回路に直列および/または並列に付加しても良い。なお、データ電圧操作回路180についての変形については、そのままデータ電圧走査回路182(図18参照)、184(図12参照)に適用可能である。また、上述した実施形態では、EL素子130に流れる電流を検出するために抵抗1802を用いたが、これに限られず、ホール素子を用いて電流を検出する構成としても良い。

【0101】くわえて、上述した実施形態では、階調電圧Vdjから抵抗1802の電圧降下分を減じた電圧Vdetと電圧Vccと比較することによって、EL素子130に流れている電流が目標とする電流値Idと一致しているかを間接的に判断する構成としたが、例えば、D/A変換器1740を、画素の階調に応じた階調電流を流す定電源回路に置換するとともに、共用線116(117)を介してEL素子130に流れる電流が当該階調電流に一致しているかを直接的に判断する構成としても良い。なお、電圧Va、Vbについては、Va>Vbである点以外、特に言及しなかったが、これは、画素10におけるTFT124の特性等を考慮して設定すべきものだからである。

【0102】<電子機器>次に、上述した実施形態に係る電気光学装置を電子機器に用いた例について説明する。

【0103】<その1：パーソナルコンピュータ>まず、上述した表示装置100を、モバイル型のパーソナルコンピュータの表示部に適用した例について説明す

る。図 23 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1100 は、キーボード 1102 を備えた本体部 1104 と、表示部として用いられる表示装置 100 とを備えている。なお、表示部として液晶装置を用いると、背面にバックライトを設ける必要があるが、実施形態の表示装置 100 は、自発光型であるので、このような補助光源を不要とすることができ、表示部の薄型化を図ることができる。

【0104】<その 2：携帯電話>さらに、上述した表示装置 100 を、携帯電話の表示部に適用した例について説明する。図 24 は、この携帯電話の構成を示す斜視図である。図において、携帯電話 1200 は、複数の操作ボタン 1202 のほか、受話口 1204、送話口 1206 とともに、上述した表示装置 100 を備えるものである。

【0105】<その 3：デジタルスチルカメラ>次に、上述した表示装置 100 を、ファインダに用いたデジタルスチルカメラについて説明する。図 25 は、このデジタルスチルカメラの背面を示す斜視図である。通常、銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ 1300 は、被写体の光像を CCD (Charge Coupled Device) などの撮像素子により光電変換して撮像信号を生成・記憶するものである。ここで、デジタルスチルカメラ 1300 におけるケース 1302 の背面には、上述した表示装置 100 が設けられる。この表示装置 100 は、撮像信号に基づいて表示を行うので、被写体を表示するファインダとして機能することになる。また、ケース 1302 の前面側 (図 25 においては裏面側) には、光学レンズや CCD などを含んだ受光ユニット 1304 が設けられている。

【0106】撮影者が表示装置 100 に表示された被写体像を確認して、シャッターボタン 1306 を押下すると、その時点における CCD の撮像信号が、回路基板 1308 のメモリに転送・記憶される。また、このデジタルスチルカメラ 1300 にあって、ケース 1302 の側面には、外部表示を行うためのビデオ信号出力端子 1312 と、データ通信用の入出力端子 1314 とが設けられている。

【0107】なお、電子機器としては、図 23 のパーソナルコンピュータや、図 24 の携帯電話、図 25 のデジタルスチルカメラの他にも、テレビや、ビューファインダ型、モニタ直視型のビデオテーブルコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、上述した表示装置が適用可能なのは言うまでもない。

【0108】

*【発明の効果】以上説明したように本発明では、第 1 のスイッチが閉接すると、データ線に印加されたデータ電圧が容量によって保持されるとともに、トランジスタによって当該データ電圧に応じた電流が共用線を介して発光素子に流れ、さらに、当該データ電圧が、データ電圧操作回路によって、画素の階調に応じた階調電流と共用線を介して発光素子に流れる電流との差をなくす方向に操作される構成となっているので、発光素子に流れる電流は精度良く階調電流にほぼ一致する。したがって、本発明によれば、トランジスタの特性がバラついても、発光素子に流れる電流は同一輝度であれば画素同士揃うので、同一であるべき画素の輝度が相違することに起因する表示品位の低下を防止することが可能となる。本発明では、さらに、走査線とデータ線との交差に対応して設けられる複数の画素にわたって、データ線と共用線との共用が可能であるので、構成を簡易化することもできる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る表示装置の構成を示すブロック図である。

【図 2】 同表示装置における画素の構成を示す回路図である。

【図 3】 同走査線駆動回路の動作を説明するためのタイミングチャートである。

【図 4】 同表示装置におけるデータ駆動回路の構成を示すブロック図である。

【図 5】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【図 6】 同表示装置におけるデータ電圧操作回路の構成を示す回路図である。

【図 7】 同表示装置におけるデータ電圧の操作動作を説明するための図である。

【図 8】 同表示装置における表示動作を説明するための図である。

【図 9】 第 1 実施形態の応用例 A にかかる表示装置の構成を示すブロック図である。

【図 10】 同表示装置における画素の構成を示す回路図である。

【図 11】 同表示装置におけるデータ線駆動回路の動作を説明するためのタイミングチャートである。

【図 12】 同表示装置におけるデータ電圧操作回路の構成を示す回路図である。

【図 13】 第 1 実施形態の応用例 B に係る表示装置の構成を示すブロック図である。

【図 14】 同表示装置における画素の構成を示す回路図である。

【図 15】 本発明の第 2 実施形態に係る表示装置の構成を示すブロック図である。

【図 16】 同表示装置における画素の構成を示す回路図である。

【図 17】 同表示装置におけるサスティン信号 E R の
タイミングチャートである。

【図 18】 同表示装置におけるデータ電圧操作回路の
構成を示す回路図である。

【図 19】 同表示装置におけるデータ電圧の操作動作
を説明するための図である。

【図 20】 同表示装置における表示動作を説明するた
めの図である。

【図 21】 第 2 実施形態の応用例に係る表示装置の構
成を示すブロック図である。

【図 22】 同表示装置における画素の構成を示す回路
図である。

【図 23】 実施形態に係る表示装置を適用した電子機
器の一例たるパーソナルコンピュータの構成を示す斜視
図である。

【図 24】 同表示装置を適用した電子機器の一例たる
携帯電話の構成を示す斜視図である。

【図 25】 同表示装置を適用した電子機器の一例たる
デジタルスチルカメラの構成を示す斜視図である。

【図 26】 従来の表示装置の主要構成を示す図であ
る。

【図 27】 従来の表示装置の主要構成を示す図であ
る。

* 【図 28】 従来の表示装置の主要構成を示す図であ
る。

【符号の説明】

1 0 ...画素

5 0 ...容量

1 0 0 ...表示装置

1 1 2 a ...走査線

1 1 2 b ...補走査線

1 1 4 ...データ線

1 1 6、1 1 7 ...共用線

1 1 8 a、1 1 8 b ...兼用線

1 2 2 ...T F T

1 2 4 ...T F T (トランジスタ)

1 3 0 ...E L 素子 (発光素子)

1 2 6、1 2 7、1 2 8、1 2 9 ...T F T

1 6 0 ...走査線駆動回路

1 7 0 ...データ側出力回路

1 8 0、1 8 2、1 8 4 ...データ電圧操作回路

1 8 0 2 ...抵抗

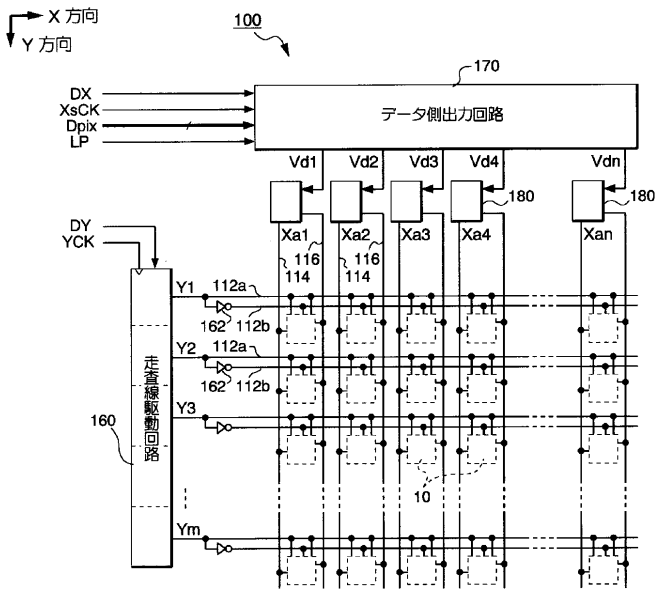
1 8 0 4 ...コンパレータ

1 8 1 0 ...トランジスタ

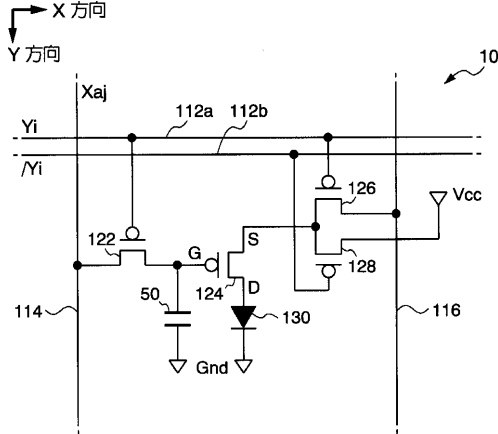
1 8 1 2 ...抵抗

1 8 4 2、1 8 4 4 ...切替スイッチ

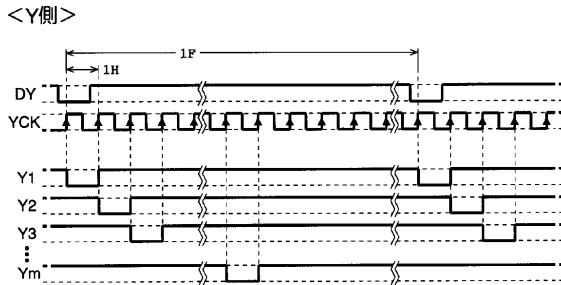
【図 1】



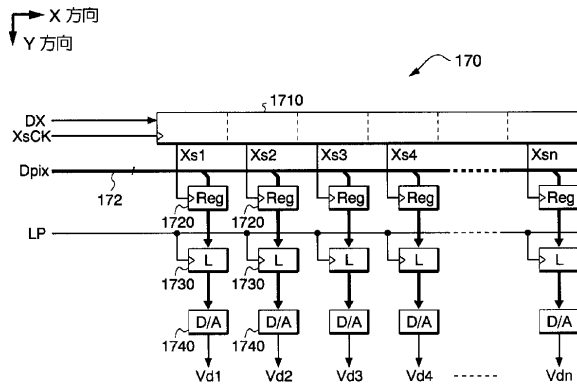
【図 2】



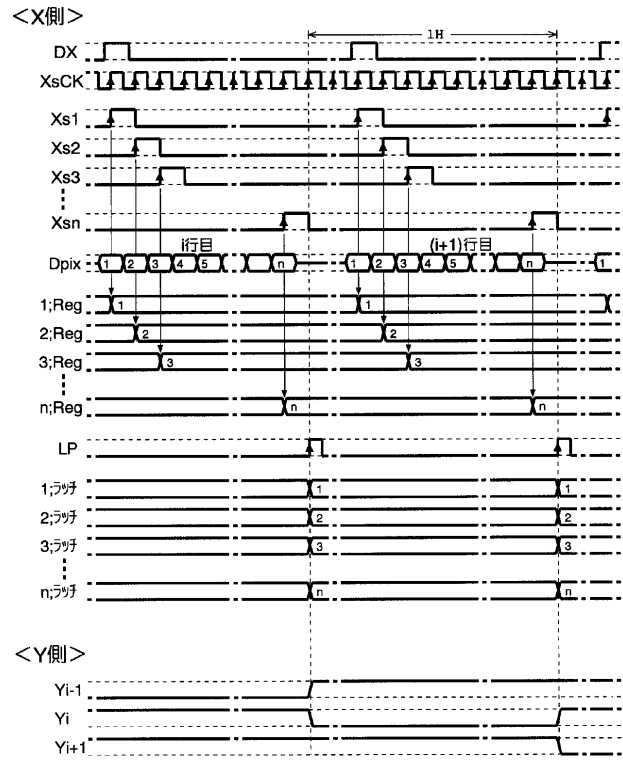
【図 3】



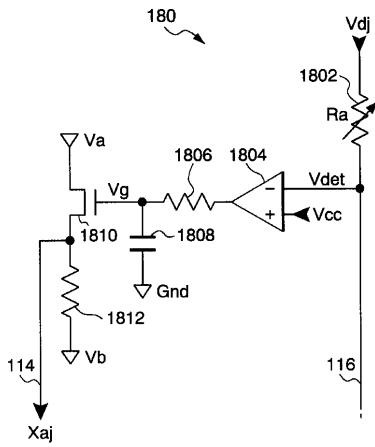
【図 4】



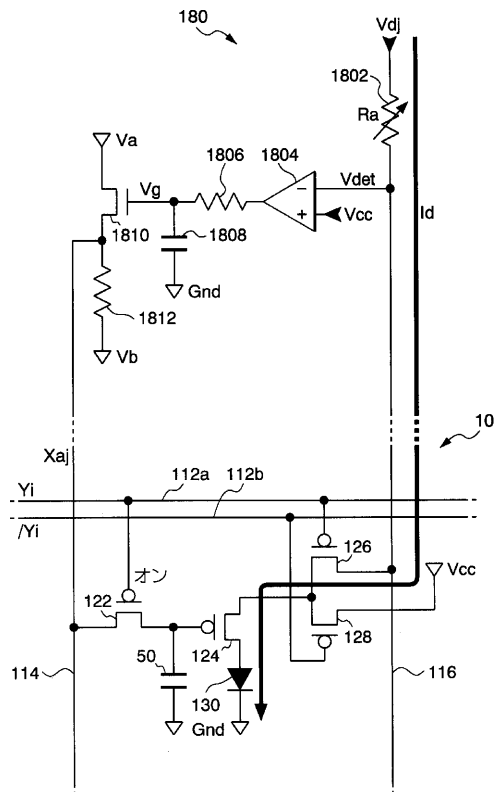
【図 5】



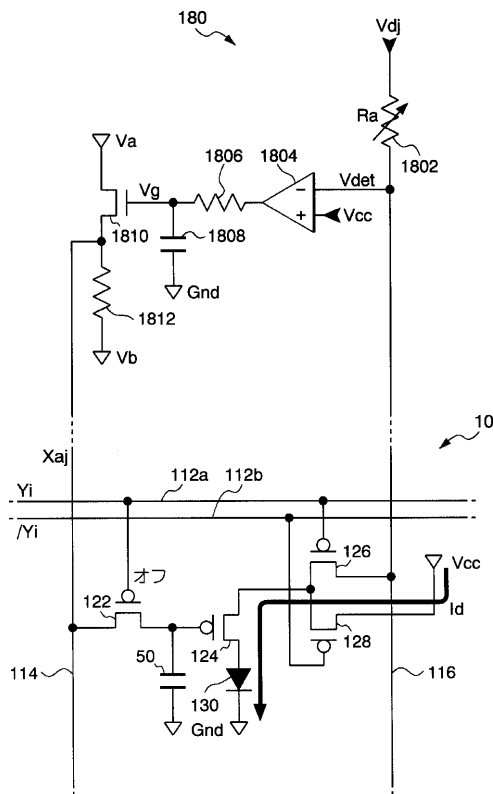
【図 6】



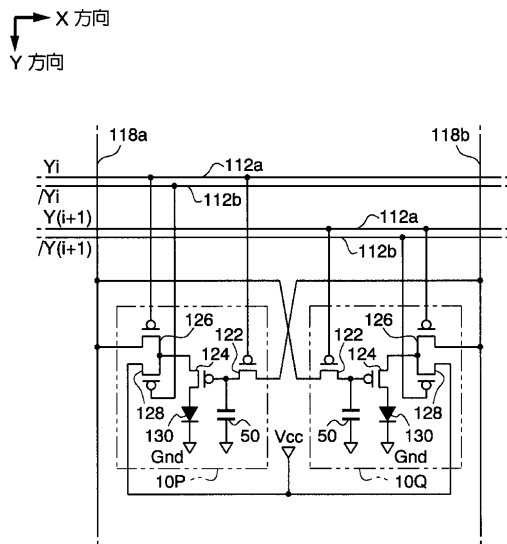
【圖 7】



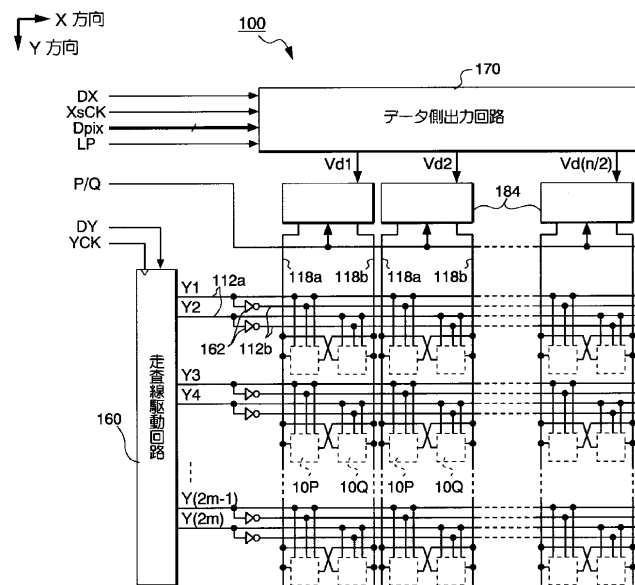
【図 8】



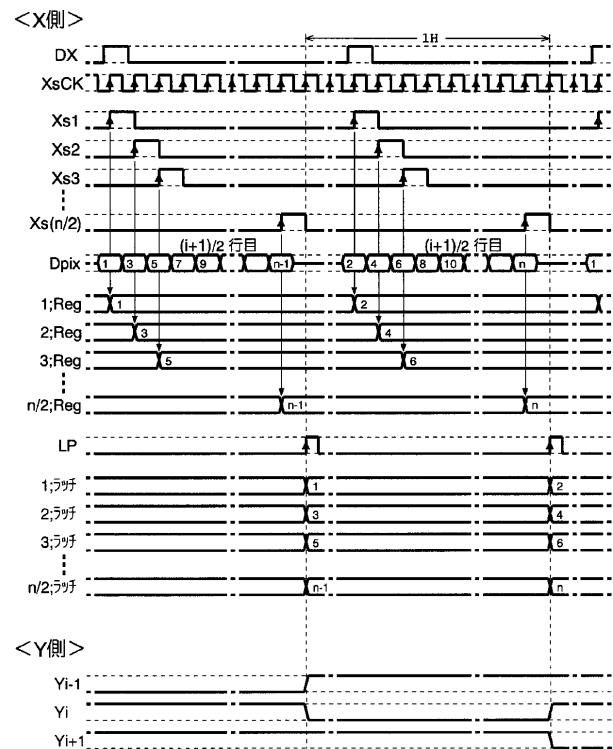
【図 10】



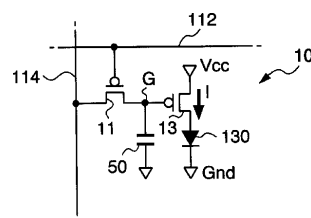
【図 9】



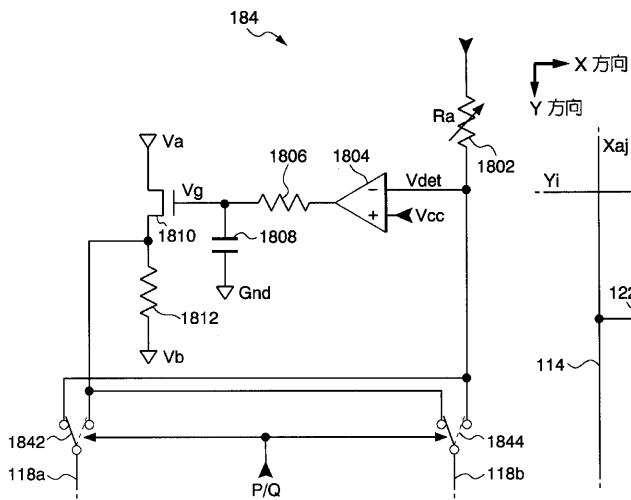
【図 11】



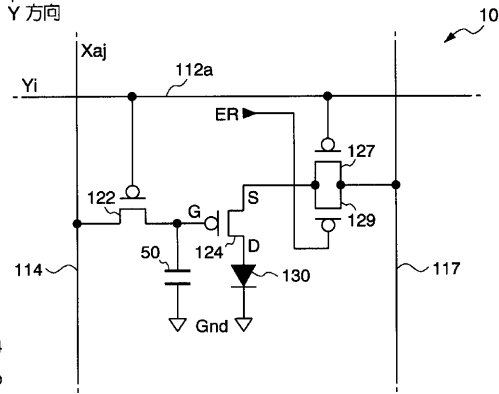
【図 26】



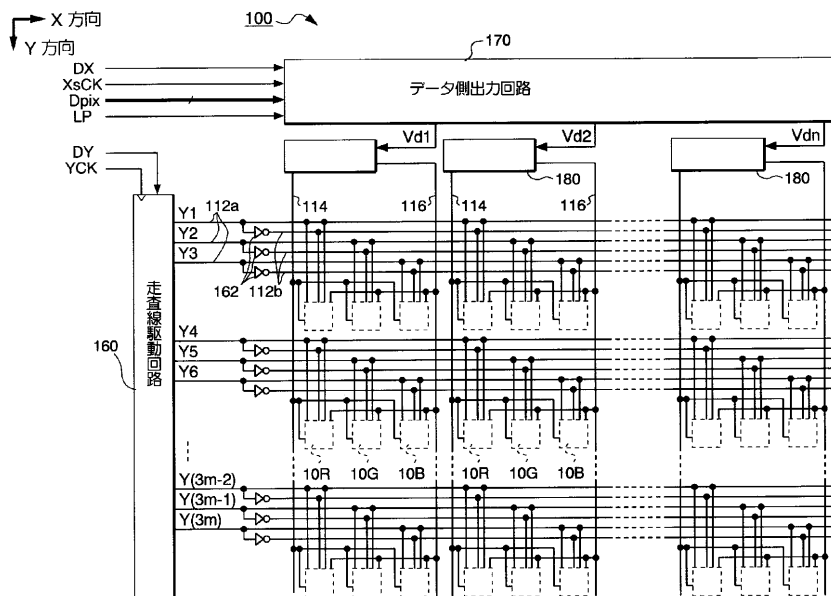
【圖 1 2】



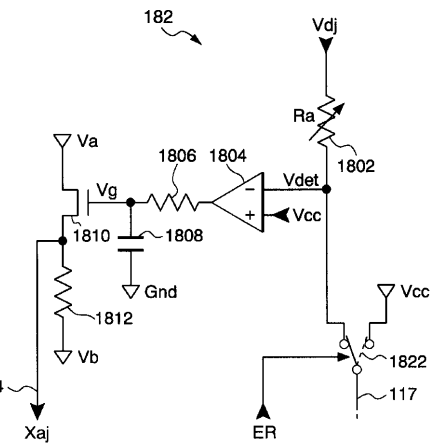
【図 16】



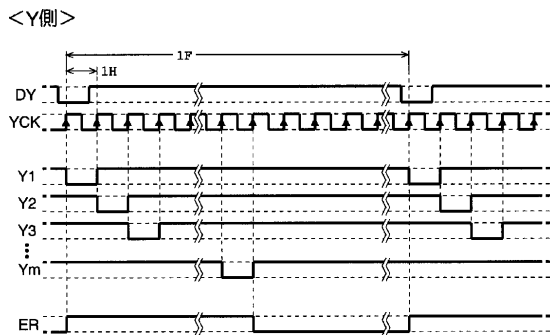
【図 1 3】



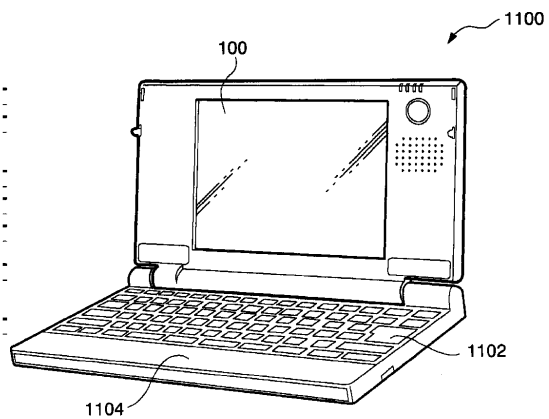
【図 18】



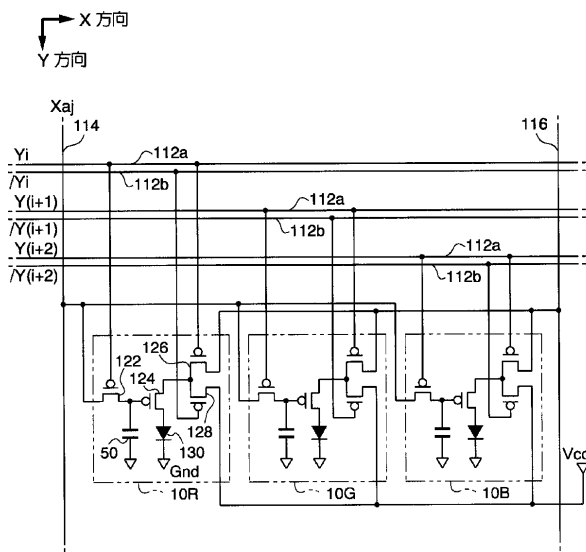
【圖 17】



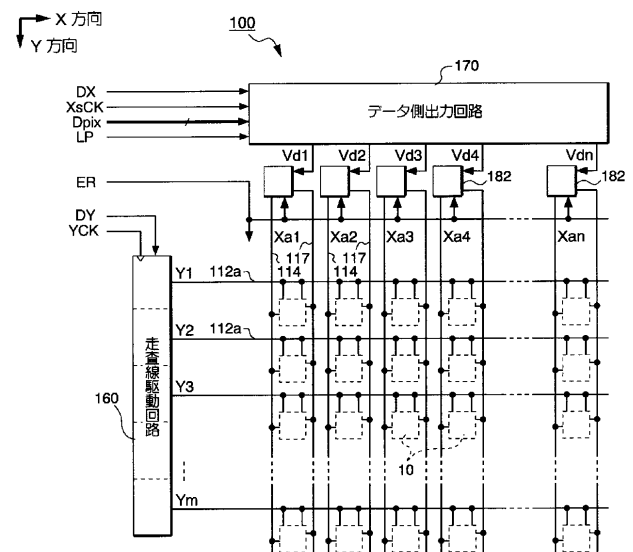
【圖 23】



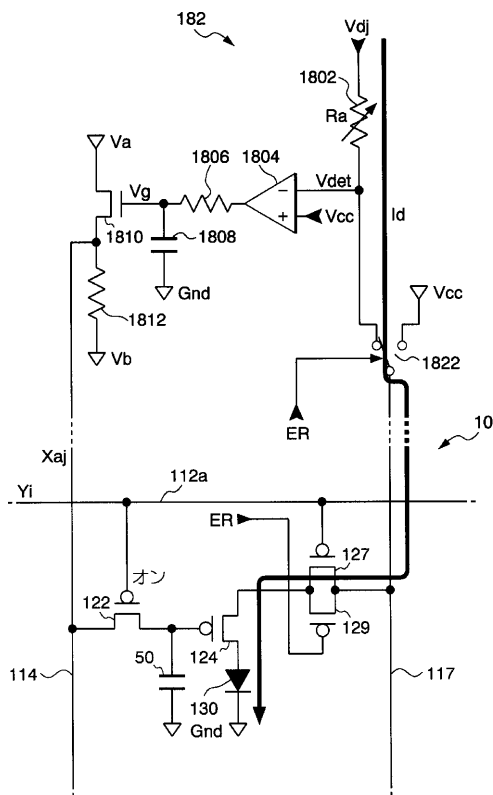
【図 14】



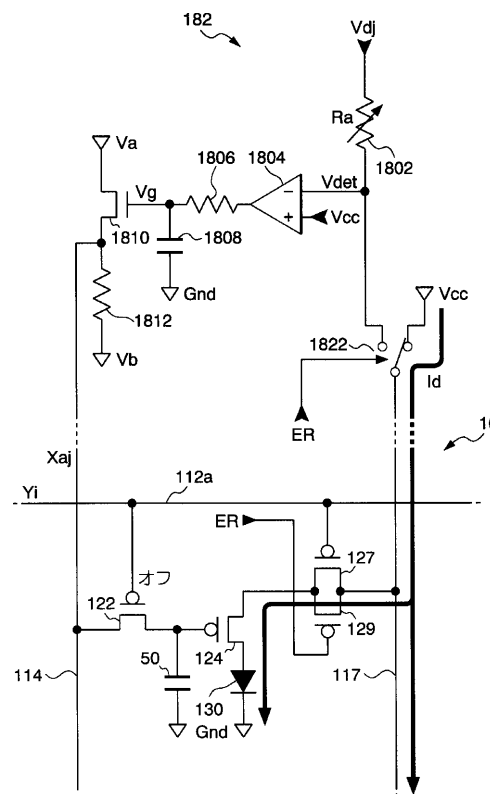
【図 15】



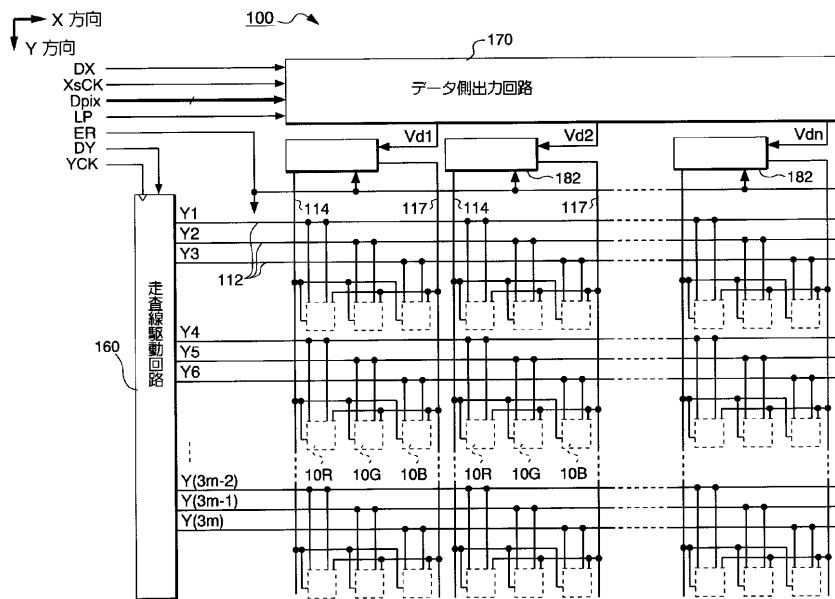
【図 19】



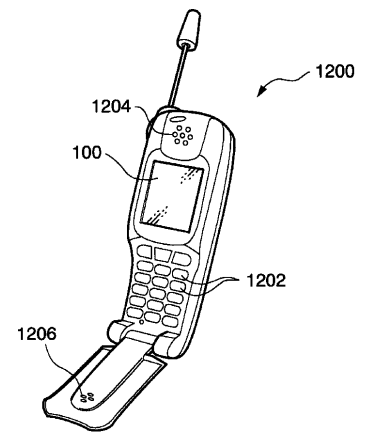
【図 20】



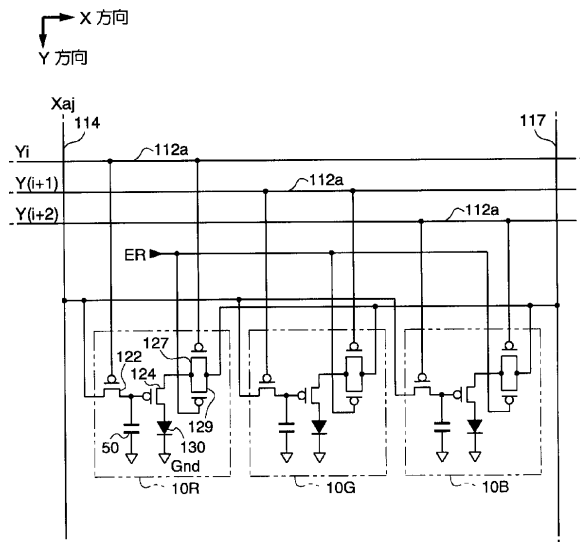
【図 2 1】



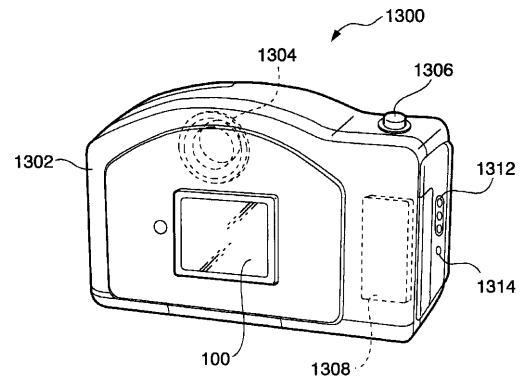
【図 2 4】



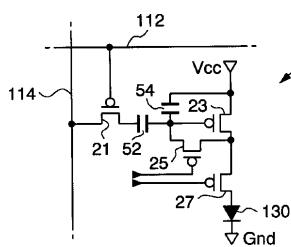
【図 2 2】



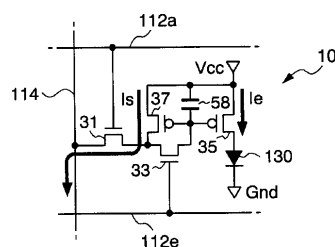
【図 2 5】



【図 2 7】



【図 2 8】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 R
	6 2 4		6 2 4 B
	6 4 1		6 4 1 D
	6 4 2		6 4 2 A
H 0 5 B 33/14		H 0 5 B 33/14	A

F タ-ム(参考) 3K007 AB04 AB05 AB17 BA06 CB01
DA00 DB03 EB00 FA01 GA04
5C080 AA06 BB05 DD03 EE29 FF11
JJ02 JJ03 JJ04
5C094 AA03 AA53 AA55 BA03 BA23
BA27 CA19 EA04 EA07

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2003076331A	公开(公告)日	2003-03-14
申请号	JP2001264590	申请日	2001-08-31
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	山崎克則		
发明人	山崎 克則		
IPC分类号	H01L51/50 G09F9/30 G09F9/33 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
FI分类号	G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09F9/33.Z G09G3/20.611.H G09G3/20.623.R G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09F9/30.365 G09F9/33 G09G3/20.642.P G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB04 3K007/AB05 3K007/AB17 3K007/BA06 3K007/CB01 3K007/DA00 3K007/DB03 3K007/EB00 3K007/FA01 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA23 5C094/BA27 5C094/CA19 5C094/EA04 5C094/EA07 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB23 5C380/AB31 5C380/AB34 5C380/AC01 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC20 5C380/BA11 5C380/BA38 5C380/BA39 5C380/BB04 5C380/BB21 5C380/CA02 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA24 5C380/CA26 5C380/CA32 5C380/CA53 5C380/CB01 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD024 5C380/CF03 5C380/CF07 5C380/CF09 5C380/CF41 5C380/CF42 5C380/CF43 5C380/CF48 5C380/CF61 5C380/DA02 5C380/DA06 5C380/FA03		
外部链接	Espacenet		

摘要(译)

解决的问题：抑制由于晶体管驱动EL元件引起的亮度变化。对应于与选择的扫描线和包括EL元件的像素10P、10Q的交点对应的像素的灰度级的灰度级，该像素对应于扫描线112a和数据线114的交界而设置。在选择通过根据灰度等级的灰度电流和奇数扫描线112a定义并输出电压Vd1、Vd2、...、Vd(n/2)的数据侧输出电路170的情况下，操纵施加到两用线118b的数据电压，使得经由两用线118a在EL元件中流动的电流与限定灰度电压的灰度电流匹配，同时选择偶数扫描线112a。在这种情况下，提供用于操作施加到两用线118a的数据电压的数据电压运算电路180，以使得经由两用线118b在EL元件中流动的电流与限定灰度电压的灰度电流匹配。

