

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5778786号
(P5778786)

(45) 発行日 平成27年9月16日 (2015. 9. 16)

(24) 登録日 平成27年7月17日 (2015. 7. 17)

(51) Int. Cl.

F I

H O 5 B 33/26 (2006. 01)

H O 5 B 33/26 Z

H O 1 L 51/50 (2006. 01)

H O 5 B 33/14 A

H O 5 B 33/06 (2006. 01)

H O 5 B 33/06

H O 5 B 33/22 (2006. 01)

H O 5 B 33/22 Z

H O 5 B 33/08 (2006. 01)

H O 5 B 33/08

請求項の数 4 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2013-554096 (P2013-554096)
 (86) (22) 出願日 平成24年11月22日 (2012. 11. 22)
 (86) 国際出願番号 PCT/JP2012/007516
 (87) 国際公開番号 W02013/108326
 (87) 国際公開日 平成25年7月25日 (2013. 7. 25)
 審査請求日 平成26年5月23日 (2014. 5. 23)
 (31) 優先権主張番号 特願2012-6693 (P2012-6693)
 (32) 優先日 平成24年1月17日 (2012. 1. 17)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 110001900
 特許業務法人 ナカジマ知的財産総合事務
 所
 (72) 発明者 篠川 泰治
 大阪府門真市大字門真1 0 0 6 番地 パナ
 ソニック株式会社内
 (72) 発明者 伊藤 研
 大阪府門真市大字門真1 0 0 6 番地 パナ
 ソニック株式会社内

審査官 岩井 好子

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイ装置及びそれを用いた E L 表示装置

(57) 【特許請求の範囲】

【請求項 1】

一対の電極間に発光層を配置した発光部と、前記発光部の発光を制御する薄膜トランジスタアレイ装置と、前記発光部と前記薄膜トランジスタアレイ装置との間に配置された層間絶縁膜と、前記発光部の一方の電極が前記層間絶縁膜のコンタクトホールを介して前記薄膜トランジスタアレイ装置に電氣的に接続される電流供給用の電極とを有し、前記発光部の一方の電極と前記電流供給用の電極の界面に拡散防止膜を形成し、かつ前記拡散防止膜は、前記発光部の一方の電極を構成する金属材料と同じ金属を主成分とする酸化物により構成され、 $A 1_x C u_y O_z$ 、 $x > y$ 0、 $z > 0$ を満たす材料組成を有する E L 表示装置。

【請求項 2】

前記拡散防止膜は、膜厚が $0 < t \leq 6 \text{ nm}$ である請求項 1 に記載の E L 表示装置。

【請求項 3】

発光部との間に層間絶縁膜を配置するとともに、前記発光部の一方の電極が前記層間絶縁膜のコンタクトホールを介して電氣的に接続される電流供給用の電極を有する薄膜トランジスタアレイ装置であって、

前記発光部の一方の電極と前記電流供給用の電極の界面に拡散防止膜を形成し、かつ前記拡散防止膜は、前記発光部の一方の電極を構成する金属材料と同じ金属を主成分とする酸化物により構成され、 $A 1_x C u_y O_z$ 、 $x > y$ 0、 $z > 0$ を満たす材料組成を有する薄膜トランジスタアレイ装置。

【請求項 4】

前記拡散防止膜は、膜厚が $0 < t \leq 6 \text{ nm}$ である請求項 3 に記載の薄膜トランジスタアレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、多結晶シリコンや微結晶シリコンなどを活性層とする薄膜トランジスタアレイ装置及びそれを用いた EL 表示装置に関するものである。

【背景技術】

10

【0002】

薄膜トランジスタは、有機 EL ディスプレイや液晶ディスプレイなどの表示装置の駆動基板に用いられ、現在、高性能化に向けた開発が盛んに行われている。特に、ディスプレイの大型化や高精細化に伴い、薄膜トランジスタの高い電流駆動能力が要求される中、活性層に結晶化した半導体薄膜（多結晶シリコン・微結晶シリコン）を用いたものが注目されている。

【0003】

半導体薄膜の結晶化プロセスとしては、既に確立されている 1000°C 以上の処理温度を採用した高温プロセス技術に代えて、 600°C 以下の処理温度を採用した低温プロセスが開発されている。低温プロセスでは、耐熱性に優れた石英などの高価な基板を用いる必要がなく、製造コストの低減化を図ることができる。

20

【0004】

低温プロセスの一環として、レーザビームを用いて加熱するレーザアニールが注目されている。これは、ガラスなどの低耐熱性絶縁基板上に成膜された非晶質シリコンや多結晶シリコンなどの非単結晶性の半導体薄膜に、レーザビームを照射して局部的に加熱溶解した後、その冷却過程において半導体薄膜を結晶化するものである。この結晶化した半導体薄膜を活性層（チャネル領域）として薄膜トランジスタを集積形成する。結晶化した半導体薄膜はキャリアの移動度が高くなるため、薄膜トランジスタを高性能化できる。

【0005】

このような薄膜トランジスタの構造としては、ゲート電極が半導体層より下に配置されたボトムゲート型の構造が主流であり、特許文献 1、2 に示すような構造のものが知られている。

30

【0006】

特許文献 1 には、トランジスタに接続された配線（電極）を基板上に形成し、この配線（電極）を覆う状態でスパインコート法によって感光性ポリイミドからなる平坦化絶縁膜（層間絶縁膜）を形成する。次いで、この平坦化絶縁膜（層間絶縁膜）に、リソグラフィ法によって接続孔（コンタクトホール）を形成する。その後、この接続孔（コンタクトホール）を介して配線（電極）に接続される有機 EL 素子を、平坦化絶縁膜（層間絶縁膜）上に形成されている。

【0007】

40

また、特許文献 2 では、第 2 金属層（電極）上に積層された絶縁保護膜及び絶縁保護膜上に積層された絶縁平坦化膜（層間絶縁膜）は、第 2 金属層（電極）とアノード電極（下部電極）とを電気的に接続する接続コンタクトを上下方向に通す穴状のコンタクトホールを備え、コンタクトホールは、絶縁保護膜の内周面と絶縁平坦化膜（層間絶縁膜）の内周面とが段差なくつながって形成された下に凸の錐形状となっている。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2001 - 28486 号公報

【特許文献 2】特開 2009 - 229941 号公報

50

【発明の概要】

【0009】

本開示のEL表示装置は、一对の電極間に発光層を配置した発光部と、前記発光部の発光を制御する薄膜トランジスタアレイ装置と、前記発光部と前記薄膜トランジスタアレイ装置との間に配置された層間絶縁膜と、前記発光部の一方の電極が前記層間絶縁膜のコンタクトホールを介して前記薄膜トランジスタアレイ装置に電氣的に接続される電流供給用の電極とを有し、前記発光部の一方の電極と前記電流供給用の電極の界面に拡散防止膜を形成し、かつ前記拡散防止膜は、前記発光部の一方の電極を構成する金属材料と同じ金属を主成分とする酸化物により構成している。

【0010】

また、本開示の薄膜トランジスタアレイ装置は、発光部との間に層間絶縁膜を配置するとともに、前記発光部の一方の電極が前記層間絶縁膜のコンタクトホールを介して電氣的に接続される電流供給用の電極を有する薄膜トランジスタアレイ装置であって、前記発光部の一方の電極と前記電流供給用の電極の界面に拡散防止膜を形成し、かつ前記拡散防止膜は、前記発光部の一方の電極を構成する金属材料と同じ金属を主成分とする酸化物により構成している。

【0011】

この構成により、電氣的なコンタクト特性と相互拡散の防止性能の両立を実現することができる。

【図面の簡単な説明】

【0012】

【図1】一実施の形態におけるEL表示装置の斜視図である。

【図2】一実施の形態におけるEL表示装置のピクセルバンクの例を示す斜視図である。

【図3】一実施の形態における薄膜トランジスタの画素回路の回路構成を示す電気回路図である。

【図4】一実施の形態における薄膜トランジスタの画素の構成を示す正面図である。

【図5】図4の5-5線で切断した断面図である。

【図6】図4の6-6線で切断した断面図である。

【図7A】一実施の形態における薄膜トランジスタアレイ装置の図5に対応した要部の製造工程を示す断面図である。

【図7B】一実施の形態における薄膜トランジスタアレイ装置の図5に対応した要部の製造工程を示す断面図である。

【図7C】一実施の形態における薄膜トランジスタアレイ装置の図5に対応した要部の製造工程を示す断面図である。

【図7D】一実施の形態における薄膜トランジスタアレイ装置の図5に対応した要部の製造工程を示す断面図である。

【図7E】一実施の形態における薄膜トランジスタアレイ装置の図5に対応した要部の製造工程を示す断面図である。

【図7F】一実施の形態における薄膜トランジスタアレイ装置の図5に対応した要部の製造工程を示す断面図である。

【図8A】一実施の形態における薄膜トランジスタアレイ装置の図6に対応した要部の製造工程を示す断面図である。

【図8B】一実施の形態における薄膜トランジスタアレイ装置の図6に対応した要部の製造工程を示す断面図である。

【図8C】一実施の形態における薄膜トランジスタアレイ装置の図6に対応した要部の製造工程を示す断面図である。

【図8D】一実施の形態における薄膜トランジスタアレイ装置の図6に対応した要部の製造工程を示す断面図である。

【図8E】一実施の形態における薄膜トランジスタアレイ装置の図6に対応した要部の製造工程を示す断面図である。

【図 8 F】一実施の形態における薄膜トランジスタアレイ装置の図 6 に対応した要部の製造工程を示す断面図である。

【図 8 G】一実施の形態における薄膜トランジスタアレイ装置の図 6 に対応した要部の製造工程を示す断面図である。

【図 8 H】一実施の形態における薄膜トランジスタアレイ装置の図 6 に対応した要部の製造工程を示す断面図である。

【図 9 A】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【図 9 B】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【図 9 C】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【図 9 D】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【図 9 E】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【図 9 F】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【図 9 G】図 6 の領域 A に対応した要部の製造工程を示す断面図である。

【発明を実施するための形態】

【0013】

以下、一実施の形態による薄膜トランジスタアレイ装置及びそれを用いた E L 表示装置について、図 1 ～ 図 8 H の図面を用いて説明する。

【0014】

図 1 は一実施の形態における E L 表示装置の斜視図、図 2 は一実施の形態における E L 表示装置のピクセルバンクの例を示す斜視図、図 3 は一実施の形態における薄膜トランジスタの画素回路の回路構成を示す図である。

【0015】

図 1 ～ 図 3 に示すように、E L 表示装置は、下層より、複数個の薄膜トランジスタを配置した薄膜トランジスタアレイ装置 1 と、下部電極である陽極 2 と有機材料からなる発光層である E L 層 3 と透明な上部電極である陰極 4 とからなる発光部との積層構造により構成されている。この発光部は薄膜トランジスタアレイ装置 1 により発光制御される。

【0016】

また、発光部は、一対の電極である陽極 2 と陰極 4 との間に E L 層 3 を配置した構成である。陽極 2 と E L 層 3 の間には正孔輸送層が積層形成され、E L 層 3 と透明な陰極 4 の間には電子輸送層が積層形成されている。薄膜トランジスタアレイ装置 1 には、複数の画素 5 がマトリックス状に配置されている。

【0017】

各画素 5 は、それぞれに設けられた画素回路 6 によって駆動される。また、薄膜トランジスタアレイ装置 1 は、行状に配置される複数のゲート配線 7 と、ゲート配線 7 と交差するように列状に配置される複数の信号配線としてのソース配線 8 と、ソース配線 8 に平行に延びる複数の電源配線 9 (図 1 では省略) とを備える。

【0018】

ゲート配線 7 は、画素回路 6 のそれぞれに含まれるスイッチング素子として動作する薄膜トランジスタ 10 のゲート電極 10 g を行毎に接続する。ソース配線 8 は、画素回路 6 のそれぞれに含まれるスイッチング素子として動作する薄膜トランジスタ 10 のソース電極 10 s を列毎に接続する。電源配線 9 は、画素回路 6 のそれぞれに含まれる駆動素子として動作する薄膜トランジスタ 11 のドレイン電極 11 d を列毎に接続する。

【0019】

図 2 に示すように、E L 表示装置の各画素 5 は、3 色 (赤色、緑色、青色) のサブ画素 5 R、5 G、5 B によって構成され、これらのサブ画素 5 R、5 G、5 B は、表示面上に複数個マトリックス状に配列されるように形成されている (以下、サブ画素列と表記する)。各サブ画素 5 R、5 G、5 B は、バンク 5 a によって互いに分離されている。バンク 5 a は、ゲート配線 7 に平行に延びる突条と、ソース配線 8 に平行に延びる突条とが互いに交差するように形成されている。そして、この突条で囲まれる部分 (すなわち、バンク 5 a の開口部) にサブ画素 5 R、5 G、5 B が形成されている。

【 0 0 2 0 】

陽極 2 は、薄膜トランジスタアレイ装置 1 上の層間絶縁膜上でかつバンク 5 a の開口部内に、サブ画素 5 R、5 G、5 B 毎に形成されている。同様に、E L 層 3 は、陽極 2 上でかつバンク 5 a の開口部内に、サブ画素 5 R、5 G、5 B 毎に形成されている。透明な陰極 4 は、複数の E L 層 3 及びバンク 5 a 上で、かつ全てのサブ画素 5 R、5 G、5 B を覆うように、連続的に形成されている。

【 0 0 2 1 】

さらに、薄膜トランジスタアレイ装置 1 には、各サブ画素 5 R、5 G、5 B 毎に画素回路 6 が形成されている。そして、各サブ画素 5 R、5 G、5 B と、対応する画素回路 6 とは、後述するコンタクトホール及び中継電極によって電氣的に接続されている。なお、サブ画素 5 R、5 G、5 B は、E L 層 3 の発光色が異なることを除いて同一の構成である。そこで、以降の説明では、サブ画素 5 R、5 G、5 B を区別することなく、全て画素 5 と表記する。

10

【 0 0 2 2 】

図 3 に示すように、画素回路 6 は、スイッチ素子として動作する薄膜トランジスタ 1 0 と、駆動素子として動作する薄膜トランジスタ 1 1 と、対応する画素に表示するデータを記憶するキャパシタ 1 2 とで構成される。

【 0 0 2 3 】

薄膜トランジスタ 1 0 は、ゲート配線 7 に接続されるゲート電極 1 0 g と、ソース配線 8 に接続されるソース電極 1 0 s と、キャパシタ 1 2 及び薄膜トランジスタ 1 1 のゲート電極 1 1 g に接続されるドレイン電極 1 0 d と、半導体層（図示せず）とで構成される。この薄膜トランジスタ 1 0 は、接続されたゲート配線 7 及びソース配線 8 に電圧が印加されると、当該ソース配線 8 に印加された電圧値を表示データとしてキャパシタ 1 2 に保存する。

20

【 0 0 2 4 】

薄膜トランジスタ 1 1 は、薄膜トランジスタ 1 0 のドレイン電極 1 0 d に接続されるゲート電極 1 1 g と、電源配線 9 及びキャパシタ 1 2 に接続されるドレイン電極 1 1 d と、陽極 2 に接続されるソース電極 1 1 s と、半導体層（図示せず）とで構成される。この薄膜トランジスタ 1 1 は、キャパシタ 1 2 が保持している電圧値に対応する電流を電源配線 9 からソース電極 1 1 s を通じて陽極 2 に供給する。すなわち、上記構成の E L 表示装置は、ゲート配線 7 とソース配線 8 との交点に位置する画素 5 毎に表示制御を行うアクティブマトリックス方式を採用している。

30

【 0 0 2 5 】

次に、図 4 ~ 図 6 を参照して、薄膜トランジスタアレイ装置 1 を構成する画素 5 の構成を説明する。なお、図 4 は画素 5 の構成を示す正面図である。図 5 は図 4 の 5 - 5 線で切断した断面図である。図 6 は図 4 の 6 - 6 線で切断した断面図である。

【 0 0 2 6 】

図 4 ~ 図 6 に示すように、画素 5 は、基板 2 1、導電層である第 1 の金属層 2 2、ゲート絶縁膜 2 3、半導体層 2 4、2 5、導電層である第 2 の金属層 2 6、パッシベーション膜 2 7、ITO など構成した導電酸化物膜 2 8、及び導電層である第 3 の金属層 2 9 の積層構造体により構成される。

40

【 0 0 2 7 】

基板 2 1 上に積層される第 1 の金属層 2 2 には、薄膜トランジスタ 1 0 のゲート電極 1 0 g と、薄膜トランジスタ 1 1 のゲート電極 1 1 g とが形成される。また、基板 2 1 及び第 1 の金属層 2 2 上には、ゲート電極 1 0 g、1 1 g を覆うように、ゲート絶縁膜 2 3 が形成されている。

【 0 0 2 8 】

半導体層 2 4 は、ゲート絶縁膜 2 3 上（ゲート絶縁膜 2 3 と第 2 の金属層 2 6 との間）で、かつゲート電極 1 0 g と重なり合う領域内に配置される。同様に、半導体層 2 5 は、ゲート絶縁膜 2 3 上（ゲート絶縁膜 2 3 と第 2 の金属層 2 6 との間）で、かつゲート電極

50

1 1 g と重なり合う領域内に配置される。

【 0 0 2 9 】

ゲート絶縁膜 2 3 及び半導体層 2 4、2 5 上に積層される第 2 の金属層 2 6 には、ソース配線 8 と、電源配線 9 と、薄膜トランジスタ 1 0 のソース電極 1 0 s 及びドレイン電極 1 0 d と、薄膜トランジスタ 1 1 のドレイン電極 1 1 d 及びソース電極 1 1 s とが形成されている。ソース電極 1 0 s 及びドレイン電極 1 0 d は、互いに対向する位置で、かつそれぞれが半導体層 2 4 の一部に重なり合うように形成される。また、ソース電極 1 0 s は、同層に形成されているソース配線 8 から延長されるように形成されている。同様に、ドレイン電極 1 1 d 及びソース電極 1 1 s は、互いに対向する位置で、かつそれぞれが半導体層 2 5 の一部に重なり合うように形成される。また、ドレイン電極 1 1 d は、同層に形成されている電源配線 9 から延長されるように形成されている。

10

【 0 0 3 0 】

このように薄膜トランジスタ 1 0、1 1 は、ゲート電極 1 0 g、1 1 g がソース電極 1 0 s、1 1 s 及びドレイン電極 1 0 d、1 1 d より下層に形成されるボトムゲート型のトランジスタ構造である。

【 0 0 3 1 】

また、ゲート絶縁膜 2 3 には、ドレイン電極 1 0 d 及びゲート電極 1 1 g に重なり合う位置に、厚み方向に貫通するコンタクトホール 3 0 が形成されている。そして、ドレイン電極 1 0 d は、コンタクトホール 3 0 を介して、第 1 の金属層 2 2 に形成されたゲート電極 1 1 g と電氣的に接続されている。

20

【 0 0 3 2 】

さらに、ゲート絶縁膜 2 3 及び第 2 の金属層 2 6 上には、ソース電極 1 0 s、1 1 s、及びドレイン電極 1 0 d、1 1 d を覆うように、パッシベーション膜 2 7 が形成されている。このパッシベーション膜 2 7 は、層間絶縁膜 3 4 と薄膜トランジスタ 1 0、1 1 との間に介在するように形成されている。

【 0 0 3 3 】

パッシベーション膜 2 7 上には、導電酸化物膜 2 8 が積層されている。さらに、導電酸化物膜 2 8 上には、第 3 の金属層 2 9 が積層されている。導電酸化物膜 2 8 上に積層される第 3 の金属層 2 9 には、ゲート配線 7 及び中継電極 3 1 が形成される。導電酸化物膜 2 8 は、ゲート配線 7 及び中継電極 3 1 に重なり合う位置に選択的に形成されており、ゲート配線 7 に重なり合う部分と中継電極 3 1 に重なり合う部分とは、電氣的に非接続の状態となっている。

30

【 0 0 3 4 】

また、ゲート絶縁膜 2 3 及びパッシベーション膜 2 7 には、ゲート配線 7 及びゲート電極 1 0 g に重なり合う位置に、厚み方向に貫通するコンタクトホール 3 2 が形成されている。そして、ゲート配線 7 は、コンタクトホール 3 2 を介して、第 1 の金属層 2 2 に形成されたゲート電極 1 0 g と電氣的に接続されている。なお、ゲート配線 7 とゲート電極 1 0 g とは、直接接触しておらず、両者の間には導電酸化物膜 2 8 が介在している。

【 0 0 3 5 】

同様に、パッシベーション膜 2 7 には、薄膜トランジスタ 1 1 のソース電極 1 1 s 及び中継電極 3 1 に重なり合う位置に、厚み方向に貫通するコンタクトホール 3 3 が形成されている。そして、中継電極 3 1 は、コンタクトホール 3 3 を介して、第 2 の金属層 2 6 に形成されたソース電極 1 1 s と電氣的に接続されている。なお、ソース電極 1 1 s と中継電極 3 1 とは、直接接触しておらず、両者の間には導電酸化物膜 2 8 が介在している。

40

【 0 0 3 6 】

さらに、パッシベーション膜 2 7 及び第 3 の金属層 2 9 上には、ゲート配線 7 及び中継電極 3 1 を覆うように、層間絶縁膜 3 4 が形成されている。層間絶縁膜 3 4 は、積層構造であり、平坦化膜として機能させる層間絶縁膜 3 4 a と、パッシベーション膜として機能させる層間絶縁膜 3 4 b とから構成される。層間絶縁膜 3 4 a は、有機膜やハイブリッド膜で形成し、陽極 2 に接する側（上層）に配置される。層間絶縁膜 3 4 b は、無機膜で形

50

成し、ゲート配線 7 及び中継電極 3 1 に接する側（下層）に配置されている。

【 0 0 3 7 】

層間絶縁膜 3 4 上には、隣接する画素 5 との境界部分にバンク 5 a が形成されている。そして、バンク 5 a の開口部には、画素 5 単位で形成される陽極 2 と、色（サブ画素列）単位またはサブ画素単位で形成される E L 層 3 とが形成される。さらに、E L 層 3 及びバンク 5 a 上には、透明な陰極 4 が形成される。

【 0 0 3 8 】

さらに、図 6 に示すように、陽極 2 及び中継電極 3 1 に重なり合う位置に、層間絶縁膜 3 4 を厚み方向に貫通するコンタクトホール 3 5 が形成されている。そして、陽極 2 は、コンタクトホール 3 5 を介して、第 3 の金属層 2 9 に形成された中継電極 3 1 に電氣的に接続される。中継電極 3 1 は、コンタクトホール 3 3 に充填される中央領域 3 1 a と、コンタクトホール 3 3 の上部周縁に延在する平坦領域 3 1 b とを有している。そして陽極 2 は、中継電極 3 1 の平坦領域 3 1 b において電氣的に接続されている。

【 0 0 3 9 】

ここで、本開示においては、発光部の陽極 2 は A l を主体とした導電性の金属材料から形成され、薄膜トランジスタアレイ装置 1 の電流供給用の中継電極 3 1 は、陽極 2 とは異なる導電性の金属材料である C u 系材料から形成され、そして陽極 2 と中継電極 3 1 との界面には、発光部の陽極 2 と同じ金属材料である A l を主体とした金属材料の酸化物からなる拡散防止膜 3 6 が形成されている。具体的には、拡散防止膜 3 6 は、エネルギー分散型 X 線分析装置（E D S）等で測定される元素が、 $A l_x C u_y O_z$ 、 $x > y$ 、 $0 < z < 1$ を満たす材料組成を有するものである。

【 0 0 4 0 】

表 1 は、A l を主体とした陽極 2 と C u を主体とした中継電極 3 1 との界面に形成した拡散防止膜 3 6 について、拡散防止膜 3 6 の膜厚を変化させた本開示の実施例によるサンプル（実施例 1 ～ 4）と、比較例によるサンプル（比較例 1 ～ 3）を作成し、それらのサンプルについて、陽極 2 と中継電極 3 1 とのコンタクト不良と、相互拡散量を比較して示すものである。なお、表 1 において、コンタクト不良については、接続抵抗が単位面積当たり 1 k Ω 未満を良品（○）とし、1 k Ω 以上を不良（×）として示している。また、相互拡散量については、100 nm 未満であれば、A l と C u の相互拡散に起因したエレクトロマイグレーションによる断線不良が発生しにくいことが実験により確認されたため、100 nm 未満を良品（○）とし、100 nm 以上を不良（×）として示している。

【 0 0 4 1 】

【表 1】

	膜厚(nm)	コンタクト不良	相互拡散量
実施例1	1	○	○
実施例2	2	○	○
実施例3	4	○	○
実施例4	6	○	○
比較例1	8	×	○
比較例2	9	×	○
比較例3	10	×	○

【 0 0 4 2 】

表 1 に示すように、拡散防止膜 3 6 としては、膜厚 t が $1 \text{ nm} \sim 6 \text{ nm}$ の膜を形成すれば、コンタクト不良及び相互拡散量の評価項目において良品を得ることができる。なお、拡散防止膜 3 6 の膜厚 t は、薄く形成すればするほど、より低いコンタクト抵抗が得られ、電気特性的には優位となることから、拡散防止膜 3 6 としては、膜厚 t は、 $0 < t \leq 6 \text{ nm}$ とすればよい。ただし、拡散防止膜 3 6 を形成した後の製造工程における熱履歴によって、Al と Cu の相互拡散が発生しやすくなることから、製造工程上のばらつきを考慮すると、拡散防止膜 3 6 の膜厚は、 $1 \text{ nm} \sim 6 \text{ nm}$ とするのが望ましい。

【0043】

拡散防止膜 3 6 の膜厚を薄く形成するための方法としては、例えば、ドライエッチングによりコンタクトホール 3 5 を形成した後に、大気開放せず、真空中で連続して陽極 2 をスパッタ法等で形成すれば、実現可能である。また、拡散防止膜 3 6 の膜厚は、陽極 2 を形成する前に、Cu を主体とした酸化膜の膜厚を調整することで、制御可能である。酸化膜の膜厚を調整する方法としては、酸化膜を形成した後に、Ar プラズマによる酸化膜の物理的な除去や H_2 プラズマによる還元処理などで、酸化膜を所望の膜厚に制御することができる。

【0044】

このように本開示においては、Al を主体とした導電性材料からなる陽極 2 と、この陽極 2 とは異なる導電性材料である Cu 系材料からなる中継電極 3 1 との界面に、Al を主体とした酸化物からなる拡散防止膜 3 6 を形成したもので、Al と Cu の相互拡散を起因としたエレクトロマイグレーションによる断線不良を防止することができる。また、拡散防止膜 3 6 の膜厚を $1 \text{ nm} \sim 6 \text{ nm}$ に調整することで、十分なコンタクト特性を得ることができるとともに、相互拡散による断線不良を防止することができる。

【0045】

次に、図 7 A ～ 図 7 F、図 8 A ～ 図 8 H を用いて、一実施の形態における薄膜トランジスタアレイ装置 1 を製造する製造工程について説明する。なお、図 7 A ～ 図 7 F は一実施の形態における薄膜トランジスタアレイ装置の図 5 に対応した要部の製造工程を示す図である。図 8 A ～ 図 8 H は、一実施の形態における薄膜トランジスタアレイ装置の図 6 に対応した要部の製造工程を示す図である。

【0046】

まず、図 7 A ～ 図 7 F、図 8 A ～ 図 8 H を用いて説明する。

【0047】

図 7 A 及び図 8 A に示すように、基板 2 1 を準備する。基板 2 1 には、一般的に、ガラス、石英等、絶縁性の材料を使用する。基板 2 1 からの不純物の拡散を防止するために、図示していないが、酸化珪素膜もしくは窒化珪素膜を基板 2 1 の上面に形成しても良い。膜厚は 100 nm 程度である。

【0048】

続いて、図 7 B 及び図 8 B に示すように、基板 2 1 上に耐熱性を有する第 1 の金属層 2 2 を形成した後、フォトリソグラフィ法、エッチング法などによりパターンニングを行い、ゲート電極 1 0 g、1 1 g を形成する。材料としては、耐熱性のある Mo、W、Ta、Ti、Ni のいずれかあるいはそれらの合金が挙げられる。本実施の形態では Mo を用いた。厚みは 100 nm 程度が望ましい。

【0049】

続いて、図 7 C 及び図 8 C に示すように、基板 2 1 及び第 1 の金属層 2 2 上にゲート絶縁膜 2 3 を形成し、ゲート絶縁膜 2 3 上に半導体層 2 4、2 5 を形成する。なお、ゲート絶縁膜 2 3 及び半導体層 2 4、2 5 は、プラズマ CVD 法等により、真空状態で連続的に形成する。ゲート絶縁膜 2 3 としては、酸化珪素膜、窒化珪素膜、もしくはその複合膜が形成される。厚みは、 200 nm 程度である。また、半導体層 2 4、2 5 は、 50 nm 程度の非晶質シリコン膜である。

【0050】

この後、例えば、図 8 D の矢印で示すように、半導体層 2 5 上にエキシマレーザ等を照

10

20

30

40

50

射することにより、半導体層 25 を非結晶性半導体層から多結晶性半導体層へ改質する。結晶化の方法としては、例えば 400 ~ 500 の炉内で脱水素を行った後、エキシマレーザによって結晶化させ、その後、真空中で数秒~数10秒の水素プラズマ処理を行う。具体的には、エキシマレーザ等を照射して、非結晶性半導体層の温度を所定の温度範囲まで上昇させることにより、結晶化させる。ここで、所定の温度範囲とは、例えば、210 ~ 1414 である。また、多結晶性半導体層内の平均結晶粒径は、20 nm ~ 60 nm である。

【0051】

ここで、ゲート電極 10g、11g を構成する第1の金属層 22 は、上記の工程で高温に曝されるので、温度範囲の上限値 (1414) より融点が高い金属で形成される必要がある。一方、以降の工程で積層される第2の金属層 26 及び第3の金属層 29 は、温度範囲の下限値 (210) より融点が高い金属で形成してもよい。

10

【0052】

次に、図 8 E に示すように、フォトリソグラフィー法、エッチング法等により、半導体層を島状の半導体層 25 に加工する。なお、図示していないが、ゲート絶縁膜 23 に、同じくフォトリソグラフィー法、エッチング法等により、コンタクトホール 30 を形成する。

【0053】

その後、図 7 D 及び図 8 F に示すように、ゲート絶縁膜 23 及び半導体層 24、25 上に第2の金属層 26 を形成し、パターンングによりソース配線 8、電源配線 9、ソース電極 10s、11s、ドレイン電極 10d、11d、及び中継電極 31 をそれぞれ加工する。このとき、第2の金属層 26 を構成する材料がコンタクトホール 30 にも充填され、コンタクトホール 30 が形成される。この工程により、ゲート電極 11g とドレイン電極 10d とがコンタクトホール 30 を介して電氣的に接続される。第2の金属層 26 を構成する材料としては、低抵抗金属である Al、Cu、Ag のいずれかあるいはそれらの合金が挙げられる。本実施の形態では Cu を使用し、厚みは、300 nm 程度である。

20

【0054】

また、ソース電極 10s と半導体層 24 との間、及びドレイン電極 10d と半導体層 24 との間には、一般的に低抵抗の半導体層が形成される。この低抵抗半導体層は、一般的に、リン等の n 型ドーパントがドーピングされた非晶質シリコン層、もしくはボロン等の p 型ドーパントがドーピングされた非晶質シリコン層が使用される。厚みは、20 nm 程度である。結晶化された半導体層 24 とドーピングされた非晶質シリコン層との間にさらに非晶質シリコン等の半導体層があってもよい。これらの膜はデバイス特性を向上させるために必要になる場合がある。半導体層 25 についても同様である。

30

【0055】

その後、図 7 E ~ 図 7 F 及び図 8 G に示すように、酸化珪素膜、窒化珪素膜、もしくはそれらの膜の積層膜からなるパッシベーション膜 27 を、ゲート絶縁膜 23、半導体層 24、25 及び第2の金属層 26 上に形成する。また、パッシベーション膜 27 に、フォトリソグラフィー法、エッチング法等により、ゲート絶縁膜 23 及びパッシベーション膜 27 を連続的に貫通するコンタクトホール 32 と、パッシベーション膜 27 を厚み方向に貫通するコンタクトホール 33 とを形成する。

40

【0056】

ここで、第2の金属層 26 及び第3の金属層 29 に挟まれたパッシベーション膜 27 に形成される単位面積あたりの容量は、第1の金属層 22 及び第2の金属層 26 に挟まれたゲート絶縁膜 23 により形成される単位面積あたりの容量より小さくなるように、ゲート絶縁膜 23 及びパッシベーション膜 27 の材料や膜厚を決定する。具体的には、パッシベーション膜 27 に形成される単位面積あたりの容量は、 $1.5 \times 10^{-4} \text{ (F/m}^2\text{)}$ 未満とするのが望ましい。一方、ゲート絶縁膜 23 に形成される単位面積あたりの容量は、 $1.5 \times 10^{-4} \text{ (F/m}^2\text{)}$ 以上とするのが望ましい。

【0057】

50

さらに、図 6 及び図 8 H に示すように、パッシベーション膜 27 上に導電酸化物膜 28 を形成し、導電酸化物膜 28 上に第 3 の金属層 29 を形成する。そして、第 3 の金属層 29 は、パターニングによりゲート配線 7 及び中継電極 31 に加工される。導電酸化物膜 28 を構成する材料としては、インジウムおよび錫を含む酸化物膜、あるいはインジウムおよび亜鉛を含む酸化物膜のいずれかを用いる。一方、第 3 の金属層 29 を構成する材料としては、低抵抗であることが求められるため、第 2 の金属層 26 と同じ金属でも良い。特に本開示では、安価で低抵抗が実現できる Cu 系材料が好ましい。厚みは、300 nm 程度である。

【0058】

このとき、導電酸化物膜 28 及び第 3 の金属層 29 を構成する材料がコンタクトホール 32、33 にも充填され、コンタクトホール 32、33 が形成される。これにより、コンタクトホール 32 を介してゲート配線 7 とゲート電極 10g とが電氣的に接続され、コンタクトホール 33 を介してソース電極 11s と中継電極 31 とが電氣的に接続される。

【0059】

次に、図 9 A ~ 図 9 G を用いて、図 6 の領域 A を形成する工程を詳細に説明する。具体的には、セルフアラインを用いて、中継電極 31 と陽極 2 の接続部を加工する例を説明する。

【0060】

まず、上記図 8 A ~ 図 8 H の製造工程から、図 9 A に示す構成を作製する。

【0061】

続いて、図 9 B に示すように、パッシベーション膜 27 及び中継電極 31 上に層間絶縁膜 34b を形成する。層間絶縁膜 34b は、プラズマ CVD 法等により形成される。層間絶縁膜 34b としては、酸化珪素膜、窒化珪素膜、もしくはその複合膜が形成される。厚みは、200 nm 程度であり、パッシベーション膜としての役割を持つ。

【0062】

次に、図 9 C に示すように、層間絶縁膜 34b 上に層間絶縁膜 34a を形成する。層間絶縁膜 34a は、平坦化膜としての役割を持つため、厚膜が形成できる塗布材料であることが好ましく、スピンコーターやスリットコーターで形成される。層間絶縁膜 34a としては、感光性材料であることが好ましく、アクリル樹脂やポリイミド樹脂などの有機材料、もしくは Si-O 結合を有した SOG 材料などのハイブリッド材料が用いられる。厚みは、4000 nm 程度である。

【0063】

次に、図 9 D に示すように、感光性材料である層間絶縁膜 34a をフォトリソグラフィー法により加工し、層間絶縁膜 34a を貫通するコンタクトホール 35 を形成する。その後、塗布材料からなる層間絶縁膜 34a を 230 程度で焼成し、硬化させる。無機膜からなる層間絶縁膜 34b は、層間絶縁膜 34a の焼成時に層間絶縁膜 34a から発生する水分などのガスにより中継電極 31 が腐食するのを防ぐ役目を果たす。

【0064】

次に、図 9 E ~ 図 9 G を用いて、拡散防止膜 36 を形成する工程を説明する。

【0065】

まず、図 9 E に示すように、パターニングしたコンタクトホール 35 をマスクとして用い、層間絶縁膜 34b をドライエッチングにより加工し、コンタクトホール 35 が層間絶縁膜 34b を貫通するまで形成する。

【0066】

次に、図 9 F に示すように、コンタクトホール 35 内の中継電極 31 上に Cu を主体とした酸化膜 31a を形成する。続いて、図 9 G に示すように、陽極 2 を構成する材料をコンタクトホール 35 に充填し、このコンタクトホール 35 を介して、陽極 2 と中継電極 31 とを電氣的に接続する。陽極 2 の材料としては、例えば、Mo、Al、Ag、Au、Cu などの導電性金属、若しくはそれらの合金、PEDOT: PSS などの有機導電性材料、酸化亜鉛、または鉛添加酸化インジウムのいずれかの材料が用いられるが、安価で反射

10

20

30

40

50

率が高い Al を主成分とする金属であることが好ましい。これらの材料からなる膜を真空蒸着法、電子ビーム蒸着法、RF スパッタ法、または、印刷法などにより作成し、電極パターンを形成する。

【0067】

このとき、Cu を主体とした酸化膜 31a と Al を主体とした陽極 2 が接続されるが、Al の方が Cu よりもイオン化傾向が高いために、Al を主体とした酸化物からなる拡散防止膜 36 が形成される。なお、酸化還元反応を加速するために焼成工程を追加してもよい。

【0068】

ここで、上記製造工程において、図 9E ~ 図 9G の工程は、層間絶縁膜 34a をマスクとしたセルフアラインで行うことにより、フォトリソスト剥離時の薬液の影響などを回避可能であり、さらにマスクの削減ができ、製造工程の簡略化、製造コストの削減ができるようになる。

【0069】

図 9G に示すように陽極 2 を形成した後、続いて上記薄膜トランジスタアレイ装置 1 上にバンク 5a、EL 層 3、及び透明な陰極 4 を順次積層することにより EL 表示装置を作製する。

【0070】

具体的には、まず層間絶縁膜 34 上の各画素 5 の境界に対応する位置に、バンク 5a を形成する。EL 層 3 は、陽極 2 上で、バンク 5a の開口部内に色（サブ画素列）毎またはサブ画素毎に形成する。この EL 層 3 は、正孔注入層、正孔輸送層、発光層、電子輸送層、及び電子注入層などの各層が積層されて構成される。例えば、正孔注入層として銅フタロシアニンを、正孔輸送層として、ナフチルジアミン (α -NPD (Bis[*N*-(1-Naphthyl)-*N*-Phenyl]benzidine)) を、発光層として、トリス(8-キノリノラト)アルミニウム (Alq_3 (tris(8-hydroxyquinoline)aluminum)) を、電子輸送層としてオキサゾール誘導体を、電子注入層として Alq_3 をそれぞれ用いることができる。なお、これらの材料は、あくまで一例であって他の材料を用いてもよい。

【0071】

透明な陰極 4 は、EL 層 3 上に連続的に形成される透過性を有する電極である。透明な陰極 4 の材料としては、例えば、ITO、 SnO_2 、 In_2O_3 、ZnO またはこれらの組み合わせなどを用いることができる。

【0072】

なお、本実施の形態においては、画素 5 を構成する薄膜トランジスタが 2 個の場合を示しているが、画素 5 内の薄膜トランジスタのばらつきを補償するために、3 個以上の複数の薄膜トランジスタにより構成する場合でも同様の構成を採用することが可能である。また、本実施の形態においては、有機 EL 素子を駆動するための画素構成を示したが、これに限るものではない。液晶、無機 EL 等、TFT を使って構成される薄膜トランジスタアレイ装置全てに適用可能である。

【0073】

以上のように本実施の形態における EL 表示装置は、一对の電極間に発光層を配置した発光部と、発光部の発光を制御する薄膜トランジスタアレイ装置 1 とを備えている。また、発光部と薄膜トランジスタアレイ装置 1 との間に層間絶縁膜を配置するとともに、発光部の一方の電極が層間絶縁膜のコンタクトホールを介して薄膜トランジスタアレイ装置 1 と電気的に接続されている。さらに、薄膜トランジスタアレイ装置 1 は、層間絶縁膜のコンタクトホールを介して発光部の電極に電気的に接続される電流供給用の電極を有し、かつ発光部の一方の電極と薄膜トランジスタアレイ装置 1 の電流供給用の電極の界面に拡散防止膜 36 を形成している。

【0074】

この構成により、十分なコンタクト特性を得ることができるとともに、相互拡散による

10

20

30

40

50

断線不良を防止することができる。

【産業上の利用可能性】

【0075】

以上のように本開示によれば、EL表示装置に用いる薄膜トランジスタアレイ装置において、特性向上を図る上で有用である。

【符号の説明】

【0076】

1 薄膜トランジスタアレイ装置

2 陽極

3 EL層

10

4 陰極

5 画素

6 画素回路

7 ゲート配線

8 ソース配線

9 電源配線

10, 11 薄膜トランジスタ

21 基板

22 第1の金属層

23 ゲート絶縁膜

20

24, 25 半導体層

26 第2の金属層

27 パッシベーション膜

28 導電酸化物膜

29 第3の金属層

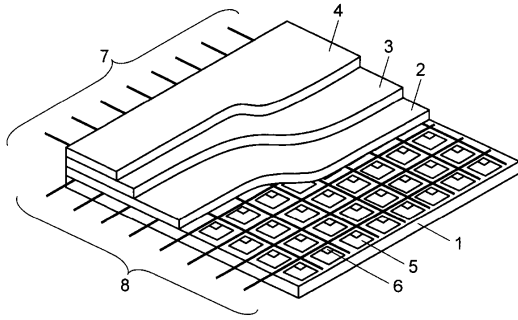
30, 32, 33, 35 コンタクトホール

31 中継電極

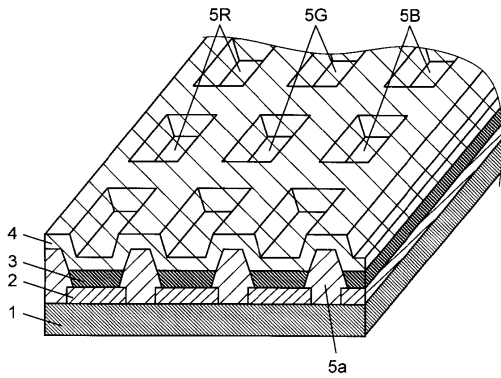
34, 34a, 34b 層間絶縁膜

36 拡散防止膜

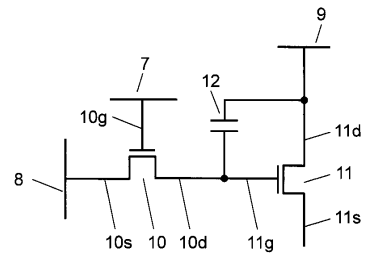
【図 1】



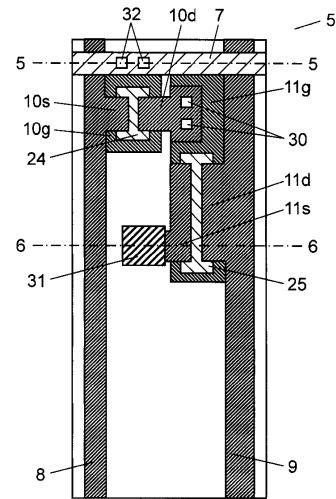
【図 2】



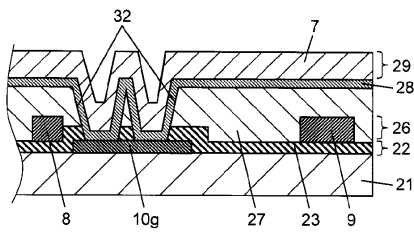
【図 3】



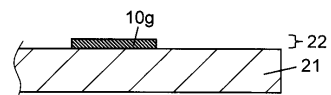
【図 4】



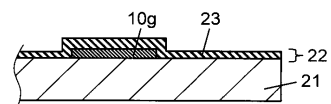
【図 5】



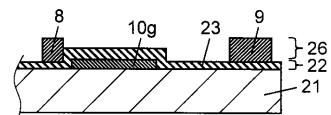
【図 7 B】



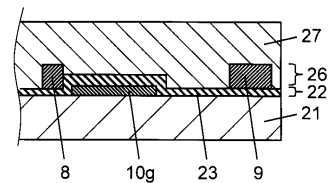
【図 7 C】



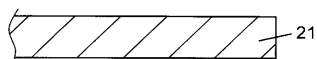
【図 7 D】



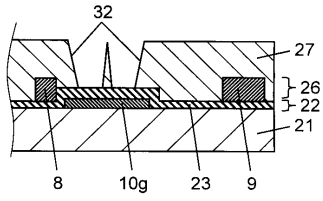
【図 7 E】



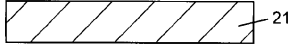
【図 7 A】



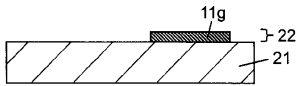
【図 7 F】



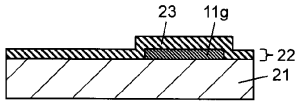
【図 8 A】



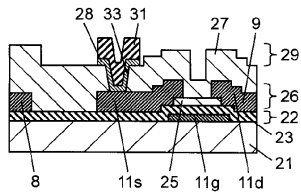
【図 8 B】



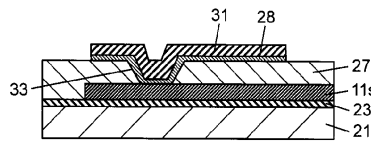
【図 8 C】



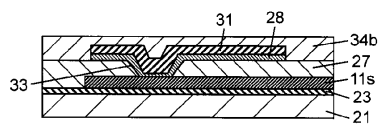
【図 8 H】



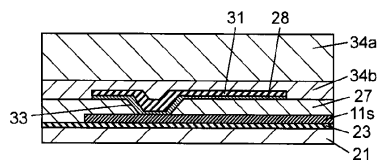
【図 9 A】



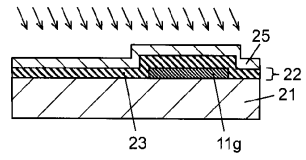
【図 9 B】



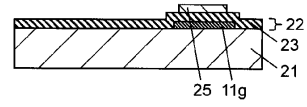
【図 9 C】



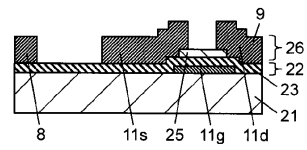
【図 8 D】



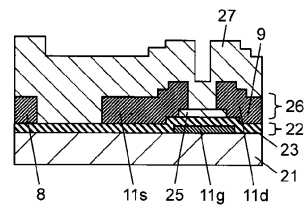
【図 8 E】



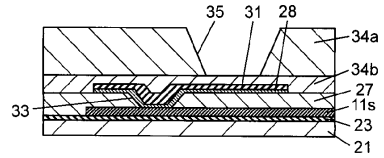
【図 8 F】



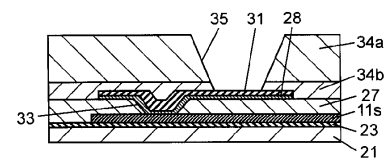
【図 8 G】



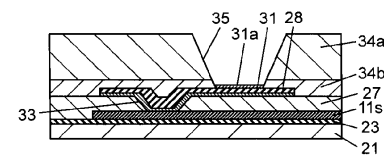
【図 9 D】



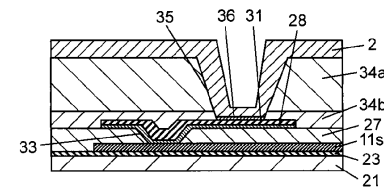
【図 9 E】



【図 9 F】



【図 9 G】



 フロントページの続き

(51)Int.Cl. F I
 H 0 5 B 33/12 (2006.01) H 0 5 B 33/12 B

(56)参考文献 特開 2 0 0 6 - 1 4 8 0 4 0 (J P , A)
 特開 2 0 0 6 - 0 4 9 8 7 3 (J P , A)
 特開 2 0 0 7 - 2 6 4 4 4 5 (J P , A)
 特開 2 0 0 6 - 0 2 3 3 8 8 (J P , A)
 特開 2 0 1 1 - 2 0 9 7 5 6 (J P , A)
 特開平 0 6 - 2 3 6 8 7 8 (J P , A)
 特開 2 0 1 2 - 2 5 2 8 2 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 5 B 3 3 / 2 6
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 6
 H 0 5 B 3 3 / 0 8
 H 0 5 B 3 3 / 1 2
 H 0 5 B 3 3 / 2 2

专利名称(译)	薄膜晶体管阵列器件和使用其的EL显示器件		
公开(公告)号	JP5778786B2	公开(公告)日	2015-09-16
申请号	JP2013554096	申请日	2012-11-22
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	篠川泰治 伊藤研		
发明人	篠川 泰治 伊藤 研		
IPC分类号	H05B33/26 H01L51/50 H05B33/06 H05B33/22 H05B33/08 H05B33/12		
CPC分类号	H01L27/3258 H01L27/124 H01L27/3248		
FI分类号	H05B33/26.Z H05B33/14.A H05B33/06 H05B33/22.Z H05B33/08 H05B33/12.B		
审查员(译)	岩井良子		
优先权	2012006693 2012-01-17 JP		
其他公开文献	JPWO2013108326A1		
外部链接	Espacenet		

摘要(译)	EL显示器件包括发光部分和薄膜晶体管阵列器件，发光部分设置在一对电极之间，薄膜晶体管阵列器件用于控制发光部分的发光。层间绝缘膜设置在发光部分和薄膜晶体管阵列器件之间，并且发光部分的一个阳极（2）连接到薄膜晶体管阵列器件和电互相连接。此外，薄膜晶体管阵列器件具有用于提供电流的中继电极（31），该电流经由层间绝缘膜（34）的接触孔（35）电连接到发光部分的阳极（2）。（36）形成在发光部分的一个阳极（2）和中继电极（31）之间的界面处，用于薄膜晶体管阵列器件的电流供应。	(21) 出願番号 特願2013-554096 (P2013-554096) (86) (22) 出願日 平成24年11月22日 (2012.11.22) (86) 国際出願番号 PCT/JP2012/007516 (87) 国際公開番号 WO2013/108326 (87) 国際公開日 平成25年7月25日 (2013.7.25) 審査請求日 平成26年5月23日 (2014.5.23) (31) 優先権主張番号 特願2012-6693 (P2012-6693) (32) 優先日 平成24年1月17日 (2012.1.17) (33) 優先権主張国 日本国 (JP)	(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 110001900 特許業務法人 ナカジマ知的財産総合事務所 (72) 発明者 篠川 泰治 大阪府門真市大字門真1006番地 パナソニック株式会社内 伊藤 研 大阪府門真市大字門真1006番地 パナソニック株式会社内 審査官 岩井 好子
			最終頁に続く