

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5765761号

(P5765761)

(45) 発行日 平成27年8月19日(2015. 8. 19)

(24) 登録日 平成27年6月26日(2015. 6. 26)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/20 622B

H01L 51/50 (2006.01)

G09G 3/20 622D

G09G 3/20 622C

G09G 3/20 622E

請求項の数 18 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2011-3998 (P2011-3998)
 (22) 出願日 平成23年1月12日(2011. 1. 12)
 (65) 公開番号 特開2011-237763 (P2011-237763A)
 (43) 公開日 平成23年11月24日(2011. 11. 24)
 審査請求日 平成25年12月19日(2013. 12. 19)
 (31) 優先権主張番号 10-2010-0043055
 (32) 優先日 平成22年5月7日(2010. 5. 7)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 110000981
 アイ・ピー・ディー国際特許業務法人
 (72) 発明者 羅 東均
 大韓民国京畿道龍仁市器興区農書洞山24
 三星モバイルディスプレイ株式会社内

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路及びこれを利用した有機電界発光表示装置

(57) 【特許請求の範囲】

【請求項1】

発光表示装置を駆動するゲート駆動回路において、

第1フレーム開始パルスに応答して、第1シフトレジスタ出力を出力する第1シフトレジスタと、

第2フレーム開始パルスに応答して、第2シフトレジスタ出力を出力する第2シフトレジスタと、

前記第1シフトレジスタ出力が入力され、第1反転制御信号によって、前記第1シフトレジスタ出力を反転させて出力するか、又は前記第1シフトレジスタ出力を反転させずに出力する第1インバータと、

前記第2シフトレジスタ出力が入力され、第2反転制御信号によって、前記第2シフトレジスタ出力を反転させて出力するか、又は前記第2シフトレジスタ出力を反転させずに出力する第2インバータと、

を備え、

前記第1シフトレジスタ及び前記第2シフトレジスタは、相互独立して動作し、

前記第1インバータ及び前記第2インバータは、相互独立して動作し、

前記第1シフトレジスタ及び前記第1インバータを通じて第1グループゲート駆動信号が出力され、

前記第2シフトレジスタ及び前記第2インバータを通じて第2グループゲート駆動信号が出力され、

10

20

前記第 1 又は第 2 反転制御信号は、前記第 1 又は第 2 グループゲート駆動信号が供給される画素回路を具現化するトランジスタの型によって活性化又は非活性化される、

ことを特徴とする、ゲート駆動回路。

【請求項 2】

前記第 1 インバータの出力及び前記第 2 インバータの出力の電圧レベルを調節するレベルシフタと、

前記レベルシフタの出力を一時的に保存して前記第 1 及び第 2 グループゲート駆動信号として出力する出力バッファと、

をさらに備える

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

10

【請求項 3】

前記第 1 シフトレジスタは、少なくとも一つの第 1 シフトレジスタクロック信号に応答して動作し、

前記第 2 シフトレジスタは、少なくとも一つの第 2 シフトレジスタクロック信号に応答して動作する

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 4】

前記第 1 シフトレジスタは、第 1 パルス幅制御信号に応答して、前記第 1 グループゲート駆動信号のパルス幅を調節し、

前記第 2 シフトレジスタは、第 2 パルス幅制御信号に応答して、前記第 2 グループゲート駆動信号のパルス幅を調節する

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

20

【請求項 5】

前記第 1 シフトレジスタは、少なくとも一つの第 1 シフトレジスタクロック信号に応答して動作し、

前記第 2 シフトレジスタは、少なくとも一つの第 2 シフトレジスタクロック信号に応答して動作し、

前記第 1 シフトレジスタは、前記第 1 パルス幅制御信号によって、前記第 1 フレーム開始パルスが活性化される間、前記少なくとも一つの第 1 シフトレジスタクロック信号のレベルに同期化されて動作するか、又は前記少なくとも一つの第 1 シフトレジスタクロック信号の立ち上がりエッジ又は立ち下がりエッジをラッチするように動作し、

30

前記第 2 シフトレジスタは、前記第 2 パルス幅制御信号によって、前記第 2 フレーム開始パルスが活性化される間、前記少なくとも一つの第 2 シフトレジスタクロック信号のレベルに同期化されて動作するか、又は前記少なくとも一つの第 2 シフトレジスタクロック信号の立ち上がりエッジ又は立ち下がりエッジをラッチするように動作する

ことを特徴とする、請求項 4 に記載のゲート駆動回路。

【請求項 6】

前記第 1 グループゲート駆動信号のパルス幅を調節する場合、前記第 1 シフトレジスタは、前記第 1 パルス幅制御信号を活性化させ、前記第 1 グループゲート駆動信号のパルス幅に対応するように、前記第 1 フレーム開始パルスのパルス幅に調節し、

40

前記第 2 グループゲート駆動信号のパルス幅を調節する場合、前記第 2 シフトレジスタは、前記第 2 パルス幅制御信号を活性化させ、前記第 2 グループゲート駆動信号のパルス幅に対応するように、前記第 2 フレーム開始パルスのパルス幅に調節する

ことを特徴とする、請求項 5 に記載のゲート駆動回路。

【請求項 7】

前記ゲート駆動回路は、出力チャネル選択信号によって、前記第 1 及び第 2 グループゲート駆動信号の出力チャネルのうち、活性化される出力チャネルの数又は出力チャネルの組み合わせを選択する

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 8】

50

前記ゲート駆動回路は、走査方向制御信号によって、前記第 1 及び第 2 グループゲート駆動信号の出力チャンネルの出力順序を制御する

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 9】

前記ゲート駆動回路は、同時発光制御信号によって、前記第 1 及び第 2 グループゲート駆動信号を順次に出力させるか、又は同時に出力させる

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 10】

前記第 1 又は第 2 グループゲート駆動信号が P 型トランジスタで具現された前記画素回路に供給される信号である場合、

前記第 1 又は第 2 反転制御信号が活性化されて、前記第 1 又は第 2 インバータで前記第 1 又は第 2 シフトレジスタの出力が反転されて出力される

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 11】

前記第 1 又は第 2 グループゲート駆動信号が N 型トランジスタで具現された前記画素回路に供給される信号である場合、

前記第 1 又は第 2 反転制御信号が非活性化されて、前記第 1 又は第 2 インバータで前記第 1 又は第 2 シフトレジスタの出力が反転されずに伝達されて出力される

ことを特徴とする、請求項 1 に記載の、ゲート駆動回路。

【請求項 12】

前記第 1 グループゲート駆動信号は、走査信号であり、

前記第 2 グループゲート駆動信号は、発光制御信号である

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 13】

前記発光表示装置は、有機電界発光表示装置である

ことを特徴とする、請求項 1 に記載のゲート駆動回路。

【請求項 14】

有機電界発光表示装置を駆動するゲート駆動回路において、

複数のグループのゲート駆動信号を出力し、各グループのゲート駆動信号を独立駆動し、P 型トランジスタ用ゲート駆動信号と N 型トランジスタ用ゲート駆動信号とを生成でき、ゲート駆動信号のグループを走査信号用グループと発光制御信号用グループとに割り当て、走査信号と発光制御信号とを相互独立して生成して出力しうる

ことを特徴とする、ゲート駆動回路。

【請求項 15】

各グループのゲート駆動信号を生成するそれぞれの回路は、相互独立して構成され、別の制御信号によって駆動される

ことを特徴とする、請求項 14 に記載のゲート駆動回路。

【請求項 16】

パルス幅制御信号及びフレーム開始パルスを利用して、ゲート駆動信号グループのパルス幅が調節される

ことを特徴とする、請求項 14 に記載のゲート駆動回路。

【請求項 17】

同時発光制御信号を利用して、前記複数のグループのゲート駆動信号が同時に出力される

ことを特徴とする、請求項 14 に記載のゲート駆動回路。

【請求項 18】

データライン及び走査ラインの交差部に配され、自発光素子を含む複数の画素と、

前記複数の画素のそれぞれに前記走査ラインを通じて走査信号を出力し、発光制御ラインを通じて発光制御信号を出力するゲート駆動部と、

入力画像に対応するデータ信号を生成して、前記データラインを通じて前記複数の画素

10

20

30

40

50

のそれぞれに出力するデータ駆動部と、
を備え、

前記ゲート駆動部は、請求項 1 ～ 1 2、1 4 ～ 1 7 のいずれか 1 項に記載のゲート駆動回路を備える

ことを特徴とする、有機電界発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート駆動回路及びこれを利用した有機電界発光表示装置に関する。

【背景技術】

10

【0002】

発光表示装置は、入力データに対応するデータ信号を複数の画素回路に印加して各画素の輝度を調節することによって、入力データを画像に変換してユーザに提供する。発光表示装置は、それ自体が発光する素子（以下、自発光素子）を利用して具現されうる。自発光素子としては、例えば、有機発光ダイオード（OLED: Organic Light Emitting Diode）などがある。自発光素子を駆動する場合、データ信号が入力される画素を選択する走査信号と、発光素子の発光を制御する発光制御信号とが生成され、各画素に出力されうる。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】大韓民国特許公報第 1 9 9 9 - 0 0 1 8 7 3 9 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題の一つは、N型トランジスタで画素回路が具現された発光表示装置用走査信号及び発光制御信号だけでなく、P型トランジスタで画素回路が具現された発光表示装置用走査信号及び発光制御信号も生成できるゲート駆動回路を提供することである。

【0005】

30

また、本発明が解決しようとする課題の一つは、一つのゲート駆動回路で走査信号と発光制御信号とを共に生成して出力できるゲート駆動回路を提供することである。

【0006】

また、本発明が解決しようとする課題の一つは、走査信号及び発光制御信号のようなゲート駆動信号のパルス幅の調節が可能なゲート駆動回路を提供することである。

【0007】

また、本発明が解決しようとする課題の一つは、発光表示装置の画素を同時に発光させる、発光制御信号を生成できるゲート駆動回路を提供することである。

【課題を解決するための手段】

【0008】

40

上記課題を解決するために、本発明のある観点によれば、次のような発光表示装置を駆動するゲート駆動回路が提供される。このゲート駆動回路は、第 1 フレーム開始パルスに
応答して、第 1 シフトレジスタ出力を出力する第 1 シフトレジスタと、第 2 フレーム開始
パルスに
応答して、第 2 シフトレジスタ出力を出力する第 2 シフトレジスタと、第 1 反転
制御信号によって、前記第 1 シフトレジスタ出力を反転させて出力するか、あるいはその
まま出力する第 1 インバータと、第 2 反転制御信号によって、前記第 2 シフトレジスタ出
力を反転させて出力するか、あるいはそのまま出力する第 2 インバータと、を備える。ま
た、前記第 1 シフトレジスタ及び前記第 2 シフトレジスタは、相互独立して動作する。さ
らに、前記第 1 インバータ及び前記第 2 インバータは、相互独立して動作し、前記第 1 シ
フトレジスタ及び前記第 1 インバータを通じて、第 1 グループゲート駆動信号が出力され

50

、前記第2シフトレジスタ及び前記第2インバータを通じて、第2グループゲート駆動信号が出力される。

【0009】

また、前記ゲート駆動回路は、前記第1インバータの出力及び前記第2インバータの出力の電圧レベルを調節するレベルシフタと、前記レベルシフタの出力を臨時保存して前記第1及び第2グループゲート駆動信号として出力する出力バッファと、をさらに備えていてもよい。

【0010】

また、前記第1シフトレジスタは、少なくとも一つの第1シフトレジスタクロック信号に応答して動作してもよい。そして、前記第2シフトレジスタは、少なくとも一つの第2シフトレジスタクロック信号に応答して動作してもよい。

10

【0011】

また、前記第1シフトレジスタは、第1パルス幅制御信号に応答して、前記第1グループゲート駆動信号のパルス幅を調節し、前記第2シフトレジスタは、第2パルス幅制御信号に応答して、前記第2グループゲート駆動信号のパルス幅を調節する。さらに詳細に説明すれば、前記第1シフトレジスタは、少なくとも一つの第1シフトレジスタクロック信号に応答して動作し、前記第2シフトレジスタは、少なくとも一つの第2シフトレジスタクロック信号に応答して動作し、前記第1シフトレジスタは、前記第1パルス幅制御信号によって、前記第1フレーム開始パルスが活性化される間、前記少なくとも一つの第1シフトレジスタクロック信号のレベルに同期化されて動作するか、又は前記少なくとも一つの第1シフトレジスタクロック信号の立ち上がりエッジ又は立ち下がりエッジをラッチするように動作し、前記第2シフトレジスタは、前記第2パルス幅制御信号によって、前記第2フレーム開始パルスが活性化される間、前記少なくとも一つの第2シフトレジスタクロック信号のレベルに同期化されて動作するか、又は前記少なくとも一つの第2シフトレジスタクロック信号の立ち上がりエッジ又は立ち下がりエッジをラッチするように動作する。

20

【0012】

また、前記第1グループゲート駆動信号のパルス幅を調節する場合、前記第1パルス幅制御信号を活性化させ、前記第1グループゲート駆動信号のパルス幅に対応するように、前記第1フレーム開始パルスのパルス幅に調節し、前記第2グループゲート駆動信号のパルス幅を調節する場合、前記第2パルス幅制御信号を活性化させ、前記第2グループゲート駆動信号のパルス幅に対応するように、前記第2フレーム開始パルスのパルス幅に調節しうる。

30

【0013】

また、前記ゲート駆動回路は、出力チャンネル選択信号によって、前記第1及び第2グループゲート駆動信号の出力チャンネルのうち、活性化される出力チャンネル数又は出力チャンネルの組み合わせを選択しうる。

【0014】

また、前記ゲート駆動回路は、走査方向制御信号によって、前記第1及び第2グループゲート駆動信号出力チャンネルの出力順序を制御しうる。

40

【0015】

また、前記ゲート駆動回路は、同時発光制御信号によって、前記第1及び第2グループゲート駆動信号を順次に出力量せるか、又は同時に出力させうる。

【0016】

また、前記第1又は第2グループゲート駆動信号がP型トランジスタで具現された画素回路に供給される信号である場合、前記第1又は第2反転制御信号が活性化されて、前記第1又は第2インバータで前記第1又は第2シフトレジスタ出力が反転されて出力される。

【0017】

また、前記第1又は第2グループゲート駆動信号がN型トランジスタで具現された画素

50

回路に供給される信号である場合、前記第1又は第2反転制御信号が非活性化されて、前記第1又は第2インバータで前記第1又は第2シフトレジスタ出力がそのまま伝達されて出力される。

【0018】

また、前記第1グループゲート駆動信号は、走査信号又は発光制御信号であってもよく、前記第2グループゲート駆動信号は、走査信号又は発光制御信号であってもよい。すなわち、第1グループゲート駆動信号と第2グループゲート駆動信号とは、異なる種類のゲート駆動信号（例えば、第1グループゲート駆動信号は、走査信号であり、第2グループゲート駆動信号は、発光制御信号である）であってもよい。

【0019】

また、前記発光表示装置は、有機電界発光表示装置であってもよい。

【0020】

また、上記課題を解決するために、本発明の別の観点によれば、次のような有機電界発光表示装置を駆動するゲート駆動回路が提供される。このゲート駆動回路は、複数のグループのゲート駆動信号を出力し、各グループのゲート駆動信号を独立駆動し、P型トランジスタ用ゲート駆動信号とN型トランジスタ用ゲート駆動信号とを生成でき、ゲート駆動信号のグループを走査信号用グループと発光制御信号用グループとに割り当てて、走査信号と発光制御信号とを相互独立して生成して出力しうる。

【0021】

また、各グループのゲート駆動信号を生成するそれぞれの回路は、相互独立して構成され、別個の制御信号によって駆動されるように構成されていてもよい。

【0022】

また、上記回路は、パルス幅制御信号及びフレーム開始パルスを利用して、ゲート駆動信号グループのパルス幅を調節するように構成されていてもよい。

【0023】

また、上記回路は、同時発光制御信号を利用して、前記複数のグループのゲート駆動信号を同時に出力させるように構成されていてもよい。

【0024】

また、上記課題を解決するために、本発明の別の観点によれば、データライン及び走査ラインの交差部に配され、自発光素子を含む複数の画素と、前記複数の画素のそれぞれに前記走査ラインを通じて走査信号を出力し、発光制御ラインを通じて発光制御信号を出力するゲート駆動部と、入力画像に対応するデータ信号を生成して、前記データラインを通じて前記複数の画素のそれぞれに出力するデータ駆動部と、を備え、前記ゲート駆動部は、前述したゲート駆動回路を備える有機電界発光表示装置が提供される。

【発明の効果】

【0025】

以上説明したように本発明によれば、N型トランジスタに画素回路が具現された発光表示装置用ゲート駆動信号だけでなく、P型トランジスタで画素回路が具現された発光表示装置用ゲート駆動信号も生成できるゲート駆動回路が提供される。

【0026】

また、制御信号を利用して、第1グループゲート駆動信号及び第2グループゲート駆動信号を相互独立して駆動することによって、走査信号と発光制御信号とを単一ゲート駆動回路で生成して出力できるゲート駆動回路が提供される。

【0027】

また、ゲート駆動信号のパルス幅を調節できるゲート駆動回路が提供される。さらに、同時発光制御機能を備え、発光表示装置の画素を同時に発光させるように駆動できるゲート駆動回路が提供される。

【図面の簡単な説明】

【0028】

【図1】本発明の一実施形態に係る発光表示装置の構造を示す図面である。

10

20

30

40

50

【図2】本発明の一実施形態に係るゲート駆動回路の構造を示すブロック図である。

【図3】本発明の一実施形態に係るゲート駆動回路が配されたゲート駆動部の構造を示す図面である。

【図4】本発明の一実施形態に係るゲート駆動回路が配されたゲート駆動部の構造を示す図面である。

【図5】N型トランジスタを駆動する駆動信号を生成するための動作を示すタイミング図である。

【図6】P型トランジスタを駆動する駆動信号を生成するための動作を示すタイミング図である。

【図7】本発明の一実施形態に関する、走査信号と発光制御信号とを独立して生成して出力する動作を示すタイミング図である。 10

【図8】エッジラッチ動作を示すタイミング図である。

【図9】レベルラッチ動作を示すタイミング図である。

【図10】本発明の一実施形態に係る同時発光動作を示すタイミング図である。

【発明を実施するための形態】

【0029】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0030】 20

図1は、本発明の一実施形態に係る発光表示装置100の構造を示した図面である。

【0031】

図1を参照すれば、本発明の一実施形態に係る発光表示装置100は、データ駆動部120及びゲート駆動部130aを制御するためのタイミング制御部110、入力画像に対応するデータ信号を、データライン $D_1 \sim D_m$ を通じて、複数の画素 $P_{11} \sim P_{nm}$ のそれぞれに出力するデータ駆動部120、複数の画素 $P_{11} \sim P_{nm}$ のそれぞれに走査ライン $S_1 \sim S_n$ を通じて走査信号を出力し、発光制御ライン $E_1 \sim E_n$ を通じて発光制御信号を出力するゲート駆動部130a、及び走査ライン $S_1 \sim S_n$ 、発光制御ライン $E_1 \sim E_n$ 及びデータライン $D_1 \sim D_m$ と接続される画素 $P_{11} \sim P_{nm}$ を含む画素部140を備える。 30

【0032】

画素部140は、走査ライン $S_1 \sim S_n$ 、発光制御ライン $E_1 \sim E_n$ 及びデータライン $D_1 \sim D_m$ の交差部に位置する画素 $P_{11} \sim P_{nm}$ を備える。各画素 $P_{11} \sim P_{nm}$ は、図1に示したように、 $m \times n$ 行列状に配列されうる。各画素 $P_{11} \sim P_{nm}$ は、発光素子を含み、画素 $P_{11} \sim P_{nm}$ には、外部から発光素子を発光させるための第1電圧 V_d 及び第2電圧 V_s を供給される。また、各画素 $P_{11} \sim P_{nm}$ は、前記発光素子に駆動電流又は電圧を供給して、前記発光素子をデータ信号に対応する輝度で発光させる。なお、前記発光素子の種類は、発光表示装置100の種類によって変わってもよい。例えば、本発明の実施形態に係る発光表示装置100は、有機電界発光表示装置であってもよい。この場合、前記発光素子は、有機発光ダイオード(OLE D: Organic Light 40
E m i t t i n g D i o d e)でありうる。

【0033】

各画素 $P_{11} \sim P_{nm}$ は、データライン $D_1 \sim D_m$ を通じて伝達されるデータ信号に対応して、第1電源電圧 V_d から有機発光ダイオード(OLE D)を経由して、第2電源電圧 V_s に供給される電流量を制御する。そして、発光制御ライン $E_1 \sim E_n$ を通じて伝達された発光制御信号によって、前記データ信号に対応する輝度の光を有機発光ダイオード(OLE D)が発光する。

【0034】

タイミング制御部110は、RGBデータ $D_a t a$ 、データ駆動部制御信号 $D C S$ を生成してデータ駆動部120に出力し、ゲート駆動部制御信号 $D I O 1 \sim 2$ 、 $C P V 1 \sim 4$ 50

、EDC1～2、SEL、UD、ALL、INV1～2を生成してゲート駆動部130aに出力する。ゲート駆動部制御信号DIO1～2、CPV1～4、EDC1～2、SEL、UD、ALL、INV1～2は、本発明の実施形態に係るゲート駆動回路200を制御するための信号であり、それぞれの詳細な機能については、後述する。

【0035】

データ駆動部120は、RGBデータDataからデータ信号を生成し、データラインD₁～D_mを通じて複数の画素P₁₁～P_{nm}に出力する。データ駆動部120は、ガンマフィルタ、デジタルアナログ変換回路を利用して、RGBデータDataからデータ信号を生成できる。データ信号は、一水平周期の間、同じ行に位置した複数の画素にそれぞれ出力されうる。また、データ信号を伝達する複数のデータラインD₁～D_mのそれぞれは、同じ列に位置した複数の画素に連結されうる。

10

【0036】

ゲート駆動部130aは、ゲート駆動部制御信号DIO1～2、CPV1～4、EDC1～2、SEL、UD、ALL、INV1～2から走査信号及び発光制御信号を生成し、走査ラインS₁～S_n及び発光制御ラインE₁～E_nを通じて各画素P₁₁～P_{nm}に出力する。走査ラインS₁～S_nのそれぞれは、そして、発光制御ラインE₁～E_nのそれぞれは、同じ行に位置した複数の画素に連結されうる。走査ラインS₁～S_nと発光制御ラインE₁～E_nとは、行を単位として順次に、又は同時にそれぞれ走査信号と発光制御信号とを出力しうる。発光表示装置100の具現例によって、ゲート駆動部130aは、追加的な駆動信号を生成して各画素P₁₁～P_{nm}に出力しうる。

20

【0037】

ゲート駆動部130aに含まれた従来のゲート駆動回路は、液晶表示装置(LCD: Liquid Crystal Display)の薄膜トランジスタ(TFT: Thin Film Transistor)を駆動するために開発されたため、ゲート駆動部130aの出力が液晶表示装置のNMOS薄膜トランジスタのゲート端子を駆動することを基本としている。そして、このようなゲート駆動部130aの各チャンネル別出力は、クロック信号に同期化して同じパルス幅を維持しつつ、上チャンネルから下チャンネルに、又は下チャンネルから上チャンネルに、順次に出力される。

【0038】

しかし、有機電界発光表示装置では、各画素P₁₁～P_{nm}の画素回路がNMOSだけでなく、PMOSにも具現されうるため、液晶表示装置を基本としたゲート駆動部130aは、P型トランジスタで具現された画素回路を備える有機電界発光表示装置の駆動に適切である。

30

【0039】

また、有機電界発光表示装置の駆動のためには、データ信号を読み取るための走査信号以外に、有機発光ダイオード(OLED)の発光に使われる発光制御信号も必要である。また、発光制御信号のパルス幅を調節して有機発光ダイオード(OLED)の発光時間を調節する駆動技術も必要である。これは、有機発光ダイオードの寿命延長のための駆動技術である。

【0040】

さらに、有機電界発光表示装置の発光方法によって、ゲート駆動部130aのすべてのチャンネルから発光制御信号を出力して、有機発光ダイオードを同時発光させる技術が必要である。

40

【0041】

しかし、液晶表示装置に使われたゲート駆動回路は、前述した出力駆動技術を備えていないため、有機電界発光表示装置を駆動するための新たな構造のゲート駆動回路が必要である。

【0042】

本発明の実施形態は、自発光素子を備えた発光表示装置、例えば、有機電界発光表示装置の駆動に必要な機能を提供するゲート駆動回路を提案するものである。

50

【0043】

図2は、本発明の一実施形態に係るゲート駆動回路200の構造を示したブロック図である。

【0044】

本発明の一実施形態に係るゲート駆動部130aは、少なくとも一つのゲート駆動回路200を備える。本実施形態に係るゲート駆動回路200は、次のような機能を行える。

【0045】

- ・P型トランジスタを駆動する駆動信号とN型トランジスタを駆動する駆動信号とをそれぞれ生成する機能
- ・走査信号と発光制御信号とを選択的に出力する機能
- ・ゲート駆動信号のパルス幅を調節して出力する機能
- ・ゲート駆動回路のすべての出力チャネルからゲート駆動信号を同時に出力する機能

10

【0046】

本実施形態に係るゲート駆動回路200は、第1シフトレジスタ210、第2シフトレジスタ220、第1インバータ230、第2インバータ240、レベルシフタ250、及び出力バッファ260を備える。

【0047】

本実施形態に係るゲート駆動回路200には、タイミング制御部110からゲート駆動部制御信号DIO1~2, CPV1~4, EDC1~2, SEL, UD, ALL, INV1~2が入力されて前記機能を実現する。タイミング制御部110は、ゲート駆動回路200が特定機能を行うように、ゲート駆動部制御信号DIO1~2, CPV1~4, EDC1~2, SEL, UD, ALL, INV1~2を調節してゲート駆動回路200に出力しうる。

20

【0048】

また、本実施形態に係るゲート駆動回路200は、複数のグループのゲート駆動信号を出力しうる。例えば、ゲート駆動回路200の出力チャネルを奇数チャネルと偶数チャネルとに分けて、独立して駆動しうる。以下、ゲート駆動回路200が第1グループゲート駆動信号 $G_1, G_3, \dots, G_{n-1}$ と第2グループゲート駆動信号 $G_2, G_4, \dots, G_n$ とを相互独立して駆動する場合を例として説明する。なお、第1グループゲート駆動信号は奇数のインデックスで表現し、第2グループゲート駆動信号は偶数のインデックスで表現した。

30

【0049】

第1グループゲート駆動信号 $G_1, G_3, \dots, G_{n-1}$ は、第1シフトレジスタ210、第1インバータ230、レベルシフタ250、及び出力バッファ260を通じて出力される。第2グループゲート駆動信号 $G_2, G_4, \dots, G_n$ は、第2シフトレジスタ220、第2インバータ240、レベルシフタ250、及び出力バッファ260を通じて出力される。

【0050】

第1シフトレジスタ210及び第2シフトレジスタ220は、それぞれ第1グループゲート駆動信号 $G_1, G_3, \dots, G_{n-1}$ 及び第2グループゲート駆動信号 $G_2, G_4, \dots, G_n$ を独立して制御できるように、相互独立して駆動するように設計される。第1シフトレジスタ210には、第1フレーム開始パルス入力端子DIO1と第1フレーム開始パルス出力端子DO1とが備えられる。第2シフトレジスタ220には、第2フレーム開始パルス入力端子DIO2と第2フレーム開始パルス出力端子DO2とが備えられる。また、第1シフトレジスタ210には、少なくとも一つの第1シフトレジスタクロック端子が備えられ、第2シフトレジスタ220には、少なくとも一つの第2シフトレジスタクロック端子が備えられる。

40

【0051】

このような構成によって、第1シフトレジスタ210及び第2シフトレジスタ220は、別個のフレーム開始パルス及びクロック信号によって独立して動作する。本明細書では

50

、第1シフトレジスタ210の第1シフトレジスタクロック端子に第1クロック信号CPV1及び第2クロック信号CPV2が入力され、第2シフトレジスタ220の第2シフトレジスタクロック端子に第3クロック信号CPV3及び第4クロック信号CPV4が入力される場合を例として説明する。各シフトレジスタ210、220に入力されるクロック信号の数は、具現例によって変わりうる。

【0052】

本実施形態によれば、フレーム開始パルスが第1シフトレジスタ210及び第2シフトレジスタ220にそれぞれ独立して印加されることによって、第1フレーム開始パルスDIO1及び第2フレーム開始パルスDIO2が活性化される時点とフレーム開始パルスのパルス幅とをそれぞれ独立して制御しうる。

10

【0053】

また、第1シフトレジスタ210及び第2シフトレジスタ220にクロック信号が独立して印加されることによって、第1シフトレジスタ210及び第2シフトレジスタ220のタイミング、すなわち、クロック信号のパルス幅と位相とを独立して制御しうる。このような構成によって、第1グループゲート駆動信号 G_1 、 G_3 、 $\dots$ 、 G_{n-1} 及び第2グループゲート駆動信号 G_2 、 G_4 、 $\dots$ 、 G_n が互いにオーバーラップを有するように駆動するか、又は互いに位相差を有するように駆動しうる。また、第1シフトレジスタ210及び第2シフトレジスタ220には、それぞれ複数のクロック信号が印加されうるが、このような構成によって、一つのグループ内のゲート駆動信号（例えば、 G_1 、 G_3 、 $\dots$ 、 G_{n-1} ）が互いにオーバーラップを有するように駆動するか、又は互いに位相差を有するように駆動しうる。

20

【0054】

また、第1シフトレジスタ210及び第2シフトレジスタ220のクロック信号とフレーム開始パルスとをそれぞれ独立して制御し、各シフトレジスタが異なる種類のゲート駆動信号、例えば、それぞれ走査信号及び発光制御信号を生成するように駆動しうる。

【0055】

第1シフトレジスタ210は、第1フレーム開始パルスDIO1、第1クロック信号CPV1及び第2クロック信号CPV2によって、第1シフトレジスタ出力 $SR_{odd}[n/2:1]$ を生成して第1インバータ230に出力する。第2シフトレジスタ220は、第2フレーム開始パルスDIO2、及び第3クロック信号CPV3及び第4クロック信号CPV4によって、第2シフトレジスタ出力 $SR_{even}[n/2:1]$ を生成して第2インバータ240に出力する。

30

【0056】

第1インバータ230及び第2インバータ240は、第1反転制御信号INV1及び第2反転制御信号INV2に応答して、相互独立して動作する。第1インバータ230は、第1反転制御信号INV1が活性化されれば、第1シフトレジスタ出力 $SR_{odd}[n/2:1]$ を反転してレベルシフト250に出力し、第1反転制御信号INV1が非活性化されれば、第1シフトレジスタ出力 $SR_{odd}[n/2:1]$ をそのままレベルシフト250に伝達する。第2インバータ240は、第2反転制御信号INV2が活性化されれば、第2シフトレジスタ出力 $SR_{even}[n/2:1]$ を反転してレベルシフト250に出力し、第2反転制御信号INV2が非活性化されれば、第2シフトレジスタ出力 $SR_{even}[n/2:1]$ をそのままレベルシフト250に伝達する。

40

【0057】

レベルシフト250は、第1インバータ230及び第2インバータ240から出力された入力信号 $IV_{odd}[n/2:1]$ 及び $IV_{even}[n/2:1]$ の電圧レベルをゲートオン電圧VGH及びゲートオフ電圧VGLによって調節して出力バッファ260に伝達する。

【0058】

出力バッファ260は、レベルシフト250から出力された入力信号LS[n:1]を臨時保存し、第1及び第2グループゲート駆動信号 $G_1 \sim G_n$ としてゲート駆動信号出力

50

チャンネルを通じて出力する。第1及び第2グループゲート駆動信号 $G_1 \sim G_n$ は、具現例によって、画素部140に連結された走査ライン $S_1 \sim S_n$ 又は発光制御ライン $E_1 \sim E_n$ に出力される。

【0059】

出力チャンネル選択信号SELは、ゲート駆動回路200で活性化される出力チャンネル数又は出力チャンネル組み合わせを決定する。図3は、本発明の一実施形態に係るゲート駆動回路200が配されたゲート駆動部130aの構造を示した図面である。

【0060】

図3に示したように、ゲート駆動部130aは、パネル310の一側面に配された複数のゲート駆動回路200a~200dを備え、各ゲート駆動回路200a~200dは、複数の走査ライン $S_1 \sim S_n$ 及び／又は複数の発光制御ライン $E_1 \sim E_n$ を区域別に分けて駆動しうる。また、複数のゲート駆動回路200a~200dのゲート駆動信号出力チャンネルの数は、発光表示装置100の解像度によって決定されうる。しかし、解像度によってゲート駆動回路200をゲート駆動部130aに配すれば、ゲート駆動回路200のゲート駆動信号出力チャンネルが余る場合があるが、このような場合、一部のゲート駆動信号出力チャンネルを非活性化させねばならない。このために、出力チャンネル選択信号SELは、ゲート駆動回路200で活性化される出力チャンネル数又は出力チャンネル組み合わせを決定する。出力チャンネル選択信号SELは、複数のビットを含み、出力チャンネル数又は出力チャンネル組み合わせを多様に決定しうる。

【0061】

走査方向制御信号UDは、ゲート駆動回路200のゲート駆動信号出力チャンネルからゲート駆動信号が出力される順序を制御する。図4は、本発明の一実施形態に係るゲート駆動回路200が配されたゲート駆動部130a、130bの構造を示した図面である。

【0062】

図4に示したように、ゲート駆動回路200は、パネル310の一側面のみに配されず、両側面に配されうる。大型発光表示装置100を駆動する場合、ゲート駆動回路200が駆動する走査ライン $S_1 \sim S_n$ 及び発光制御ライン $E_1 \sim E_n$ の長さが長くなり、ロードが大きくなり、1水平周期が長くなる。これにより、ゲート駆動回路200と遠く離隔された画素では、駆動信号が歪曲されて画質が低下する恐れがある。これを防止するために、図4に示したように、ゲート駆動回路200e、200fをパネル310の両側面に配置し、両側のゲート駆動回路200を同期化させて駆動しうる。このとき、左側に配されたゲート駆動部130aに含まれたゲート駆動回路200eは、第1ゲート駆動信号 G_1 出力チャンネルから第nゲート駆動信号 G_n 出力チャンネル方向にゲート駆動信号が順次に出される。一方、右側に配されたゲート駆動部130bに含まれたゲート駆動回路200fは、第nゲート駆動信号 G_n 出力チャンネルから第1ゲート駆動信号 G_1 出力チャンネル方向にゲート駆動信号が順次に出される。

【0063】

すなわち、左側に配されたゲート駆動回路200eと右側に配されたゲート駆動回路200fとの走査方向が変わる。このように、ゲート駆動回路200の走査方向を制御するために、走査方向制御信号UDを利用する。走査方向は、制御信号UDレベルによって決定されうる。例えば、走査方向制御信号UDがハイレベルである場合、第1ゲート駆動信号 G_1 の出力チャンネルから第nゲート駆動信号 G_n の出力チャンネル方向にゲート駆動信号が順次に出され、走査方向制御信号UDがローレベルである場合、第nゲート駆動信号 G_n の出力チャンネルから第1ゲート駆動信号 G_1 の出力チャンネル方向にゲート駆動信号が順次に出されうる。

【0064】

また、ゲート駆動回路200に電源電圧の役割を行う第1電源電圧 V_{dd} 及び第2電源電圧 V_{ss} が供給される（図2を参照）。

【0065】

以下、本実施形態に係るゲート駆動回路の前記機能を詳細に説明する。

【0066】

第一に、P型トランジスタを駆動する駆動信号とN型トランジスタを駆動する駆動信号とをそれぞれ生成する機能について説明する。

【0067】

図5は、N型トランジスタを駆動する駆動信号を生成するための動作を示したタイミング図である。以下のタイミング図では、説明の便宜上、二つの第1グループ駆動信号 G_1 及び G_3 及び二つの第2グループ駆動信号 G_2 及び G_4 のみを示した。また、各駆動信号を第1ゲート駆動信号 G_1 、第2ゲート駆動信号 G_2 、第3ゲート駆動信号 G_3 、及び第4ゲート駆動信号 G_4 と称す。

【0068】

10

本実施形態に係るゲート駆動回路200は、N型トランジスタを基本として、ゲート駆動信号 $G_1 \sim G_n$ を生成できる。すなわち、第1インバータ230及び第2インバータ240で、N型トランジスタ用駆動信号を生成する場合は、第1シフトレジスタ210及び第2シフトレジスタ220の出力 $SR_{odd}[n/2:1]$ 及び $SR_{even}[n/2:1]$ を反転せずにそのまま伝達し、P型トランジスタ用駆動信号を生成する場合は、第1シフトレジスタ210及び第2シフトレジスタ220の出力 $SR_{odd}[n/2:1]$ 及び $SR_{even}[n/2:1]$ を反転して出力する。

【0069】

しかし、これは本発明の一実施形態であり、ゲート駆動回路200を、P型トランジスタを基本として具現することも可能である。以下、N型トランジスタを基本として、ゲート駆動信号 $G_1 \sim G_n$ を生成するゲート駆動回路200を例として説明する。

20

【0070】

第1及び第2グループゲート駆動信号 $G_1 \sim G_n$ がN型トランジスタを駆動するゲート駆動信号である場合、第1反転制御信号 $INV1$ 及び第2反転制御信号 $INV2$ を非活性化させ、第1シフトレジスタ210及び第2シフトレジスタ220の出力 $SR_{odd}[n/2:1]$ 及び $SR_{even}[n/2:1]$ を、第1インバータ230、第2インバータ240、レベルシフタ250、及び出力バッファ260を通じてそのまま出力する。

【0071】

図5に示したように、N型トランジスタに対する駆動信号を生成するために、第1反転制御信号 $INV1$ 及び第2反転制御信号 $INV2$ は、ローレベルに非活性化され、第1～第4ゲート駆動信号 $G_1 \sim G_4$ 出力チャンネルを通じて、N型トランジスタのための駆動信号が出力される。第1～第4駆動信号 $G_1 \sim G_4$ は、該当走査ライン（例えば、 $S_1 \sim S_4$ ）に出力される。

30

【0072】

図5を利用して、例示的な駆動例を説明する。第1フレーム開始パルス $DIO1$ が活性化されるT1区間の間、第1クロック信号 $CPV1$ のパルスに応答して、第1駆動信号 G_1 がハイレベルに活性化され(a1)、第2クロック信号 $CPV2$ のパルスに応答して、第3駆動信号 G_3 がハイレベルに活性化される(a2)。第2フレーム開始パルス $DIO2$ が活性化されるT2区間の間、第3クロック信号 $CPV3$ のパルスに応答して、第2駆動信号 G_2 がハイレベルに活性化され(a3)、第4クロック信号 $CPV4$ のパルスに
 応答して、第4駆動信号 G_4 がハイレベルに活性化される(a4)。また、出力チャンネル選択機能は、活性化されず、出力チャンネル選択信号 $SEL1$ 及び $SEL2$ は、ローレベルに非活性化され、走査方向制御信号 UD は、第1方向に当たるハイレベルに設定され、同時発光制御機能は非活性化されて、同時発光制御信号 ALL がハイレベルに非活性化された。パルス幅制御機能は非活性化されて、第1パルス幅制御信号 $EDC1$ 及び第2パルス幅制御信号 $EDC2$ は、ローレベルに非活性化された。

40

【0073】

図6は、P型トランジスタを駆動する駆動信号を生成するための動作を示したタイミング図である。

【0074】

50

第1及び第2グループゲート駆動信号 $G_1 \sim G_n$ がP型トランジスタを駆動する駆動信号である場合、第1反転制御信号 $INV1$ 及び第2反転制御信号 $INV2$ を活性化させて、第1シフトレジスタ210及び第2シフトレジスタ220の出力 $SR_{odd}[n/2:1]$ 及び $SR_{even}[n/2:1]$ を第1インバータ230及び第2インバータ240で反転し、レベルシフタ250及び出力バッファ260を通じて出力する。

【0075】

図6に示したように、P型トランジスタに対する駆動信号を生成するために、第1反転制御信号 $INV1$ 及び第2反転制御信号 $INV2$ は、ハイレベルに活性化され、第1～第4ゲート駆動信号 $G_1 \sim G_4$ の出力チャンネルを通じてP型トランジスタのための駆動信号が出力される。第1～第4駆動信号 $G_1 \sim G_4$ は、該当走査ライン（例えば、 $S_1 \sim S_4$ ）に出力される。

10

【0076】

図6を利用して、例示的な駆動例を説明する。第1フレーム開始パルス $DIO1$ が活性化されるT1区間の間、第1クロック信号 $CPV1$ のパルスにตอบสนองして、第1駆動信号 G_1 がローレベルに活性化され（b1）、第2クロック信号 $CPV2$ のパルスにตอบสนองして、第3駆動信号 G_3 がローレベルに活性化される（b2）。第2フレーム開始パルス $DIO2$ が活性化されるT2区間の間、第3クロック信号 $CPV3$ のパルスにตอบสนองして、第2駆動信号 G_2 がローレベルに活性化され（b3）、第4クロック信号 $CPV4$ のパルスにตอบสนองして、第4駆動信号 G_4 がローレベルに活性化される（b4）。また、出力チャンネル選択機能は、活性化されず、出力チャンネル選択信号 $SEL1$ 及び $SEL2$ は、ローレベルに非活性化され、走査方向制御信号 UD は、第1方向に当たるハイレベルに設定され、同時発光制御機能は非活性化されて、同時発光制御信号 ALL がハイレベルに非活性化された。パルス幅制御機能は非活性化されて、第1パルス幅制御信号 $EDC1$ 及び第2パルス幅制御信号 $EDC2$ は、ローレベルに非活性化された。

20

【0077】

第二に、走査信号と発光制御信号とを選択的に出力する機能と、ゲート駆動信号のパルス幅を調節して出力する機能とについて説明する。

【0078】

本実施形態に係るゲート駆動回路200は、第1グループゲート駆動信号 $G_1, G_3, \dots, G_{n-1}$ は、走査信号として駆動し、第2グループゲート駆動回路 $G_2, G_4, \dots, G_n$ は、発光制御信号として駆動しうる。第1シフトレジスタ210及び第2シフトレジスタ220は、それぞれ独立して動作するように設計されるため、第1シフトレジスタ210及び第2シフトレジスタ220に入力されるクロック信号 $CPV1 \sim CPV4$ 、フレーム開始パルス $DIO1, DIO2$ 、及びパルス幅制御信号 $EDC1, EDC2$ をそれぞれ調節して、第1シフトレジスタ210及び第2シフトレジスタ220のうち一つは、走査信号駆動用として利用し、他の一つは、発光制御信号駆動用として利用しうる。また、走査信号又は発光制御信号を生成するために、第1インバータ230及び第2インバータ240に入力される第1反転制御信号 $INV1$ 及び第2反転制御信号 $INV2$ を制御しうる。

30

【0079】

図7は、本発明の一実施形態によって、走査信号と発光制御信号とを独立して生成して出力する動作を示したタイミング図である。図7では、第1グループゲート駆動信号 G_1 及び G_3 は、P型トランジスタ用走査信号として駆動し、第2グループゲート駆動信号 G_2 及び G_4 は、P型トランジスタ用発光制御信号として駆動した例を示す。

40

【0080】

第1フレーム開始パルス $DIO1$ が活性化されるT1区間の間、第1クロック信号 $CPV1$ のパルスにตอบสนองして、第1駆動信号 G_1 がローレベルに活性化され（c1）、第2クロック信号 $CPV2$ のパルスにตอบสนองして、第3駆動信号 G_3 がローレベルに活性化される（c2）。第1グループ走査信号 G_1 及び G_3 は、P型トランジスタ用走査信号として駆動されるため、第1反転制御信号 $INV1$ は、ハイレベルに活性化される。また、本実施

50

形態では、走査信号の駆動時にパルス幅調節機能を利用しないため、第1パルス幅制御信号EDC1は、ローレベルに非活性化される。

【0081】

第2シフトレジスタ220は、活性化されたパルス幅制御信号EDC2を入力され、第3クロック信号CPV3及び第4クロック信号CPV4の立ち上がりエッジ又は立ち下がりエッジをラッチするエッジラッチとして動作する。レベルラッチ及びエッジラッチについて、図8及び図9を利用して説明する。

【0082】

第1シフトレジスタ210及び第2シフトレジスタ220は、第1パルス幅制御信号EDC1又は第2パルス幅制御信号EDC2によってエッジラッチやレベルラッチとして動作しうる。

10

【0083】

図8に示したように、第1シフトレジスタ210又は第2シフトレジスタ220がエッジラッチとして動作する場合、フレーム開始パルスDIOが活性化された区間の間、立ち上がりエッジ又は立ち下がりエッジに同期化されてゲート駆動信号G₁～G₄が出力される。図8は、立ち上がりエッジに同期されてエッジラッチされる場合を示す。第1シフトレジスタ210又は第2シフトレジスタ220が立ち上がりエッジに同期してエッジラッチとして動作する場合、各ゲート駆動信号G₁～G₄のパルス幅は、フレーム開始パルスDIOの幅内に入るクロック信号CPVの周期数ほどの幅に出力される。

20

【0084】

図9に示したように、第1シフトレジスタ210又は第2シフトレジスタ220がレベルラッチとして動作する場合、フレーム開始パルスDIOが活性化された区間の間、クロック信号CPVのパルス幅と同じレベルに同期化されてゲート駆動信号G₁～G₄が出力される。

【0085】

本発明の実施形態では、パルス幅制御信号EDC1及びEDC2を利用して、エッジラッチ機能及びレベルラッチ機能を選択的に活性化させる。例えば、パルス幅制御信号EDC1及びEDC2を非活性化させて、シフトレジスタ210、220をレベルラッチとして利用し、パルス幅制御信号EDC1及びEDC2を活性化させて、シフトレジスタ210、220をエッジラッチとして利用する。特に、本発明の実施形態では、シフトレジスタ210、220をエッジラッチとして利用して、ゲート駆動信号G₁～G_nのパルス幅を調節しうる。

30

【0086】

図7に戻って、発光制御信号駆動及びパルス幅制御についてさらに詳細に説明する。

【0087】

図7に示した具現例で、第2グループゲート駆動信号G₂及びG₄は、発光制御信号として駆動され、第2シフトレジスタ220及び第2インバータ240は、発光制御信号駆動用として利用される。発光制御信号は、非活性化される区間、すなわち、発光素子が発光しない区間のタイミングが制御されるため、第2反転制御信号INV2を非活性化させて、発光制御信号が非活性化される区間、すなわち、ハイレベルの区間を制御する。

40

【0088】

また、第2シフトレジスタ220をエッジラッチとして利用するために、第2パルス幅制御信号EDC2がハイレベルに活性化される。パルス幅は、第2フレーム開始パルスDIO2が活性化される区間の幅によって決定される。図7の例で、第2フレーム開始パルスDIO2は、T3区間の間に活性化され、第2フレーム開始パルスDIO2のパルス幅によって、第2ゲート駆動信号G₂のパルス幅T4及び第4ゲート駆動信号G₄のパルス幅T5が決定される。すなわち、第2フレーム開始パルスDIO2が活性化されたT3区間の間、第3クロック信号CPV3の立ち上がりエッジに同期化されて、第2ゲート駆動信号G₂がハイレベルに活性化され(c3)、第2ゲート駆動信号G₂のハイレベルのパルス幅は、第2フレーム開始パルスDIO2が活性化されたT3区間内に入る第3クロッ

50

ク信号C P V 3の周期数ほどの幅T 4となる。

【0089】

また、第2フレーム開始パルスD I O 2が活性化されたT 3区間の間、第4クロック信号C P V 4の立ち上がりエッジに同期化されて、第4ゲート駆動信号G₄がハイレベルに活性化され(c 4)、第4ゲート駆動信号G₄のハイレベルのパルス幅は、第2フレーム開始パルスD I O 2が活性化されたT 3区間内に入る第4クロック信号C P V 4の周期数ほどの幅T 5となる。

【0090】

本実施形態では、発光制御信号のパルス幅を調節する構成について説明したが、走査信号のパルス幅を調節する構成も可能である。走査信号のパルス幅は、オーバーラップ駆動のために調節され、本実施形態は、このような走査信号パルス幅調節機能を提供する。

【0091】

第三に、ゲート駆動回路のすべての出力チャネルからゲート駆動信号を同時に出力する機能について説明する。

【0092】

アクティブマトリックス(AM: Active Matrix)方式発光表示装置100では、各画素P₁₁～P_{nm}で保存キャパシタを備え、保存キャパシタにデータ信号に対応する電圧を保存し、各画素P₁₁～P_{nm}の発光素子を駆動しうる。しかし、多様な表示方式が要求されつつ、すべての画素P₁₁～P_{nm}を同時に発光する表示方式も要求されている。このために、すべての画素P₁₁～P_{nm}の保存キャパシタにそれぞれのデータ信号に当たる電圧を保存し、すべての画素P₁₁～P_{nm}に対する発光制御信号を同時に活性化させて、すべての画素P₁₁～P_{nm}を同時に発光しうる。本実施形態は、このような同時発光表示方式のための同時発光機能を提供する。例えば、同時発光制御信号A L Lが非活性化されれば、ゲート駆動信号G₁～G_nを順次に出し、同時発光制御信号A L Lが活性化されれば、ゲート駆動信号G₁～G_nを同時に活性化させて出力しうる。また、同時発光制御信号A L Lは、パルス幅制御信号E D C 1及びE D C 2と連動して、表1に表現されたロジックとして動作しうる。

【0093】

【表1】

A L L	E D C 1	E D C 2	動作
非活性化	X	X	順次に出し
活性化	非活性化	非活性化	すべてのゲート駆動信号を同時出力
	非活性化	活性化	第2グループゲート駆動信号を同時出力
	活性化	非活性化	第1グループゲート駆動信号を同時出力
	活性化	活性化	すべてのゲート駆動信号を同時出力

【0094】

このようなロジックは、所定の論理回路を利用して具現しうる。

【0095】

図10は、本発明の一実施形態に係る同時発光動作を示したタイミング図である。

【0096】

同時発光のために、同時発光制御信号A L Lがローレベルに活性化される。また、第1及び第2パルス幅制御信号E D C 1及びE D C 2がいずれもハイレベルに活性化されたので、表1に示したように、すべてのゲート駆動信号が同時発光動作を行う。

【0097】

また、第1シフトレジスタ210は、第1クロック信号C P V 1及び第2クロック信号C P V 2にตอบสนองして、エッジラッチとして動作し、第1ゲート駆動信号G₁及び第3ゲート駆動信号G₃を生成して出力する(d 1, d 2)。第2シフトレジスタ220は、第3

クロック信号C P V 3 及び第 4 クロック信号C P V 4 に応答して、エッジラッチとして動作し、第 2 ゲート駆動信号G 2 及び第 4 ゲート駆動信号G 4 を生成して出力する（d 3 , d 4 ）。

【0098】

第 1 ゲート駆動信号G 1 及び第 2 ゲート駆動信号G 2 のパルス幅T 7、第 3 ゲート駆動信号G 3 及び第 4 ゲート駆動信号G 4 のパルス幅T 8 は、第 1 フレーム開始パルスD I O 1 及び第 2 フレーム開始パルスD I O 2 の幅T 6 の区間内に入る第 1 クロック信号C P V 1 及び第 2 クロック信号C P V 2、第 3 クロック信号C P V 3 及び第 4 クロック信号C P V 4 の周期数ほどの幅によって決定される。

【0099】

10

前述した実施形態で、S E L 1、S E L 2、I N V 1、I N V 2、E D C 1、E D C 2 は、ハイレベルを活性化されたレベルと記述し、ローレベルを非活性化されたレベルと記述し、A L L は、ハイレベルを非活性化されたレベルと記述し、ローレベルを活性化されたレベルと記述したが、このような信号の活性化レベルと非活性化レベルとは、設計者によって任意に決定されうる。

【0100】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例又は修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

20

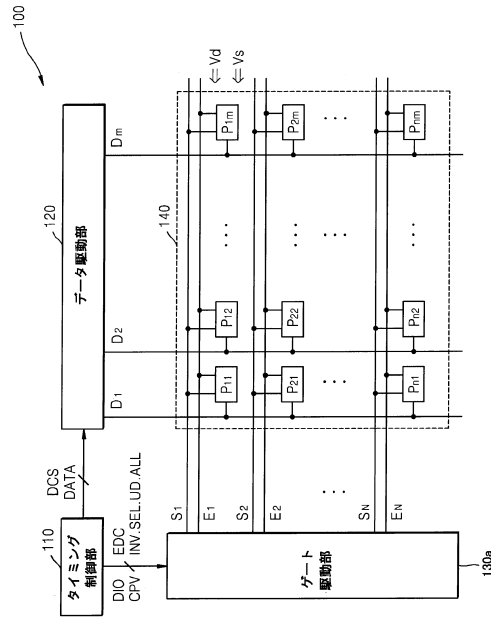
【符号の説明】

【0101】

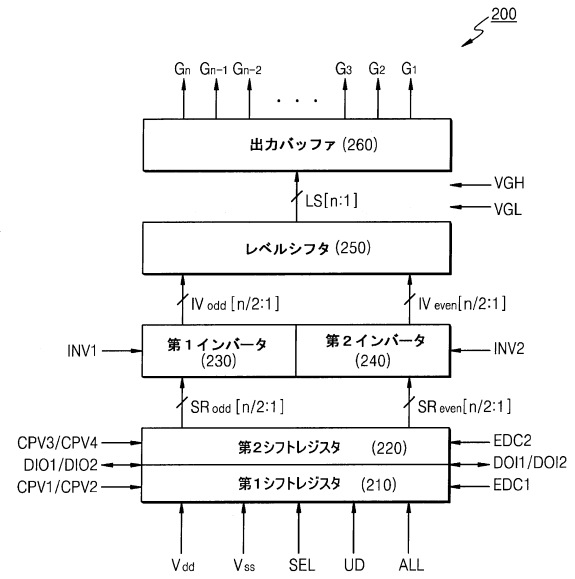
- 1 0 0 装置
- 2 0 0 ゲート駆動回路
- 2 1 0 第 1 シフトレジスタ
- 2 2 0 第 2 シフトレジスタ
- 2 3 0 第 1 インバータ
- 2 4 0 第 2 インバータ
- 2 5 0 レベルシフタ
- 2 6 0 出力バッファ

30

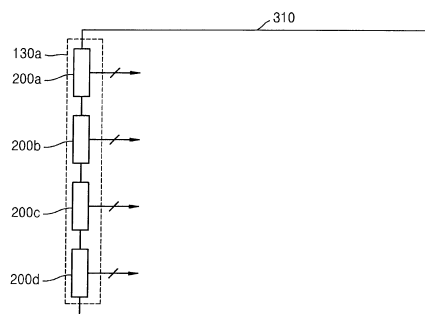
【図 1】



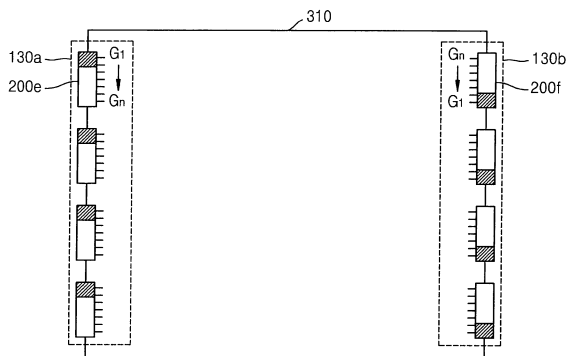
【図 2】



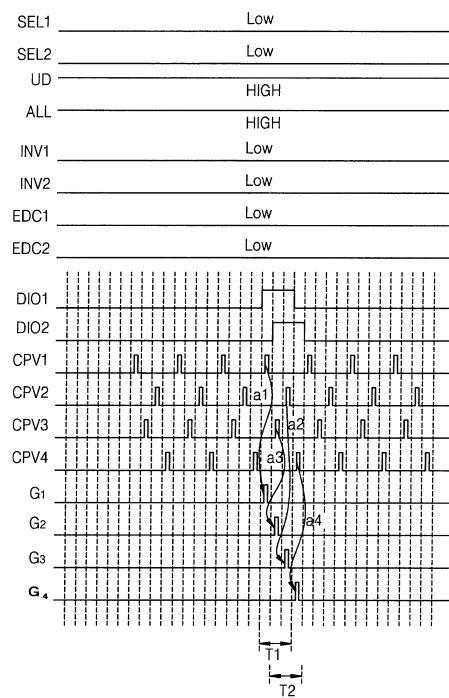
【図 3】



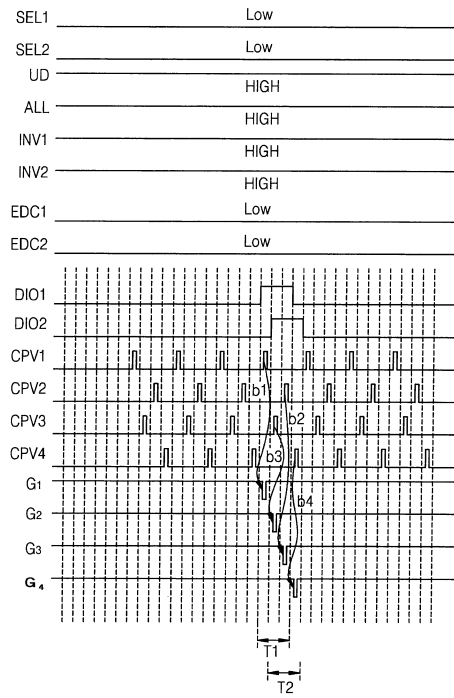
【図 4】



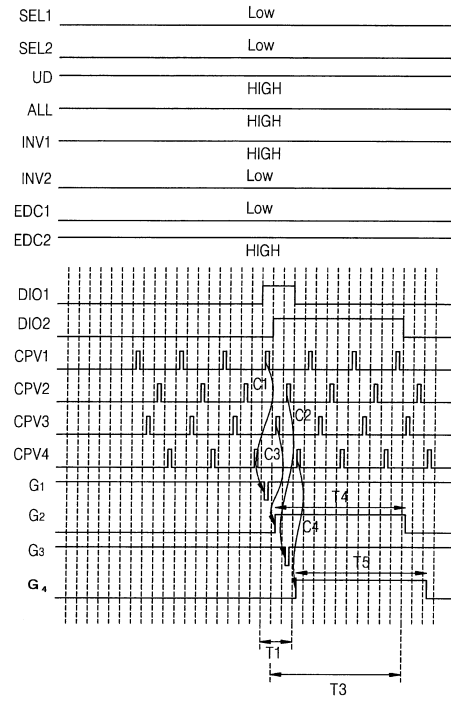
【図 5】



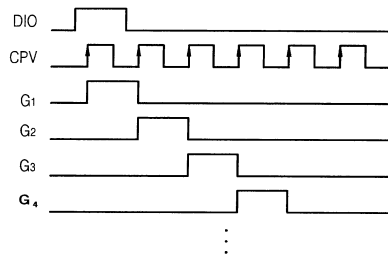
【図 6】



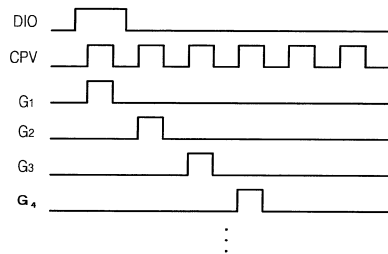
【図 7】



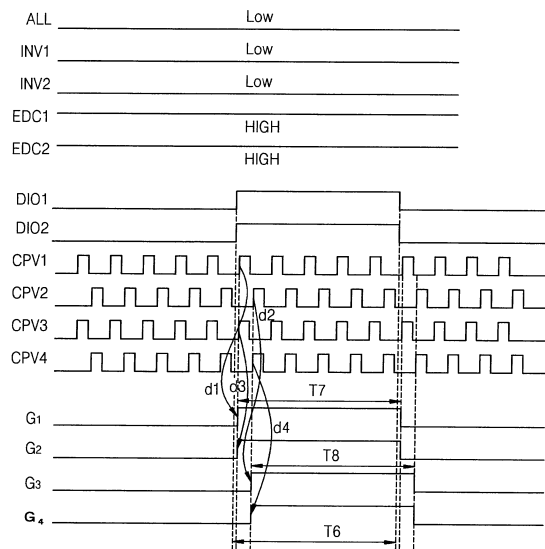
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 M
G 0 9 G 3/20 6 2 2 R
G 0 9 G 3/20 6 2 1 L
H 0 5 B 33/14 A

(72)発明者 金 宇哲
大韓民国京畿道龍仁市器興区農書洞山24 三星モバイルディスプレイ株式會社内

審査官 中村 直行

(56)参考文献 特開2008-257159 (JP, A)
特開2006-047493 (JP, A)
特開2006-184871 (JP, A)
特開2006-284798 (JP, A)
特開2005-202422 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
H 0 1 L 51/50

专利名称(译)	栅极驱动电路和使用其的有机电致发光显示装置		
公开(公告)号	JP5765761B2	公开(公告)日	2015-08-19
申请号	JP2011003998	申请日	2011-01-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星移动显示的股票会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	羅東均 金宇哲		
发明人	羅 東均 金 宇哲		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3266 G09G2300/0814 G09G2310/0286		
FI分类号	G09G3/30.J G09G3/20.622.B G09G3/20.622.D G09G3/20.622.C G09G3/20.622.E G09G3/20.622.M G09G3/20.622.R G09G3/20.621.L H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC31 3K107/EE03 3K107/HH00 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF01 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA14 5C380/BA19 5C380/BA20 5C380/BA31 5C380/BD09 5C380/BD16 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB14 5C380/CB18 5C380/CB23 5C380/CB25 5C380/CB26 5C380/CB27 5C380/CB30 5C380/CB31 5C380/CB32 5C380/CB33 5C380/CC33 5C380/CC61 5C380/CE20 5C380/CF07 5C380/CF22 5C380/CF23 5C380/CF24 5C380/DA02 5C380/DA32 5C380/DA35		
审查员(译)	中村直之		
优先权	1020100043055 2010-05-07 KR		
其他公开文献	JP2011237763A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供栅极驱动电路和使用其的有机电场发光显示器。

ΣSOLUTION：栅极驱动电路包括：第一移位寄存器，响应于第一帧起始脉冲输出；第二移位寄存器，响应第二帧起始脉冲输出；第一反相器，取决于第一反相控制信号，在反相后输出第一移位寄存器的输出或者按原样输出第一移位寄存器的输出；第二反相器，取决于第二反相控制信号，在反相后输出第二移位寄存器的输出或者按原样输出第二移位寄存器的输出。第一移位寄存器和第二移位寄存器彼此独立地操作，并且第一反相器和第二反相器也彼此独立地操作。通过第一移位寄存器和第一反相器输出第一组栅极驱动信号。通过第二移位寄存器和第二反相器输出第二组栅极驱动信号。Z

(21) 出願番号	特願2011-3998 (P2011-3998)	(73) 特許権者	512187343
(22) 出願日	平成23年1月12日 (2011.1.12)		三星ディスプレイ株式会社
(65) 公開番号	特開2011-237763 (P2011-237763A)		Samsung Display Co.
(43) 公開日	平成23年11月24日 (2011.11.24)		, Ltd.
審査請求日	平成25年12月19日 (2013.12.19)		大韓民国京畿道龍仁市器興区三星二路95
(31) 優先権主張番号	10-2010-0043055		95, Samsung 2 Ro, Gih
(32) 優先日	平成22年5月7日 (2010.5.7)		eung-Gu, Yongin-City
(33) 優先権主張国	韓国 (KR)		, Gyeonggi-Do, Korea
		(74) 代理人	110000981
			アイ・ビー・ディー国際特許業務法人
		(72) 発明者	羅 東均
			大韓民国京畿道龍仁市器興区農香洞山24
			三星モバイルディスプレイ株式会社内