

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5282146号  
(P5282146)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年5月31日(2013.5.31)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 623Y
	G09G 3/20 641D
	G09G 3/20 642A
請求項の数 10 (全 70 頁) 最終頁に続く	

(21) 出願番号 特願2011-550334 (P2011-550334)  
 (86) (22) 出願日 平成22年9月6日(2010.9.6)  
 (86) 国際出願番号 PCT/JP2010/005471  
 (87) 国際公開番号 W02012/032567  
 (87) 国際公開日 平成24年3月15日(2012.3.15)  
 審査請求日 平成23年11月25日(2011.11.25)

(73) 特許権者 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100109210  
 弁理士 新居 広守  
 (72) 発明者 松井 雅史  
 日本国大阪府門真市大字門真1006番地  
 パナソニック株式会社内  
 (72) 発明者 小野 晋也  
 日本国大阪府門真市大字門真1006番地  
 パナソニック株式会社内  
 審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の発光画素を有する表示装置であって、  
 発光画素列ごとに設けられた出力線に、固定電圧と発光画素の輝度を決定する信号電圧とを  
 選択的に出力する信号線駆動回路と、  
 発光画素列ごとに配置され、前記固定電圧又は前記信号電圧を前記発光画素に与える第  
 1 信号線及び第 2 信号線と、  
 前記出力線から出力される前記固定電圧又は前記信号電圧を、前記第 1 信号線及び第 2  
 信号線のいずれかに選択的に供給するために発光画素列ごとに配置されたセクタと、  
 第 1 電源線及び第 2 電源線と、  
 発光画素行ごとに配置された走査線とを備え、  
 前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした 2 以上の駆動ブロッ  
 クを構成し、  
 前記複数の発光画素のそれぞれは、  
 一方の端子が前記第 2 電源線に接続され、前記信号電圧に応じた信号電流が流れること  
 により発光する発光素子と、  
 前記第 1 電源線及び前記発光素子の他方の端子に接続され、前記信号電圧が印加される  
 ことにより前記信号電圧を前記信号電流に変換し、前記固定電圧が印加されることにより  
 閾値電圧に応じた電圧又は初期化するための電圧である初期化電圧を保持する電流制御部  
 と、

k (k は自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記電流制御部に接続され、前記第 1 信号線と前記電流制御部との導通及び非導通を切り換える第 1 スイッチングトランジスタを備え、

(k + 1) 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記電流制御部に接続され、前記第 2 信号線と前記電流制御部との導通及び非導通を切り換える第 2 スイッチングトランジスタを備え、

同一の前記駆動ブロック内の全発光画素では、前記電流制御部に前記固定電圧が印加されることにより前記閾値電圧が検出される閾値検出期間及び前記電流制御部が初期化される初期化期間の少なくとも一方が共通化されており、異なる前記駆動ブロック間では、前記駆動ブロック内で共通化された前記閾値検出期間及び前記初期化期間の少なくとも一方が独立しており、

前記表示装置は、さらに、1 フレーム期間内において、前記 k 番目の駆動ブロックに属する前記発光画素に前記第 1 信号線を介して前記信号電圧を与えた後、前記第 1 信号線に前記固定電圧を与え、前記 (k + 1) 番目の駆動ブロックに属する前記発光画素に前記第 2 信号線を介して前記信号電圧を与えた後、前記第 2 信号線に前記固定電圧を与えるよう前記セクタを制御するセクタ制御部を備える

表示装置。

【請求項 2】

前記セクタ制御部は、前記第 1 信号線及び前記第 2 信号線に前記固定電圧を与えた際、

前記第 1 信号線及び前記第 2 信号線がそれぞれ有する寄生容量に前記固定電圧を保持させる

請求項 1 に記載の表示装置。

【請求項 3】

さらに、発光画素行ごとに配置され、前記電流制御部に接続された第 1 制御線を備え、前記第 1 制御線は、同一の前記駆動ブロック内の全発光画素では共通化されており、異なる前記駆動ブロック間では独立している

請求項 1 又は 2 に記載の表示装置。

【請求項 4】

さらに、発光画素行ごとに配置され、前記電流制御部に接続された第 2 制御線を備え、前記電流制御部は、

ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲート - ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する駆動トランジスタと、

一方の端子が前記駆動トランジスタのゲートに接続され、他方の端子が前記駆動トランジスタのソースに接続された第 1 容量素子と、

一方の端子が前記駆動トランジスタのソースに接続され、他方の端子が前記第 1 制御線に接続された第 2 容量素子と、

ゲートが前記第 2 制御線に接続され、ソース及びドレインが前記第 1 電源線と前記発光素子の他方の端子との間に挿入され、前記駆動トランジスタのドレイン電流のオンオフを切り換える第 3 スイッチングトランジスタとを備え、

前記第 1 スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、

前記第 2 スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続されている

請求項 3 に記載の表示装置。

10

20

30

40

50

**【請求項 5】**

前記第 2 制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している

請求項 4 に記載の表示装置。

**【請求項 6】**

さらに、発光画素行ごとに配置された第 2 制御線を備え、

前記電流制御部は、

ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲート - ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する駆動トランジスタと、

10

一方の端子が前記駆動トランジスタのゲートに接続され、他方の端子が前記駆動トランジスタのソースに接続された第 3 容量素子と、

一方の端子が前記駆動トランジスタのソースに接続され、他方の端子が前記第 1 制御線に接続された第 4 容量素子と、

ゲートが前記第 2 制御線に接続され、ソース及びドレインの一方が前記第 3 容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接続された第 4 スイッチングトランジスタとを備え、

前記第 1 スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、

20

前記第 2 スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続されている

請求項 3 に記載の表示装置。

**【請求項 7】**

前記電流制御部は、

ソース及びドレインの一方が第 1 電源線に接続され、ソース及びドレインの他方が前記発光素子の他方の端子に接続され、ゲート - ソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、

一方の端子が前記駆動トランジスタのゲートに接続された第 5 容量素子と、

30

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 5 容量素子の一方の端子に接続され、ソース及びドレインの他方が参照電源線に接続された第 5 スイッチングトランジスタと、

ゲートが前記第 1 制御線に接続され、ソース及びドレインの一方が前記第 5 容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接続された第 6 スイッチングトランジスタとを備え、

前記第 1 スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 5 容量素子の他方の端子に接続され、ソース及びドレインの他方が前記第 1 信号線に接続され、

前記第 2 スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 5 容量素子の他方の端子に接続され、ソース及びドレインの他方が前記第 2 信号線に接続されている

40

請求項 3 に記載の表示装置。

**【請求項 8】**

前記第 1 電源線は、発光画素行ごとに配置され、前記固定電圧よりも低い電圧である第 1 電圧と、前記固定電圧よりも高い電圧である第 2 電圧とを供給し、

前記電流制御部は、

ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ソース及びドレインの他方が前記第 1 電源線に接続され、ゲート - ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する駆動トランジスタと、

50

一方の端子が前記駆動トランジスタのゲートに接続され、他方の端子が前記駆動トランジスタのソース及びドレインの一方に接続され、少なくとも前記信号電圧あるいは前記固定電圧に対応した電圧を保持する第6容量素子とを備え、

前記第1スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第1信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、

前記第2スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第2信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、

同一の前記駆動ブロック内の全発光画素に対し、前記閾値検出期間及び前記初期化期間の少なくとも一方においては前記第1電圧及び前記第2電圧の供給を同じタイミングで制御し、異なる前記駆動ブロック間では、前記タイミングと異なるタイミングで前記第1電圧及び前記第2電圧の供給を制御する制御部を備える

請求項1又は2に記載の表示装置。

【請求項9】

前記発光素子は、前記信号電圧に応じて発光する有機EL (Electro Luminescence) 素子である

請求項1～8のいずれか1項に記載の表示装置。

【請求項10】

発光画素列ごとに配置された第1信号線及び第2信号線のうちいずれかの信号線から供給された信号電圧を当該電圧に対応した信号電流に変換する駆動トランジスタを有する電流制御部と、前記信号電流が流れることにより発光する発光素子とを備える発光画素がマトリクス状に配置され、複数の前記発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成する表示装置の制御方法であって、

前記信号電圧又は固定電圧を選択的に出力する信号線駆動回路と前記第2信号線とを非接続とし、前記信号線駆動回路により前記第1信号線に前記固定電圧が与えられ、前記第1信号線に前記固定電圧が保持されることにより、 $k$  ( $k$ は自然数)番目の駆動ブロックの有する全ての前記電流制御部に、前記第1信号線が保持する前記固定電圧を同時に印加し、前記駆動トランジスタの閾値電圧又はリセット電圧に対応した電圧を同時に保持させる第1電圧保持ステップと、

前記第1電圧保持ステップの後、信号線駆動回路により前記第1信号線に前記信号電圧を与えることにより、前記 $k$ 番目の駆動ブロックの有する前記発光画素において、前記電流制御部に、前記信号線駆動回路から前記第1信号線を介して前記信号電圧を印加し、当該信号電圧に対応する電圧を発光画素行順に保持させる第1輝度保持ステップと、

前記第1電圧保持ステップの後、前記信号線駆動回路と前記第1信号線とを非接続とし、前記信号線駆動回路により前記第2信号線に前記固定電圧が与えられ、前記第2信号線に前記固定電圧が保持されることにより、 $(k+1)$ 番目の駆動ブロックの有する全ての前記電流制御部に、第2信号線が保持する前記固定電圧を同時に印加し、前記駆動トランジスタの閾値電圧又はリセット電圧に対応した電圧を同時に保持させる第2電圧保持ステップとを含む

表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその制御方法に関し、特に電流駆動型の発光素子を用いた表示装置及びその制御方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス (EL) 素子を用いた表示装置が知られている。有機EL表示装置は、自発光する有機EL素子

10

20

30

40

50

を用いているので、液晶表示装置では必要であったバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

#### 【0003】

有機EL表示装置では、通常、画素を構成する有機EL素子がマトリクス状に配置される。例えば、複数の行電極（走査線）と複数の列電極（データ線）との交点に有機EL素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機EL素子を駆動するものをパッシブマトリクス型の有機ELディスプレイと呼ぶ。

10

#### 【0004】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ（TFT：Thin Film Transistor）を設け、このスイッチングTFTに駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチングTFTをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機EL素子を駆動するものをアクティブマトリクス型の有機EL表示装置と呼ぶ。

#### 【0005】

パッシブマトリクス型の有機EL表示装置では、各行電極（走査線）を選択している期間のみ、それに接続された有機EL素子が発光する。それに対して、アクティブマトリクス型の有機EL表示装置は、次の走査（選択）まで有機EL素子を発光させることが可能である。そのため、走査線の数が増えてもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機EL表示装置は、低電圧で駆動でき、低消費電力化が可能となる。しかしながら、アクティブマトリクス型の有機ELディスプレイでは、駆動トランジスタの特性のばらつきに起因して、同じデータ信号を与えても、各画素において有機EL素子に流れる電流が異なることに起因して輝度が異なり、輝度むらが発生するという欠点がある。

20

#### 【0006】

この問題に対し、例えば、特許文献1では、駆動トランジスタの特性のばらつきによる輝度ムラの補償方法として、簡単な画素回路で、画素ごとの特性バラツキを補償する方法が開示されている。

30

#### 【0007】

図32は、特許文献1に記載された従来の表示装置の構成を示すブロック図である。同図に記載された表示装置500は、画素アレイ部502と、これを駆動する駆動部からなる。画素アレイ部502は、行ごとに配置された走査線701～70mと、列ごとに配置された信号線601～60nと、両者が交差する部分に配置された行列状の発光画素501と、行ごとに配置された給電線801～80mとを備える。また、駆動部は、信号セレクタ503と、走査線駆動部504と、給電線駆動部505とを備える。

#### 【0008】

走査線駆動部504は、各走査線701～70mに水平周期（1H）で順次制御信号を供給して発光画素501を行単位で線順次走査する。給電線駆動部505は、この線順次走査に合わせて各給電線801～80mに第1電圧と第2電圧とで切り換える電源電圧を供給する。信号セレクタ503は、この線順次走査に合わせて信号電圧（映像信号）と基準電圧とを切り換えて列状の信号線601～60nに供給する。

40

#### 【0009】

ここで、列状の信号線601～60nは、それぞれ、列ごとに2本配置されており、一方の信号線は奇数行の発光画素501に基準電圧及び信号電圧を供給し、他方の信号線は偶数行の発光画素501に基準電圧及び信号電圧を供給している。

#### 【0010】

図33は、特許文献1に記載された従来の表示装置の有する発光画素の回路構成図であ

50

る。ここで、図33には1行目かつ1列目の発光画素501を記載している。また、この発光画素501に対して走査線701、給電線801及び信号線601が配されている。なお、信号線601は2本あるうちの1本が、発光画素501に接続されている。発光画素501は、スイッチングトランジスタ511と、駆動トランジスタ512と、保持容量素子513と、発光素子514とを備える。スイッチングトランジスタ511は、ゲートが走査線701に、ソース及びドレインの一方が信号線601に、その他方が駆動トランジスタ512のゲートにそれぞれ接続されている。駆動トランジスタ512は、ソースが発光素子514のアノードに、ドレインが給電線801にそれぞれ接続されている。発光素子514は、カソードが接地配線515に接続されている。保持容量素子513は、駆動トランジスタ512のソース及びゲートに接続されている。

10

#### 【0011】

上記構成において、給電線駆動部505は、信号線601が基準電圧である状態で、給電線801を第1電圧（高電圧）から第2電圧（低電圧）に切り換える。走査線駆動部504は、同じく信号線601が基準電圧である状態で、走査線701の電圧を“H”レベルにしてスイッチングトランジスタ511を導通させ、基準電圧を駆動トランジスタ512のゲートに印加するとともに、駆動トランジスタ512のソースをリセット電圧である第2電圧に設定する。以上の動作により、駆動トランジスタ512の閾値電圧 $V_{th}$ の補正のための準備が完了する。続いて、給電線駆動部505は、信号線601の電圧が基準電圧から信号電圧に切り換わる前の補正期間で、給電線801の電圧を第2電圧から第1電圧に切り換えて、駆動トランジスタ512の閾値電圧 $V_{th}$ に相当する電圧を保持容量素子513に保持させる。次に、スイッチングトランジスタ511の電圧を“H”レベルにして信号電圧を保持容量素子513に保持させる。つまり、この信号電圧は、先に保持された駆動トランジスタ512の閾値電圧 $V_{th}$ に相当する電圧に加算されて保持容量素子513に書き込まれる。そして、駆動トランジスタ512は、第1電圧にある給電線801から電流の供給を受け、上記保持電圧に応じた駆動電流を発光素子514に流す。

20

#### 【0012】

上述した動作では、信号線601は列ごとに2本配置されていることにより、各信号線が基準電圧にある時間帯を長くしている。よって、駆動トランジスタ512の初期化期間及び閾値電圧 $V_{th}$ に相当する電圧を保持容量素子513に保持するための補正期間を確保するようにしている。

30

#### 【0013】

図34は、特許文献1に記載された表示装置の動作タイミングチャートである。同図には、上から順に、1ライン目の走査線701及び給電線801、2ライン目の走査線702及び給電線802、3ライン目の走査線703及び給電線803、奇数行の発光画素に割り当てられた信号線、偶数行の発光画素に割り当てられた信号線の信号波形が記載されている。走査線に印加される走査信号は、1水平期間（1H）ずつ順次1ラインごとにシフトしていく。1ライン分の走査線に印加される走査信号は、2個のパルスを含んでいる。1番目のパルスは時間幅が長く1H以上である。2番目のパルスは時間幅が狭く、1Hの一部である。1番目のパルスは上述した初期化期間及び閾値補正期間に対応し、2番目のパルスは信号電圧サンプリング期間及び移動度補正期間に対応している。また、給電線に供給される電源パルスも1H周期で1ラインごとにシフトしていく。これに対して、各信号線は2Hに1回、信号電圧が印加され、基準電圧にある時間帯を1H以上確保することが可能となる。

40

#### 【0014】

以上のように、特許文献1に記載された従来の表示装置では、発光画素ごとに駆動トランジスタ512の閾値電圧 $V_{th}$ がばらついていても、十分な初期化期間及び閾値電圧補正期間が確保されることにより、発光画素ごとに当該ばらつきはキャンセルされ、画像の輝度ムラ抑止が図られるとしている。

#### 【先行技術文献】

#### 【特許文献】

50

【 0 0 1 5 】

【特許文献 1】特開 2 0 0 8 - 1 2 2 6 3 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 6 】

しかしながら、特許文献 1 に記載された従来の表示装置では、発光画素行ごとに配置された走査線及び給電線の信号レベルのオンオフが多い。例えば、リセット期間及び閾値補正期間を発光画素行ごとに設定しなければならない。また、信号線からスイッチングトランジスタを介して信号電圧がサンプリングされると、引き続いて発光期間を設けなければならない。このように、画素行ごとの初期化期間及び閾値補正タイミング及び発光タイ

10

【 0 0 1 7 】

また、発光画素列ごとの信号線の増加に伴い、信号線駆動回路の出力本数を増加させてしまうので、駆動回路の大型化及びコストの増加をもたらす、また、実装歩留まりが低下してしまう。

【 0 0 1 8 】

また、特許文献 1 に記載された従来の表示装置は、駆動トランジスタの初期化期間及び閾値電圧  $V_{th}$  の補正期間は 2 H 未満であり、高精度の補正が要求される表示装置としては限界がある。

20

【 0 0 1 9 】

上記課題に鑑み、本発明は、駆動トランジスタの初期化期間及び閾値電圧を高精度に補正できる期間が確保され、かつ、駆動回路の出力負荷が低減された表示装置及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 0 】

上記目的を達成するために、本発明の一形態に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに設けられた出力線に、固定電圧と発光画素の輝度を決定する信号電圧とを選択的に出力する信号線駆動回路と、発光画素列ごとに配置され、前記固定電圧又は前記信号電圧を前記発光画素に与える第 1 信号線及び第 2 信号線と、前記出力線から出力される前記固定電圧又は前記信号電圧を、前記第 1 信号線及び第 2 信号線のいずれかに選択的に供給するために発光画素列ごとに配置されたセレクトと、第 1 電源線及び第 2 電源線と、発光画素行ごとに配置された走査線とを備え、前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした 2 以上の駆動ブロックを構成し、前記複数の発光画素のそれぞれは、一方の端子が前記第 2 電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、前記第 1 電源線及び前記発光素子の他方の端子に接続され、前記信号電圧が印加されることにより前記信号電圧を前記信号電流に変換し、前記固定電圧が印加されることにより閾値電圧に応じた電圧又は初期化するための電圧である初期化電圧を保持する電流制御部と、 $k$  ( $k$  は自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記電流制御部に接続され、前記第 1 信号線と前記電流制御部との導通及び非導通を切り換える第 1 スwitchングトランジスタを備え、 $(k + 1)$  番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記電流制御部に接続され、前記第 2 信号線と前記電流制御部との導通及び非導通を切り換える第 2 スwitchングトランジスタを備え、同一の前記駆動ブロック内の全発光画素では、前記電流制御部に前記固定電圧が印加されることにより前記閾値電圧が検出される閾値検出期間及び前記電流制御部が初期化される初期化期間の少なくとも一方が共通化されており、異なる前記

30

40

50

駆動ブロック間では、前記駆動ブロック内で共通化された前記閾値検出期間及び前記初期化期間の少なくとも一方が独立しており、前記表示装置は、さらに、1フレーム期間内において、前記k番目の駆動ブロックに属する前記発光画素に前記第1信号線を介して前記信号電圧を与えた後、前記第1信号線に前記固定電圧を与え、前記(k+1)番目の駆動ブロックに属する前記発光画素に前記第2信号線を介して前記信号電圧を与えた後、前記第2信号線に前記固定電圧を与えるよう前記セレクトアを制御するセレクトア制御部を備える。

【発明の効果】

【0021】

本発明の表示装置及びその制御方法によれば、駆動トランジスタの初期化期間及び閾値電圧補正期間を駆動ブロック内で一致させることが可能となるので、当該初期化期間及び補正期間を1フレーム期間の中で大きくとることができる。よって、高精度に補正された駆動電流が発光素子に流れ、画像表示品質が向上する。また、駆動ブロック化により、上記期間における駆動回路の出力する信号レベルの切替え回数を減らすことができ、さらに、信号線駆動回路と信号線との間に配置されたセレクトアにより、当該信号線駆動回路からの出力本数を低減できる。よって、駆動回路の出力負荷及びコストの低減、ならびに実装歩留まりの向上が図られる。

【図面の簡単な説明】

【0022】

【図1】図1は、本発明の実施の形態1に係る表示装置の電氣的な構成を示すブロック図である。

【図2A】図2Aは、本発明の実施の形態1に係る表示装置における奇数駆動ブロックの発光画素の回路構成図である。

【図2B】図2Bは、本発明の実施の形態1に係る表示装置における偶数駆動ブロックの発光画素の回路構成図である。

【図3】図3は、本発明の実施の形態に係る表示装置の有するセレクトア回路及びその周辺回路の回路構成図である。

【図4】図4は、本発明の実施の形態1に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図5】図5は、本発明の実施の形態1に係る表示装置の駆動方法の動作タイミングチャートである。

【図6】図6は、本発明の実施の形態1に係る表示装置の有する発光画素の状態遷移図である。

【図7】図7は、本発明の実施の形態1に係る表示装置の動作フローチャートである。

【図8】図8は、本発明の実施の形態1に係る表示装置の有するセレクトア回路を駆動するための動作タイミングチャートである。

【図9A】図9Aは、信号線駆動回路15より基準電圧が第1信号線151に供給される一定期間の状態について説明するための図である。

【図9B】図9Bは、信号線駆動回路15より信号電圧が第2信号線152に供給されている状態について説明するための図である。

【図9C】図9Cは、信号線駆動回路15より基準電圧が第2信号線152に供給される一定期間の状態について説明するための図である。

【図9D】図9Dは、信号線駆動回路15より信号電圧が第1信号線151に供給されている状態について説明するための図である。

【図10】図10は、走査線及び信号線の波形特性を説明する図である。

【図11】図11は、本発明の実施の形態1に係る駆動方法により発光した駆動ブロックの状態遷移図である。

【図12】図12は、本発明の実施の形態2に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図13】図13は、本発明の実施の形態2に係る表示装置の駆動方法の動作タイミング

10

20

30

40

50

チャートである。

【図 1 4】図 1 4 は、本発明の実施の形態 2 に係る駆動方法により発光した駆動ブロックの状態遷移図である。

【図 1 5 A】図 1 5 A は、本発明の実施の形態 3 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図 1 5 B】図 1 5 B は、本発明の実施の形態 3 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

【図 1 6】図 1 6 は、本発明の実施の形態 3 に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図 1 7】図 1 7 は、本発明の実施の形態 3 に係る表示装置の駆動方法の動作タイミングチャートである。

10

【図 1 8】図 1 8 は、本発明の実施の形態 3 に係る表示装置の有する発光画素の状態遷移図である。

【図 1 9】図 1 9 は、本発明の実施の形態 3 に係る表示装置の動作フローチャートである。

【図 2 0】図 2 0 は、本発明の実施の形態 3 に係る表示装置の有するセクタ回路を駆動するための動作タイミングチャートである。

【図 2 1 A】図 2 1 A は、本発明の実施の形態 4 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図 2 1 B】図 2 1 B は、本発明の実施の形態 4 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

20

【図 2 2】図 2 2 は、本発明の実施の形態 4 に係る表示装置の駆動方法の動作タイミングチャートである。

【図 2 3】図 2 3 は、本発明の実施の形態 4 に係る表示装置の動作フローチャートである。

【図 2 4 A】図 2 4 A は、本発明の実施の形態 5 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図 2 4 B】図 2 4 B は、本発明の実施の形態 5 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

【図 2 5】図 2 5 は、本発明の実施の形態 5 に係る表示装置の有する表示パネルの一部を示す回路構成図である。

30

【図 2 6】図 2 6 は、本発明の実施の形態 5 に係る表示装置の駆動方法の動作タイミングチャートである。

【図 2 7】図 2 7 は、本発明の実施の形態 5 に係る表示装置の動作フローチャートである。

【図 2 8 A】図 2 8 A は、本発明における表示装置の電気的な構成の 1 例を示すブロック図である。

【図 2 8 B】図 2 8 B は、走査 / 制御線駆動回路に入力されるクロック信号の 1 例を示す図である。

【図 2 8 C】図 2 8 C は、走査 / 制御線駆動回路に入力されるクロック回路の構成例を示す図である。

40

【図 2 9】図 2 9 は、本発明における表示装置の電気的な構成の別の 1 例を示すブロック図である。

【図 3 0 A】図 3 0 A は、HOLD 期間中における電圧降下を説明するための図である。

【図 3 0 B】図 3 0 B は、電圧降下の影響を抑制する方法を説明するための図である。

【図 3 0 C】図 3 0 C は、本発明における表示装置の電気的な構成の別の 1 例を示すブロック図である。

【図 3 1】図 3 1 は、本発明の表示装置を内蔵した薄型フラットテレビの概観図である。

【図 3 2】図 3 2 は、特許文献 1 に記載された従来の表示装置の構成を示すブロック図である。

50

【図 3 3】図 3 3 は、特許文献 1 に記載された従来の表示装置の有する発光画素の回路構成図である。

【図 3 4】図 3 4 は、特許文献 1 に記載された表示装置の動作タイミングチャートである。

【発明を実施するための形態】

【0023】

第 1 の態様の表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに設けられた出力線に、固定電圧と発光画素の輝度を決定する信号電圧とを選択的に出力する信号線駆動回路と、発光画素列ごとに配置され、前記固定電圧又は前記信号電圧を前記発光画素に与える第 1 信号線及び第 2 信号線と、前記出力線から出力される前記固定電圧又は前記信号電圧を、前記第 1 信号線及び第 2 信号線のいずれかに選択的に供給するために発光画素列ごとに配置されたセレクタと、第 1 電源線及び第 2 電源線と、発光画素行ごとに配置された走査線とを備え、前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした 2 以上の駆動ブロックを構成し、前記複数の発光画素のそれぞれは、一方の端子が前記第 2 電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、前記第 1 電源線及び前記発光素子の他方の端子に接続され、前記信号電圧が印加されることにより前記信号電圧を前記信号電流に変換し、前記固定電圧が印加されることにより閾値電圧に応じた電圧又は初期化するための電圧である初期化電圧を保持する電流制御部と、 $k$  ( $k$  は自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 1 信号線に接続され、ソース及びドレインの他方が前記電流制御部に接続され、前記第 1 信号線と前記電流制御部との導通及び非導通を切り換える第 1 スwitchングトランジスタを備え、 $(k + 1)$  番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第 2 信号線に接続され、ソース及びドレインの他方が前記電流制御部に接続され、前記第 2 信号線と前記電流制御部との導通及び非導通を切り換える第 2 スwitchングトランジスタを備え、同一の前記駆動ブロック内の全発光画素では、前記電流制御部に前記固定電圧が印加されることにより前記閾値電圧が検出される閾値検出期間及び前記電流制御部が初期化される初期化期間の少なくとも一方が共通化されており、異なる前記駆動ブロック間では、前記駆動ブロック内で共通化された前記閾値検出期間及び前記初期化期間の少なくとも一方が独立しており、前記表示装置は、さらに、1 フレーム期間内において、前記  $k$  番目の駆動ブロックに属する前記発光画素に前記第 1 信号線を介して前記信号電圧を与えた後、前記第 1 信号線に前記固定電圧を与え、前記  $(k + 1)$  番目の駆動ブロックに属する前記発光画素に前記第 2 信号線を介して前記信号電圧を与えた後、前記第 2 信号線に前記固定電圧を与えるよう前記セレクタを制御するセレクタ制御部を備える。

【0024】

本態様によれば、駆動トランジスタの閾値電圧補正期間及び / 又は初期化期間とタイミングを駆動ブロック内で一致させることが可能となるので、走査線、信号線及び電源線から画素回路への信号レベルのオンからオフもしくはオフからオンへの切替え回数を減らすことができ、発光画素の回路を駆動する駆動回路の負荷が低減する。また、上記駆動ブロック化及び発光画素列ごとに配置された 2 本の信号線により、駆動トランジスタの閾値電圧補正期間及び / 又は初期化期間を 1 フレーム期間に対して大きくとることができるので、高精度な駆動電流が発光素子に流れ、画像表示品質が向上する。

【0025】

さらに、1 発光画素列に対して配置された 2 本の信号線に対し、信号線駆動回路の出力線が 1 本とされているため、信号線駆動回路を小型化することができ、出力線の減少に伴う駆動回路のコストの低減及びパネル実装歩留まりの向上を図ることができる。

【0026】

加えて、閾値検出などのための固定電圧の発光画素への供給を、例えば信号線の寄生容量を利用して行うことにより、パネル周縁部に固定電圧の供給用の回路を別途設ける必要

10

20

30

40

50

がない。そのため、パネルの狭額縁化、パネル実装歩留まりの向上を図ることができる。

【0027】

また、本発明の一態様に係る表示装置は、前記セレクト制御部は、前記第1信号線及び前記第2信号線に前記固定電圧を与えた際、前記第1信号線及び前記第2信号線がそれぞれ有する寄生容量に前記固定電圧を保持させるとしてもよい。

【0028】

本態様によれば、閾値検出などのための固定電圧の発光画素への供給を、信号線の寄生容量を利用して行なうので、パネル周縁部に固定電圧の供給用の回路を別途設ける必要がなく、パネルの狭額縁化、パネル実装歩留まりの向上を図ることができる。

【0029】

また、本発明の一態様に係る表示装置は、さらに、発光画素行ごとに配置され、前記電流制御部に接続された第1制御線を備え、前記第1制御線は、同一の前記駆動ブロック内の全発光画素では共通化されており、異なる前記駆動ブロック間では独立しているとしてもよい。

【0030】

本態様によれば、第1制御線信号のタイミングを駆動ブロック内で一致させることが可能となる。よって、発光素子に流れる駆動電流を制御する信号を出力する駆動回路の負荷が低減する。また、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、第1制御線による電流制御部の制御動作期間を1フレーム期間の中で長くとることができるので、高精度な駆動電流が発光素子に流れ、画像表示品質を向上させることが可能となる。

【0031】

また、本発明の一態様に係る表示装置は、さらに、発光画素行ごとに配置され、前記電流制御部に接続された第2制御線を備え、前記電流制御部は、ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲート-ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続され、他方の端子が前記駆動トランジスタのソースに接続された第1容量素子と、一方の端子が前記駆動トランジスタのソースに接続され、他方の端子が前記第1制御線に接続された第2容量素子と、ゲートが前記第2制御線に接続され、ソース及びドレインが前記第1電源線と前記発光素子の他方の端子との間に挿入され、前記駆動トランジスタのドレイン電流のオンオフを切り換える第3スイッチングトランジスタとを備え、前記第1スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第1信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、前記第2スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第2信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続されているとしてもよい。

【0032】

本態様によれば、電流制御部は、信号電圧を信号電流に変換する駆動トランジスタと、信号電圧及び固定電圧に対応した電圧を保持する第1容量素子と、駆動トランジスタのゲート及びソース電位を安定化する第2容量素子と、ドレイン電流のオンオフを切り換える第3スイッチングトランジスタとで構成される。上記電流制御部の回路構成、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置により、駆動トランジスタの閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力し信号電圧を制御する駆動回路の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタの閾値電圧補正期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これは、 $k$ 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$ 番目の駆動ブロックにおいて閾値電圧補正期間が設けられることによるものである。よって、閾値電圧補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごとに分割される。よって、表示領

10

20

30

40

50

域が大面積化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値電圧補正期間を長く設定することが可能となる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。さらに、第3スイッチングトランジスタにより、駆動トランジスタへの信号電圧印加タイミングと独立して発光素子の発光動作を制御することが可能となる。

【0033】

また、本発明の一態様に係る表示装置は、前記第2制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立しているとしてもよい。

【0034】

これにより、第2制御線により第3スイッチングトランジスタを同一ブロック内で同時制御することにより、同一ブロック内での同時発光を実現することが可能となり、第2制御線からの信号を出力する駆動回路の負荷が低減する。

【0035】

また、本発明の一態様に係る表示装置は、さらに、発光画素行ごとに配置された第2制御線を備え、前記電流制御部は、ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲート・ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続され、他方の端子が前記駆動トランジスタのソースに接続された第3容量素子と、一方の端子が前記駆動トランジスタのソースに接続され、他方の端子が前記第1制御線に接続された第4容量素子と、ゲートが前記第2制御線に接続され、ソース及びドレインの一方が前記第3容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接続された第4スイッチングトランジスタとを備え、前記第1スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第1信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、前記第2スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第2信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続されているとしてもよい。

【0036】

本態様によれば、電流制御部は、信号電圧を信号電流に変換する駆動トランジスタと、信号電圧及び固定電圧に対応した電圧を保持する第3容量素子と、駆動トランジスタのゲート及びソース電位を安定化する第4容量素子と、駆動トランジスタのソースと第3容量素子との導通及び非導通を切り換える第4スイッチングトランジスタとで構成される。上記電流制御部の回路構成、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置により、駆動トランジスタの閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力し信号電圧を制御する駆動回路の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタの閾値電圧補正期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。また、第4スイッチングトランジスタの配置により、第3容量素子に正確な信号電圧に対応した電圧を保持させることが可能となる。

【0037】

また、本発明の一態様に係る表示装置において、前記電流制御部は、ソース及びドレインの一方が第1電源線に接続され、ソース及びドレインの他方が前記発光素子の他方の端子に接続され、ゲート・ソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続された第5容量素子と、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第5容量素子の一方の端子に接続され、ソース及びドレインの他方が参照電源線に接続された第5スイッチングトランジスタと、ゲートが前記第1制御線に接続され、ソース及びドレインの一方が前記第5容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トラン

10

20

30

40

50

ンジスタのソースに接続された第6スイッチングトランジスタとを備え、前記第1スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第5容量素子の他方の端子に接続され、ソース及びドレインの他方が前記第1信号線に接続され、前記第2スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第5容量素子の他方の端子に接続され、ソース及びドレインの他方が前記第2信号線に接続されているとしてもよい。

【0038】

本態様によれば、電流制御部は、信号電圧を信号電流に変換する駆動トランジスタと、信号電圧及び固定電圧に対応した電圧を保持する第5容量素子と、駆動トランジスタのゲートに参照電位を与えるための第5スイッチングトランジスタと、駆動トランジスタのソースと第5容量素子との導通及び非導通を切り換える第6スイッチングトランジスタとで構成される。上記電流制御部の回路構成、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置により、駆動トランジスタの初期化期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力し信号電圧を制御する駆動回路の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタのリセット期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。また、第6スイッチングトランジスタの配置により、第5容量素子に正確な信号電圧に対応した電圧を保持させることが可能となる。

【0039】

また、本発明の一態様に係る表示装置において、前記第1電源線は、発光画素行ごとに配置され、前記固定電圧よりも低い電圧である第1電圧と、前記固定電圧よりも高い電圧である第2電圧とを供給し、前記電流制御部は、ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ソース及びドレインの他方が前記第1電源線に接続され、ゲート-ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続され、他方の端子が前記駆動トランジスタのソース及びドレインの一方に接続され、少なくとも前記信号電圧あるいは前記固定電圧に対応した電圧を保持する第6容量素子とを備え、前記第1スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第1信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、前記第2スイッチングトランジスタは、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記第2信号線に接続され、ソース及びドレインの他方が前記駆動トランジスタのゲートに接続され、同一の前記駆動ブロック内の全発光画素に対し、前記閾値検出期間及び前記初期化期間の少なくとも一方においては前記第1電圧及び前記第2電圧の供給を同じタイミングで制御し、異なる前記駆動ブロック間では、前記タイミングと異なるタイミングで前記第1電圧及び前記第2電圧の供給を制御する制御部を備えるとしてもよい。

【0040】

本態様によれば、電流制御部は、信号電圧を信号電流に変換する駆動トランジスタと、信号電圧及び固定電圧に対応した電圧を保持する第6容量素子とで構成される。上記電流制御部の回路構成、駆動ブロック化された各発光画素への制御線、走査線、信号線及び電源線の配置により、駆動トランジスタの閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力し信号電圧を制御する駆動回路の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタの閾値電圧補正期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0041】

また、本発明の一態様に係る表示装置において、前記発光素子は、前記信号電圧に応じて発光する有機EL (Electro Luminescence) 素子であるとしてもよい。

【0042】

本態様によれば、アクティブマトリクス型の有機EL表示パネルにおいて、駆動ブロック化及びセクタ回路の配置により、初期化期間及び閾値電圧補正期間を1フレーム期間の中で大きくとることができ、駆動回路の出力負荷及びコストの低減、ならびに実装歩留まりの向上が図られる。

【0043】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の制御方法として実現することができる。

【0044】

(実施の形態1)

以下、本発明の実施の形態1について、図面を参照しながら説明する。

【0045】

図1は、本発明の実施の形態1に係る表示装置の電氣的な構成を示すブロック図である。同図における表示装置1は、マトリクス状に配置された複数の発光画素を有する表示装置であって、表示パネル10と、制御回路20とを備える。表示パネル10は、複数の発光画素11A及び11Bと、信号線群12と制御線群13と、走査/制御線駆動回路14と、信号線駆動回路15と、セクタ回路16とを備える。

【0046】

発光画素11A及び11Bは、表示パネル10上に、マトリクス状に配置されている。ここで、発光画素11A及び11Bは、複数の発光画素行を一駆動ブロックとする2以上の駆動ブロックを構成している。具体的には、発光画素11Aは、 $k$  ( $k$ は自然数)番目の駆動ブロックを構成し、また、発光画素11Bは $(k+1)$ 番目の駆動ブロックを構成する。これは、例えば、発光画素11Aは奇数番目の駆動ブロックを構成し、発光画素11Bは偶数番目の駆動ブロックを構成するということを意味する。但し、表示パネル10を $N$ 個の駆動ブロックに分割したとすると、 $(k+1)$ は $N$ 以下の自然数である。

【0047】

信号線群12は、発光画素列ごとに配置された複数の信号線からなる。ここで、各発光画素列につき2本の信号線(第1信号線151及び第2信号線152)が配置されており、奇数番目の駆動ブロックの発光画素は第1信号線に接続され、偶数番目の駆動ブロックの発光画素は第1信号線と異なる第2信号線に接続されている。このように、この2本の信号線(第1信号線151及び第2信号線152)は、発光画素列ごとに配置され、駆動トランジスタの閾値電圧を検出するため及び駆動トランジスタを初期化するための固定電圧(基準電圧)及び発光画素の輝度を決定する信号電圧を対応する発光画素11A及び11Bに与えるためのものである。

【0048】

制御線群13は、発光画素行ごとに配置された走査線及び制御線からなる。

【0049】

走査/制御線駆動回路14は、制御線群13の各走査線へ走査信号を制御線群13の各制御線へ制御信号を出力することにより、発光画素の有する回路素子を駆動する。

【0050】

信号線駆動回路15は、発光画素列ごとに設けられた出力線に、固定電圧及び発光画素の輝度を決定する信号電圧を選択的に出力する。具体的には、信号線駆動回路15は、信号線群12の各信号線へセクタ回路16を介して発光輝度を決定する信号電圧を出力することにより、発光画素の有する回路素子を駆動する。

【0051】

セクタ回路16は、選択した第1信号線151及び第2信号線152のいずれかに信

10

20

30

40

50

号電圧及び基準電圧を排他的に供給する機能を有する。具体的には、セレクト回路 16 は、出力線から出力される固定電圧（基準電圧）又は信号電圧を、第 1 信号線及び第 2 信号線のいずれかに選択的に供給する、発光画素列ごとに配置されたセレクトを制御する。詳細は後述するためここでの説明は省略する。

【 0 0 5 2 】

制御回路 20 は、走査 / 制御線駆動回路 14 から出力される走査信号及び制御信号の出力タイミング及び電圧レベルを制御する。また、制御回路 20 は、信号線駆動回路 15 から出力される信号電圧又は基準電圧を出力するタイミングを制御する。

【 0 0 5 3 】

さらに、制御回路 20 は、走査 / 制御線駆動回路 14 から出力される制御信号により、第 1 信号線及び第 2 信号線に信号電圧及び基準電圧（固定電圧）が互いに排他的に供給されるよう、セレクト回路 16 の信号線選択動作を制御するセレクト制御部でもある。

【 0 0 5 4 】

なお、制御回路 20、走査 / 制御線駆動回路 14 及び信号線駆動回路 15 は、各発光画素の動作を制御する制御部を構成する。制御回路 20 は、同一の駆動ブロック内の全発光画素では、各発光画素に基準電圧を印加して画素回路の閾値電圧を検出する閾値検出期間及び画素回路を初期化する初期化期間の少なくとも一方を共通化し、異なる駆動ブロック間では、駆動ブロック内で共通化された閾値検出期間及び初期化期間の少なくとも一方を異ならせる。ここで、同一の駆動ブロック内において、上記閾値検出期間及び上記初期化期間の少なくとも一方を共通化するとは、当該期間の開始時刻及び終了時刻を同一の駆動ブロック内における各発光画素において一致させることをいう。また、異なる駆動ブロック間では、駆動ブロック内で共通化された上記閾値検出期間及び上記初期化期間の少なくとも一方を異ならせとは、当該期間の開始時刻及び終了時刻を異なる駆動ブロック間における各発光画素において異ならせ、かつ、異なる駆動ブロック間において当該期間を重複させないことをいう。

【 0 0 5 5 】

図 2 A は、本発明の実施の形態 1 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図 2 B は、本発明の実施の形態 1 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図 2 A 及び図 2 B に記載された発光画素 11 A 及び 11 B は、いずれも、有機 EL (Electro Luminescence) 素子 113 と、駆動トランジスタ 114 と、スイッチングトランジスタ 115 及び 116 と、静電保持容量 117 及び 118 と、第 2 制御線 131 と、第 1 制御線 132 と、走査線 133 と、第 1 信号線 151 と、第 2 信号線 152 とを備える。ここで、駆動トランジスタ 114 と、スイッチングトランジスタ 116 と、静電保持容量 117 及び 118 とは、電流制御部 100 を構成している。

【 0 0 5 6 】

電流制御部 100 は、第 1 電源線（電源線 112）及び、発光素子（有機 EL 素子 113）の他方の端子及び第 1 制御線に接続され、信号電圧を信号電流に変換する。具体的には、電流制御部 100 は、第 1 電源線である電源線 110、有機 EL 素子 113 のアノード、第 2 制御線 131、第 1 制御線 132 及びスイッチングトランジスタ 115 のソース及びドレインの一方の端子に接続されている。この構成により、電流制御部 100 は、第 1 信号線 151 又は第 2 信号線 152 から供給される信号電圧を駆動トランジスタ 114 のソースドレイン電流である信号電流に変換する機能を有する。

【 0 0 5 7 】

有機 EL 素子 113 は、一方の端子が第 2 電源線に接続され、信号電圧に応じた信号電流が流れることにより発光する。具体的には、カソードが第 2 電源線である電源線 112 に接続されアノードが駆動トランジスタ 114 のソースに接続された発光素子であり、駆動トランジスタ 114 の駆動電流が流れることにより発光する。

【 0 0 5 8 】

駆動トランジスタ 114 は、本発明の電流制御部に含まれ、ソース及びドレインの一方

10

20

30

40

50

が前記発光素子の他方の端子に接続され、ゲート - ソース間に印加される前記信号電圧を、ドレイン電流である前記信号電流に変換する。具体的には、ゲート - ソース間に信号電圧に対応した電圧が印加されることにより、当該電圧に対応したソース - ドレイン間電流を変換する。そして、このソース - ドレイン間電流は、駆動電流として有機 EL 素子 113 に供給される。駆動トランジスタ 114 は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

【0059】

スイッチングトランジスタ 115 は、走査線 133 がゲート電極に接続され、ソース及びドレインの一方が第 1 信号線 151 に接続された第 3 スwitchングトランジスタであり、ソース及びドレインの他方が電流制御部に接続され、第 1 信号線 151 と電流制御部との導通及び非導通を切り換える。具体的には、ゲートが走査線 133 に接続され、ソース及びドレインの一方が駆動トランジスタ 114 のゲートに接続されている。また、そのソース及びドレインの他方は、奇数駆動ブロックの発光画素 11A においては、第 1 信号線 151 に接続され、第 1 スwitchングトランジスタとして機能し、偶数駆動ブロックの発光画素 11B においては、第 2 信号線 152 に接続され、第 2 スwitchングトランジスタとして機能する。

10

【0060】

スイッチングトランジスタ 116 は、ゲートが第 2 制御線 131 に接続され、ソース及びドレインの他方が正電源線である電源線 110 に接続された第 3 スwitchングトランジスタである。スイッチングトランジスタ 116 は、駆動トランジスタ 114 のソース - ドレイン間電流をオンオフさせる機能を有する。

20

【0061】

なお、スイッチングトランジスタ 116 は、そのソース及びドレインが電源線 110 と有機 EL 素子のアノードとの間に接続されていればよい。この配置により、駆動トランジスタ 114 のソース - ドレイン間電流をオンオフさせることが可能となる。スイッチングトランジスタ 115 及び 116 は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

【0062】

静電保持容量 117 は、一方の端子が駆動トランジスタ 114 のゲートに接続され、他方の端子が駆動トランジスタ 114 のソースに接続された第 1 容量素子である。静電保持容量 117 は、第 1 信号線 151 又は第 2 信号線 152 から供給された信号電圧に対応した電荷を保持し、例えば、スイッチングトランジスタ 115 がオフ状態となった後に、駆動トランジスタ 114 から有機 EL 素子 113 へ供給する信号電流を制御する機能を有する。

30

【0063】

静電保持容量 118 は、静電保持容量 117 の他方の端子と第 1 制御線 132 との間に接続された第 2 容量素子である。静電保持容量 118 は、まず、定常状態において駆動トランジスタ 114 のソース電位を記憶し、信号電圧がスイッチングトランジスタ 115 から印加された場合でもそのソース電位の情報は静電保持容量 117 と静電保持容量 118 との間のノードに残る。なお、このタイミングでのソース電位とは駆動トランジスタ 114 の閾値電圧である。その後、上記信号電圧の保持から発光までのタイミングが発光画素行ごとに異なっても、静電保持容量 117 の他方の端子の電位が確定されるので駆動トランジスタ 114 のゲート電圧が確定される。一方、駆動トランジスタ 114 のソース電位は既に定常状態であるので、静電保持容量 118 は、結果的に駆動トランジスタ 114 のソース電位を保持する機能を有する。

40

【0064】

第 2 制御線 131 は、発光画素行ごとに配置され、同一の前記駆動ブロック内の全発光画素では共通化されており、異なる前記駆動ブロック間では独立している。ここで、第 2 制御線 131 が同一の駆動ブロック内の全発光画素で共通化されているとは、走査 / 制御線駆動回路 14 から出力される一の制御信号が、同一の駆動ブロック内の第 2 制御線 13

50

1 に同時に供給されることをいう。例えば、同一の駆動ブロック内では、走査/制御線駆動回路 1 4 に接続された一本の制御線が、発光画素行ごとに配置された第 2 制御線 1 3 1 に分岐している。また、第 2 制御線 1 3 1 が、異なる駆動ブロック間では独立しているとは、走査/制御線駆動回路 1 4 から出力される個別の制御信号が、複数の駆動ブロックに対して供給されることをいう。例えば、第 2 制御線 1 3 1 が、走査/制御線駆動回路 1 4 に駆動ブロックごとに、個別に接続されている。具体的には、第 2 制御線 1 3 1 は、走査/制御線駆動回路 1 4 に接続され、発光画素 1 1 A 及び 1 1 B を含む画素行に属する各発光画素に接続されている。これにより、第 2 制御線 1 3 1 は、駆動トランジスタ 1 1 4 のソース-ドレイン間電流をオンオフするタイミングを供給する機能を有する。

【 0 0 6 5 】

第 1 制御線 1 3 2 は、発光画素行ごとに配置され、同一の前記駆動ブロック内の全発光画素では共通化されており、異なる前記駆動ブロック間では独立している。具体的には、第 1 制御線 1 3 2 は、走査/制御線駆動回路 1 4 に接続され、発光画素 1 1 A 及び 1 1 B を含む画素行に属する各発光画素に接続されている。これにより、第 1 制御線 1 3 2 は、電圧レベルを切り換えることにより、駆動トランジスタ 1 1 4 の閾値電圧を検出する環境を整える機能を有する。

【 0 0 6 6 】

走査線 1 3 3 は、発光画素 1 1 A 及び 1 1 B を含む画素行に属する各発光画素へ信号電圧又は駆動トランジスタ 1 1 4 の閾値電圧を検出するための基準電圧（固定電圧）を書き込むタイミングを供給する機能を有する。

【 0 0 6 7 】

第 1 信号線 1 5 1 及び第 2 信号線 1 5 2 は、セレクト回路 1 6 に接続され、それぞれ、発光画素 1 1 A 及び 1 1 B を含む画素列に属する各発光画素へ接続され、駆動トランジスタ 1 1 4 の閾値電圧を検出するための基準電圧と、発光強度を決定する信号電圧とを供給する機能を有する。

【 0 0 6 8 】

なお、図 2 A 及び図 2 B には記載されていないが、電源線 1 1 0 及び電源線 1 1 2 は、それぞれ、他の発光画素にも接続されており電圧源に接続されている。

【 0 0 6 9 】

次に、セレクト回路 1 6 の回路構成及びその機能を詳細に説明する。図 3 は、本発明の実施の形態に係る表示装置の有するセレクト回路及びその周辺回路の回路構成図である。

【 0 0 7 0 】

セレクト回路 1 6 は、発光画素列ごとに配置されたセレクトである選択トランジスタ 1 6 1 及び選択トランジスタ 1 6 2 を備える。セレクト回路 1 6 では、選択トランジスタ 1 6 1 又は選択トランジスタ 1 6 2 が制御されることにより、信号線駆動回路 1 5 が備えるデータドライバ 1 5 0 の出力線に出力される固定電圧又は信号電圧を、第 1 信号線 1 5 1 及び第 2 信号線 1 5 2 のいずれかに選択的に供給する。具体的には、第 1 セレクト制御線 1 4 1 により選択トランジスタ 1 6 1 が制御され、第 2 セレクト制御線 1 4 2 により選択トランジスタ 1 6 2 が制御される。

【 0 0 7 1 】

また、信号線駆動回路 1 5 は、発光画素列ごとにデータドライバ 1 5 0 を備える。データドライバ 1 5 0 は、制御回路 2 0 からの入力信号に対応した信号電圧を、接続された発光画素列に出力する IC である。

【 0 0 7 2 】

選択トランジスタ 1 6 1 は、本願のセレクトに相当し、ソース及びドレインの一方が第 1 信号線 1 5 1 に接続されており、ソース及びドレインの他方がデータドライバ 1 5 0 の出力線に接続されており、さらに、ゲートが第 1 セレクト制御線 1 4 1 と接続されている。選択トランジスタ 1 6 1 は、第 1 セレクト制御線 1 4 1 によりゲートがオンオフされることにより、データドライバ 1 5 0 より出力される基準電圧（固定電圧）又は信号電圧を、第 1 信号線 1 5 1 に選択的に供給する。例えば、第 1 セレクト制御線 1 4 1 の電圧レベ

10

20

30

40

50

ルがHIGHのとき、選択トランジスタ161がオン状態となり、データドライバ150が供給する信号電圧又は基準電圧を第1信号線151に供給する。また例えば、第1セクタ制御線141の電圧レベルがLOWのとき、選択トランジスタ161はオフ状態となり、データドライバ150の出力線とは切断される。

【0073】

同様に、選択トランジスタ162は、本願のセクタに相当しソース及びドレインの一方が第2信号線152に接続されており、ソース及びドレインの他方がデータドライバ150の出力線に接続されており、さらに、ゲートが第2セクタ制御線142と接続されている。選択トランジスタ162は、第2セクタ制御線142によりゲートがオンオフされることにより、データドライバ150より出力される基準電圧（固定電圧）又は信号電圧を、第2信号線152に選択的に供給する。例えば、第2セクタ制御線142の電圧レベルがHIGHのとき、選択トランジスタ162がオン状態となり、データドライバ150が供給する信号電圧又は基準電圧を第2信号線152に供給する。また例えば、第2セクタ制御線142の電圧レベルがLOWのとき、選択トランジスタ162はオフ状態となり、データドライバ150の出力線とは切断される。

10

【0074】

第1セクタ制御線141及び第2セクタ制御線142は、例えば、図3に示すように、走査/制御線駆動回路14に接続され、選択トランジスタ161及び選択トランジスタ161のソース-ドレイン間電流をオンオフするタイミングを供給する機能を有する。具体的には、第1セクタ制御線141及び第2セクタ制御線142とは、その電圧レベル（例えばHIGHとLOW）が排他的に制御される。これにより、データドライバ150の出力線に出力される基準電圧（固定電圧）又は信号電圧を、第1信号線151及び第2信号線152のいずれかに選択的に供給することができる。

20

【0075】

なお、従来の信号線駆動回路では、信号線の本数と同数のデータドライバIC及び出力線を配置し、信号線ごとに独立して信号電圧を駆動する必要があった。本発明では、信号線駆動回路15と信号線群12との間に、セクタ回路16が配置されていることにより、1発光画素列に対して配置された2本の信号線に対し、信号線駆動回路15の出力線が1本とされているため、信号線駆動回路15を小型化することができ、データドライバ150の実装数及び出力線の減少に伴う駆動回路実装のためのコスト低減及び実装歩留まりの向上が図られる。

30

【0076】

また、第1セクタ制御線141及び第2セクタ制御線142は、上記機能を有するならば、走査/制御線駆動回路14に接続されていなくてもよく、例えば、制御回路20に直接接続されていてもよい。

【0077】

次に、第2制御線131、第1制御線132、走査線133、第1信号線151及び第2信号線152の発光画素間における接続関係について説明する。

【0078】

図4は、本発明の実施の形態1に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号（ブロック番号、当該ブロックにおける行番号）”又は“符号（ブロック番号）”で表している。

40

【0079】

前述したように、駆動ブロックとは、複数の発光画素行で構成されており、表示パネル10の中には2以上の駆動ブロックが存在する。例えば、図4に記載された各駆動ブロックは、m行の発光画素行で構成されている。

【0080】

図4の上段に記載されたk番目の駆動ブロックでは、第2制御線131(k)が当該駆

50

動ブロック内の全発光画素 11A の有するスイッチングトランジスタ 116 のゲートに共通して接続されている。また、第 1 制御線 132 (k) が当該駆動ブロック内の全発光画素 11A の有する静電保持容量 118 に共通して接続されている。一方、走査線 133 (k, 1) ~ 走査線 133 (k, m) は、それぞれ、発光画素行ごとに個別に接続されている。また、図 4 の下段に記載された (k + 1) 番目の駆動ブロックでも、k 番目の駆動ブロックと同様の接続がなされている。ただし、k 番目の駆動ブロックに接続された第 2 制御線 131 (k) と (k + 1) 番目の駆動ブロックに接続された第 2 制御線 131 (k + 1) とは、異なる制御線であり、走査 / 制御線駆動回路 14 から個別の制御信号が出力される。また、k 番目の駆動ブロックに接続された第 1 制御線 132 (k) と (k + 1) 番目の駆動ブロックに接続された第 1 制御線 132 (k + 1) とは、異なる制御線であり、走査 / 制御線駆動回路 14 から個別の制御信号が出力される。

10

## 【0081】

また、k 番目の駆動ブロックでは、第 1 信号線 151 が当該駆動ブロック内の全発光画素 11A の有するスイッチングトランジスタ 115 のソース及びドレインの他方に接続されている。一方、(k + 1) 番目の駆動ブロックでは、第 2 信号線 152 が当該駆動ブロック内の全発光画素 11B の有するスイッチングトランジスタ 115 のソース及びドレインの他方に接続されている。

## 【0082】

上述したように、駆動ブロック化を行うことにより、駆動トランジスタ 114 のドレインへの電圧印加のオンオフを制御する第 2 制御線 131 の本数が削減される。また、駆動トランジスタ 114 の閾値電圧  $V_{th}$  を検出する  $V_{th}$  検出回路を制御する第 1 制御線 132 の本数が削減される。よって、これらの制御線に駆動信号を出力する走査 / 制御線駆動回路 14 の出力本数が低減し、回路規模の削減を可能にする。

20

## 【0083】

次に、本実施の形態に係る表示装置 1 の駆動方法について図 5 を用いて説明する。なお、ここでは、図 2A 及び図 2B に記載された具体的回路構成を有する表示装置についての駆動方法を詳細に説明する。

## 【0084】

図 5 は、本発明の実施の形態 1 に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、k 番目の駆動ブロックの走査線 133 (k, 1)、133 (k, 2) 及び 133 (k, m)、第 1 信号線 151、第 2 制御線 131 (k) 及び第 1 制御線 132 (k) に発生する電圧の波形図が示されている。また、これらに続き、(k + 1) 番目の駆動ブロックの走査線 133 (k + 1, 1)、133 (k + 1, 2) 及び 133 (k + 1, m)、第 2 信号線 152、第 2 制御線 131 (k + 1) 及び第 1 制御線 132 (k + 1) に発生する電圧の波形図が示されている。また、図 6 は、本発明の実施の形態 1 に係る表示装置の有する発光画素の状態遷移図である。また、図 7 は、本発明の実施の形態 1 に係る表示装置の動作フローチャートである。

30

## 【0085】

まず、時刻  $t_0$  の直前では、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルは全て LOW であり、第 1 制御線 132 (k) 及び第 2 制御線 131 (k) も LOW である。図 6 (a) のように、第 2 制御線 131 (k) を LOW とした瞬間から、スイッチングトランジスタ 116 はオフ状態となる。これにより、有機 EL 素子 113 は消光し、k ブロックにおける発光画素の一斉発光が終了する。同時に、k ブロックにおける非発光期間が開始する。

40

## 【0086】

次に、時刻  $t_0$  において、走査 / 制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを同時に LOW から HIGH に変化させ、スイッチングトランジスタ 115 をオン状態とする。ただし、この時、既に第 2 制御線 131 (k) は LOW となってスイッチングトランジスタ 116 はオフとなっている (図 7 の S11)。

50

## 【 0 0 8 7 】

また、この時、第 1 信号線 1 5 1 の電圧レベルは、信号電圧から駆動トランジスタ 1 1 4 がオフとなる基準電圧に変化される（図 7 の S 1 2 ）。

## 【 0 0 8 8 】

具体的には、この第 1 信号線 1 5 1 は、時刻  $t_0$  以前において、信号線駆動回路 1 5 より、セクタ回路 1 6 を介して、信号電圧が与えられており、時刻  $t_0$  から一定期間、セクタ回路 1 6 を介して、基準電圧が与えられる。その後、第 1 信号線 1 5 1 は、セクタ回路 1 6 より、信号線駆動回路 1 5 との接続が切断されるものの、第 1 信号線 1 5 1 が有する寄生容量により、この基準電圧を保持する。そのため、第 1 信号線 1 5 1 は、その後、セクタ回路 1 6 を介して信号線駆動回路 1 5 と接続され、信号電圧が与えられるまで、その基準電圧を保持することになる。なお、信号線駆動回路 1 5 は、時刻  $t_0$  において、セクタ回路 1 6 を介して、一定期間、基準電圧を第 1 信号線 1 5 1 に出力した後、セクタ回路 1 6 を介して、第 2 信号線 1 5 2 に信号電圧を出力する。

10

## 【 0 0 8 9 】

ここで、セクタ回路 1 6 を用いて、第 1 信号線 1 5 1 の電圧を基準電圧から信号電圧に変化させる方法について説明する。

## 【 0 0 9 0 】

図 8 は、本発明の実施の形態 1 に係る表示装置の有するセクタ回路を駆動するための動作タイミングチャートである。

## 【 0 0 9 1 】

図 8 ( a ) において、縦軸は、表示パネルの行数を模式的に示しており、横軸は時間を表している。図 8 ( a ) では、勾配のある直線が、1 フレーム期間において、 $k$  番目 ~  $k + 3$  の 4 つの駆動ブロックに順に印加される信号電圧の様子を示している。また、勾配のないフラットな直線が、データドライバ 1 5 0 が基準電圧を出力する期間、かつ、いずれの駆動ブロックにも信号電圧が印加されない期間であることを示している。

20

## 【 0 0 9 2 】

また、図 8 ( b ) において、横軸は時間を表している。縦方向には、上から順に、 $k$  番目 ~  $k + 3$  の 4 つの駆動ブロックの走査線に発生する電圧の波形図と、第 1 信号線 1 5 1 、第 2 信号線 1 5 2 、第 1 セクタ制御線 1 4 1 、第 2 セクタ制御線 1 4 2 、及びデータドライバ 1 5 0 に発生する電圧の波形図が示されている。図 8 ( b ) には、4 つの駆動ブロックの走査線として、例えば、発光画素 1 1 B の有する回路素子を駆動するための  $k$  番目の駆動ブロックの走査線 1 3 3 (  $k$  , 1 ) 、 $\dots$  1 3 3 (  $k$  ,  $m$  ) 、発光画素 1 1 A の有する回路素子を駆動するための  $k + 1$  番目の駆動ブロックの走査線 1 3 3 (  $k + 1$  , 1 ) 、 $\dots$  1 3 3 (  $k + 1$  ,  $m$  ) 、発光画素 1 1 B の有する回路素子を駆動するための  $k + 2$  番目の駆動ブロックの走査線 1 3 3 (  $k + 2$  , 1 ) 、 $\dots$  1 3 3 (  $k + 2$  ,  $m$  ) 、発光画素 1 1 A の有する回路素子を駆動するための  $k + 3$  番目の駆動ブロックの走査線 1 3 3 (  $k + 3$  , 1 ) 、 $\dots$  1 3 3 (  $k + 3$  ,  $m$  ) が示されている。

30

## 【 0 0 9 3 】

図 9 A は、信号線駆動回路 1 5 より基準電圧が第 1 信号線 1 5 1 に供給される一定期間の状態について説明するための図である。図 9 B は、信号線駆動回路 1 5 より信号電圧が第 2 信号線 1 5 2 に供給されている状態について説明するための図である。図 9 C は、信号線駆動回路 1 5 より基準電圧が第 2 信号線 1 5 2 に供給される一定期間の状態について説明するための図である。図 9 D は、信号線駆動回路 1 5 より信号電圧が第 1 信号線 1 5 1 に供給されている状態について説明するための図である。

40

## 【 0 0 9 4 】

図 8 ( b ) に示すように、信号線駆動回路 1 5 が有するデータドライバ 1 5 0 は、信号電圧及び基準電圧を排他的に供給（出力）している。データドライバ 1 5 0 は、1 フレーム期間において、例えば期間  $T_1 - 1$  及び期間  $T_2 - 1$  と示される一定期間のみ基準電圧を供給し、例えば期間  $T_1 - 2$  及び期間  $T_2 - 2$  と示されるその他の期間で信号電圧を供給している。

50

## 【 0 0 9 5 】

例えば期間 T 1 - 1 と示される一定期間では、第 1 セレクタ制御線 1 4 1 の電圧レベルが H I G H であり、第 2 セレクタ制御線 1 4 2 の電圧レベルが L O W であり、さらに、データドライバ 1 5 0 より第 1 信号線 1 5 1 に基準電圧が供給されている。この時、期間 T 1 - 1 に対応する  $k + 2$  番目の駆動ブロック内では、走査 / 制御線駆動回路 1 4 により、走査線 1 3 3 (  $k + 2, 1$  ) ~ 1 3 3 (  $k + 2, m$  ) の電圧レベルが同時に L O W から H I G H に変化され、スイッチングトランジスタ 1 1 5 がオン状態となっている。

## 【 0 0 9 6 】

そのため、期間 T 1 - 1 では、図 9 A に示されるように、基準電圧がデータドライバ 1 5 0 より供給されて、第 1 信号線 1 5 1 が有する寄生容量に充電 ( S A M P L E ) されることになる。

10

## 【 0 0 9 7 】

次に、期間 T 1 - 2 と示される期間では、第 1 セレクタ制御線 1 4 1 の電圧レベルが L O W であり、第 2 セレクタ制御線 1 4 2 の電圧レベルが H I G H であるので、データドライバ 1 5 0 より第 2 信号線 1 5 2 に信号電圧が供給されている。この時、 $k + 1$  番目の駆動ブロック内では、発光画素 1 1 A の有する有機 E L 素子 1 1 3 の発光がなされている。

## 【 0 0 9 8 】

そのため、期間 T 1 - 2 において、図 9 B に示されるように、信号電圧がデータドライバ 1 5 0 より第 2 信号線 1 5 2 に供給されて、第 2 信号線 1 5 2 に属する発光画素 ( ここでは、(  $k + 1$  ) 番目の駆動ブロック内の全発光画素 1 1 A ) では、供給された信号電圧に応じて発光することになる。一方、第 1 信号線 1 5 1 は、信号線駆動回路 1 5 との接続が切断されているものの、第 1 信号線 1 5 1 が有する寄生容量により、データドライバ 1 5 0 より T 1 - 1 で供給された基準電圧を保持している ( H o l d ) 。

20

## 【 0 0 9 9 】

次に、期間 T 2 - 1 と示される一定期間では、第 1 セレクタ制御線 1 4 1 の電圧レベルが L O W であり、第 2 セレクタ制御線 1 4 2 の電圧レベルが H I G H である。そして、第 2 信号線 1 5 2 には、データドライバ 1 5 0 より基準電圧が供給される。この時、期間 T 2 - 1 に対応する  $k + 3$  番目の駆動ブロック内では、走査 / 制御線駆動回路 1 4 により、走査線 1 3 3 (  $k + 3, 1$  ) ~ 1 3 3 (  $k + 3, m$  ) の電圧レベルが同時に L O W から H I G H に変化され、スイッチングトランジスタ 1 1 5 がオン状態となっている。

30

## 【 0 1 0 0 】

そのため、期間 T 2 - 1 では、図 9 C に示されるように、基準電圧がデータドライバ 1 5 0 より供給されて、第 2 信号線 1 5 2 が有する寄生容量に充電 ( S A M P L E ) されることになる。

## 【 0 1 0 1 】

次に、期間 T 2 - 2 と示される期間では、第 1 セレクタ制御線 1 4 1 の電圧レベルが H I G H であり、第 2 セレクタ制御線 1 4 2 の電圧レベルが L O W であり、データドライバ 1 5 0 より第 1 信号線 1 5 1 に信号電圧が供給されている。この時、 $k + 2$  番目の駆動ブロック内では、発光画素 1 1 B の有する有機 E L 素子 1 1 3 の発光がなされている。

## 【 0 1 0 2 】

そのため、期間 T 2 - 2 において、図 9 D に示されるように、信号電圧がデータドライバ 1 5 0 より第 1 信号線 1 5 1 に供給されて、第 1 信号線 1 5 1 に属する発光画素 ( ここでは、(  $k + 2$  ) 番目の駆動ブロック内の全発光画素 1 1 B ) では、供給された信号電圧に応じて発光することになる。一方、第 2 信号線 1 5 2 は、信号線駆動回路 1 5 との接続が切断されているものの、第 2 信号線 1 5 2 が有する寄生容量により、データドライバ 1 5 0 より T 2 - 1 で供給された基準電圧を保持している ( H o l d ) 。

40

## 【 0 1 0 3 】

このように駆動させることで、基準信号電圧を供給する専用の基準信号線がなくとも、第 1 信号線 1 5 1 及び第 2 信号線 1 5 2 が有する寄生容量を利用し、第 1 信号線 1 5 1 及び第 2 信号線 1 5 2 それぞれに基準電圧を保持させることができる。

50

## 【 0 1 0 4 】

以下、再び、本実施の形態に係る表示装置 1 の駆動方法について説明する。

## 【 0 1 0 5 】

本時刻すなわち図 5 に示した時刻  $t_0$  においては、図 9 A に示されるように、基準電圧がデータドライバ 150 より供給されて、第 1 信号線 151 が有する寄生容量に充電 (SAMP LE) される。そして、時刻  $t_5$  a までの間に、第 1 信号線 151 は、図 9 B に示されるように、その基準電圧を保持 (H o l d) している。一方、時刻  $t_5$  までの間、信号電圧がデータドライバ 150 より第 2 信号線 152 に供給されて、第 2 信号線 152 に属する発光画素が、供給された信号電圧に応じて発光開始することになる。すなわち、時刻  $t_0$  から時刻  $t_1$  の間に、期間  $T_1 - 1$  と一部の期間  $T_1 - 2$  とが含まれている。なお、 $t_5$  と  $t_8$  とは同時刻とすることができる。

10

## 【 0 1 0 6 】

このように、基準電圧が第 1 信号線 151 に保持され、第 1 信号線 151 に保持されている基準信号電圧が、オン状態のスイッチングトランジスタ 115 を介して、駆動トランジスタ 114 のゲートに印加される。

## 【 0 1 0 7 】

次に、時刻  $t_1$  において、走査 / 制御線駆動回路 14 は、第 1 制御線 132 (k) の電圧レベルを LOW から HIGH に変化させ、一定期間経過後、時刻  $t_2$  において LOW に変化させる (図 7 の S 13)。ただし、この時、第 2 制御線 131 (k) の電圧レベルは LOW に維持されているので、駆動トランジスタ 114 のソース電極 S (M) と有機 EL 素子 113 のカソード電極との間の電位差は、有機 EL 素子 113 の閾値電圧に漸近していく。ここで、例えば、基準信号電圧及び電源線 112 電位を 0 V とし、第 1 制御線 132 (k) の HIGH 電圧レベル ( $V_{gH}$ ) と LOW 電圧レベル ( $V_{gL}$ ) の電位差 ( $V_{gH} - V_{gL}$ ) を  $V_{reset}$ 、静電保持容量 118 の静電容量値を  $C_2$ 、有機 EL 素子 113 の静電容量及び閾値電圧を、それぞれ  $C_{EL}$  及び  $V_T(EL)$  とする。このとき、第 1 制御線 132 (k) の電圧レベルを LOW から HIGH にした瞬間、駆動トランジスタ 114 のソース電極 S (M) の電位  $V_S$  は、 $C_2$  と  $C_{EL}$  とで分配される電圧と、 $V_T(EL)$  との和とほぼ等しく、

20

## 【 0 1 0 8 】

【数 1】

30

$$V_S \approx \frac{C_2}{C_2 + C_{EL}} \Delta V_{reset} + V_{T(EL)} \quad (式1)$$

となる。その後、図 6 (b) に示すように、有機 EL 素子 113 の自己放電がなされることにより、上記  $V_S$  は、定常状態では、 $V_T(EL)$  に漸近していく。すなわち、 $V_S = V_T(EL)$  となる。

## 【 0 1 0 9 】

40

その後、時刻  $t_2$  において、走査 / 制御線駆動回路 14 が第 1 制御線 132 (k) の電圧レベルを HIGH から LOW に変化させることにより、 $V_S$  がバイアスされ、

## 【 0 1 1 0 】

【数 2】

$$V_S = V_{T(EL)} - \frac{C_2}{C_1 + C_2 + C_{EL}} \Delta V_{reset} < -V_{th} \quad (式2)$$

となる。ここで、この第 1 制御線 132 (k) の HIGH から LOW への変化により、駆動トランジスタ 114 のゲートソース間電圧である  $V_{gs}$  には、駆動トランジスタ 114

50

の閾値電圧  $V_{t_h}$  よりも大きな電圧が発生するように、 $V_{reset}$  を設定している。つまり、静電保持容量 117 に発生する電位差を駆動トランジスタ 114 の閾値電圧が検出できる電位差としている。このようにして、閾値電圧の検出過程への準備が完了する。

【0111】

次に、時刻  $t_3$  において、走査/制御線駆動回路 14 は、第 2 制御線 131 (k) の電圧レベルを LOW から HIGH に変化させてスイッチングトランジスタ 116 をオン状態とする。これにより、図 6 (c) に示すように、駆動トランジスタ 114 はオン状態となり、ドレイン電流を、静電保持容量 117、118 及びオフ状態となっている有機 EL 素子 113 へと流す。このとき、式 2 で規定された  $V_s$  は、 $-V_{t_h}$  に漸近していく。これにより、静電保持容量 117、118 及び有機 EL 素子 113 には駆動トランジスタ 114 のゲート-ソース間電圧が記録される。なお、このとき、有機 EL 素子 113 のアノード電極電位すなわち駆動トランジスタ 114 のソース電極電位は  $-V_{t_h}$  ( $< 0$ ) よりも低い電位であり、有機 EL 素子 113 のカソード電位は 0 V であるので逆バイアス状態となり、有機 EL 素子 113 は発光せず、静電容量  $C_{EL}$  として機能する。

10

【0112】

そして、時刻  $t_3$  ~ 時刻  $t_4$  の期間、発光画素 11A の回路は定常状態となり、静電保持容量 117 及び 118 には駆動トランジスタ 114 の閾値電圧  $V_{t_h}$  に相当する電圧が保持される。なお、閾値電圧  $V_{t_h}$  に相当する電圧を静電保持容量 117 及び 118 に保持させるために流れる電流は微少であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 117 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

20

【0113】

次に、時刻  $t_4$  において、走査/制御線駆動回路 14 は、第 2 制御線 131 (k) の電圧レベルを HIGH から LOW に変化させる (図 7 の S14)。これにより、駆動トランジスタ 114 への電流供給が停止される。このとき、k 番目の駆動ブロックの全発光画素 11A の有する静電保持容量 117 及び 118 には駆動トランジスタ 114 の閾値電圧  $V_{t_h}$  に相当する電圧が同時に保持される。

【0114】

次に、時刻  $t_5$  において、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオフ状態とする。

30

【0115】

以上、時刻  $t_0$  ~ 時刻  $t_5$  の期間では、駆動トランジスタ 114 の閾値電圧  $V_{t_h}$  の補正が、k 番目の駆動ブロック内において同時に実行されている。なお、時刻  $t_0$  ~ 時刻  $t_5$  の期間は、上述した図 8 における、期間 T1-1 と期間 T1-2 とを合算した期間に相当する。

【0116】

次に、時刻  $t_5$  ~ 時刻  $t_7$  の期間において、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを、順次、LOW HIGH LOW に変化させ、スイッチングトランジスタ 115 を、発光画素行ごとに順次オン状態とする。

40

【0117】

また、この時、第 1 信号線 151 の電圧レベルは、基準電圧から信号電圧  $V_{data}$  に変化される (図 7 の S15)。

【0118】

具体的には、第 1 信号線 151 は、時刻  $t_5$  以前において、図 9 A 及び図 9 B で説明したように、信号線駆動回路 15 との接続が切断されているものの、第 1 信号線 151 が有する寄生容量により、基準電圧を保持している。その後、第 1 信号線 151 は、一定期間経過後 (すなわち、時刻  $t_5$  から一定期間経過後)、セレクト回路 16 を介して信号線駆動回路 15 と接続され、信号電圧  $V_{data}$  が与えられる。なお、信号線駆動回路 15 は、時刻  $t_5$  において、セレクト回路 16 を介して、図 9 C に示すように、一定期間、基準

50

電圧を第2信号線152に出力しており、その後、セクタ回路16を介して、第1信号線151に信号電圧 $V_{data}$ を出力する。

【0119】

これにより、図6(d)に示すように、駆動トランジスタ114のゲートに信号電圧 $V_{data}$ が印加される。このとき、静電保持容量117及び118の接点Mにおける電位 $V_M (= V_s)$ は、信号電圧の変化量 $V_{data}$ が $C_1$ 及び $C_2$ で分配された電圧と、時刻 $t_4$ における $V_s$ 電位である $-V_{th}$ との和となり、

【0120】

【数3】

$$V_M = \frac{C_1}{C_1 + C_2 + C_{EL}} \Delta V_{data} - V_{th} = \frac{C_1}{C_1 + C_2 + C_{EL}} V_{data} - V_{th} \quad (\text{式3})$$

10

となる。

【0121】

つまり、静電保持容量117に保持される電位差 $V_{gs}$ は、 $V_{data}$ と上記式3で規定された電位との差分であり、

【0122】

【数4】

$$V_{gs} = \frac{C_2 + C_{EL}}{C_1 + C_2 + C_{EL}} V_{data} + V_{th} \quad (\text{式4})$$

20

となる。

【0123】

つまり、静電保持容量117には、この信号電圧 $V_{data}$ に応じた電圧と、先に保持された駆動トランジスタ114の閾値電圧 $V_{th}$ に相当する電圧とが加算された加算電圧が書き込まれる。

【0124】

以上、時刻 $t_5$ ～時刻 $t_7$ の間では、補正された信号電圧の書き込みが、 $k$ 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

30

【0125】

次に、時刻 $t_7$ 以降において、第2制御線131( $k$ )の電圧レベルをLOWからHIGHに変化させる(図7のS16)。これにより、上記加算電圧に応じた駆動電流が有機EL素子113に流れる。つまり、 $k$ 番目の駆動ブロック内の全発光画素11Aでは、同時に発光が開始される。

【0126】

以上、時刻 $t_7$ 以降の間では、有機EL素子113の発光が、 $k$ 番目の駆動ブロック内において同時に実行されている。ここで、駆動トランジスタ114を流れるドレイン電流 $i_d$ は、式4で規定された $V_{gs}$ から、駆動トランジスタ114の閾値電圧 $V_{th}$ を減じた電圧値を用いて、

40

【0127】

【数5】

$$i_d = \frac{\beta}{2} \left( \frac{C_2 + C_{EL}}{C_1 + C_2 + C_{EL}} V_{data} \right) \quad (\text{式5})$$

と表される。ここで、 $\beta$ は移動度に関する特性パラメータである。式5から、有機EL素子113を発光させるためのドレイン電流 $i_d$ は、駆動トランジスタ114の閾値電圧 $V$

50

$t_{th}$  に依存しない電流となっていることが解る。

【0128】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ114の閾値電圧 $V_{th}$ 補償が同時に実行される。また、有機EL素子113の発光も駆動ブロック内で同時に実行される。これにより、駆動トランジスタ114の駆動電流のオンオフの制御を駆動ブロック内で同期でき、また、当該駆動電流のソース以降の電流経路の制御を駆動ブロック内で同期できる。よって、第1制御線132及び第2制御線131を駆動ブロック内で共通化できる。

【0129】

また、走査線133(k, 1)～133(k, m)においては、走査/制御線駆動回路14とは個別に接続されているが、閾値電圧補償期間においては、駆動パルスのタイミングが同一である。よって、走査/制御線駆動回路14は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。さらに、セレクト回路16を備えることによりデータドライバ150の数を低減できるので制御回路20の出力数の削減が可能となる。

【0130】

一方、上述した、駆動回路の出力負荷の小さい駆動方法は、特許文献1に記載された従来の表示装置500では実現困難である。図32に記載された画素回路図においても、駆動トランジスタ512の閾値電圧 $V_{th}$ を補償しているが、当該閾値電圧に相当する電圧が保持容量513に保持された後、駆動トランジスタ512のソース電位は変動し確定しない。このため、表示装置500では、閾値電圧 $V_{th}$ を保持した後、続いて信号電圧が加算された加算電圧の書き込みを即座に実行しなければならない。また、上記加算電圧もソース電位の変動の影響を受けるため、続いて発光動作を即座に実行しなければならない。つまり、従来の表示装置500では、発光画素行ごとに、上述した閾値電圧補償、信号電圧書き込み及び発光を実行しなければならない、図32に記載された発光画素501では駆動ブロック化はできない。

【0131】

これに対し、本発明の表示装置1の有する発光画素11A及び11Bは、前述したように、駆動トランジスタ114のドレインにスイッチングトランジスタ116が付加されている。これにより、駆動トランジスタ114のゲート及びソース電位が安定化されるので、閾値電圧補正による電圧の書き込みから信号電圧の加算書き込みまでの時間、又は、当該加算書き込みから発光までの時間を、発光画素行ごとに任意に設定することが可能となる。この回路構成により、駆動ブロック化が可能となり、同一駆動ブロック内での閾値電圧補正期間及び発光期間を一致させることが可能となる。

【0132】

ここで、特許文献1に記載された、2本の信号線を用いた従来の表示装置と、本発明の駆動ブロック化された表示装置とで、閾値電圧検出期間により規定される発光デューティの比較を行う。

【0133】

図10は、走査線及び信号線の波形特性を説明する図である。同図において、各画素行の1水平期間 $t_{1H}$ における閾値電圧 $V_{th}$ の検出期間は、走査線がオン状態の期間である $PW_S$ に相当する。また、信号線においては、1水平期間 $t_{1H}$ は、信号電圧を供給する期間である $PW_D$ と、基準電圧を供給する期間である $t_D$ とを含む。また、 $PW_S$ の立ち上がり時間及び立ち下がり時間を、それぞれ、 $t_{R(S)}$ 及び $t_{F(S)}$ とし、 $PW_D$ の立ち上がり時間及び立ち下がり時間を、それぞれ、 $t_{R(D)}$ 及び $t_{F(D)}$ とすると、1水平期間 $t_{1H}$ は以下のように表される。

【0134】

【数6】

$$t_{1H} = t_D + PW_D + t_{R(D)} + t_{F(D)} \quad (\text{式6})$$

10

20

30

40

50

さらに、 $PW_D = t_D$  と仮定すると、

【数 7】

$$t_D + PW_D + t_{R(D)} + t_{F(D)} = 2t_D + t_{R(D)} + t_{F(D)} \quad (\text{式 7})$$

となる。式 6 及び式 7 より、

【0135】

【数 8】

$$t_D = (t_{1H} - t_{R(D)} - t_{F(D)}) / 2 \quad (\text{式 8})$$

となる。

10

【0136】

また、 $V_{t_h}$  検出期間は基準電圧発生期間内に開始し終了しなければならないので、 $V_{t_h}$  検出時間を最大で確保したとして、

【0137】

【数 9】

$$t_D = PW_S + t_{R(S)} + t_{F(S)} \quad (\text{式 9})$$

となり、式 8 及び式 9 より、

【0138】

【数 10】

20

$$PW_S = (t_{1H} - t_{R(D)} - t_{F(D)} - 2t_{R(S)} - 2t_{F(S)}) / 2 \quad (\text{式 10})$$

が得られる。

【0139】

上記式 10 に対して、例として、走査線本数が 1080 本 (+ ブランキング 30 本) の垂直解像度を有し、120 Hz 駆動するパネルの発光デューティを比較する。

【0140】

従来の表示装置 500 において、2 本の信号線を有する場合の 1 水平期間  $t_{1H}$  は、1 本の信号線を有する場合の 2 倍であるから、

$$t_{1H} = \{ 1 \text{ 秒} / (120 \text{ Hz} \times 1110 \text{ 本}) \} \times 2 = 7.5 \mu\text{S} \times 2 = 15 \mu\text{S} \quad 30$$

となる。ここで、 $t_{R(D)} = t_{F(D)} = 2 \mu\text{S}$ 、 $t_{R(S)} = t_{F(S)} = 1.5 \mu\text{S}$  とする。これらを式 10 に代入すると、 $V_{t_h}$  の検出期間である  $PW_S$  は、 $2.5 \mu\text{S}$  となる。

【0141】

ここで、十分な精度を有するための  $V_{t_h}$  検出期間が  $1000 \mu\text{S}$  必要であるとすると、当該  $V_{t_h}$  検出に必要な水平期間は、 $1000 \mu\text{S} / 2.5 \mu\text{S} = 400$  水平期間、が少なくとも非発光期間として必要となる。よって、2 本の信号線を用いた従来の表示装置 500 の発光デューティは、 $(1110 \text{ 水平期間} - 400 \text{ 水平期間}) / 1110 \text{ 水平期間} = 64\%$  以下となる。

【0142】

40

次に、本発明の駆動ブロック化された表示装置の発光デューティを求める。上記条件と同様に、十分な精度を有するための  $V_{t_h}$  検出期間が  $1000 \mu\text{S}$  必要であるとすると、ブロック駆動の場合には、図 6 A に記載された期間 A (閾値検出準備期間 + 閾値検出期間) が上記  $1000 \mu\text{S}$  に相当する。この場合、1 フレームの非発光期間は、上記期間 A と書き込み期間とを含むことから、少なくとも  $1000 \mu\text{S} \times 2 = 2000 \mu\text{S}$  となる。よって、本発明の駆動ブロック化された表示装置 1 の発光デューティは、 $(1 \text{ フレーム時間} - 2000 \mu\text{S}) / 1 \text{ フレーム時間}$  であり、1 フレーム時間として  $(1 \text{ 秒} / 120 \text{ Hz})$  を代入して、 $76\%$  以下となる。

【0143】

以上の比較結果より、2 本の信号線を用いた従来の表示装置に対して、本発明のように

50

ブロック駆動を組み合わせることにより、同じ閾値検出期間を設定したとしても発光デューティをより長く確保することができる。よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0144】

逆に言えば、2本の信号線を用いた従来の表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

【0145】

再び、本実施の形態に係る表示装置1の駆動方法について説明する。

【0146】

時刻 $t_8$ では、 $(k+1)$ 番目の駆動ブロックにおける駆動トランジスタ114の閾値電圧補正が開始される。

【0147】

具体的には、まず、時刻 $t_8$ の直前では、走査線133 $(k+1, 1) \sim 133(k+1, m)$ の電圧レベルは全てLOWであり、第1制御線132 $(k+1)$ 及び第2制御線131 $(k+1)$ もLOWである。第2制御線131 $(k+1)$ をLOWとした瞬間から、スイッチングトランジスタ116はオフ状態となる。これにより、有機EL素子113は消光し、 $(k+1)$ ブロックにおける発光画素の一斉発光が終了する。同時に、 $(k+1)$ ブロックにおける非発光期間が開始する。

【0148】

そして、時刻 $t_5$ とほぼ同時期である時刻 $t_8$ において、走査/制御線駆動回路14は、走査線133 $(k+1, 1) \sim 133(k+1, m)$ の電圧レベルを同時にLOWからHIGHに変化させ、スイッチングトランジスタ115をオン状態とする。ただし、この時、既に第2制御線131 $(k+1)$ はLOWとなってスイッチングトランジスタ116はオフとなっている(図7のS21)。また、この時、第2信号線152の電圧レベルは、信号電圧から基準電圧に変化される(図7のS22)。

【0149】

具体的には、この第2信号線152は、時刻 $t_8$ 以前において、信号線駆動回路15より、セクタ回路16を介して、信号電圧が与えられており、時刻 $t_8$ から一定期間、セクタ回路16を介して、基準電圧が与えられる。その後、第2信号線152は、セクタ回路16より、信号線駆動回路15との接続が切断されるものの、第2信号線152が有する寄生容量により、基準電圧を保持する。そのため、第2信号線152は、その後、セクタ回路16を介して信号線駆動回路15と接続され、信号電圧が与えられるまで、その基準電圧を保持することになる。なお、信号線駆動回路15は、時刻 $t_8$ において、セクタ回路16を介して、一定期間、基準電圧を第2信号線152に出力した後、セクタ回路16を介して、第2信号線152に信号電圧を出力する。

【0150】

つまり、本時刻においては、図9Cに示されるように、基準電圧がデータドライバ150より供給されて、第2信号線152が有する寄生容量に充電(SAMPLE)する。そして、時刻 $t_9$ までの間、第2信号線152は、図9Dに示されるように、その基準電圧を保持(Hold)している。一方、時刻 $t_9$ までの間、信号電圧がデータドライバ150より第1信号線151に供給されて、第1信号線151に属する発光画素が、供給された信号電圧に応じて発光開始することになる。

【0151】

このように、基準電圧が第2信号線152に保持され、第2信号線152に保持されている基準信号電圧が、オン状態のスイッチングトランジスタ115を介して、駆動トランジスタ114のゲートに印加される。

【0152】

次に、時刻 $t_9$ において、走査/制御線駆動回路14は、第1制御線132 $(k+1)$ の電圧レベルをLOWからHIGHに変化させ、一定期間経った後、時刻 $t_{10}$ において

10

20

30

40

50

LOWに変化させる(図7のS23)。なお、この時、第2制御線131( $k+1$ )の電圧レベルはLOWに維持されているので、駆動トランジスタ114のソース電極S(M)と有機EL素子113のカソード電極との間の電位差は、有機EL素子113の閾値電圧に漸近していく。これにより、電流制御部100の静電保持容量117に蓄えられる電位差を、駆動トランジスタ114の閾値電圧が検出できる電位差とする。このようにして、閾値電圧の検出過程への準備が完了する。

【0153】

次に、時刻 $t_{11}$ において、走査/制御線駆動回路14は、第2制御線131( $k+1$ )の電圧レベルをLOWからHIGHに変化させてスイッチングトランジスタ116をオン状態とする。これにより、駆動トランジスタ114はオン状態となり、ドレイン電流を、静電保持容量117、118及びオフ状態となっている有機EL素子へと流す。このとき、静電保持容量117、118及び有機EL素子113には駆動トランジスタ114のゲート-ソース間電圧が記録される。なお、このとき、有機EL素子113のアノード電極電位すなわち駆動トランジスタのソース電極電位は $-V_{th}$ ( $<0$ )よりも低い電位であり、有機EL素子113のカソード電位は0Vであるので逆バイアス状態となり、有機EL素子113は発光せず、静電容量 $C_{EL}$ として機能する。

【0154】

そして、時刻 $t_{11}$ ~時刻 $t_{12}$ の期間、発光画素11Bの回路は定常状態となり、静電保持容量117及び118には駆動トランジスタ114の閾値電圧 $V_{th}$ に相当する電圧が保持される。なお、この期間が長いほど、静電保持容量117及び118に保持される閾値電圧 $V_{th}$ の検出精度が向上する。よって、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

【0155】

次に、時刻 $t_{12}$ において、走査/制御線駆動回路14は、走査線133( $k+1, 1$ )~133( $k+1, m$ )の電圧レベルを同時にHIGHからLOWに変化させ、スイッチングトランジスタ115をオフ状態とする(図7のS24)。これにより、駆動トランジスタ114はオフ状態となる。このとき、( $k+1$ )番目の駆動ブロックの全発光画素11Bの有する静電保持容量117には駆動トランジスタ114の閾値電圧 $V_{th}$ に相当する電圧が同時に保持される。

【0156】

次に、時刻 $t_{13}$ において、走査/制御線駆動回路14は、第2制御線131( $k+1$ )の電圧レベルをHIGHからLOWに変化させる。

【0157】

以上、時刻 $t_{11}$ ~時刻 $t_{12}$ の期間では、駆動トランジスタ114の閾値電圧 $V_{th}$ の補正が、( $k+1$ )番目の駆動ブロック内において同時に実行されている。

【0158】

次に、時刻 $t_{13}$ 以降において、走査/制御線駆動回路14は、走査線133( $k+1, 1$ )~133( $k+1, m$ )の電圧レベルを、順次、LOW HIGH LOWに変化させ、スイッチングトランジスタ115を、発光画素行ごとに順次オン状態とすることを開始する。また、この時、第2信号線152は、基準電圧から信号電圧に変化される(図7のS25)。

【0159】

具体的には、第2信号線152は、時刻 $t_{13}$ 以前において、図9C及び図9Dで説明したように、信号線駆動回路15との接続が切断されているものの、第2信号線152が有する寄生容量により、基準電圧を保持している。その後、第2信号線152は、一定期間経過後(すなわち、時刻 $t_{13}$ から一定期間経過後)、セレクト回路16を介して信号線駆動回路15と接続され、信号電圧 $V_{data}$ が与えられる。なお、信号線駆動回路15は、時刻 $t_{13}$ において、セレクト回路16を介して、図9Aに示すように、一定期間、基準電圧を第1信号線151に出力しており、その後、セレクト回路16を介して、第2信号線152に信号電圧 $V_{data}$ を出力する。

10

20

30

40

50

## 【 0 1 6 0 】

これにより、駆動トランジスタ 1 1 4 のゲートに信号電圧が印加される。このとき、静電保持容量 1 1 7 には、この信号電圧  $V_{data}$  に応じた電圧と、先に保持された駆動トランジスタ 1 1 4 の閾値電圧  $V_{th}$  に相当する電圧とが加算された加算電圧が書き込まれる。

## 【 0 1 6 1 】

以上、時刻  $t_{13}$  以降の期間では、補正された信号電圧の書き込みが、 $(k+1)$  番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

## 【 0 1 6 2 】

次に、時刻  $t_{15}$  以降において、第 2 制御線 1 3 1  $(k+1)$  の電圧レベルを LOW から HIGH に変化させる (図 7 の S 2 6)。これにより、上記加算電圧に応じた駆動電流が有機 EL 素子 1 1 3 に流れる。つまり、 $(k+1)$  番目の駆動ブロック内の全発光画素 1 1 B では、一斉に発光が開始される。

## 【 0 1 6 3 】

以上、時刻  $t_{15}$  以降の期間では、有機 EL 素子 1 1 3 の発光が、 $(k+1)$  番目の駆動ブロック内において同時に実行されている。

## 【 0 1 6 4 】

以上の動作が、表示パネル 1 0 内の  $(k+2)$  番目の駆動ブロック以降においても順次実行される。

## 【 0 1 6 5 】

以上の動作が、表示パネル 1 0 内の  $(k+2)$  番目の駆動ブロック以降においても順次実行される。

## 【 0 1 6 6 】

図 1 1 は、本発明の実施の形態 1 に係る駆動方法により発光した駆動ブロックの状態遷移図である。同図には、ある発光画素列における、駆動ブロックごとの発光期間及び非発光期間が表されている。縦方向は複数の駆動ブロックを、また、横軸は経過時間を示す。ここで、非発光期間とは、上述した閾値電圧補正期間及び信号電圧の書き込み期間を含む。

## 【 0 1 6 7 】

本発明の実施の形態 1 に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロックで一斉に設定される。よって、駆動ブロック間では、行走査方向に対して発光期間が階段状に現れる。

## 【 0 1 6 8 】

以上、スイッチングトランジスタ 1 1 6 及び静電保持容量 1 1 8 が配置された発光画素回路、信号線駆動回路 1 5 と信号線群 1 2 との間に配置されたセクタ回路、駆動ブロック化された各発光画素及びセクタ回路への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ 1 1 4 の閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。また、さらに、発光期間及びそのタイミングも同一駆動ブロック内で一致させることが可能となる。さらにセクタ回路により、信号線駆動回路 1 5 からの出力本数を低減できる。よって、各スイッチ素子の導通及び非導通を制御する信号や電流パスを制御する信号を出力する走査/制御線駆動回路 1 4 や信号電圧を制御する信号線駆動回路 1 5 の負荷が低減するとともに駆動回路のコスト低減、ならびにパネル実装歩留まりの向上が図られる。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された 2 本の信号線により、駆動トランジスタ 1 1 4 の閾値電圧補正期間を、全発光画素を書き換える時間である 1 フレーム期間  $T_f$  のなかで大きくとることができる。これは、 $k$  番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$  番目の駆動ブロックにおいて閾値電圧補正期間が設けられることによるものである。よって、閾値電圧補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されても走査/制御線駆動回路 1 4 の出力数をさほど増大させることなく、かつ、発光デューティを減少させることな

10

20

30

40

50

く、1フレーム期間に対する相対的な閾値電圧補正期間を長く設定することが可能となる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0169】

例えば、表示パネル10をN個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 $Tf/N$ となる。これに対し、発光画素行ごとに異なるタイミングで閾値電圧補正期間を設定する場合、発光画素行がM行( $M \gg N$ )であるとする、最大 $Tf/M$ となる。また、特許文献1に記載されたような信号線を発光画素列ごとに2本配置した場合でも、最大 $2Tf/M$ である。

【0170】

また、駆動ブロック化により、駆動トランジスタ114のドレインへの電圧印加のオンオフを制御する第2制御線、また、当該駆動電流のソース以降の電流経路を制御する第1制御線を駆動ブロック内で共通化できる。よって、走査/制御線駆動回路14から出力される制御線の本数が削減される。よって、駆動回路の負荷が低減する。

【0171】

例えば、特許文献1に記載された従来の表示装置500では、発光画素行あたり2本の制御線(給電線及び走査線)が配置されている。表示装置500がM行の発光画素行から構成されているとすると、制御線は合計 $2M$ 本となる。

【0172】

これに対し、本発明の実施の形態1に係る表示装置1では、走査/制御線駆動回路14から、発光画素行あたり1本の走査線、駆動ブロックごとに2本の制御線が出力される。よって、表示装置1がM行の発光画素行から構成されているとすると、制御線(走査線を含む)の合計は $(M+2N)$ 本となる。

【0173】

大面積化がなされ、発光画素の行数が大きい場合、 $M \gg N$ が実現されるので、この場合には、本発明に係る表示装置1の制御線本数は、従来の表示装置500の制御線本数に比べ、約 $1/2$ に削減することができる。

【0174】

(実施の形態2)

次に、本発明の実施の形態2について、図面を参照しながら説明する。

【0175】

図12は、本発明の実施の形態2に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号(ブロック番号、当該ブロックにおける行番号)”又は“符号(ブロック番号)”で表している。

【0176】

同図に記載された表示装置は、実施の形態1に係る表示装置1と比較して、各発光画素の回路構成は同様であるが、第2制御線131が駆動ブロックごとに共通化されておらず、発光画素行ごとに走査/制御線駆動回路14(不図示)に接続されている点のみが異なる。以下、実施の形態2に係る表示装置1と同じ点は説明を省略し、異なる点のみ説明する。

【0177】

図12の上段に記載されたk番目の駆動ブロックでは、第2制御線 $131(k, 1) \sim 131(k, m)$ が当該駆動ブロック内の発光画素行ごとに配置されており、各発光画素11Aの有するスイッチングトランジスタ116のゲートに個別に接続されている。また、第1制御線 $132(k)$ が当該駆動ブロック内の全発光画素11Aの有する静電保持容量118に共通して接続されている。一方、走査線 $133(k, 1) \sim 走査線133(k, m)$ は、それぞれ、発光画素行ごとに個別に接続されている。また、図12の下段に記載された $(k+1)$ 番目の駆動ブロックでも、k番目の駆動ブロックと同様の接続がなさ

10

20

30

40

50

れている。ただし、 $k$  番目の駆動ブロックに接続された第 1 制御線 132 ( $k$ ) と ( $k + 1$ ) 番目の駆動ブロックに接続された第 1 制御線 132 ( $k + 1$ ) とは、異なる制御線であり、走査 / 制御線駆動回路 14 から個別の制御信号が出力される。

【0178】

また、 $k$  番目の駆動ブロックでは、第 1 信号線 151 が当該駆動ブロック内の全発光画素 11A の有するスイッチングトランジスタ 115 のソース及びドレインの他方に接続されている。一方、( $k + 1$ ) 番目の駆動ブロックでは、第 2 信号線 152 が当該駆動ブロック内の全発光画素 11B の有するスイッチングトランジスタ 115 のソース及びドレインの他方に接続されている。

【0179】

上述したように、駆動ブロック化を行うことにより、 $V_{th}$  検出回路を制御する第 1 制御線 132 の本数が削減される。よって、これらの制御線に駆動信号を出力する走査 / 制御線駆動回路 14 の負荷が低減する。

【0180】

また、本実施の形態においても、図 1 と同様に、セレクト回路 16 を介して、信号線駆動回路 15 の出力線と第 1 信号線 151 及び第 2 信号線 152 が接続されている。

【0181】

次に、本実施の形態に係る表示装置の駆動方法について図 13 を用いて説明する。

【0182】

図 13 は、本発明の実施の形態 2 に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、 $k$  番目の駆動ブロックの走査線 133 ( $k, 1$ )、133 ( $k, 2$ ) 及び 133 ( $k, m$ )、第 1 信号線 151、第 2 制御線 131 ( $k, 1$ ) 及び 131 ( $k, m$ )、及び第 1 制御線 132 ( $k$ ) に発生する電圧の波形図が示されている。また、これらに続き、( $k + 1$ ) 番目の駆動ブロックの走査線 133 ( $k + 1, 1$ )、133 ( $k + 1, 2$ ) 及び 133 ( $k + 1, m$ )、第 2 信号線 152、第 2 制御線 131 ( $k + 1, 1$ ) 及び 131 ( $k + 1, m$ )、及び第 1 制御線 132 ( $k + 1$ ) に発生する電圧の波形図が示されている。

【0183】

本実施の形態に係る駆動方法では、図 5 に記載された実施の形態 1 に係る駆動方法と比較して、駆動ブロック内での発光期間を一致させず、発光画素行ごとに信号電圧の書き込み期間と発光期間を設定している点のみが異なる。

【0184】

まず、時刻  $t_{20}$  の直前では、走査線 133 ( $k, 1$ ) ~ 133 ( $k, m$ ) の電圧レベルは全て LOW であり、第 1 制御線 132 ( $k$ ) 及び第 2 制御線 131 ( $k, 1$ ) ~ 131 ( $k, m$ ) も LOW である。図 6 (a) のように、第 2 制御線 131 ( $k, 1$ ) ~ 131 ( $k, m$ ) を LOW とした瞬間から、スイッチングトランジスタ 116 はオフ状態となる。これにより、有機 EL 素子 113 は消光し、 $k$  ブロックにおける発光画素の画素行ごとの発光が終了する。同時に、 $k$  ブロックにおける非発光期間が開始する。

【0185】

次に、時刻  $t_{20}$  において、走査 / 制御線駆動回路 14 は、走査線 133 ( $k, 1$ ) ~ 133 ( $k, m$ ) の電圧レベルを同時に LOW から HIGH に変化させ、スイッチングトランジスタ 115 をオン状態とする。ただし、この時、既に第 2 制御線 131 ( $k, 1$ ) ~ 131 ( $k, m$ ) は LOW となってスイッチングトランジスタ 116 はオフ状態となっている (図 7 の S11)。また、この時、第 1 信号線 151 の電圧レベルは、信号電圧から基準電圧に変化させる (図 7 の S12)。

【0186】

ここで、本実施の形態に係るセレクト回路を駆動するための動作タイミングチャートは、実施の形態 1 で説明した図 8 の動作タイミングチャートと同様である。すなわち、図 13 に示した時刻  $t_{20}$  においては、図 9 A に示されるように、基準電圧がデータドライバ 150 より供給されて、第 1 信号線 151 が有する寄生容量に充電 (SAMPLE) する

10

20

30

40

50

。そして、時刻  $t_{25a}$  までの間、第 1 信号線 151 は、図 9 B に示されるように、その基準電圧を保持 (Hold) している。一方、時刻  $t_{25}$  までの間、信号電圧がデータドライバ 150 より第 2 信号線 152 に供給されて、第 2 信号線 152 に属する発光画素が、供給された信号電圧に応じて発光開始することになる。つまり、時刻  $t_{20}$  から時刻  $t_{21}$  の間に、期間 T1-1 と一部の期間 T1-2 とが含まれている。なお、 $t_{25}$  と  $t_{28}$  とは同時刻とすることができる。

【0187】

このように、第 1 信号線 151 に保持され、第 1 信号線 151 に保持されている基準信号電圧が、オン状態のスイッチングトランジスタ 115 を介して、基準電圧が駆動トランジスタ 114 のゲートに印加される。

10

【0188】

次に、時刻  $t_{21}$  において、走査/制御線駆動回路 14 は、第 1 制御線 132 (k) の電圧レベルを LOW から HIGH に変化させ、一定期間経過後、時刻  $t_{22}$  において LOW に変化させる (図 7 の S13)。ただし、この時、第 2 制御線 131 (k, 1) ~ 131 (k, m) の電圧レベルは LOW に維持されているので、駆動トランジスタ 114 のソース電極 S (M) と有機 EL 素子 113 のカソード電極との間の電位差は、有機 EL 素子 113 の閾値電圧に漸近していく。時刻  $t_{22}$  において、駆動トランジスタ 114 のソース電極 S (M) の電位  $V_s$  は、実施の形態 1 で記載した式 2 で規定される。これにより、電流制御部 100 の静電保持容量 117 に発生する電位差を、駆動トランジスタの閾値電圧が検出できる電位差としている。このようにして、閾値電圧の検出過程への準備が完了する。

20

【0189】

次に、時刻  $t_{23}$  において、走査/制御線駆動回路 14 は、第 2 制御線 131 (k, 1) ~ 131 (k, m) の電圧レベルを一斉に LOW から HIGH に変化させてスイッチングトランジスタ 116 をオン状態とする。これにより、駆動トランジスタ 114 はオン状態となり、ドレイン電流を、静電保持容量 117、118 及びオフ状態となっている有機 EL 素子 113 へと流す。このとき、式 2 で規定された  $V_s$  は、 $-V_{th}$  に漸近していく。これにより、静電保持容量 117、118 及び有機 EL 素子 113 には駆動トランジスタ 114 のゲート-ソース間電圧が記録される。なお、有機 EL 素子 113 のアノード電極電位すなわち駆動トランジスタのソース電極電位は  $-V_{th}$  ( $< 0$ ) よりも低い電位であり、有機 EL 素子 113 のカソード電位は 0 V であるので逆バイアス状態となり、有機 EL 素子 113 は発光せず、静電容量  $C_{EL}$  として機能する。

30

【0190】

そして、時刻  $t_{23}$  ~ 時刻  $t_{24}$  の期間、発光画素 11A の回路は定常状態となり、静電保持容量 117 及び 118 には駆動トランジスタ 114 の閾値電圧  $V_{th}$  に相当する電圧が保持される。なお、閾値電圧  $V_{th}$  に相当する電圧を静電保持容量 117 及び 118 に保持させるために流れる電流は微少であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 117 及び 118 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

【0191】

40

次に、時刻  $t_{24}$  において、走査/制御線駆動回路 14 は、第 2 制御線 131 (k, 1) ~ 131 (k, m) の電圧レベルを一斉に HIGH から LOW に変化させる (図 7 の S14)。これにより、駆動トランジスタ 114 への電流供給が停止される。このとき、k 番目の駆動ブロックの全発光画素 11A の有する静電保持容量 117 及び 118 には駆動トランジスタ 114 の閾値電圧  $V_{th}$  に相当する電圧が同時に保持される。

【0192】

次に、時刻  $t_{25}$  において、走査/制御線駆動回路 14 は、走査線 133 (k, 1) ~ 133 (k, m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオフ状態とする。

【0193】

50

以上、時刻  $t_{20}$  ~ 時刻  $t_{25}$  の期間では、駆動トランジスタ 114 の閾値電圧  $V_{th}$  の補正が、 $k$  番目の駆動ブロック内において同時に実行されている。なお、時刻  $t_0$  ~ 時刻  $t_5$  の期間は、上述した図 8 における、期間  $T_{1-1}$  と期間  $T_{1-2}$  とを合算した期間に相当する。

【0194】

次に、時刻  $t_{25}$  以降では、走査/制御線駆動回路 14 は、走査線 133 ( $k, 1$ ) ~ 133 ( $k, m$ ) の電圧レベルを、順次、LOW HIGH LOW に変化させ、スイッチングトランジスタ 115 を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 15 は、セクタ回路 16 を介して、第 1 信号線 151 に信号電圧  $V_{data}$  を供給する。つまり、第 1 信号線 151 の電圧レベルは、基準電圧から信号電圧に変化される (図 7 の  $S_{15}$ )。 10

【0195】

具体的には、第 1 信号線 151 は、時刻  $t_{25}$  以前において、図 9A 及び図 9B で説明したように、信号線駆動回路 15 との接続が切断されているものの、第 1 信号線 151 が有する寄生容量により、基準電圧を保持している。その後、第 1 信号線 151 は、一定期間経過後 (すなわち、時刻  $t_{25}$  から一定期間経過後)、セクタ回路 16 を介して信号線駆動回路 15 と接続され、信号電圧  $V_{data}$  が与えられる。なお、信号線駆動回路 15 は、時刻  $t_{25}$  において、セクタ回路 16 を介して、図 9C に示すように、一定期間、基準電圧を第 2 信号線 152 に出力しており、その後、セクタ回路 16 を介して、第 1 信号線 151 に信号電圧  $V_{data}$  を出力する。 20

【0196】

これにより、駆動トランジスタ 114 のゲートに信号電圧  $V_{data}$  が印加される。このとき、静電保持容量 117 に保持される電位差  $V_{gs}$  は、 $V_{data}$  と実施の形態 1 で記載した式 3 で規定された電位との差分となり、式 4 の関係で規定される。つまり、静電保持容量 117 には、この信号電圧  $V_{data}$  に応じた電圧と、先に保持された駆動トランジスタ 114 の閾値電圧  $V_{th}$  に相当する電圧とが加算された加算電圧が書き込まれる。

【0197】

また、走査/制御線駆動回路 14 は、走査線 133 ( $k, 1$ ) の電圧レベルが上記 LOW HIGH LOW と変化した後、つづいて第 2 制御線 131 ( $k, 1$ ) の電圧レベルを LOW から HIGH へ変化させる。この動作を、順次、発光画素行ごとに繰り返す。 30

【0198】

以上、時刻  $t_{25}$  以降では、補正された信号電圧の書き込み及び発光が、 $k$  番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0199】

以上、時刻  $t_{26}$  以降の期間では、有機 EL 素子 113 の発光が、 $k$  番目の駆動ブロック内において発光画素行ごとに実行されている。ここで、駆動トランジスタ 114 を流れるドレイン電流  $i_d$  は、実施の形態 1 で記載した式 4 で規定された  $V_{gs}$  から、駆動トランジスタ 114 の閾値電圧  $V_{th}$  を減じた電圧値を用いて、式 5 で規定される。式 5 から、有機 EL 素子 113 を発光させるためのドレイン電流  $i_d$  は、駆動トランジスタ 114 の閾値電圧  $V_{th}$  に依存しない電流となっていることがわかる。 40

【0200】

以上、上述したように、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ 114 の閾値電圧  $V_{th}$  補償が同時に実行される。これにより、当該駆動電流のソース以降の電流経路の制御を駆動ブロック内で同期できる。よって、第 1 制御線 132 を駆動ブロック内で共通化できる。

【0201】

また、走査線 133 ( $k, 1$ ) ~ 133 ( $k, m$ ) においては、走査/制御線駆動回路 14 とは個別に接続されているが、閾値電圧補償期間においては、駆動パルスのタイミングが同一である。よって、走査/制御線駆動回路 14 は、出力するパルス信号の高周波化 50

を抑制することができるので、駆動回路の出力負荷を低減できる。

【0202】

本実施の形態においても、実施の形態1と同様の観点から、特許文献1に記載された、2本の信号線を用いた従来の表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

【0203】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0204】

また、2本の信号線を用いた従来の表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

【0205】

なお、時刻 $t_{28}$ ～時刻 $t_{35}$ における $(k+1)$ 番目の駆動ブロックの動作は、上述した $k$ 番目の駆動ブロックの動作と同様のため説明を省略する。

【0206】

図14は、本発明の実施の形態2に係る駆動方法により発光した駆動ブロックの状態遷移図である。同図には、ある発光画素列における、駆動ブロックごとの発光期間及び非発光期間が表されている。縦方向は複数の駆動ブロックを、また、横軸は経過時間を示す。ここで、非発光期間とは、上述した閾値電圧補正期間を含む。

【0207】

本発明の実施の形態2に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロック内でも発光画素行ごとに順次設定される。よって、駆動ブロック内においても、行走査方向に対して発光期間が連続的に現れる。

【0208】

以上、実施の形態2においても、スイッチングトランジスタ116及び静電保持容量118が配置された発光画素回路、信号線駆動回路15と信号線群12との間に配置されたセレクト回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ114の閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。さらにセレクト回路により、信号線駆動回路15からの出力本数を低減できる。よって、電流パスを制御する信号を出力する走査/制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減するとともに駆動回路のコスト低減、ならびにパネル実装歩留まりの向上が図られる。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ114の閾値電圧補正期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これは、 $k$ 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$ 番目の駆動ブロックにおいて閾値電圧補正期間が設けられることによるものである。よって、閾値電圧補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値電圧補正期間を長く設定することが可能となる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0209】

例えば、表示パネル10を $N$ 個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 $T_f/N$ となる。

【0210】

(実施の形態3)

以下、本発明の実施の形態3について、図面を参照しながら説明する。

【0211】

本実施の形態に係る表示装置の電気的な構成は、発光画素の回路構成を除き、図1に記

10

20

30

40

50

載された構成と同様である。つまり、本実施の形態に係る表示装置は、表示パネル 10 と、制御回路 20 とを備える。表示パネル 10 は、後述する複数の発光画素 21A 及び 21B と、信号線群 12 と制御線群 13 と走査 / 制御線駆動回路 14 と、信号線駆動回路 15 とセクタ回路 16 とを備える。

#### 【0212】

以下、実施の形態 1 及び 2 と重複する構成については、説明を省略し、発光画素 21A 及び 21B に関連する構成のみ説明を行う。

#### 【0213】

発光画素 21A 及び 21B は、表示パネル 10 上に、マトリクス状に配置されている。ここで、発光画素 21A 及び 21B は、複数の発光画素行を一駆動ブロックとする 2 以上の駆動ブロックを構成している。発光画素 21A は、奇数番目の駆動ブロックを構成し、また、発光画素 21B は偶数番目の駆動ブロックを構成する。

10

#### 【0214】

図 15A は、本発明の実施の形態 3 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図 15B は、本発明の実施の形態 3 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図 15A 及び図 15B に記載された画素回路は、実施の形態 1 における図 2A 及び図 2B に記載された画素回路と比較して、スイッチングトランジスタ 116 の代わりに、スイッチングトランジスタ 216 が付加されている点が異なる。同様に、電流制御部 200 は、実施の形態 1 における電流制御部 100 とは、スイッチングトランジスタ 116 の代わりに、スイッチングトランジスタ 216 が付加されている点で構成が異なる。以下、図 2A 及び図 2B に記載された表示装置の構成と重複する点は説明を省略する。

20

#### 【0215】

図 15A 及び図 15B において、有機 EL 素子 213 は、例えば、カソードが負電源線である電源線 112 に接続されアノードが駆動トランジスタ 214 のソースに接続された発光素子であり、駆動トランジスタ 214 の駆動電流が流れることにより発光する。

#### 【0216】

スイッチングトランジスタ 216 は、ゲートが第 2 制御線 231 に接続され、ソース及びドレインの一方が静電保持容量 217 の他方の端子に接続され、ソース及びドレインの他方が駆動トランジスタ 214 のソースに接続されていた第 4 スwitchングトランジスタである。スイッチングトランジスタ 216 は、信号線からの信号電圧書き込み期間においてはオフ状態となることにより、静電保持容量 217 に正確な信号電圧に対応した電圧を保持させる機能を有する。一方、閾値電圧検出期間及び発光期間においてはオン状態となることにより、駆動トランジスタ 214 のソースを第 3 容量素子である静電保持容量 217 及び第 4 容量素子である静電保持容量 218 に接続し、正確に静電保持容量 217 に閾値電圧と信号電圧に対応した電荷を保持させ、駆動トランジスタ 214 が静電保持容量 217 に保持された電圧を反映した駆動電流を発光素子に供給させる機能を有する。

30

#### 【0217】

第 2 制御線 231 は、走査 / 制御線駆動回路 14 に接続され、発光画素 21A 及び 21B を含む画素行に属する各発光画素に接続されている。これにより、第 2 制御線 231 は、駆動トランジスタ 214 のソースと静電保持容量 217 及び静電保持容量 218 間のノードとを導通又は非導通とする状態を発生する機能を有する。

40

#### 【0218】

第 1 制御線 232 は、走査 / 制御線駆動回路 14 に接続され、発光画素 21A 及び 21B を含む画素行に属する各発光画素に接続されている。これにより、第 1 制御線 232 は、電圧レベルを切り換えることにより、駆動トランジスタ 214 の閾値電圧を検出する環境を整える機能を有する。

#### 【0219】

次に、第 2 制御線 231、第 1 制御線 232、走査線 233、第 1 信号線 251 及び第 2 信号線 252 の発光画素間における接続関係について説明する。

50

## 【 0 2 2 0 】

図 1 6 は、本発明の実施の形態 3 に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2 つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号(ブロック番号、当該ブロックにおける行番号)”又は“符号(ブロック番号)”で表している。

## 【 0 2 2 1 】

前述したように、駆動ブロックとは、複数の発光画素行で構成され、表示パネル 1 0 の中には 2 以上の駆動ブロックが存在する。例えば、図 1 6 に記載された各駆動ブロックは、 $m$  行の発光画素行で構成されている。

10

## 【 0 2 2 2 】

図 1 6 の上段に記載された  $k$  番目の駆動ブロックでは、第 2 制御線 2 3 1 ( $k, 1$ ) ~ 2 3 1 ( $k, m$ ) が当該駆動ブロック内の発光画素行ごとに配置されており、各発光画素 2 1 A の有するスイッチングトランジスタ 2 1 6 のゲートに個別に接続されている。また、第 1 制御線 2 3 2 ( $k$ ) が当該駆動ブロック内の全発光画素 2 1 A の有する静電保持容量 2 1 8 に共通して接続されている。一方、走査線 2 3 3 ( $k, 1$ ) ~ 走査線 2 3 3 ( $k, m$ ) は、それぞれ、発光画素行ごとに個別に接続されている。

## 【 0 2 2 3 】

また、図 1 6 の下段に記載された ( $k + 1$ ) 番目の駆動ブロックでも、 $k$  番目の駆動ブロックと同様の接続がなされている。ただし、 $k$  番目の駆動ブロックに接続された第 1 制御線 2 3 2 ( $k$ ) と ( $k + 1$ ) 番目の駆動ブロックに接続された第 1 制御線 2 3 2 ( $k + 1$ ) とは、異なる制御線であり、走査/制御線駆動回路 1 4 から個別の制御信号が出力される。

20

## 【 0 2 2 4 】

また、 $k$  番目の駆動ブロックでは、第 1 信号線 2 5 1 が当該駆動ブロック内の全発光画素 2 1 A の有するスイッチングトランジスタ 2 1 5 のソース及びドレインの他方に接続されている。一方、( $k + 1$ ) 番目の駆動ブロックでは、第 2 信号線 2 5 2 が当該駆動ブロック内の全発光画素 2 1 B の有するスイッチングトランジスタ 2 1 5 のソース及びドレインの他方に接続されている。

## 【 0 2 2 5 】

上述したように、駆動ブロック化を行うことにより、 $V_{t_h}$  検出回路を制御する第 1 制御線 2 3 2 の本数が削減される。よって、これらの制御線に駆動信号を出力する走査/制御線駆動回路 1 4 の回路規模が低減する。また  $V_{t_h}$  の検出時間を長く確保することができ、 $V_{t_h}$  の検出精度が高くなり、結果表示品位が向上する。

30

## 【 0 2 2 6 】

また、本実施の形態においても、図 1 と同様に、セレクト回路 1 6 を備え、セレクト回路を介して、信号線駆動回路 1 5 の出力線と第 1 信号線 1 5 1 及び第 2 信号線 1 5 2 が接続されている。

## 【 0 2 2 7 】

次に、本実施の形態に係る表示装置の駆動方法について図 1 7 を用いて説明する。なお、ここでは、図 1 5 A 及び図 1 5 B に記載された具体的回路構成を有する表示装置についての駆動方法を詳細に説明する。

40

## 【 0 2 2 8 】

図 1 7 は、本発明の実施の形態 3 に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、 $k$  番目の駆動ブロックの走査線 2 3 3 ( $k, 1$ )、2 3 3 ( $k, 2$ ) 及び 2 3 3 ( $k, m$ )、第 2 制御線 2 3 1 ( $k, 1$ )、2 3 1 ( $k, 2$ ) 及び 2 3 1 ( $k, m$ )、第 1 制御線 2 3 2 ( $k$ ) 及び第 1 信号線 2 5 1 に発生する電圧の波形図が示されている。また、これらに続き、( $k + 1$ ) 番目の駆動ブロックの走査線 2 3 3 ( $k + 1, 1$ )、2 3 3 ( $k + 1, 2$ ) 及び 2 3 3 ( $k + 1, m$ )、第 2 制御線 2 3 1 ( $k + 1, 1$ )、2 3 1 ( $k + 1, 2$ )

50

及び 231 (k + 1, m)、第 1 制御線 232 (k + 1) 及び第 2 信号線 252 に発生する電圧の波形図が示されている。図 17 では、第 1 信号線 251 に、左から k - 4 番目、k - 2 番目及び k 番目の駆動ブロックの発光期間に対する信号電圧が発生している様子を示している。同様に、第 2 信号線 252 に、左から k - 3 番目、k - 1 番目及び k + 1 番目の駆動ブロックの発光期間に対する信号電圧が発生している様子を示している。つまり、第 1 信号線 251 と第 2 信号線 252 とには、交互に基準電圧と信号電圧とが発生している様子が示されている。

【0229】

また、図 18 は、本発明の実施の形態 3 に係る表示装置の有する発光画素の状態遷移図である。また、図 19 は、本発明の実施の形態 3 に係る表示装置の動作フローチャートである。

10

【0230】

まず、時刻 t40 において、走査線 233 (k, 1) の電圧レベルを HIGH に変化させ、第 1 信号線 251 から基準電圧を、駆動トランジスタ 214 のゲートに印加する (図 19 の S31)。また、この時、第 1 信号線 251 の電圧レベルは、信号電圧から基準電圧に変化される。

【0231】

ここで、セレクト回路 16 を用いて、第 1 信号線 251 の電圧を信号電圧から固定電圧 (基準電圧) に変化させる方法について説明する。図 20 は、本発明の実施の形態 3 に係る表示装置の有するセレクト回路を駆動するための動作タイミングチャートである。図 20 は、図 8 に対して、異なる点は以下の通りである。すなわち、k 番目 ~ k + 3 番目の 4 つの駆動ブロックそれぞれにおいて、信号電圧が印加された後の非発光期間に、対応する駆動ブロックにおける走査線 233 の電圧レベルを順次一定期間 HIGH にしている。それにより、基準電位を駆動トランジスタ 214 のゲートに印加して、駆動トランジスタ 214 をオフ状態にしている。その他の点においては、図 8 で説明した内容と同様のため説明を省略する。

20

【0232】

具体的には、時刻 t40 から一定期間以前の時刻においては、第 1 信号線 251 は、信号線駆動回路 15 より、セレクト回路 16 を介して、信号電圧が与えられており、時刻 t40 から一定期間以前には、セレクト回路 16 を介して、基準電圧が与えられる。その後、時刻 t40 において、第 1 信号線 251 は、セレクト回路 16 より、信号線駆動回路 15 との接続が切断されるものの、第 1 信号線 251 が有する寄生容量により、この基準電圧を保持する。そのため、第 1 信号線 251 は、その後、セレクト回路 16 を介して信号線駆動回路 15 と接続され、信号電圧が与えられるまで、その基準電圧を保持することになる。

30

【0233】

言い換えると、時刻 t40 以前の一定期間においては、図 9A に示されるように、基準電圧がデータドライバ 150 より供給されて、第 1 信号線 251 が有する寄生容量に充電 (SAMPLE) される。そして、第 1 信号線 251 は、その後、セレクト回路 16 を介して信号線駆動回路 15 と接続され、信号電圧が与えられるまで、図 9B に示されるように、その基準電圧を保持 (Hold) している。一方、その間、第 2 信号線 252 は、信号電圧がデータドライバ 150 より供給され、第 2 信号線 252 に属する k - 2 番目の駆動ブロックの発光画素が、供給された信号電圧に応じて発光する。

40

【0234】

このとき、図 18 (a) に示すように、基準電圧は、例えば 0V である。また、時刻 t40 の直前においては発光モードであったので、この定常状態における駆動トランジスタ 214 のソース電位  $V_s$  を、 $V_{EL}$  とする。これと、第 2 制御線 231 (k, 1) の電圧レベルが HIGH 状態でありスイッチングトランジスタ 216 が導通状態であることから、 $V_{gs} = -V_{EL} < V_T (TFT)$  となり、駆動トランジスタ 214 はオフ状態へと変化する。

50

## 【0235】

その後、時刻  $t_{41}$  において、走査線 233 ( $k, 1$ ) の電圧レベルを LOW に変化させ、以下、 $k$  ブロック内において第 1 信号線 251 を基準電圧に維持したまま、走査線 233 の電圧レベルを、画素行順に LOW HIGH LOW とすることにより、有機 EL 素子 213 は画素行順に消光する。つまり、 $k$  ブロックにおける発光画素の発光が画素行順に終了する。同時に、 $k$  ブロックにおける非発光期間が画素行順に開始する。

## 【0236】

次に、時刻  $t_{42}$  において、走査/制御線駆動回路 14 は、第 1 制御線 232 ( $k$ ) の電圧レベルを LOW から HIGH に変化させ、一定期間経過後、LOW に変化させる (図 19 の S32)。また、このとき、第 2 制御線 231 ( $k, 1$ ) ~ 231 ( $k, m$ ) の電圧レベルは HIGH に維持されている。ここで、スイッチングトランジスタ 215 がオフ状態で、第 1 制御線 232 ( $k$ ) を  $V_{reset} (> 0)$  だけ変化させ、静電保持容量 218 の静電容量値を  $C_2$ 、有機 EL 素子 213 の静電容量及び閾値電圧を、それぞれ  $C_{EL}$  及び  $V_T(EL)$  とする。このとき、第 1 制御線 232 ( $k$ ) の電圧レベルを HIGH にした瞬間、駆動トランジスタ 214 のソース電極 S ( $M$ ) の電位  $V_S$  は、 $C_2$  と  $C_{EL}$  とで分配される電圧と、 $V_T(EL)$  との和となり、

10

## 【0237】

## 【数 11】

$$V_S = \frac{C_2}{C_2 + C_{EL}} \Delta V_{reset} + V_{T(EL)} \quad (\text{式11})$$

20

となる。その後、図 18 (b) に示すように、有機 EL 素子 213 の自己放電がなされることにより、上記  $V_S$  は、定常状態では、 $V_T(EL)$  に漸近していく。

## 【0238】

次に、時刻  $t_{43}$  において、走査/制御線駆動回路 14 は、走査線 233 ( $k, 1$ ) ~ 233 ( $k, m$ ) の電圧レベルを一斉に HIGH に変化させる。また、この時、信号線駆動回路 15 により、第 1 信号線 251 の電圧レベルが信号電圧から基準電圧に変化される。なお、セレクト回路 16 を用いて、第 1 信号線 251 の電圧を信号電圧から基準電圧に変化させる方法は、時刻  $t_{40}$  において第 1 信号線 251 の電圧を信号電圧から基準電圧に変化させる方法と同様であるので、ここではその説明を省略する。

30

## 【0239】

続いて、走査/制御線駆動回路 14 が第 1 制御線 232 ( $k$ ) の電圧レベルを HIGH から LOW に変化させることにより、 $V_S$  がバイアスされ、

## 【0240】

## 【数 12】

$$V_S = V_{T(EL)} - \frac{C_2}{C_1 + C_2 + C_{EL}} \Delta V_{reset} \quad (\text{式12})$$

40

となる。この第 1 制御線 232 ( $k$ ) の HIGH から LOW への変化により、駆動トランジスタ 214 のゲートソース間電圧である  $V_{g_s}$  には、駆動トランジスタ 214 の閾値電圧  $V_{th}$  よりも大きな電圧を発生させている。つまり、静電保持容量 217 に発生する電位差を駆動トランジスタの閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。これと同時に、図 18 (c) に示すように、駆動トランジスタ 214 はオン状態となり、ドレイン - ソース間電流を、静電保持容量 217、218 及び有機 EL 素

50

子 2 1 3 へと流す。このとき、式 2 で規定された  $V_s$  は、 $-V_{t_h}$  に漸近していく。これにより、静電保持容量 2 1 7、2 1 8 には駆動トランジスタ 2 1 4 の  $V_{t_h}$  が記録される。なお、このとき、有機 EL 素子 2 1 3 へ流れる電流は、アノード電極電位が  $-V_{t_h}$  よりも低電位であり、カソード電位が 0 V であるので有機 EL 素子 2 1 3 は逆バイアス状態となっているため、有機 EL 素子 2 1 3 を発光させるための電流とはならない。

【 0 2 4 1 】

時刻  $t_{43}$  ~ 時刻  $t_{44}$  の期間、発光画素 2 1 A の回路は定常状態となり、静電保持容量 2 1 7 及び 2 1 8 には駆動トランジスタ 2 1 4 の閾値電圧  $V_{t_h}$  に相当する電圧が保持される。なお、閾値電圧  $V_{t_h}$  に相当する電圧を静電保持容量 2 1 7 及び 2 1 8 に保持させるために流れる電流は微少であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 2 1 7 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

10

【 0 2 4 2 】

次に、時刻  $t_{44}$  において、走査 / 制御線駆動回路 1 4 は、走査線 2 3 3 (  $k, 1$  ) ~ 2 3 3 (  $k, m$  ) の電圧レベルを、一斉に HIGH から LOW に変化させる ( 図 1 9 の S 3 3 )。これにより、静電保持容量 2 1 7、2 1 8 への駆動トランジスタ 2 1 4 の  $V_{t_h}$  の記録が完了する。このとき、 $k$  番目の駆動ブロックの全発光画素 2 1 A の有する静電保持容量 2 1 7 及び 2 1 8 には駆動トランジスタ 2 1 4 の閾値電圧  $V_{t_h}$  に相当する電圧が同時に保持される。なお、時刻  $t_{44}$  の直前において、第 2 制御線 2 3 1 (  $k, 1$  ) ~ 2 3 1 (  $k, m$  ) も一斉に LOW レベルとされており、スイッチングトランジスタ 2 1 6 はオフ状態となっている。これにより  $V_{t_h}$  検出後の駆動トランジスタ 2 1 4 のリーク電流が静電保持容量 2 1 7、2 1 8 へ流れ込み、静電保持容量 2 1 7、2 1 8 に記録された駆動トランジスタ 2 1 4 の閾値電圧  $V_{t_h}$  の値がずれることを抑制している。

20

【 0 2 4 3 】

以上、時刻  $t_{43}$  ~ 時刻  $t_{44}$  の期間では、駆動トランジスタ 2 1 4 の閾値電圧  $V_{t_h}$  の補正が、 $k$  番目の駆動ブロック内において同時に実行されている。

【 0 2 4 4 】

次に、時刻  $t_{44}$  以降の期間において、走査 / 制御線駆動回路 1 4 は、走査線 2 3 3 (  $k, 1$  ) ~ 2 3 3 (  $k, m$  ) の電圧レベルを、順次、LOW HIGH LOW に変化させ、スイッチングトランジスタ 2 1 5 を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 1 5 は、第 1 信号線 2 5 1 の電圧レベルを各画素の輝度値に応じた信号電圧  $V_{data}$  に変化させる ( 図 1 9 の S 3 4 )。

30

【 0 2 4 5 】

図 1 7 に示した時刻  $t_{43}$  以前の一定期間においては、図 9 A に示されるように、基準電圧がデータドライバ 1 5 0 より供給されて、第 1 信号線 2 5 1 が有する寄生容量に充電 ( S A M P L E ) される。その後、時刻  $t_{53}$  まで、すなわち、セクタ回路 1 6 を介して信号線駆動回路 1 5 と接続され、信号電圧が与えられるまで、第 1 信号線 2 5 1 は、図 9 B に示されるように、その基準電圧を保持 ( H o l d ) している。一方、時刻  $t_{44}$  までの間、信号電圧がデータドライバ 1 5 0 より第 2 信号線 2 5 2 に供給されて、第 2 信号線 2 5 2 に属する発光画素が、供給された信号電圧に応じて発光開始することになる。

40

【 0 2 4 6 】

そして、時刻  $t_{44}$  では、図 9 C に示されるように、基準電圧が一定期間、データドライバ 1 5 0 より供給されて、第 2 信号線 2 5 2 が有する寄生容量に充電 ( S A M P L E ) され、第 2 信号線 2 5 2 は、図 9 D に示されるように、その基準電圧を保持 ( H O L D ) する。一方、時刻  $t_{44}$  から一定期間の後、信号電圧がデータドライバ 1 5 0 より第 1 信号線 2 5 1 に供給されて、第 1 信号線 2 5 1 に属する発光画素が、供給された信号電圧に応じて発光開始することになる。これにより、図 1 8 ( d ) に示すように、駆動トランジスタ 2 1 4 のゲートに信号電圧  $V_{data}$  が印加される。このとき、静電保持容量 2 1 7 及び 2 1 8 の接点 M における電位  $V_M$  は、 $V_{data}$  が  $C_1$  及び  $C_2$  で分配された電圧と、時刻  $t_{44}$  における  $V_s$  電位である  $-V_{t_h}$  との和となり、

50

【 0 2 4 7 】

【 数 1 3 】

$$V_M = \frac{C_1}{C_1 + C_2} \Delta V_{\text{data}} - V_{\text{th}} = \frac{C_1}{C_1 + C_2} (V_{\text{data}} - 0) - V_{\text{th}} = \frac{C_1}{C_1 + C_2} V_{\text{data}} - V_{\text{th}} \quad (\text{式13})$$

となる。

【 0 2 4 8 】

つまり、静電保持容量 2 1 7 に保持される電位差  $V_{gM}$  は、 $V_{data}$  と上記式 1 3 で規定された電位との差分であり、

【 0 2 4 9 】

【 数 1 4 】

$$V_{gM} = \frac{C_2}{C_1 + C_2} V_{\text{data}} + V_{\text{th}} \quad (\text{式14})$$

となる。

【 0 2 5 0 】

つまり、静電保持容量 2 1 7 には、この信号電圧  $V_{data}$  に応じた電圧と、先に保持された駆動トランジスタ 2 1 4 の閾値電圧  $V_{th}$  に相当する電圧とが加算された加算電圧が書き込まれる。

【 0 2 5 1 】

また、時刻  $t_{46}$  以降の期間において、走査 / 制御線駆動回路 1 4 は、第 2 制御線 2 3 1 (  $k, 1$  ) ~ 2 3 1 (  $k, m$  ) の電圧レベルを、順次、LOW HIGH に変化させ、スイッチングトランジスタ 2 1 6 を、発光画素行ごとに順次オン状態とする ( 図 1 9 の S 3 5 )。これにより、駆動トランジスタ 2 1 4 のゲート - ソース間に式 1 3 で示された電圧が印加され、図 1 8 ( e ) に示されたドレイン電流が流れることにより、閾値補正された信号電圧に対応した発光が、画素行ごとになされる。

【 0 2 5 2 】

以上、時刻  $t_{46}$  以降の期間では、補正された信号電圧の書き込み及び発光、 $k$  番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【 0 2 5 3 】

ここで、駆動トランジスタ 2 1 4 を流れるドレイン電流  $i_d$  は、式 4 で規定された  $V_{gM}$  から、駆動トランジスタ 2 1 4 の閾値電圧  $V_{th}$  を減じた電圧値を用いて、

【 0 2 5 4 】

【 数 1 5 】

$$i_d = \frac{\beta}{2} \left( \frac{C_2}{C_1 + C_2} V_{\text{data}} \right) \quad (\text{式15})$$

と表される。ここで、 $\beta$  は移動度に関する特性パラメータである。式 1 5 から、有機 EL 素子 2 1 3 を発光させるためのドレイン電流  $i_d$  は、駆動トランジスタ 2 1 4 の閾値電圧  $V_{th}$  に依存せず、さらに有機 EL 素子 2 1 3 の容量成分に関係しない電流となっていることが解る。

10

20

30

40

50

## 【0255】

以上、上述したように、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ214の閾値電圧 $V_{th}$ 補償が同時に実行される。これにより、当該駆動電流のソース以降の電流経路の制御を駆動ブロック内で同期できる。よって、第1制御線232を駆動ブロック内で共通化できる。

## 【0256】

また、走査線233(k, 1)~233(k, m)においては、走査/制御線駆動回路14とは個別に接続されているが、閾値電圧補償期間においては、駆動パルスのタイミングが同一である。よって、走査/制御線駆動回路14は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

10

## 【0257】

さらに、1発光画素列に対して配置された2本の信号線に対し、信号線駆動回路15の出力線を1本とできるため、信号線駆動回路15を小型化することができ、データドライバ153の実装数及び出力線の減少に伴う駆動回路実装のためのコスト低減及びパネル実装歩留まりの向上が図られる。

## 【0258】

本実施の形態においても、実施の形態1と同様の観点から、特許文献1に記載された、2本の信号線を用いた従来の表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

## 【0259】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

20

## 【0260】

また、2本の信号線を用いた従来の表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

## 【0261】

なお、時刻 $t_{50}$ 以降における(k+1)番目の駆動ブロックの動作は、上述したk番目の駆動ブロックの動作と同様のため説明を省略する。また、上述した駆動ブロックの状態遷移は、図14に示したのと同様のため、説明を省略する。

30

## 【0262】

以上の動作が、表示パネル10内の(k+2)番目の駆動ブロック以降においても順次実行される。

## 【0263】

本発明の実施の形態3に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロック内でも発光画素行ごとに順次設定される。よって、駆動ブロック内においても、行走査方向に対して発光期間が連続的に現れる。

## 【0264】

以上、実施の形態3においても、スイッチングトランジスタ216及び静電保持容量218が配置された発光画素回路、信号線駆動回路15と信号線群12との間に配置されたセクタ回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ214の閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。さらにセクタ回路により、信号線駆動回路15からの出力本数を低減できる。よって、電流パスを制御する信号を出力する走査/制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減するとともに駆動回路のコスト低減、ならびにパネル実装歩留まりの向上が図られる。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ214の閾値電圧補正期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これは、k番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、(k+1)番目の駆動ブロックにおいて閾値

40

50

電圧補正期間が設けられることによるものである。よって、閾値電圧補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごとに分割される。よって、表示領域が大面積化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値電圧補正期間を長く設定することが可能となる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0265】

例えば、表示パネル10をN個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 $T_f / N$ となる。

【0266】

(実施の形態4)

本実施の形態に係る表示装置の電気的な構成は、発光画素の回路構成を除き、図1に記載された構成と同様である。つまり、本実施の形態に係る表示装置は、表示パネル10と、制御回路20とを備える。表示パネル10は、後述する複数の発光画素31A及び31Bと、信号線群12と制御線群13と走査/制御線駆動回路14と、信号線駆動回路15とセレクト回路16とを備える。

【0267】

制御線群13は、発光画素ごとに配置された走査線、制御線及び電源線からなる。

【0268】

走査/制御線駆動回路14は、制御線群13の各走査線へ走査信号を、制御線群13の各制御線へ制御信号を、また、各電源線へ可変電圧を出力することにより、発光画素の有する回路素子を駆動する。

【0269】

発光画素31A及び31Bは、表示パネル10上に、マトリクス状に配置されている。ここで、発光画素31A及び31Bは、複数の発光画素行を一駆動ブロックとする2以上の駆動ブロックを構成している。発光画素31Aは、奇数番目の駆動ブロックを構成し、また、発光画素31Bは偶数番目の駆動ブロックを構成する。

【0270】

以下、実施の形態1~3と重複する構成については、説明を省略し、発光画素31A及び31Bに関連する構成のみ説明を行う。

【0271】

図21Aは、本発明の実施の形態4に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図21Bは、本発明の実施の形態4に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図21A及び図21Bに記載された発光画素31A及び31Bは、いずれも、有機EL素子312と、駆動トランジスタ314と、静電保持容量316及び317と、スイッチングトランジスタ315と、走査線333と、第1信号線351と、第2信号線352とを備える。また、発光画素31Aと発光画素Bはそれぞれ、さらに、選択トランジスタ315を備える。図21A及び図21Bに記載された画素回路は、図2A及び図2Bに記載された画素回路と比較して、スイッチングトランジスタ116がない点異なる。また、駆動トランジスタ314と、静電保持容量316及び317とは、電流制御部300を構成している。以下、図2A及び図2Bに記載された表示装置の構成と重複する点は説明を省略する。

【0272】

有機EL素子313は、例えば、カソードが第2電源線である電源線312に接続されアノードが駆動トランジスタ314のソースに接続された発光素子であり、駆動トランジスタ314の駆動電流が流れることにより発光する。

【0273】

駆動トランジスタ314は、ドレインが第1電源線である電源線310に接続され、ゲートが静電保持容量316の第1電極に接続されている。駆動トランジスタ314は、ゲートに、信号電圧に対応した電圧が印加されることにより、当該電圧に対応したドレイン電流に変換する。そして、このドレイン電流は、駆動電流として有機EL素子313に供

10

20

30

40

50

給される。駆動トランジスタ 314 は、例えば、 $n$  型の薄膜トランジスタ ( $n$  型 T F T ) で構成される。

【0274】

スイッチングトランジスタ 115 は、ゲートが走査線 333 に接続され、ソース及びドレインの一方が駆動トランジスタ 314 のゲートに接続されている。また、そのソース及びドレインの他方は、奇数駆動ブロックの発光画素 31A においては、第 1 信号線 351 に接続され、第 1 スイッチ素子として機能し、偶数駆動ブロックの発光画素 31B においては、第 2 信号線 352 に接続され、第 2 スイッチ素子として機能する。

【0275】

静電保持容量 316 は、一方の端子が駆動トランジスタ 314 のゲートに接続され、他方の端子が駆動トランジスタ 314 のソースに接続された第 6 容量素子である。静電保持容量 316 は、第 1 信号線 351 又は第 2 信号線 352 から供給された信号電圧に対応した電荷を保持し、例えば、スイッチングトランジスタ 115 がオフ状態となった後に、駆動トランジスタ 314 から有機 E L 素子 313 へ供給する駆動電流を制御する機能を有する。

10

【0276】

また、静電保持容量 316 は、駆動トランジスタ 314 のゲート及びスイッチングトランジスタ 115 に接続され、駆動トランジスタ 314 の閾値電圧を検出する機能を有する。

【0277】

静電保持容量 317 は、静電保持容量 316 の他方の端子と参照電圧源 ( 図 2 1 A 及び図 2 1 B には参照電圧  $V_{ref}$  と記すが電源線 312 であっても良い ) との間に接続された保持容量素子である。静電保持容量 317 は、まず、定常状態において駆動トランジスタ 314 のソース電位を記憶し、信号電圧がスイッチングトランジスタ 115 から印加された場合でもそのソース電位の情報は静電保持容量 316 と静電保持容量 317 との間のノードに残る。なおこのタイミングでのソース電位とは駆動トランジスタ 314 の閾値電圧である。その後、上記閾値電圧の保持から発光までのタイミングが発光画素行ごとに異なっても、静電保持容量 316 の他方の端子の電位が確定されるので駆動トランジスタ 314 のゲート電圧が確定される。一方、駆動トランジスタ 314 のソース電位は既に定常状態であるので、静電保持容量 317 は、結果的に駆動トランジスタ 314 のソース電位を保持する機能を有する。

20

【0278】

なお、静電保持容量 317 は、独立した回路素子として付加される必要はなく、有機 E L 素子 313 が有する寄生容量であってもよい。

【0279】

電源線 310 は、駆動トランジスタ 314 のドレインに第 1 電圧又は第 2 電圧を供給する。第 1 電圧は、第 1 信号線 351 及び第 2 信号線 352 から供給される基準電圧よりも低い電圧であり、当該電圧が駆動トランジスタ 314 のドレインに印加されることにより、前記駆動トランジスタ 314 のソース電位をリセットすることが可能となる。また、第 2 電圧は、上記基準電圧よりも高い電圧であり、当該電圧が駆動トランジスタ 314 のドレインに印加されることにより、静電保持容量 316 に、閾値電圧に対応した電圧を保持させ、又は信号電圧に対応した駆動電流により有機 E L 素子 313 を発光させることが可能となる。制御回路 20 は、走査 / 制御線駆動回路 14 及び信号線駆動回路 15 とともに、各発光画素の動作を制御する制御部を構成し、セレクト回路 16 の選択トランジスタをオンオフするタイミングを制御する。

40

【0280】

さらに、制御回路 20 は、上記第 1 電圧及び第 2 電圧の供給タイミングを制御する。

【0281】

また、本実施の形態においても、図 1 と同様に、セレクト回路 16 を備え、セレクト回路を介して、信号線駆動回路 15 の出力線と第 1 信号線 351 及び第 2 信号線 352 が接

50

続されている。

【0282】

次に、本実施の形態に係る表示装置の駆動方法について図22を用いて説明する。なお、ここでは、図21A及び図21Bに記載された具体的回路構成を有する表示装置についての駆動方法を詳細に説明する。なお、各駆動ブロックはm行の発光画素行から構成されているとする。

【0283】

図22は、本発明の実施の形態4に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、k番目の駆動ブロックの1行目に配置された走査線333(k, 1)、2行目に配置された走査線333(k, 2)及びm行目に配置された走査線333(k, m)、第1信号線351、k番目の駆動ブロックの1行目に配置された電源線310(k, 1)、2行目に配置された電源線310(k, 2)及びm行目に配置された電源線310(k, m)に発生する電圧の波形図が示されている。また、これらに続き、(k+1)番目の駆動ブロックの1行目に配置された走査線333(k+1, 1)、2行目に配置された走査線333(k+1, 2)及びm行目に配置された走査線333(k+1, m)、第2信号線352、(k+1)番目の駆動ブロックの1行目に配置された電源線310(k+1, 1)、2行目に配置された電源線310(k+1, 2)及びm行目に配置された電源線310(k+1, m)に発生する電圧の波形図が示されている。また、図23は、本発明の実施の形態4に係る表示装置の動作フローチャートである。

10

20

【0284】

まず、時刻t61までに、制御回路20は、電源線310(k, 1)~310(k, m)の電圧レベルを、基準電圧よりも低い第1電圧であるLOWに順次設定し、駆動トランジスタ314のソース電位をリセットする(図23のS51)。このとき、第1電圧は、例えば、-10Vであり、駆動トランジスタ314のソース電位は-10Vにリセットされる。

【0285】

次に、時刻t62において、制御回路20は、走査線333(k, 1)~333(k, m)の電圧レベルを同時にLOWからHIGHに変化させ、選択トランジスタ315をオン状態とする(図23のS52)。また、この時、制御回路20により、第1信号線351の電圧レベルが、信号電圧から基準電圧に変化される。

30

【0286】

ここで、本実施の形態に係るセレクト回路を駆動するための動作タイミングチャートは、実施の形態1で説明した図8の動作タイミングチャートと同様である。

【0287】

すなわち、時刻t62においては、図9Aに示されるように、基準電圧がデータドライバ150より一定期間供給されて、第1信号線351が有する寄生容量に充電(SAMPLE)される。そして、時刻t65までの間、第1信号線351は、図9Bに示されるように、その基準電圧を保持(Hold)している。一方、時刻t64までの間、信号電圧がデータドライバ150より第2信号線352に供給されて、第2信号線352に属する発光画素が、供給された信号電圧に応じて発光開始することになる。このように、第1信号線351に保持されている基準信号電圧が、オン状態の選択トランジスタ315を介して、駆動トランジスタ314のゲートに印加される。このとき、基準電圧は、例えば、0Vである。

40

【0288】

次に、時刻t63において、制御回路20は、電源線310(k, 1)~310(k, m)の電圧レベルを、第1電圧から基準電圧よりも高い第2電圧に変化させる(図23のS53)。このとき、第2電圧は、例えば、10Vである。これにより、閾値電圧の検出過程への準備が完了する。

【0289】

50

時刻  $t_{63}$  ~ 時刻  $t_{64}$  の期間、発光画素 31A の回路は定常状態となり、時刻  $t_{64}$  までに静電保持容量 316 には駆動トランジスタ 314 の閾値電圧  $V_{th}$  に相当する電圧が保持される。なお、閾値電圧  $V_{th}$  に相当する電圧を静電保持容量 316 に保持させるために流れる電流は微少であるため、定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 316 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

【0290】

次に、時刻  $t_{64}$  において、制御回路 20 は、走査線 333 ( $k, 1$ ) ~ 333 ( $k, m$ ) の電圧レベルを同時に HIGH から LOW に変化させ、選択トランジスタ 315 をオフ状態とする (図 23 の S14)。これにより、駆動トランジスタ 314 への基準電圧印加が停止される。このとき、 $k$  番目の駆動ブロックの全発光画素 31A の有する静電保持容量 316 には駆動トランジスタ 314 の閾値電圧  $V_{th}$  に相当する電圧が同時に保持され、補償されるべき駆動トランジスタ 314 の閾値電圧  $V_{th}$  が確定する。

10

【0291】

以上、時刻  $t_{61}$  ~ 時刻  $t_{64}$  の期間では、駆動トランジスタ 314 の閾値電圧  $V_{th}$  の補正が、 $k$  番目の駆動ブロック内において同時に実行される。

【0292】

次に、時刻  $t_{65}$  において、制御回路 20 により、第 1 信号線 351 の電圧レベルが、基準電圧から信号電圧に変化される。

【0293】

具体的には、時刻  $t_{65}$  前の一定期間において、図 9C に示されるように、基準電圧がデータドライバ 150 より供給されて、第 2 信号線 352 が有する寄生容量に充電 (SAMPLE) される。そして、時刻  $t_{65}$  以降、第 2 信号線 352 は、図 9D に示されるように、その基準電圧を保持 (Hold) している。一方、時刻  $t_{65}$  以降、信号電圧がデータドライバ 150 より第 1 信号線 351 に供給されて、第 1 信号線 351 に属する発光画素が、供給された信号電圧に応じて発光開始することになる。このようにして、信号電圧が駆動トランジスタ 314 のゲートに印加される。このとき、信号電圧は、例えば、0V ~ 5V である。

20

【0294】

また、時刻  $t_{65}$  ~ 時刻  $t_{66}$  の期間において、制御回路 20 は、走査線 333 ( $k, 1$ ) ~ 333 ( $k, m$ ) の電圧レベルを、順次、LOW HIGH LOW に変化させ、選択トランジスタ 315 を、発光画素行ごとに順次オン状態とする (図 23 の S55)。これにより、駆動トランジスタ 314 のゲートには、信号電圧が印加される。このとき、静電保持容量 316 には、この信号電圧に応じた電圧と、先に保持された駆動トランジスタ 314 の閾値電圧  $V_{th}$  に相当する電圧とが加算された加算電圧が書き込まれる。またこれと同時に、駆動トランジスタ 314 の駆動電流が有機 EL 素子 313 に流れ、発光画素行順に有機 EL 素子 313 が発光する。

30

【0295】

以上、時刻  $t_{65}$  ~ 時刻  $t_{66}$  の期間では、高精度に補正された信号電圧の書き込み及び発光が、 $k$  番目の駆動ブロック内で発光画素行順に実行されている。

40

【0296】

また、 $t_{66}$  以降において、制御回路 20 は、 $k$  番目の駆動ブロック内の電源線 310 ( $k, 1$ ) ~ 310 ( $k, m$ ) の電圧レベルを、発光画素行順に第 2 電圧から第 1 電圧へ変化させることにより、発光画素行順に消光させる。

【0297】

以上、発光画素行を駆動ブロック化することにより、駆動トランジスタ 314 の閾値電圧を検出する期間を駆動ブロック内で一致させることが可能となり、最大で 1 フレーム期間を駆動ブロック数で分割した期間を閾値電圧検出期間として割り当てることが可能となる。よって、高精度に補正された駆動電流が有機 EL 素子 313 に流れ、画像表示品質を向上させることが可能となる。また、制御回路 20 は、閾値電圧検出期間において駆動ブ

50

ロック内で同時制御する、つまり、同一の駆動ブロックに対し同一の制御信号を出力できる。さらに、セレクト回路16を備えることにより、1発光画素列に対して配置された2本の信号線に対し、信号線駆動回路15の出力線を1本とできるため、信号線駆動回路15を小型化することができ、データドライバ153の実装数及び出力線の減少に伴う駆動回路実装のためのコスト低減及びパネル実装歩留まりの向上が図られる。

【0298】

本実施の形態においても、実施の形態1と同様の観点から、特許文献1に記載された、2本の信号線を用いた従来の表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

【0299】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0300】

また、2本の信号線を用いた従来の表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

【0301】

なお、時刻 $t_{71}$ ～時刻 $t_{76}$ における $(k+1)$ 番目の駆動ブロックの動作は、上述した $k$ 番目の駆動ブロックの動作と同様のため説明を省略する。

【0302】

以上の動作が、表示パネル10内の $(k+2)$ 番目の駆動ブロック以降においても順次実行される。

【0303】

なお、本実施の形態に係る駆動方法により発光した駆動ブロックの状態遷移図は、図14に示された状態遷移図と同様のため、説明を省略する。

【0304】

本発明の実施の形態4に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロック内でも発光画素行順に設定される。よって、駆動ブロック内においても、行走査方向に対して発光期間が連続的に現れる。

【0305】

以上、実施の形態4においても、静電保持容量316が配置された発光画素回路、信号線駆動回路15と信号線群12との間に配置されたセレクト回路16、駆動ブロック化された各発光画素への走査線、電源線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ314の閾値電圧補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。さらにセレクト回路により、信号線駆動回路15からの出力本数を低減できる。よって、電流バスを制御する信号を出力する走査/制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減するとともに駆動回路のコスト低減、ならびにパネル実装歩留まりの向上が図られる。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ314の閾値電圧補正期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これは、 $k$ 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$ 番目の駆動ブロックにおいて閾値電圧補正期間が設けられることによるものである。よって、閾値電圧補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごとに分割される。よって、表示領域が大面积化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値電圧補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0306】

例えば、表示パネル10を $N$ 個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 $T_f/N$ となる。

10

20

30

40

50

## 【 0 3 0 7 】

(実施の形態 5)

以下、本発明の実施の形態について、図面を参照しながら説明する。

## 【 0 3 0 8 】

本実施の形態に係る表示装置の電気的な構成は、発光画素の回路構成を除き、図 1 に記載された構成と同様である。つまり、本実施の形態に係る表示装置は、表示パネル 1 0 と、制御回路 2 0 とを備える。表示パネル 1 0 は、後述する複数の発光画素 4 1 A 及び 4 1 B と、信号線群 1 2 と制御線群 1 3 と走査 / 制御線駆動回路 1 4 と、信号線駆動回路 1 5 と、セレクト回路 1 6 とを備える。

## 【 0 3 0 9 】

発光画素 4 1 A 及び 4 1 B は、表示パネル 1 0 上に、マトリクス状に配置されている。ここで、発光画素 4 1 A 及び 4 1 B は、複数の発光画素行を一駆動ブロックとする 2 以上の駆動ブロックを構成している。発光画素 4 1 A は、奇数番目の駆動ブロックを構成し、また、発光画素 4 1 B は偶数番目の駆動ブロックを構成する。

## 【 0 3 1 0 】

以下、実施の形態 1 ~ 3 と重複する構成については、説明を省略し、発光画素 4 1 A 及び 4 1 B に関連する構成のみ説明を行う。

## 【 0 3 1 1 】

図 2 4 A は、本発明の実施の形態 5 に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図 2 4 B は、本発明の実施の形態 5 に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図 2 4 A 及び図 2 4 B に記載された発光画素 4 1 A 及び 4 1 B は、いずれも、有機 EL 素子 4 1 3 と、駆動トランジスタ 4 1 4 と、スイッチングトランジスタ 4 1 5、4 1 6 及び 4 1 7 と、静電保持容量 4 1 8 と、制御線 4 3 1 と、走査線 4 3 3 と、第 1 信号線 4 5 1 と、第 2 信号線 4 5 2 とを備える。ここで、駆動トランジスタ 4 1 4 と、スイッチングトランジスタ 4 1 6、4 1 7 及び 4 1 8 と、静電保持容量 4 1 8 とは、電流制御部 4 0 0 を構成している。電流制御部 4 0 0 は、第 1 信号線 4 5 1 又は第 2 信号線 4 5 2 から供給される信号電圧を駆動トランジスタ 4 1 4 のソースドレイン電流である信号電流に変換する機能を有する。

## 【 0 3 1 2 】

図 2 4 A 及び図 2 4 B において、スイッチングトランジスタ 4 1 6 は、ゲートが走査線 4 3 3 に接続され、ソース及びドレインの一方が駆動トランジスタ 4 1 4 のゲート及び静電保持容量 4 1 8 の一方の端子である第 1 電極に接続され、ソース及びドレインの他方が参照電源線 4 1 9 に接続された第 5 スwitchングトランジスタである。スイッチングトランジスタ 4 1 6 は、参照電源線 4 1 9 の参照電圧  $V_{REF}$  を駆動トランジスタ 4 1 4 のゲートに印加するタイミングを決定する機能を有する。

## 【 0 3 1 3 】

スイッチングトランジスタ 4 1 7 は、ゲートが制御線 4 3 1 に接続され、ソース及びドレインの一方が第 5 容量素子である静電保持容量 4 1 8 の他方の端子に接続され、ソース及びドレインの他方が駆動トランジスタ 4 1 4 のソースに接続された第 6 スwitchングトランジスタである。スイッチングトランジスタ 4 1 7 は、信号線からの信号電圧書き込み期間においてはオフ状態となることにより、当該期間において静電保持容量 4 1 8 から駆動トランジスタ 4 1 4 のソースへのリーク電流が発生しないので、静電保持容量 4 1 8 に正確な信号電圧に対応した電圧を保持させる機能を有する。一方、初期化期間においてオン状態となることにより、駆動トランジスタ 4 1 4 のソースを初期化電位に設定する機能を有し、駆動トランジスタ 4 1 4 と有機 EL 素子 4 1 3 とを瞬時にリセット状態とすることができる。スイッチングトランジスタ 4 1 5、4 1 6 及び 4 1 7 は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

## 【 0 3 1 4 】

ここで、上記初期化期間とは、信号電圧に対応した電圧が静電保持容量 4 1 8 に書き込まれる前に、駆動トランジスタ 4 1 4 のゲート電位及びソース電位を初期化電位にリセッ

10

20

30

40

50

トしておくための期間である。また、初期化期間は、実施の形態 1 ~ 4 で説明した閾値電圧検出期間の前であって閾値電圧検出期間と連続的に、又は、閾値電圧検出期間に代わって設定される。

【0315】

制御線 431 は、走査 / 制御線駆動回路 14 に接続され、発光画素 41A 及び 41B を含む画素行に属する各発光画素に接続されている。これにより、制御線 431 は、駆動トランジスタ 414 のソースと静電保持容量 418 の第 2 電極とを導通又は非導通とする状態を発生する機能を有する。

【0316】

第 1 信号線 451 及び第 2 信号線 452 は、信号線駆動回路 15 に接続され、それぞれ、発光画素 41A 及び 41B を含む画素列に属する各発光画素へ接続され、駆動トランジスタをリセットするための基準電圧と、発光強度を決定する信号電圧とを供給する機能を有する。

10

【0317】

なお、図 24A 及び図 24B には記載されていないが、電源線 110 及び電源線 112 は、それぞれ、正電源線及び負電源線であり、他の発光画素にも接続されており電圧源に接続されている。また、参照電源線 419 は、他の発光画素にも接続されており  $V_{REF}$  の電位の電圧源に接続されている。

【0318】

次に、制御線 431、走査線 433、第 1 信号線 451 及び第 2 信号線 452 の発光画素間における接続関係について説明する。

20

【0319】

図 25 は、本発明の実施の形態 5 に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号(ブロック番号、当該ブロックにおける行番号) ”、又は、“符号(ブロック番号) ”で表している。

【0320】

前述したように、駆動ブロックとは、複数の発光画素行で構成され、表示パネル 10 の中には 2 以上の駆動ブロックが存在する。例えば、図 25 に記載された各駆動ブロックは、m 行の発光画素行で構成されている。

30

【0321】

図 25 の上段に記載された k 番目の駆動ブロックでは、制御線 431(k) が当該駆動ブロック内の全発光画素 41A の有するスイッチングトランジスタ 417 のゲートに共通して接続されている。一方、走査線 433(k, 1) ~ 走査線 433(k, m) は、それぞれ、発光画素行ごとに個別に接続されている。

【0322】

また、図 25 の下段に記載された (k + 1) 番目の駆動ブロックでも、k 番目の駆動ブロックと同様の接続がなされている。ただし、k 番目の駆動ブロックに接続された制御線 431(k) と (k + 1) 番目の駆動ブロックに接続された制御線 431(k + 1) とは、異なる制御線であり、走査 / 制御線駆動回路 14 から個別の制御信号が出力される。

40

【0323】

また、k 番目の駆動ブロックでは、第 1 信号線 451 が当該駆動ブロック内の全ての発光画素 41A の有するスイッチングトランジスタ 415 のソース及びドレインの他方に接続されている。一方、(k + 1) 番目の駆動ブロックでは、第 2 信号線 452 が当該駆動ブロック内の全発光画素 41B の有するスイッチングトランジスタ 415 のソース及びドレインの他方に接続されている。

【0324】

上記駆動ブロック化により、駆動トランジスタ 114 のソースと静電保持容量 418 の第 2 電極との接続を制御する制御線 431 の本数が削減される。よって、これらの制御線

50

に駆動信号を出力する走査／制御線駆動回路 14 の出力本数が低減し、回路規模の削減を可能にする。

【0325】

次に、本実施の形態に係る表示装置の駆動方法について図 26 を用いて説明する。なお、ここでは、図 24A 及び図 24B に記載された具体的回路構成を有する表示装置についての駆動方法を詳細に説明する。

【0326】

図 26 は、本発明の実施の形態 1 に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、k 番目の駆動ブロックの走査線 433(k, 1)、433(k, 2) 及び 433(k, m)、第 1 信号線 451 及び制御線 431(k) に発生する電圧の波形図が示されている。また、これらに続き、(k+1) 番目の駆動ブロックの走査線 433(k+1, 1)、433(k+1, 2) 及び 433(k+1, m)、第 2 信号線 452 及び制御線 431(k+1) に発生する電圧の波形図が示されている。また、図 27 は、本発明の実施の形態に係る表示装置の動作フローチャートである。

10

【0327】

まず、時刻 t81 において、走査／制御線駆動回路 14 は、走査線 433(k, 1) ~ 433(k, m) の電圧レベルを同時に LOW から HIGH に変化させ、k 番目の駆動ブロックに属する発光画素 41A の有するスイッチングトランジスタ 415 をオン状態とする。また、走査線 433(k, 1) ~ 433(k, m) の電圧レベルの上記変化により、同時に、スイッチングトランジスタ 416 をオン状態とする(図 27 の S71)。このとき、既に制御線 431(k) の電圧レベルは HIGH でありスイッチングトランジスタ 417 はオン状態となっている。また、時刻 t81 において、第 1 信号線 451 の電圧レベルは、信号電圧から基準電圧  $V_{R1}$  に変化される。

20

【0328】

ここで、本実施の形態に係るセレクト回路を駆動するための動作タイミングチャートは、実施の形態 1 で説明した図 8 の動作タイミングチャートと同様である。

【0329】

すなわち、時刻 t81 から一定期間においては、図 9A に示されるように、基準電圧がデータドライバ 150 より供給されて、第 1 信号線 451 が有する寄生容量に充電(SAMPLE)する。そして、第 1 信号線 451 は、その後、セレクト回路 16 を介して信号線駆動回路 15 と接続され、信号電圧が与えられるまで、図 9B に示されるように、その基準電圧を保持(Hold)している。一方、その間、第 2 信号線 452 は、信号電圧がデータドライバ 150 より供給されている。

30

【0330】

これにより、駆動トランジスタ 414 のゲート及び静電保持容量 418 の第 1 電極には、参照電源線 419 の参照電圧  $V_{REF}$  が印加され、スイッチングトランジスタ 417 の導通により、駆動トランジスタ 414 のソース及び静電保持容量 418 の第 2 電極には、第 1 信号線 451 の基準電圧  $V_{R1}$  が印加される。つまり、駆動トランジスタ 414 のゲート電位及びソース電位が、それぞれ、 $V_{REF}$  及び  $V_{R1}$  で初期化(リセット)される。上述した駆動トランジスタ 414 のゲート及びソースに、それぞれ、参照電圧  $V_{REF}$  及び基準電圧  $V_{R1}$  を印加する動作は、第 1 リセット電圧印加ステップに相当する。

40

【0331】

また、時刻 t81 において、有機 EL 素子 413 の発光を停止させるため、参照電圧  $V_{REF}$  及び基準電圧  $V_{R1}$  は、それぞれ、式 16 及び式 17 で表される関係を満たすように予め設定されている。

【0332】

$$V_{REF} - V_{CAT} < V_{th} + V_t(EL) \quad (\text{式 16})$$

$$V_{R1} - V_{CAT} < V_t(EL) \quad (\text{式 17})$$

50

上記式 16 及び式 17 を満たす数値例として、例えば、 $V_{REF} = V_{CAT} = V_{R1} = 0V$  である。

【0333】

ここで、 $V_{th}$  及び  $V_{t(EL)}$  は、それぞれ、駆動トランジスタ 414 及び有機 EL 素子 413 の閾値電圧であり、 $V_{CAT}$  は、有機 EL 素子 413 のカソード電圧である。上記式 1 は、時刻  $t_{81}$  において、参照電源線 419 駆動トランジスタ 414 有機 EL 素子 413 電源線 412 という電流パスで電流が流れない条件である。一方、上記式 2 は、第 1 信号線 451 スwitchングトランジスタ 415 スwitchングトランジスタ 417 有機 EL 素子 413 電源線 412 という電流パスで電流が流れない条件である。

10

【0334】

以上、時刻  $t_{81}$  では、 $k$  番目の駆動ブロックに属する発光画素 41A の有する有機 EL 素子 413 の発光を停止し、駆動トランジスタ 414 の初期化動作を開始する。

【0335】

次に、時刻  $t_{82}$  において、走査/制御線駆動回路 14 は、走査線 433 ( $k, 1$ ) ~ 433 ( $k, m$ ) の電圧レベルを同時に HIGH から LOW に変化させ、 $k$  番目の駆動ブロックに属する発光画素 41A の有するスwitchングトランジスタ 415 をオフ状態とする (図 27 の S72)。また、走査線 433 ( $k, 1$ ) ~ 433 ( $k, m$ ) の電圧レベルの上記変化により、同時に、スwitchングトランジスタ 416 をオフ状態とする。これにより、時刻  $t_{81}$  から開始された駆動トランジスタ 414 のリセット動作が終了する。時刻  $t_{82}$  におけるスswitchングトランジスタ 415 及び 416 を非導通とする動作は、第 1 非導通ステップに相当する。

20

【0336】

上述した第 1 初期化電圧印加ステップ及び第 1 非導通ステップは、第 1 初期化ステップに相当する。

【0337】

なお、駆動トランジスタ 414 に印加されるゲート - ソース電圧とドレイン電流との特性は、ヒステリシスを有するため、上述したリセット期間を十分に確保して当該ゲート電位及びソース電位を精度よく初期化しておく必要がある。初期化期間が不十分のまま閾値補正又は書き込み動作が実行されると、上記ヒステリシス等により発光画素ごとの閾値電圧又は移動度の変動履歴が長時間残留することとなり、画像の輝度ムラが十分に抑制されず、残像などの表示劣化を抑制できない。また、この初期化期間を十分長く確保することにより、駆動トランジスタ 414 のゲート電位及びソース電位は安定し、高精度な初期化動作が実現される。

30

【0338】

以上、時刻  $t_{81}$  ~ 時刻  $t_{82}$  の期間では、駆動トランジスタ 414 の初期化動作が、 $k$  番目の駆動ブロック内において同時に実行され、 $k$  番目の駆動ブロックの全ての発光画素 41A の有する駆動トランジスタ 414 のゲート及びソースには、安定した初期化電圧である  $V_{REF}$  及び  $V_{R1}$  が設定される。

40

【0339】

次に、時刻  $t_{83}$  において、走査/制御線駆動回路 14 は、制御線 431 ( $k$ ) の電圧レベルを HIGH から LOW に変化させ、 $k$  番目の駆動ブロックに属する発光画素 41A の有するスswitchングトランジスタ 417 をオフ状態とする。これにより、時刻  $t_{84}$  から開始される信号電圧の書き込み期間において、スswitchングトランジスタ 417 が非導通状態となることにより、当該期間において静電保持容量 418 から駆動トランジスタ 414 のソースへのリーク電流が発生しないので、静電保持容量 418 に正確な信号電圧に対応した電圧を保持させることが可能となる。また、スswitchングトランジスタ 417 により、上記期間は上記リーク電流を抑制するための高速書き込みに制約されないため、正確な信号電圧の書き込みに必要な本来の書き込み期間を確保することが可能となる。

50

## 【0340】

次に、時刻  $t_{84}$  ~ 時刻  $t_{85}$  の間に、走査 / 制御線駆動回路 14 は、走査線 433 (  $k, 1$  ) の電圧レベルを、LOW HIGH LOW に変化させ、1 行目の発光画素の有するスイッチングトランジスタ 415 を、オン状態とする ( 図 27 の S73 )。また、走査線 433 (  $k, 1$  ) の電圧レベルの上記変化により、同時に、スイッチングトランジスタ 416 をオン状態とする。また、この時、第 1 信号線 451 の電圧レベルは、基準電圧から信号電圧  $V_{data}$  に変化されている。

## 【0341】

具体的には、時刻  $t_{84}$  から一定期間においては、図 9C に示されるように、基準電圧がデータドライバ 150 より供給されて、第 2 信号線 452 が有する寄生容量に充電 ( SAMPLE ) される。そして、第 2 信号線 452 は、その後、セクタ回路 16 を介して信号線駆動回路 15 と接続され、信号電圧が与えられるまで、図 9D に示されるように、その基準電圧を保持 ( Hold ) している。一方、時刻  $t_{84}$  から一定期間後、第 1 信号線 451 は、信号電圧がデータドライバ 150 より供給されている。

10

## 【0342】

これにより、静電保持容量 418 の第 2 電極に信号電圧  $V_{data}$  が印加され、駆動トランジスタ 414 のゲートには、参照電源線 419 の参照電圧  $V_{REF}$  が印加される。 $V_{data}$  の数値例として、例えば、 $V_{data} = -5V \sim 0V$  である。

## 【0343】

なお、時刻  $t_{84}$  ~ 時刻  $t_{85}$  においては、スイッチングトランジスタ 417 が非導通となっており、駆動トランジスタ 414 のソース電位は、リセット期間での電位である  $V_{R1}$  を維持していることから、有機 EL 素子 413 の順方向に発光電流は流れない。

20

## 【0344】

よって、静電保持容量 418 には、両電極が高精度にリセットされた後、信号電圧  $V_{data}$  に応じた電圧が書き込まれる。上記電圧の書き込み動作は、第 1 輝度保持ステップに相当する。

## 【0345】

次に、時刻  $t_{86}$  までの期間において、上述した時刻  $t_{84}$  ~ 時刻  $t_{85}$  の書き込み動作を、 $k$  番目の駆動ブロックに属する 2 行目から  $m$  行目の発光画素について、行順次に実行する。

30

## 【0346】

次に、時刻  $t_{87}$  において、走査 / 制御線駆動回路 14 は、制御線 431 (  $k$  ) の電圧レベルを、LOW から HIGH に変化させ、 $k$  番目の駆動ブロックに属する発光画素 41A の有するスイッチングトランジスタ 417 をオン状態とする ( 図 27 の S74 )。このとき、既に、走査線 433 (  $k, 1$  ) ~ 433 (  $k, m$  ) の電圧レベルは同時に HIGH から LOW に変化しているため、スイッチングトランジスタ 415 及び 416 は非導通状態である。よって、時刻  $t_{84}$  ~ 時刻  $t_{86}$  の書き込み期間において静電保持容量 418 に保持された電圧が駆動トランジスタ 414 のゲート - ソース間電圧である  $V_{gs}$  となり、式 18 で表される。

## 【0347】

$$V_{gs} = ( V_{REF} - V_{data} ) \quad ( 式 18 )$$

40

## 【0348】

ここで、 $V_{gs}$  は、例えば、 $0V \sim 5V$  となるため、駆動トランジスタ 414 はオン状態となり、ドレイン電流が有機 EL 素子 413 へと流れ込む。 $k$  番目の駆動ブロックに属する発光画素 41A では、上記式 18 に規定された  $V_{gs}$  に応じて一斉に発光する。この一斉発光動作は、第 1 発光ステップに相当する。

## 【0349】

このとき、駆動トランジスタ 414 のソース電位は、有機 EL 素子 413 のカソード電

50

位  $V_{CAT}$  から  $V_t(EL)$  だけ高い電位となり、式 19 で表される。

【0350】

$$V_S = V_t(EL) + V_{CAT} \quad (\text{式 19})$$

【0351】

また、上記式 18 で規定される  $V_{g_s}$  及び式 19 で規定されるソース電位から、駆動トランジスタ 414 のゲート電位は、式 20 で表される。

【0352】

$$V_G = (V_{REF} - V_{data}) + V_t(EL) + V_{CAT} \quad (\text{式 20})$$

10

【0353】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ 414 の初期化動作が同時に実行される。また、発光画素行を駆動ブロック化することにより、制御線 431 を駆動ブロック内で共通化できる。

【0354】

また、走査線 433(k, 1) ~ 433(k, m) においては、走査/制御線駆動回路 14 とは個別に接続されているが、リセット期間においては、駆動パルスのタイミングが同一である。よって、走査/制御線駆動回路 14 は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

20

【0355】

上述したように、本発明の表示装置の有する発光画素 41A 及び 41B は、駆動トランジスタ 414 のゲートと参照電源線 419 との間にスイッチングトランジスタ 416 が付加され、駆動トランジスタ 414 のソースと静電保持容量 418 の第 2 電極との間にスイッチングトランジスタ 417 が付加されている。これにより、駆動トランジスタ 414 のゲート及びソース電位が安定化されるので、初期化完了から信号電圧の書き込みまでの時間、及び、当該書き込みから発光までの時間を、発光画素行ごとに任意に設定することが可能となる。この回路構成により、駆動ブロック化が可能となり、同一駆動ブロック内の閾値電圧補正期間及び発光期間を一致させることが可能となる。

30

【0356】

さらに、セレクト回路 16 を備えることにより、信号電圧及び基準電圧は、第 1 信号線 451 及び第 2 信号線 452 へ排他的に供給される。これにより、1 発光画素列に対して配置された 2 本の信号線に対し、信号線駆動回路 15 の出力線を 1 本とできるため、信号線駆動回路 15 を小型化することができ、データドライバ 150 の実装数及び出力線の減少に伴う駆動回路実装のためのコスト低減及びパネル実装歩留まりの向上が図られる。

【0357】

本実施の形態においても、実施の形態 1 と同様の観点から、特許文献 1 に記載された、2 本の信号線を用いた従来の表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

40

【0358】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0359】

また、2 本の信号線を用いた従来の表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、駆動トランジスタ 414 のゲート電位及びソース電位を初期化するための初期化期間を長く確保することが解る。

【0360】

なお、時刻  $t_{91}$  ~ 時刻  $t_{97}$  における  $(k+1)$  番目の駆動ブロックの動作は、上述

50

した  $k$  番目の駆動ブロックの動作と同様のため説明を省略する。

【0361】

まず、時刻  $t_{11}$  において、走査/制御線駆動回路 14 は、走査線 133 ( $k+1, 1$ ) ~ 133 ( $k+1, m$ ) の電圧レベルを同時に LOW から HIGH に変化させ、( $k+1$ ) 番目の駆動ブロックに属する発光画素 11B の有するスイッチングトランジスタ 115 をオン状態とする。また、走査線 133 ( $k+1, 1$ ) ~ 133 ( $k+1, m$ ) の電圧レベルの上記変化により、同時に、スイッチングトランジスタ 116 をオン状態とする (図 6 の S21)。このとき、既に制御線 131 ( $k+1$ ) の電圧レベルは HIGH でありスイッチングトランジスタ 117 はオン状態となっている。また、信号線駆動回路 15 は、第 2 信号線 152 の信号電圧を、輝度信号電圧から基準電圧  $V_{R1}$  に変化させる。これにより、駆動トランジスタ 114 のゲート及び静電保持容量 118 の第 1 電極には、固定電位線 119 の固定電圧  $V_{REF}$  が印加され、スイッチングトランジスタ 117 の導通により、駆動トランジスタ 114 のソース及び静電保持容量 118 の第 2 電極には、第 2 信号線 152 の基準電圧  $V_{R1}$  が印加される。つまり、駆動トランジスタ 114 のゲート電位及びソース電位が、それぞれ、 $V_{REF}$  及び  $V_{R1}$  でリセットされる。上述した駆動トランジスタ 114 のゲート及びソースに、それぞれ、固定電圧  $V_{REF}$  及び基準電圧  $V_{R1}$  を印加する動作は、第 2 リセット電圧印加ステップに相当する。

10

【0362】

また、時刻  $t_{11}$  において、有機 EL 素子 113 の発光を停止させるため、固定電圧  $V_{REF}$  及び基準電圧  $V_{R1}$  は、それぞれ、上記式 1 及び上記式 2 で表される関係を満たすように予め設定されている。

20

【0363】

以上、時刻  $t_{11}$  では、( $k+1$ ) 番目の駆動ブロックに属する発光画素 11B の有する有機 EL 素子 113 の発光を停止し、駆動トランジスタ 114 のリセット動作を開始する。

【0364】

次に、時刻  $t_{12}$  において、走査/制御線駆動回路 14 は、走査線 133 ( $k+1, 1$ ) ~ 133 ( $k+1, m$ ) の電圧レベルを同時に HIGH から LOW に変化させ、( $k+1$ ) 番目の駆動ブロックに属する発光画素 11B の有するスイッチングトランジスタ 115 をオフ状態とする (図 6 の S22)。また、走査線 133 ( $k+1, 1$ ) ~ 133 ( $k+1, m$ ) の電圧レベルの上記変化により、同時に、スイッチングトランジスタ 116 をオフ状態とする。これにより、時刻  $t_{11}$  から開始された駆動トランジスタ 114 のリセット動作が終了する。時刻  $t_{12}$  におけるスイッチングトランジスタ 115 及び 116 を非導通とする動作は、第 2 非導通ステップに相当する。

30

【0365】

上述した第 2 リセット電圧印加ステップ及び第 2 非導通ステップは、第 2 リセットステップに相当する。

【0366】

なお、駆動トランジスタ 114 に印加されるゲート - ソース電圧とドレイン電流との特性は、ヒステリシスを有するため、上述したリセット期間を十分に確保して当該ゲート及びソース電位を精度よく初期化しておく必要がある。リセット期間が不十分のまま閾値補正及び書き込み動作が実行されると、上記ヒステリシス等により発光画素ごとの閾値電圧及び移動度のばらつきがキャンセルされず、また、輝度信号電圧の書き込み精度が低下し、画像の輝度ムラが十分に抑制されない。また、駆動トランジスタのゲート及びソースに印加すべき初期化電圧により、駆動トランジスタ 114 のゲート電位及びソース電位を定常状態とするまでには時間を要する。よって、このリセット期間を十分長く確保することにより、駆動トランジスタ 114 のゲート電位及びソース電位は安定し、高精度なリセット動作が実現される。

40

【0367】

以上、時刻  $t_{11}$  ~ 時刻  $t_{12}$  の期間では、駆動トランジスタ 114 のリセット動作が

50

、(k+1)番目の駆動ブロック内において同時に実行され、(k+1)番目の駆動ブロックの全ての発光画素11Bの有する駆動トランジスタ114のゲート及びソースには、安定したリセット電圧である $V_{REF}$ 及び $V_{R1}$ が設定される。

【0368】

次に、時刻 $t_{13}$ において、走査/制御線駆動回路14は、制御線131(k+1)の電圧レベルをHIGHからLOWに変化させ、(k+1)番目の駆動ブロックに属する発光画素11Bの有するスイッチングトランジスタ117をオフ状態とする。これにより、時刻 $t_{14}$ から開始される輝度信号電圧の書き込み期間において、スイッチングトランジスタ117が非導通状態となることにより、当該期間において静電保持容量118から駆動トランジスタ114のソースへのリーク電流が発生しないので、静電保持容量118に正確な信号電圧に対応した電圧を保持させることが可能となる。また、スイッチングトランジスタ117により、上記期間は上記リーク電流を抑制するための高速書き込みに制約されないため、正確な輝度信号電圧の書き込みに必要な本来の書き込み期間を確保することが可能となる。

10

【0369】

次に、時刻 $t_{14}$ ～時刻 $t_{15}$ の間に、走査/制御線駆動回路14は、走査線133(k+1,1)の電圧レベルを、LOW HIGH LOWに変化させ、1行目の発光画素の有するスイッチングトランジスタ115を、オン状態とする(図6のS23)。また、走査線133(k+1,1)の電圧レベルの上記変化により、同時に、スイッチングトランジスタ116をオン状態とする。また、この時、信号線駆動回路15は、第2信号線152の信号電圧を基準電圧から輝度信号電圧 $V_{data}$ に変化させている。これにより、静電保持容量118の第2電極に輝度信号電圧 $V_{data}$ が印加され、駆動トランジスタ114のゲートには、固定電位線119の固定電圧 $V_{REF}$ が印加される。 $V_{data}$ の数値例として、例えば、 $V_{data} = -5V \sim 0V$ である。

20

【0370】

なお、時刻 $t_{14}$ ～時刻 $t_{15}$ においては、スイッチングトランジスタ117が非導通となっており、駆動トランジスタ114のソース電位は、リセット期間での電位である $V_{R1}$ を維持していることから、有機EL素子113の順方向に発光電流は流れない。

【0371】

よって、静電保持容量118には、両電極が高精度にリセットされた後、輝度信号電圧 $V_{data}$ に応じた電圧が書き込まれる。上記電圧の書き込み動作は、第2輝度保持ステップに相当する。

30

【0372】

次に、時刻 $t_{16}$ までの期間において、上述した時刻 $t_{14}$ ～時刻 $t_{15}$ の書き込み動作を、(k+1)番目の駆動ブロックに属する2行目からm行目の発光画素について、行順次に実行する。

【0373】

次に、時刻 $t_{17}$ において、走査/制御線駆動回路14は、制御線131(k+1)の電圧レベルを、LOWからHIGHに変化させ、(k+1)番目の駆動ブロックに属する発光画素11Bの有するスイッチングトランジスタ117をオン状態とする(図6のS24)。このとき、既に、走査線133(k+1,1)～133(k+1,m)の電圧レベルは同時にHIGHからLOWに変化しているため、スイッチングトランジスタ115及び116は非導通状態である。よって、時刻 $t_{14}$ ～時刻 $t_{16}$ の書き込み期間において静電保持容量118に保持された電圧が駆動トランジスタ114のゲート-ソース間電圧である $V_{gs}$ となり、上記式3で表される。

40

【0374】

ここで、 $V_{gs}$ は、例えば、 $0V \sim 5V$ となるため、駆動トランジスタ114はオン状態となり、ドレイン電流が有機EL素子113へと流れ込み、(k+1)番目の駆動ブロックに属する発光画素11Bでは、上記式3に規定された $V_{gs}$ に応じて一斉に発光する。この一斉発光動作は、第2発光ステップに相当する。

50

## 【0375】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ114のリセット動作が同時に実行される。また、発光画素行を駆動ブロック化することにより、制御線131を駆動ブロック内で共通化できる。

## 【0376】

また、走査線133( $k+1, 1$ )~133( $k+1, m$ )においては、走査/制御線駆動回路14とは個別に接続されているが、リセット期間においては、駆動パルスのタイミングが同一である。よって、走査/制御線駆動回路14は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

## 【0377】

以上、時刻 $t_{17}$ 以降の期間では、有機EL素子113の発光が、( $k+1$ )番目の駆動ブロック内において同時に実行されている。

## 【0378】

以上の動作が、表示パネル10内の( $k+2$ )番目の駆動ブロック以降においても順次実行される。

## 【0379】

なお、本実施の形態に係る駆動方法により発光した駆動ブロックの状態遷移図は、図11に示された状態遷移図と同様のため、説明を省略する。

## 【0380】

以上、実施の形態5において、スイッチングトランジスタ416及び417が配置された発光画素回路、信号線駆動回路15と信号線群12との間に配置されたセクタ回路16、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ414の初期化期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。さらにセクタ回路により、信号線駆動回路15からの出力本数を低減できる。よって、電流パスを制御する信号を出力する走査/制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減するとともに駆動回路のコスト低減、ならびにパネル実装歩留まりの向上が図られる。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ114の初期化期間を、全発光画素を書き換える時間である1フレーム期間 $T_f$ のなかで大きくとることができる。これは、 $k$ 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、( $k+1$ )番目の駆動ブロックにおいて初期化期間が設けられることによるものである。よって、初期化期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されても走査/制御線駆動回路14の出力数をさほど増大させることなく、かつ、発光デューティを減少させることなく、1フレーム期間に対する相対的な初期化期間を長く設定することが可能となる。これにより、高精度に補正された信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

## 【0381】

例えば、表示パネル10を $N$ 個の駆動ブロックに分割した場合、各発光画素に与えられる初期化期間は、最大 $T_f/N$ となる。これに対し、発光画素行ごとに異なるタイミングで初期化期間を設定する場合、発光画素行が $M$ 行( $M \gg N$ )であるとすると、最大 $T_f/M$ となる。また、特許文献1に記載されたような信号線を発光画素列ごとに2本配置した場合でも、最大 $2T_f/M$ である。

## 【0382】

また、駆動ブロック化により、駆動トランジスタ414のソースと静電保持容量418の第2電極との導通を制御する制御線を駆動ブロック内で共通化できる。よって、走査/制御線駆動回路14から出力される制御線の本数が削減される。よって、駆動回路の負荷が低減する。

## 【0383】

例えば、特許文献1に記載された従来の表示装置500では、発光画素行あたり2本の

10

20

30

40

50

制御線（給電線及び走査線）が配置されている。表示装置 500 が M 行の発光画素行から構成されているとすると、制御線は合計 2 M 本となる。

【0384】

これに対し、本発明の実施の形態に係る表示装置 1 では、走査/制御線駆動回路 14 から、発光画素行あたり 1 本の走査線、駆動ブロックごとに 1 本の制御線が出力される。よって、表示装置 1 が M 行の発光画素行から構成されているとすると、制御線（走査線を含む）の合計は (M + N) 本となる。

【0385】

大面積化がなされ、発光画素の行数が大きい場合、 $M \gg N$  が実現されるので、この場合には、本発明に係る表示装置 1 の制御線本数は、従来の表示装置 500 の制御線本数に比べ、約 1/2 に削減することができる。

10

【0386】

以上、本発明によれば、駆動トランジスタのリセット期間及び閾値電圧を高精度に補正できる期間が確保されるのに、加えて、駆動回路の出力負荷が低減することができる表示装置及びその制御方法を実現することができる。

【0387】

具体的には、駆動トランジスタの閾値電圧補正期間及び/又は初期化期間とタイミングを駆動ブロック内で一致させることが可能となるので信号レベルのオンからオフもしくはオフからオンへの切替え回数を減らすことができ、発光画素の回路を駆動する駆動回路の負荷が低減する。上記駆動ブロック化及び発光画素列ごとに配置された 2 本の信号線により、駆動トランジスタの閾値電圧補正期間及び/又は初期化期間を 1 フレーム期間に対して大きくとることができるので、高精度な駆動電流が発光素子に流れ、画像表示品質が向上する。

20

【0388】

さらに、データドライバの出力線が 2 本の信号線に対して 1 本となされているため、データドライバを小型化することができ、出力線の減少に伴うコストの低減及び歩留まりの向上を図ることができる。

【0389】

加えて、閾値検出などのための基準電圧（固定電圧）の発光画素への供給を、信号線の寄生容量を利用して行なうので、パネル周縁部に基準電圧（固定電圧）の供給用の回路を別途設ける必要がなく、パネルの狭額縁化、パネルの歩留まりの向上を図ることができる。

30

【0390】

そして、これは、閾値検出用の基準電圧（固定電圧）を信号線が有する寄生容量へのサンプル及びホールド動作により設定し、かつ、映像信号を時系列に目的の信号線に振り分けることのできるセレクト回路を備えることにより実現する。

【0391】

なお、このサンプル動作を実現するためには、輝度信号とは異なる基準信号を一定のタイミングで出力させる必要があるが、基準信号の出力により、対象とする輝度信号の対象画素への書き込み動作にズレが生じないように、制御部 20 に走査/制御線駆動回路 14 を制御するように設定すればよいが、勿論それに限られない。

40

【0392】

例えば、図 28A に示すように、走査/制御線駆動回路 54 に未接続の端子であるダミー端子 553 を設けた構成としてもよい。ここで、図 28A は、本発明における表示装置の電氣的な構成の 1 例を示すブロック図である。この構成により、基準電圧のサンプリング期間を、対象駆動ブロックにおける走査/制御線駆動回路 14 のダミー端子 553 を選択する期間に相当させることができるので、必要な駆動タイミングを得ることができる。それにより、サンプリング期間を確保するための設定を別途行う必要がなくなるという効果を奏する。

【0393】

50

また、例えば、図28B及び図28Cに示すように、走査/制御線駆動回路14に入力されるクロック信号の変更を行う構成としてもよい。ここで、図28Bは、走査/制御線駆動回路14に入力されるクロック信号の1例を示す図であり、図28Cは、走査/制御線駆動回路14に入力されるクロック回路の構成例を示す図である。つまり、ベースとなるクロック信号(CLK)とイネーブル信号(ENM)とをAND回路に入力し、イネーブル信号がHIGHのときに、走査/制御線駆動回路14にクロック信号が入力されるように構成する。この構成により、基準電圧のサンプリング期間のみイネーブル信号をLOWとすることで、CLKに同期した走査線の転送を制御することができ、基準信号の出力により、対象とする輝度信号の対象画素への書込み動作にズレが生じないようにすることができる。

10

## 【0394】

また、図29は、本発明における表示装置の電氣的な構成の別の1例を示すブロック図である。実施の形態1～実施の形態5において、第1信号線と第2信号線との2本が隣接して配置されているのを前提にして説明したが、それに限らない。図29に示すように、同時刻に固定電位化される(基準電圧を保持する)信号線同士すなわち第1信号線651同士、第2信号線652同士を隣接して配置してもよい。

## 【0395】

つまり、例えば、奇数番目の駆動ブロックかつ奇数列を右側の第2信号線652と接続し、奇数番目の駆動ブロックかつ偶数列を左側の第1信号線651と接続する。また、偶数番目の駆動ブロックかつ奇数列を左側の第1信号線651と接続し、偶数番目の駆動ブロックかつ偶数列を右側の第2信号線652と接続する。そして、このように構成した隣り合う信号線が、常に同時刻(同時間帯)に固定電位化される(つまり、基準電圧を保持する)する。

20

## 【0396】

それにより、信号線が基準電圧を保持する期間(HOLD期間)において、他の信号線(第1信号線なら第2信号線、第2信号線なら第1信号線)との容量を介しての電位変動からのノイズを防ぐことができるというさらなる効果を奏する。

## 【0397】

また、図30Aは、HOLD期間中における電圧降下を説明するための図である。図30Bは、電圧降下の影響を抑制する方法を説明するための図である。図30Cは、本発明における表示装置の電氣的な構成の別の1例を示すブロック図である。図30に示すように、例えば、第1信号線151が領域Yで示される寄生容量に基準電圧を保持する期間(HOLD期間)において、領域Xに示される各発光画素11Bのスイッチングトランジスタ115を介してリーク電流が流れる懸念がある。また、表示装置に、領域Zに示されるESD(Electro Static Discharge)素子が備えられている場合、ESD素子を介してリーク電流が流れる懸念がある。つまり、第1信号線151のHOLD期間中ではリーク電流により電圧効果が生じてしまい、基準電圧を保持できない可能性がある。

30

## 【0398】

それを鑑みて、図30Bに示すように、第1信号線151が有する寄生容量へ基準電圧(固定電圧)をサンプルさせる動作の回数を例えば2回にするなど増やして行うとしてもよい。また、図30Cに示すような構成とすることで、ESD素子を介してリーク電流を抑制するとしてもよい。つまり、図30Cに示すように、同じタイミングで駆動する信号線同士でESD素子をまとめればよい。例えば、第1信号線151それぞれに備えられるESD素子をESD線910で接続し、第2信号線152それぞれに備えられるESD素子をESD線911で接続すればよい。すなわち、第1信号線151(第2信号線152)が基準電圧を保持する際に、ESD線910(ESD線911)を同電位にすることで、リーク電流を回避することができるという効果を奏する。

40

## 【0399】

なお、本発明に係る表示装置は、上述した実施の形態に限定されるものではない。実施

50

の形態 1 及び 2 における任意の構成要素を組み合わせて実現される別の実施の形態や、実施の形態 1 及び 2 に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0400】

なお、以上述べた実施の形態では、選択トランジスタのゲートの電圧レベルがHIGHの場合にオン状態になるn型トランジスタとして記述しているが、これらをp型トランジスタで形成した発光画素にも、上記実施の形態で説明した駆動ブロック化が適用でき、上述した各実施の形態と同様の効果を奏する。例えば、実施の形態5において、図24Aに記載された発光画素41Aにおいて、駆動トランジスタ414、スイッチングトランジスタ415、416及び417をp型トランジスタとし、電源線110側を負電圧、電源線112を正電圧とし、有機EL素子413の代わりに、駆動トランジスタのドレインと電源線110との間に有機EL素子を、駆動トランジスタから電源線110の方向が順方向となるように接続する。図24Bに記載された発光画素41Bについても同様である。また、図26の動作タイミングチャートにおいて、走査線の極性を反転させる。上記表示装置でも、実施の形態5と同様の効果を奏する。

10

【0401】

また、例えば、本発明に係る表示装置は、図31に記載されたような薄型フラットTVに内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラットTVが実現される。

20

【産業上の利用可能性】

【0402】

本発明の表示装置及びその制御方法は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機ELフラットパネルディスプレイ及びその制御方法として有用である。

【符号の説明】

【0403】

- 1、500 表示装置
- 10 表示パネル
- 11A、11B、21A、21B、31A、31B、41A、41B、501 発光画素
- 12 信号線群
- 13 制御線群
- 14 走査/制御線駆動回路
- 15 信号線駆動回路
- 16 セレクタ回路
- 20 制御回路
- 100、200、300、400 電流制御部
- 110、112、310、312 電源線
- 113、213、313、413 有機EL素子
- 114、214、314、414、512 駆動トランジスタ
- 115、116、215、216、315、415、416、417、511 スイッチングトランジスタ
- 117、118、217、218、316、317、418 静電保持容量
- 131、231 第2制御線
- 132、232 第1制御線
- 133、233、333、433、701、702、703 走査線
- 141 第1セレクタ制御線
- 142 第2セレクタ制御線
- 150 データドライバ

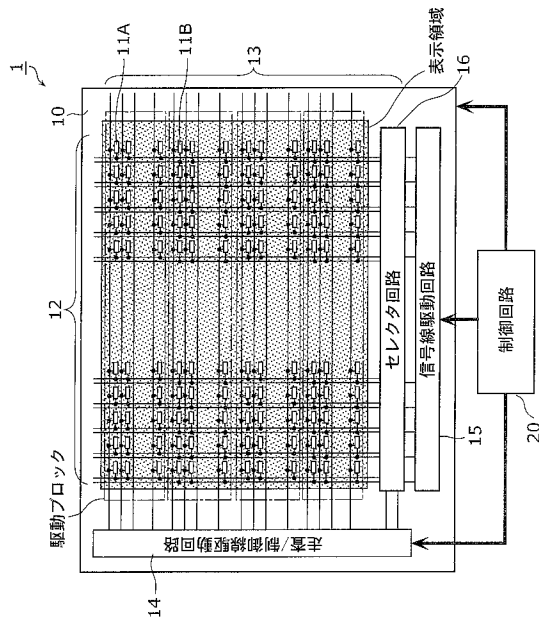
30

40

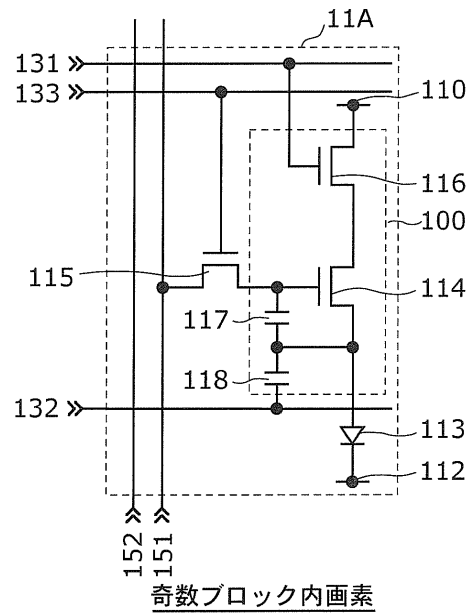
50

- 1 5 1、2 5 1、3 5 1、4 5 1 第 1 信号線
- 1 5 2、2 5 2、3 5 2、4 5 2 第 2 信号線
- 1 6 1、1 6 2 選択トランジスタ
- 4 1 9 参照電源線
- 5 0 2 画素アレイ部
- 5 0 3 信号セクタ
- 5 0 4 走査線駆動部
- 5 0 5 給電線駆動部
- 5 1 3 保持容量素子
- 5 1 4 発光素子
- 6 0 1、6 0 2、6 0 n 信号線
- 8 0 1、8 0 2、8 0 3 給電線

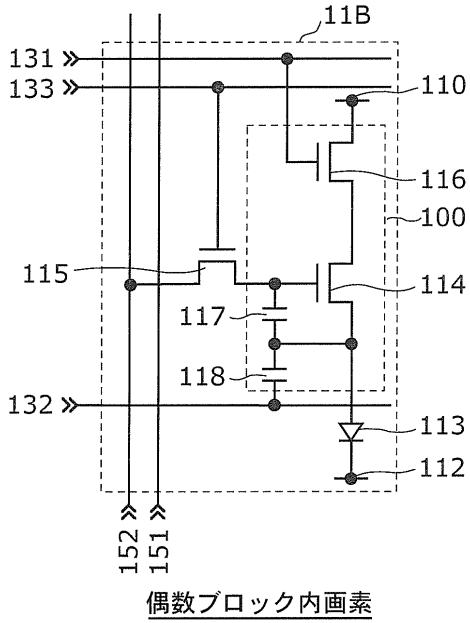
【図 1】



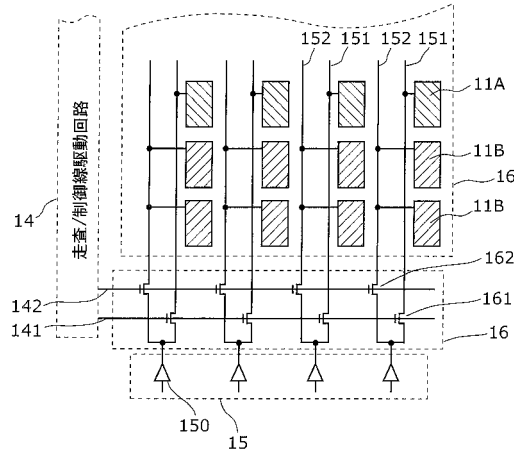
【図 2 A】



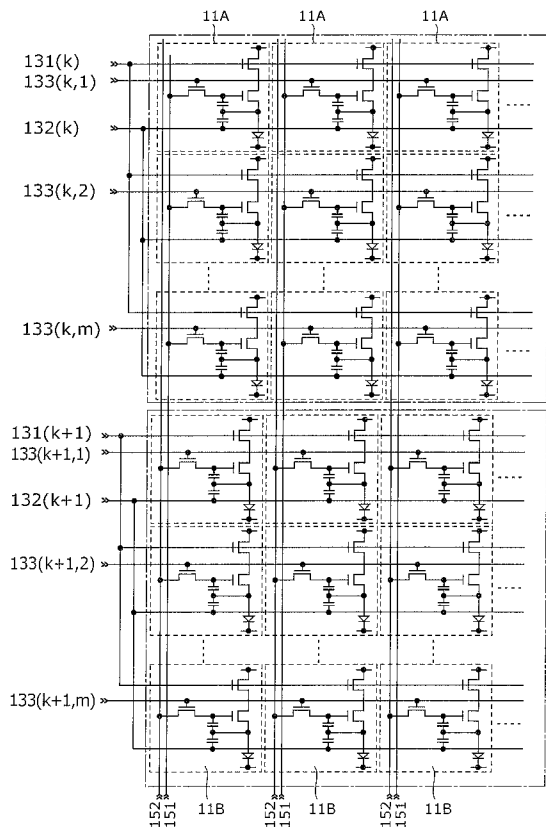
【図2B】



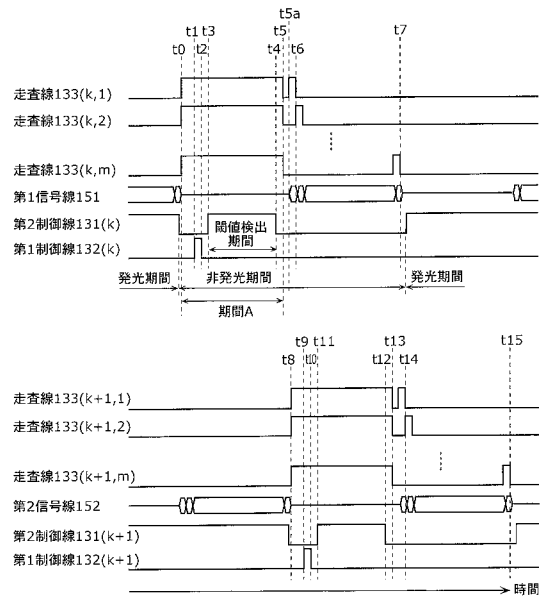
【図3】



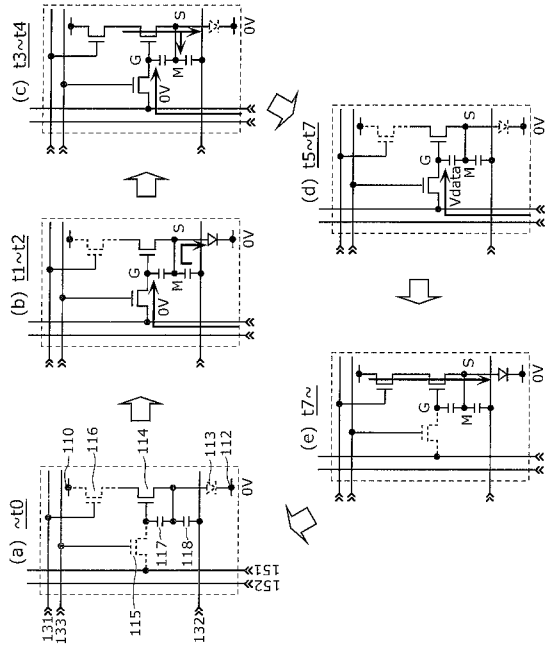
【図4】



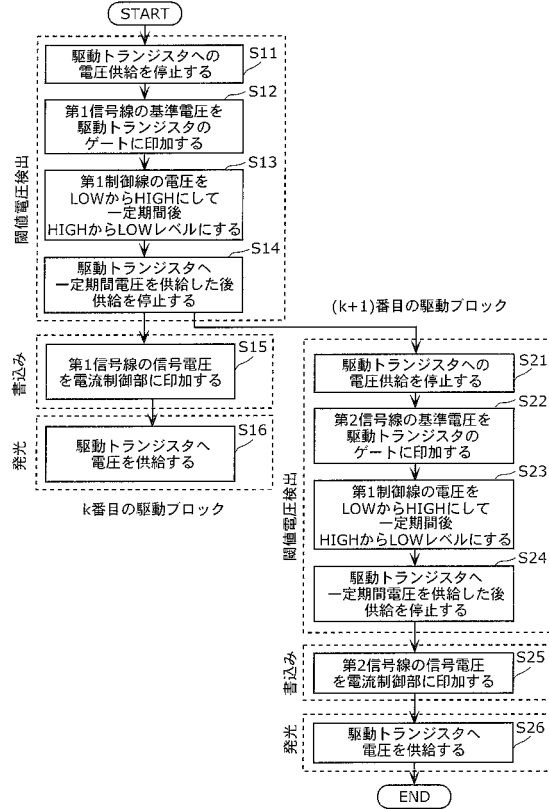
【図5】



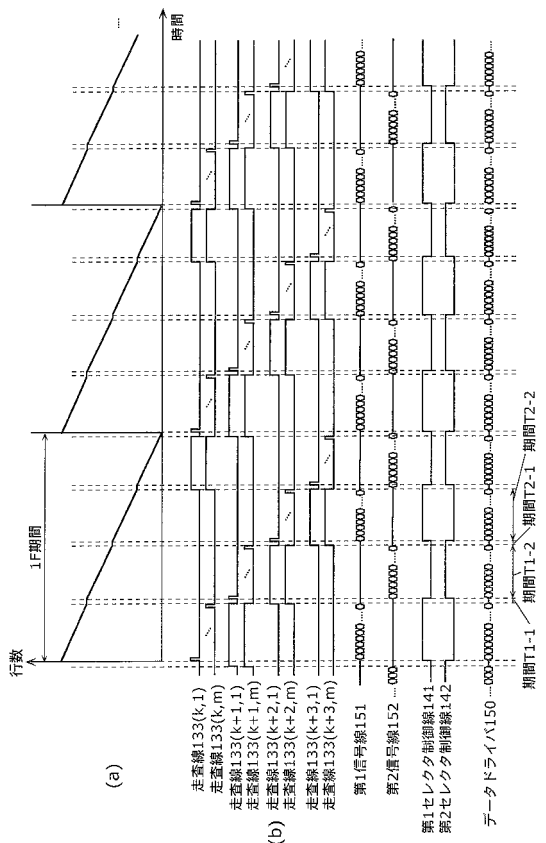
【図6】



【図7】

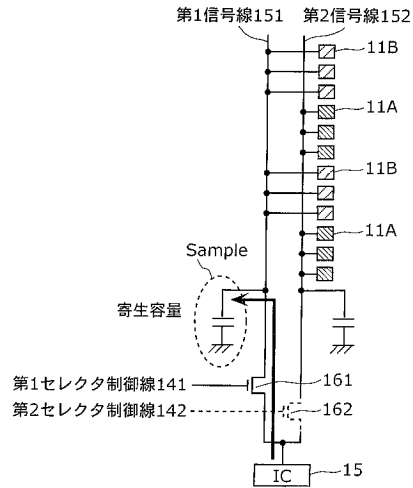


【図8】



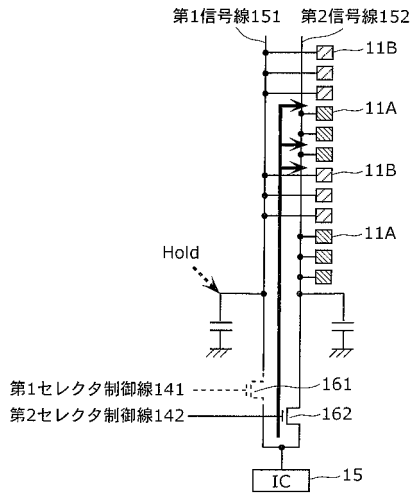
【図9A】

(期間T1-1)



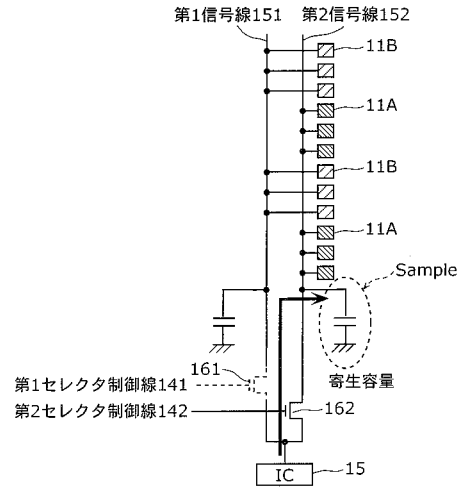
【図9B】

(期間T1-2)



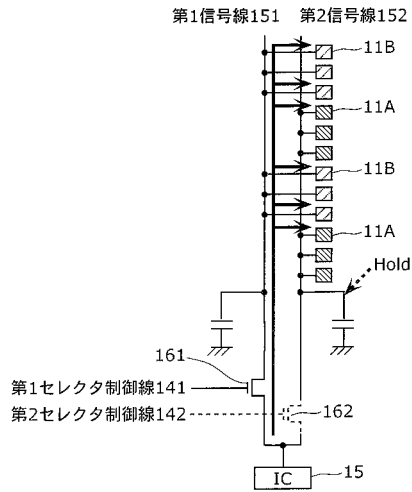
【図9C】

(期間T2-1)

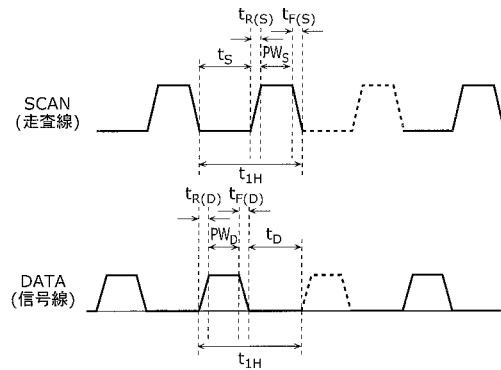


【図9D】

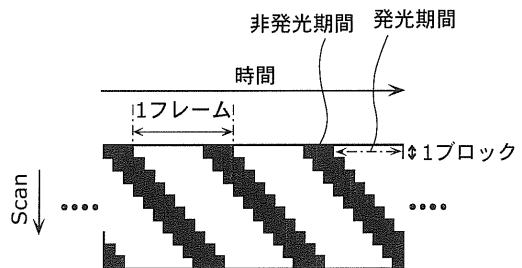
(期間T2-2)



【図10】

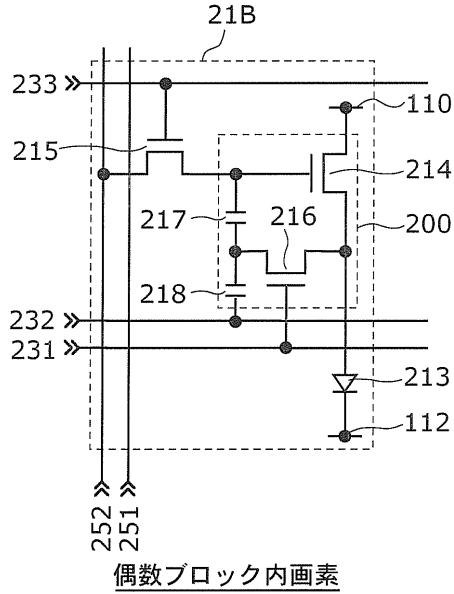


【図11】

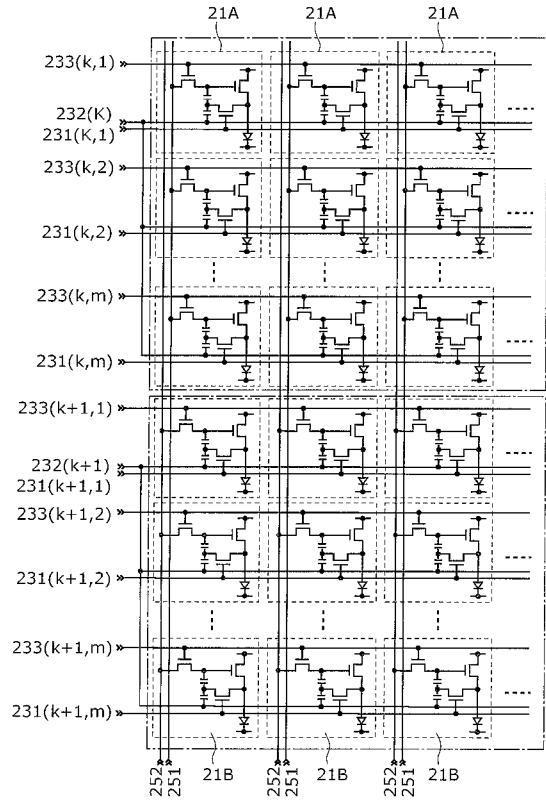




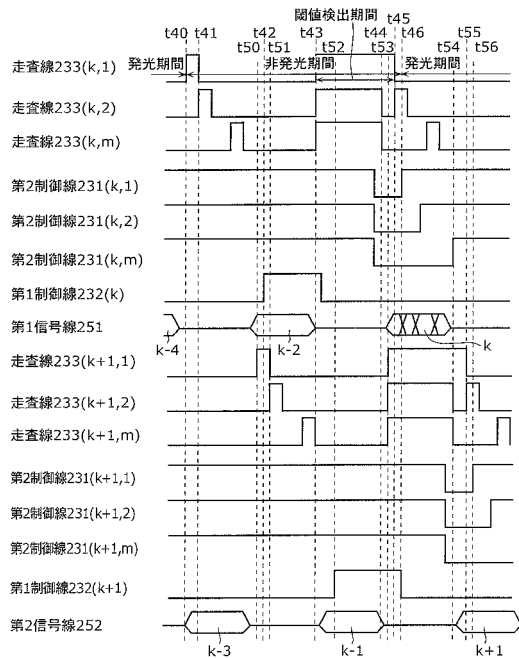
【図15B】



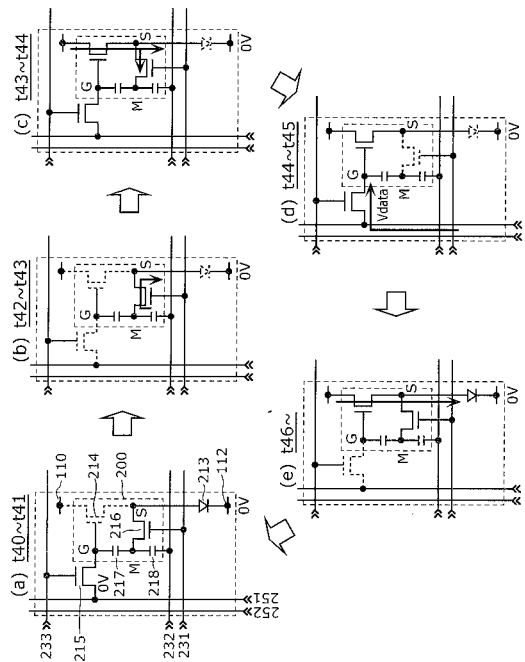
【図16】



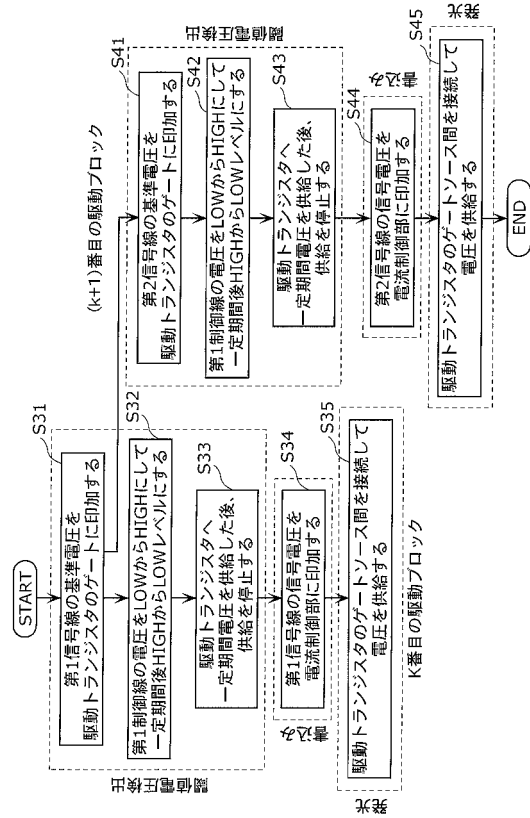
【図17】



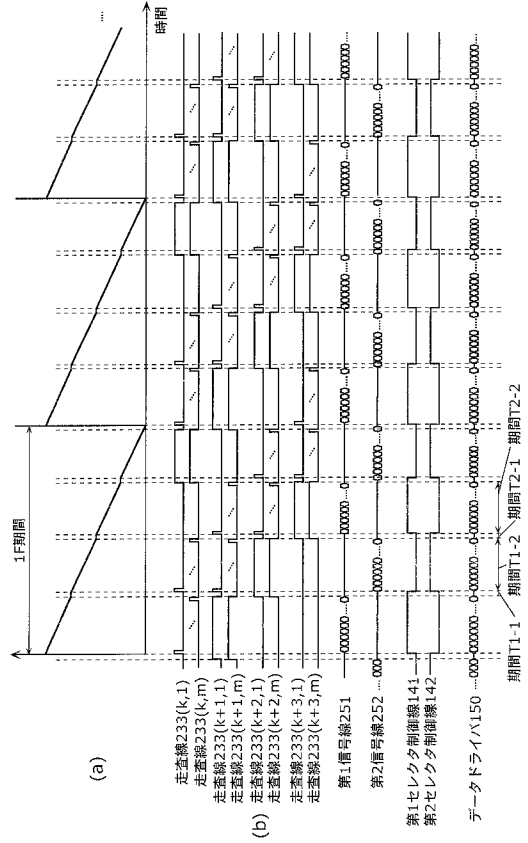
【図18】



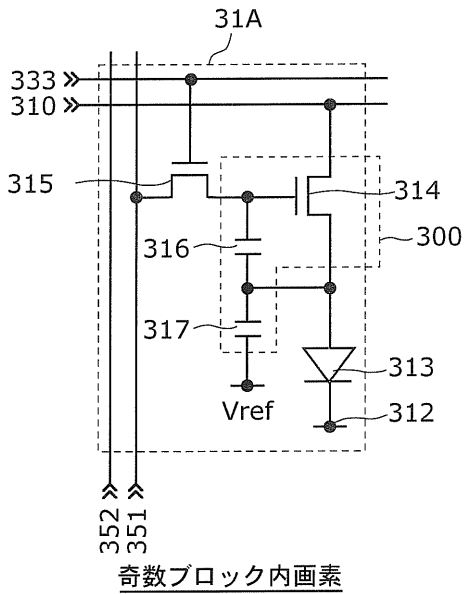
【図19】



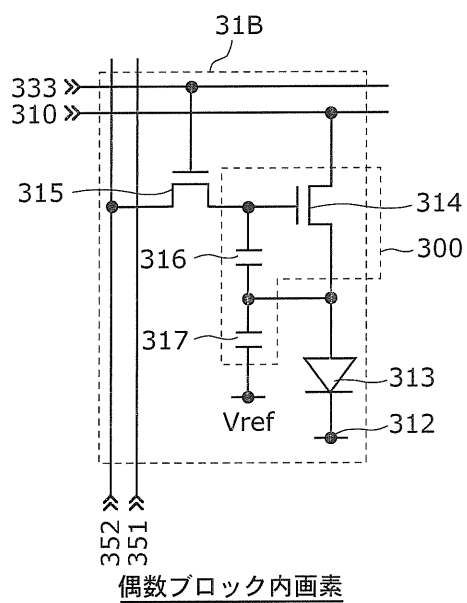
【図20】



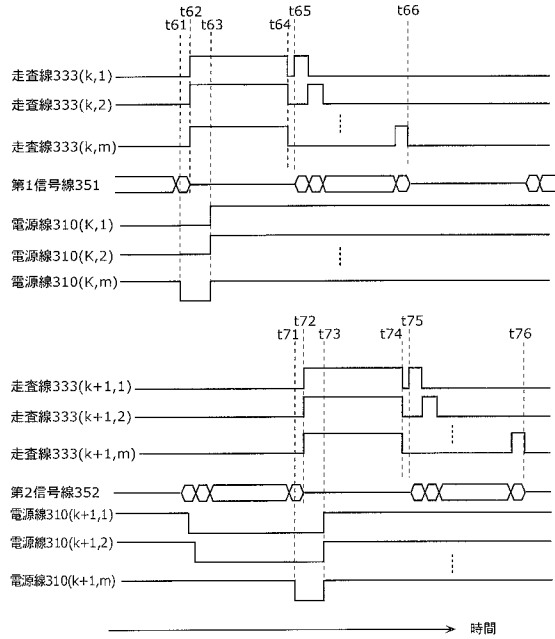
【図21A】



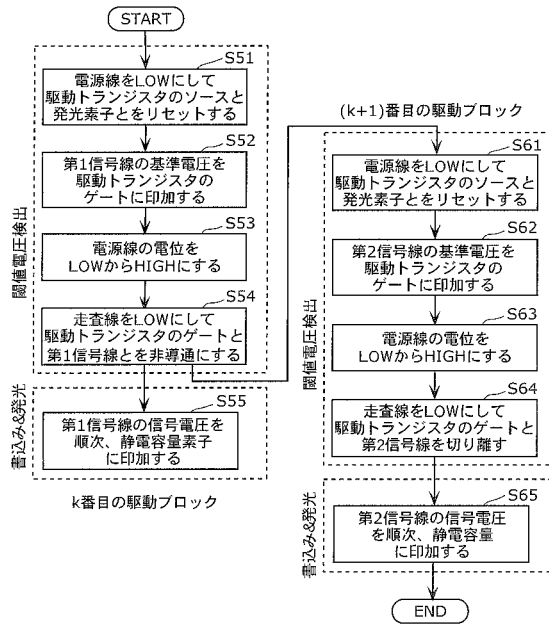
【図21B】



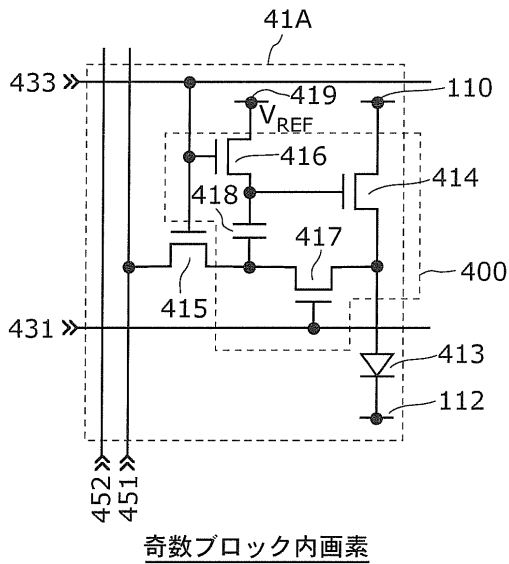
【図22】



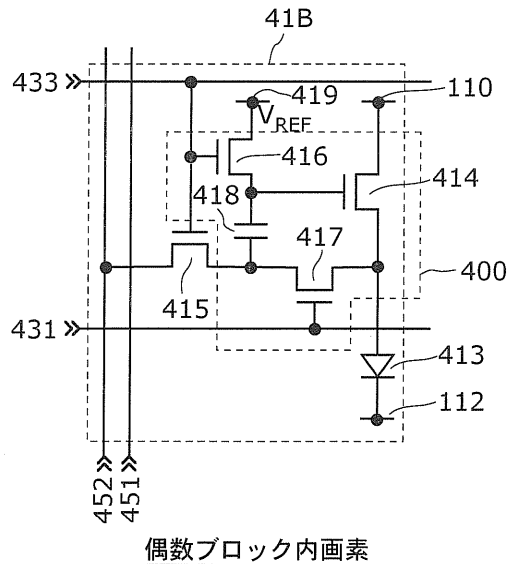
【図23】



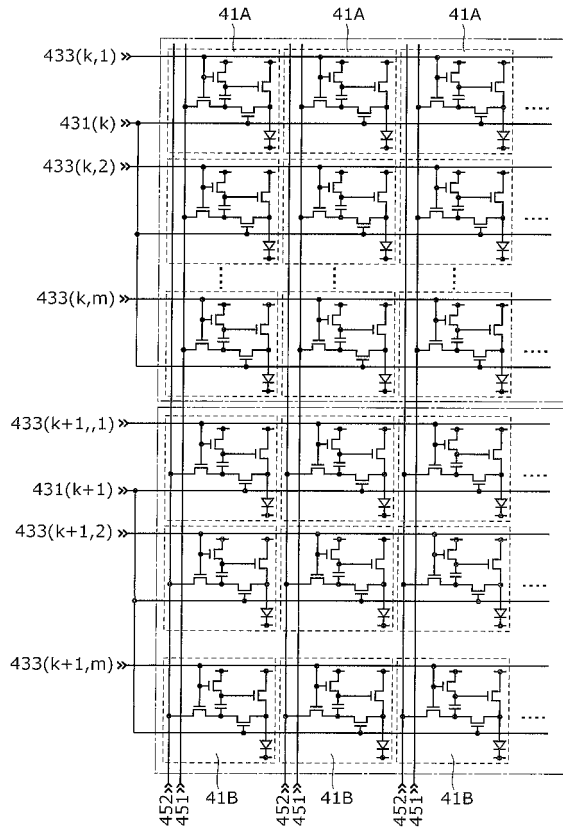
【図24A】



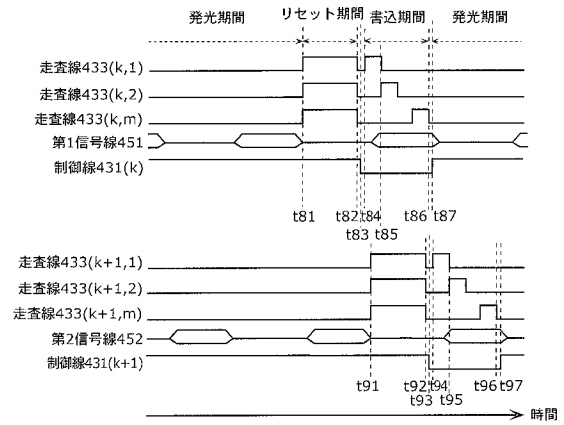
【図24B】



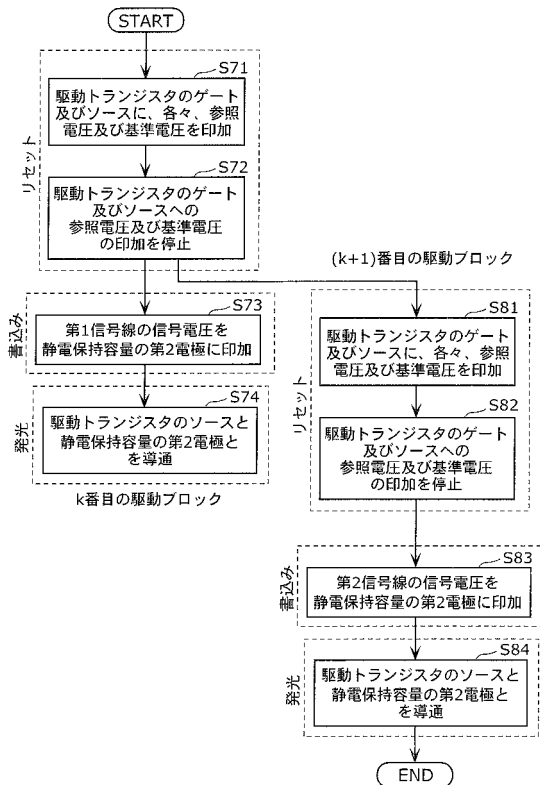
【図25】



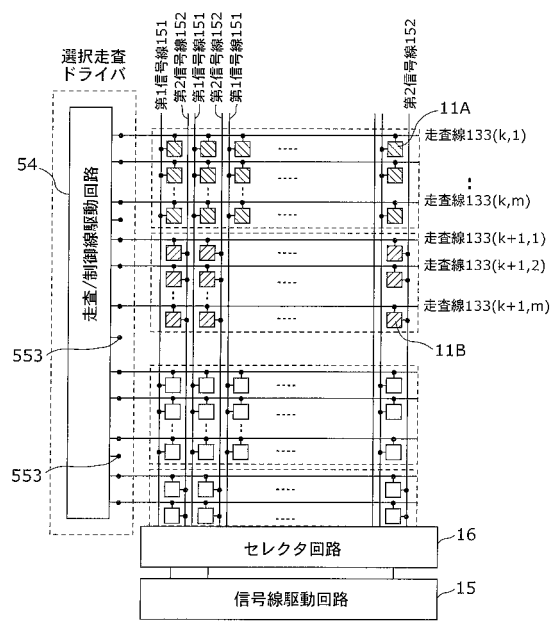
【図26】



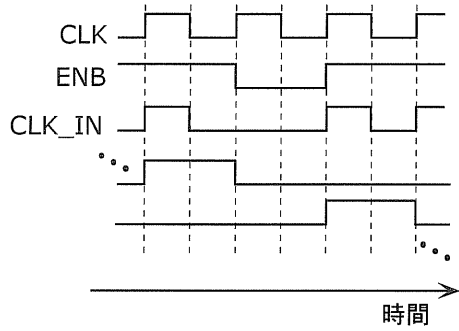
【図27】



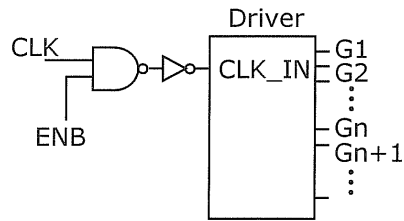
【図28A】



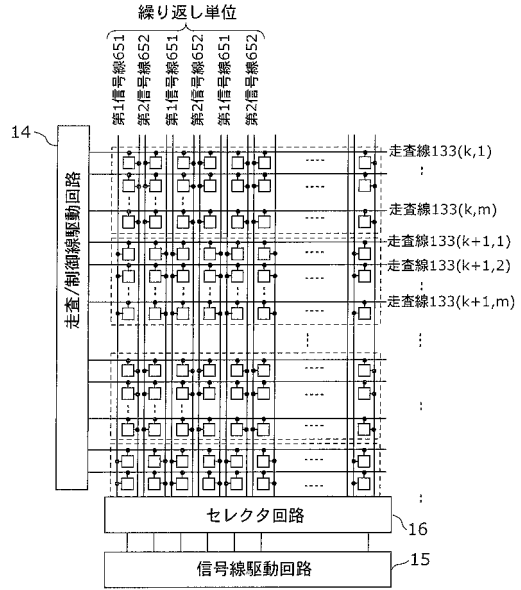
【図28B】



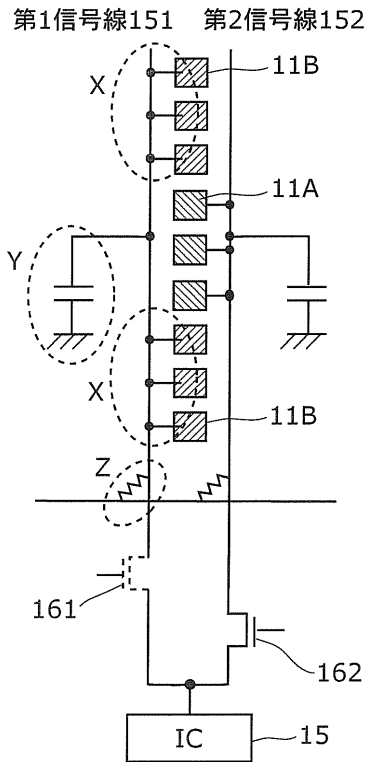
【図28C】



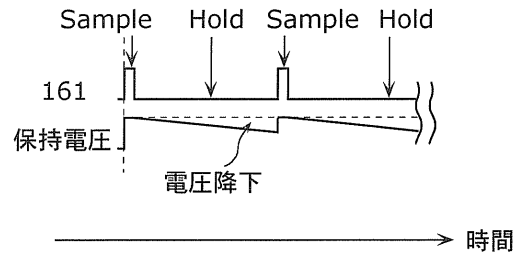
【図29】



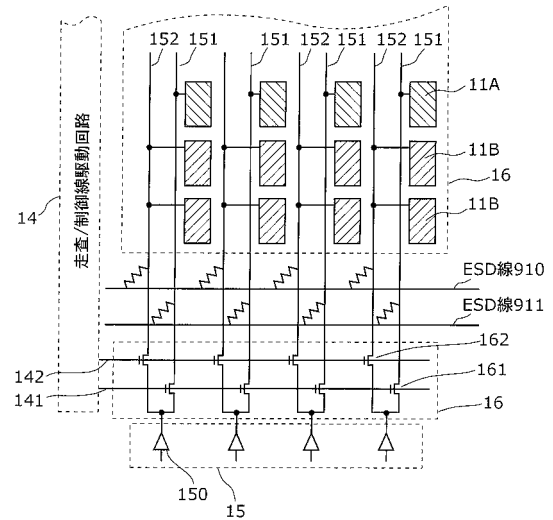
【図30A】



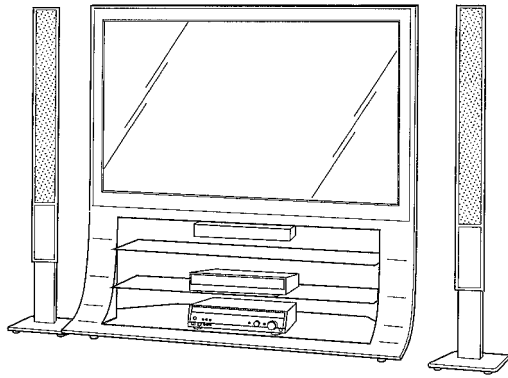
【図30B】



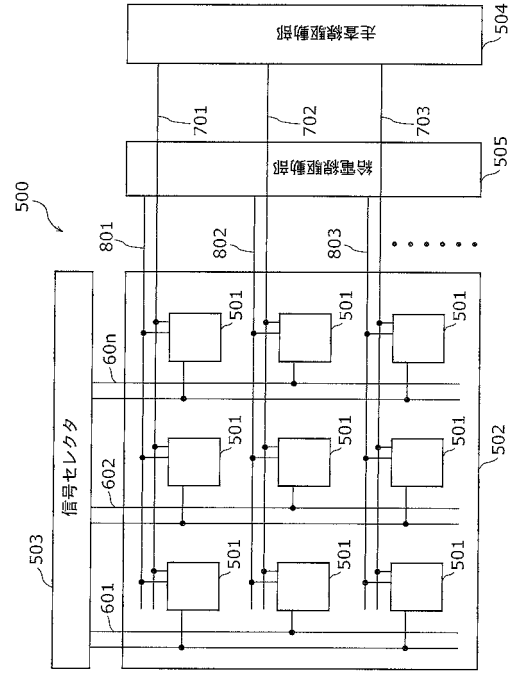
【図30C】



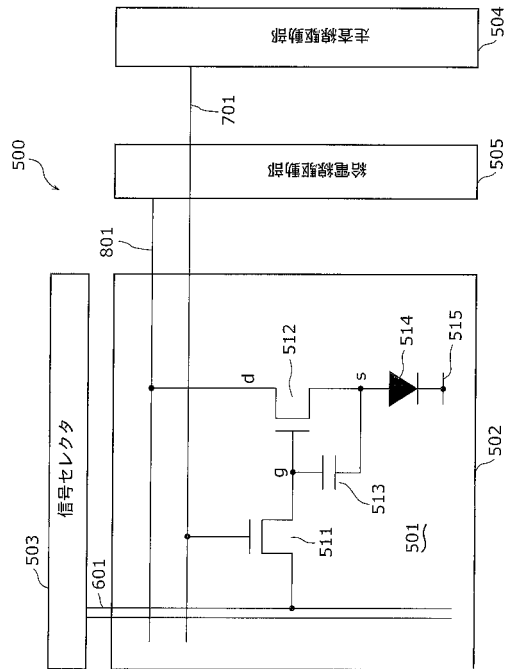
【図 3 1】



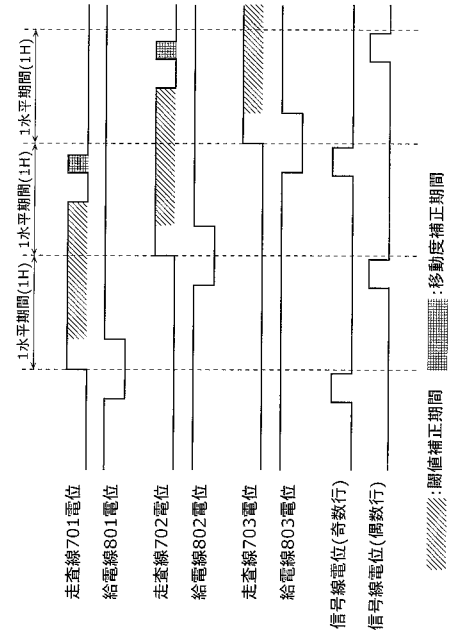
【図 3 2】



【図 3 3】



【図 3 4】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 1 M  
G 0 9 G 3/20 6 2 2 D  
G 0 9 G 3/20 6 2 2 P  
G 0 9 G 3/20 6 2 3 D  
G 0 9 G 3/20 6 2 3 U  
G 0 9 G 3/30 H  
H 0 5 B 33/14 A

(56)参考文献 特開2003-186439(JP,A)  
特開2008-122633(JP,A)  
特開2007-304521(JP,A)  
特開2005-134435(JP,A)  
特開2009-237041(JP,A)  
特開2006-284716(JP,A)  
国際公開第2008/152817(WO,A1)  
国際公開第2010/041426(WO,A1)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 2 0  
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及其控制方法		
公开(公告)号	<a href="#">JP5282146B2</a>	公开(公告)日	2013-09-04
申请号	JP2011550334	申请日	2010-09-06
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	松井雅史 小野晋也		
发明人	松井 雅史 小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2300/0876 G09G2310/0218 G09G2310/0297 G09G2320/0223 H01L27/3276		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.623.Y G09G3/20.641.D G09G3/20.642.A G09G3/20.621.M G09G3/20.622.D G09G3/20.622.P G09G3/20.623.D G09G3/20.623.U G09G3/30.H H05B33/14.A		
代理人(译)	新居 広守		
审查员(译)	Naoaki 桥本		
其他公开文献	JPWO2012032567A1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

减小了驱动电路的输出负载，并提供了具有改善的显示质量的显示装置。具有多个发光像素的显示器件，更像素行构成两个或多个驱动块作为一个驱动组，把信号线驱动电路的信号电压输出到设置用于每个发光像素列输出线当从输出线输出的信号电压被提供给任一设置用于每个发光像素列（151）和第二信号线（152）的第一信号线，从输出线输出以及选择器电路（16），用于控制为每个发光像素列设置的选择器，以便选择性地提供固定电压或信号电压给第一信号线和第二信号线之一，每个发光像素包括：电流控制单元，有机EL装置，其被连接到第一信号线（151）的第k个驱动块的发光像素（11A），（K+1）个驱动器块的发光像素（11B）连接到第二信号线（152）。

$$V_S = V_{T(EL)} - \frac{C_2}{C_1 + C_2 + C_{EL}} \Delta V_{reset} < -V_{th} \quad (式2)$$