

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5096103号
(P5096103)

(45) 発行日 平成24年12月12日 (2012.12.12)

(24) 登録日 平成24年9月28日 (2012.9.28)

(51) Int.Cl.	F I
G 0 9 G 3 / 3 0 (2 0 0 6 . 0 1)	G O 9 G 3 / 3 0 J
G 0 9 G 3 / 2 0 (2 0 0 6 . 0 1)	G O 9 G 3 / 2 0 6 2 4 B
	G O 9 G 3 / 2 0 6 4 2 C
	G O 9 G 3 / 2 0 6 2 1 M

請求項の数 9 (全 10 頁)

(21) 出願番号 特願2007-271975 (P2007-271975)	(73) 特許権者 510048417
(22) 出願日 平成19年10月19日 (2007.10.19)	グローバル・オーエルイーディー・テクノ
(65) 公開番号 特開2009-98539 (P2009-98539A)	ロジー・リミテッド・ライアビリティ・カ
(43) 公開日 平成21年5月7日 (2009.5.7)	ンパニー
審査請求日 平成22年10月15日 (2010.10.15)	GLOBAL OLED TECHNOLOG
	Y LLC.
	アメリカ合衆国、バージニア州、ハーンド
	ン、パーク・センター・ロード 1387
	3、スイート 330
	13873 Park Center R
	oad, Suite 330, Her
	ndon, VA 20171, Uni
	ted States of Ameri
	ca
	最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のデータ線および複数の走査線の交点に対応して、複数の画素をマトリクス状に配置する表示装置において、

各画素が、

第1電極が第1電源に接続され、流れる電流に応じて発光する発光素子と、
ソース電極が第2電源線を介して第2電源に接続され、前記発光素子の第2電極にドレイン電流を供給する駆動トランジスタと、

第1電極が駆動トランジスタのゲート電極に接続されたデータ保持容量と、
画素選択期間にオンしてデータ線のデータを前記データ保持容量に書込む第1スイッチと、

前記第2電源と前記データ保持容量の第2電極との接続を制御する第2スイッチと、
前記データ保持容量の第2電極と前記第2電源とは異なる基準電源との間に設けられた抵抗と

を含み、

前記データ保持容量と前記基準電源との間の前記抵抗を R_{LR} 、前記第2スイッチのオン抵抗を R_{on} 、表示装置の水平方向または垂直方向の画素数のうち少ない方の画素数を M とするときに、 $R_{on} < R_{LR} * M / 40$ を満たし、

前記データ保持容量の第2電極の電位を、画素選択期間の中の少なくとも一部の期間と画素非選択期間の中の少なくとも一部の期間とで変化させることを特徴とする表示装置。

10

20

【請求項 2】

請求項 1 に記載の表示装置において、
さらに、
前記抵抗と、前記基準電源との接続を制御する第 3 スイッチ
を有することを特徴とする表示装置。

【請求項 3】

請求項 2 に記載の表示装置において、
前記第 2 スイッチのオン抵抗とオフ抵抗の比であるオン抵抗 / オフ抵抗を R_2 、前記第 3 スイッチのオン抵抗とオフ抵抗の比であるオン抵抗 / オフ抵抗を R_3 とするとき、 $R_2 \times R_3 < 0.01$ を満たすことを特徴とする表示装置。

10

【請求項 4】

請求項 2 に記載の表示装置において、
前記第 2 スイッチおよび前記第 3 スイッチが、画素領域内に設けられた薄膜トランジスタであることを特徴とする表示装置。

【請求項 5】

請求項 2 に記載の表示装置において、
前記第 2 スイッチが画素領域内に設けられた薄膜トランジスタであり、前記第 3 スイッチが、画素領域の外に設けられたトランジスタであることを特徴とする表示装置。

【請求項 6】

請求項 1 に記載の表示装置において、
前記データ保持容量の第 2 電極と前記基準電源を接続する基準電位線が、前記第 2 電源線と直交することを特徴とする表示装置。

20

【請求項 7】

請求項 1 に記載の表示装置において、
前記データ保持容量の第 2 電極と前記基準電源を接続する基準電位線が、前記走査線の走査方向と直交することを特徴とする表示装置。

【請求項 8】

請求項 1 に記載の表示装置において、
前記データ保持容量が、前記駆動トランジスタのゲートノードに生じる、前記データ保持容量を除いた容量である寄生容量よりも大きいことを特徴とする表示装置。

30

【請求項 9】

請求項 1 に記載の表示装置において、
前記データ保持容量の第 2 電極の電位を、画素選択期間の中の少なくとも一部の期間と画素非選択期間の中の少なくとも一部の期間とで変化させることで、電源電圧の変動による書き込み電圧への影響が補償されることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素をマトリクス状に配置した表示装置およびその画素回路に関する。

【背景技術】

40

【0002】

OLED 等の電流駆動型発光素子を用いた表示装置では、通常、画素領域内に電源線を配し、電源線間に駆動素子と OLED 等の被駆動素子を接続し、駆動素子のコンダクタンスを制御することで目的の表示画像を得る。駆動素子としてトランジスタ（駆動トランジスタ）を用いる場合、その駆動トランジスタのソース端子を一方の電源に接続し、駆動トランジスタのゲート端子に表示データに対応した電圧を印加することで、駆動トランジスタのゲート・ソース間電圧に応じた電流を被駆動素子である OLED に供給し、所望の表示画像を得る。

【0003】

図 1 には、従来の表示装置の全体構成を示す。画素領域 1 には、単位画素（画素）2 が

50

マトリクス状に配置されている。画素 2 の各行に対応して走査線 3 が配置され、単位画素の各列に対応して、信号線 4 および電源線 5 が設けられている。走査線 3 は、走査線駆動回路 6 により駆動され、信号線 4 は、信号線駆動回路 7 により駆動され、電源線 5 は、電源電圧回路 8 により駆動される。

【 0 0 0 4 】

そして、制御回路 9 からの信号に応じて、走査線駆動回路 6 が 1 本の走査線を選択し、信号線駆動回路 7 は選択されている画素の信号を信号線 4 に供給する。これを繰り返すことによって、各画素に対応する信号が書き込まれる。なお、電源線 5 には、常時電源電圧が供給される。

【 0 0 0 5 】

図 2 A には、P 型トランジスタを駆動トランジスタとした場合の典型的な画素回路を示す。信号線 4 には、トランジスタで形成されるスイッチ S W 1 の一端が接続され、このスイッチ S W 1 の他端は、駆動トランジスタ T_{DR} のゲート端子が接続される。駆動トランジスタ T_{DR} のソースは電源電圧 V_{dd} を供給する電源線 5 に接続されている。ここで、抵抗 R_L は、電源線 5 における配線抵抗である。また、駆動トランジスタ T_{DR} のソースゲート間にはデータ保持容量 C_s が接続されており、駆動トランジスタ T_{DR} のドレインは O L E D のアノードに接続されている。そして、O L E D のカソードは、低電圧の電源であるグランドなどに接続されている。

【 0 0 0 6 】

従って、スイッチ S W 1 がオンすることによって、 $V_{dd} - V_{data}$ に応じた電圧がデータ保持容量 C_s に書き込まれ、 V_{data} に応じた電流が駆動トランジスタ T_{DR} に流れ、その電流で O L E D が発光する。

【 0 0 0 7 】

電源線 5 に流れる電流が大きいと、電源線 5 の抵抗によって電源電圧 V_{dd} に変動を生じる。このときデータ保持容量 C_s に蓄えられる電圧は低下するため、画素の発光輝度は目的輝度よりも低下してしまう。このような問題に対処するため、従来は、電源線の電圧変動自体を低減する方法が取られている。電源電圧変動を低減するために、電源線の抵抗自体を下げたり（例えば特許文献 1）、駆動トランジスタに流す電流を画素選択期間中オフにしたり（例えば特許文献 2）することが提案されている。

【 0 0 0 8 】

【特許文献 1】特開 2 0 0 7 - 2 4 1 3 0 2 号公報

【特許文献 2】特開 2 0 0 6 - 3 0 0 9 8 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上記特許文献 1 の方法では、電源線の抵抗値の低減にはおのずから限界があり、根本的な解決とはならない。また、特許文献 2 の方法では、画素選択期間中に駆動トランジスタのソース電極がフローティングとなるため、駆動トランジスタのゲート・ソース間に信号電圧を正確に書き込むのは困難である。

【 0 0 1 0 】

本発明は、電源電圧の電位変動による画素電流の変動を抑え、表示特性の良好な表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明は、複数のデータ線および複数の走査線の交点に対応して、複数の画素をマトリクス状に配置する表示装置において、各画素が、第 1 電極が第 1 電源に接続され、流れる電流に応じて発光する発光素子と、ソース電極が第 2 電源線を通じて第 2 電源に接続され、前記発光素子の第 2 電極にドレイン電流を供給する駆動トランジスタと、第 1 電極が駆動トランジスタのゲート電極に接続されたデータ保持容量と、画素選択期間にオンしてデータ線のデータを前記データ保持容量に書込む第 1 スイッチと、前記第 2 電源と前記デー

10

20

30

40

50

タ保持容量の第2電極との接続を制御する第2スイッチと、前記データ保持容量の第2電極と前記第2電源とは異なる基準電源との間に設けられた抵抗とを含み、前記データ保持容量と前記基準電源との間の前記抵抗を R_{LR} 、前記第2スイッチのオン抵抗を R_{on} 、表示装置の水平方向または垂直方向の画素数のうち少ない方の画素数を M とするときに、 $R_{on} < R_{LR} * M / 40$ を満たし、前記データ保持容量の第2電極の電位を、画素選択期間の中の少なくとも一部の期間と画素非選択期間の中の少なくとも一部の期間とで変化させることを特徴とする。

【発明の効果】

【0023】

本発明によれば、電源線の配線抵抗に応じて、データ保持容量の第2電極の電位が変化しても、データ保持容量には、正しいデータを書き込むことができる。

10

【発明を実施するための最良の形態】

【0024】

本発明の実施形態に係る画素回路、表示装置について、図面に基づいて説明する。本実施形態に係る画素回路を図2Aに示す。図2AではP型の駆動トランジスタを用いているが、N型の駆動トランジスタの場合も極性を反転させるだけで、全く同様に本発明を適用することができる。

【0025】

本発明による画素回路は、駆動トランジスタ T_{DR} のソース電極が、一方の電源線（電圧 V_{dd} ）に接続され、駆動トランジスタ T_{DR} のゲート電極に、走査線3によりオン・オフを制御されるデータ電圧書き込み用のスイッチ $SW1$ が接続され、かつ駆動トランジスタ T_{DR} のゲート電極にはデータ保持容量 C_s の一方の電極が接続された構造を持っている。そして、データ保持容量 C_s のもう一方の電極（基準電極）電位を、走査線選択期間と走査線非選択期間とで電源電圧の電圧降下分変化させることにより、電源線の電圧降下による駆動トランジスタのゲート・ソース間電圧を補正し、画素電流の低下を防ぐ。

20

【0026】

具体的には、スイッチ $SW2$ を設け、このスイッチ $SW2$ によって、データ保持容量 C_s の基準電極電位を、走査線選択期間中はある一定電位（この例では基準電位線の基準電位 V_{ref} ）に接続し、走査線非選択期間に電圧降下した電源線5（配線抵抗 R_L による電圧降下した当該画素部分の電源線5）に接続するよう切り換えることにより、駆動トランジスタ T_{DR} のゲート電極電位を電源線5の配線抵抗 R_L による電圧降下分変化させて、駆動トランジスタ T_{DR} のゲート・ソース間電位を目的電圧に保つことができる。

30

【0027】

すなわち、図2Bに示すように、スイッチ $SW1$ がオンしているときに、 V_{data} として当該画素のデータが供給される。そのとき、スイッチ $SW2$ は、基準電位 V_{ref} を選択する。そして、スイッチ $SW1$ がオフした後、スイッチ $SW2$ は、電源線5、すなわち $V_{dd} - \Delta V$ を選択する。

【0028】

なお、画素回路は、基板上の各画素に形成され、駆動トランジスタ T_{DR} 、スイッチ $SW1$ 、 $SW2$ は、薄膜トランジスタによって構成される。

40

【0029】

次に、図3A、3Bを用いて、図2の回路の動作を詳しく説明する。なお、この実施形態も、P型の駆動トランジスタ T_{DR} を想定しているが、N型の駆動トランジスタの場合も極性を反転させるだけで、動作は全く同様となる。

【0030】

すなわち、N型の駆動トランジスタをOLEDのカソード側に配置し、駆動トランジスタのソース電極とグランドとの間に生じる配線抵抗による電圧降下を補償することが可能となる。

【0031】

走査線3により画素が選択されると、図3Aに示すように、スイッチ $SW1$ がオンとな

50

り、駆動トランジスタ T_{DR} のゲート(ノードa)にデータ電圧 V_{data} が書き込まれる。そのとき、スイッチ $SW2$ は基準電位 V_{ref} に接続され、駆動トランジスタ T_{DR} のソース(ノードb)の電位 V_b は V_{ref} となり、データ保持容量 C_s には電圧($V_{data} - V_{ref}$)が蓄えられる。

【0032】

走査線3が非選択となりスイッチ $SW1$ がオフになった後、スイッチ $SW2$ を電源線5側に切り替えると、図3Bに示すように、電位 V_b は電源電圧 V_{dd} から電圧降下分 ΔV を差し引いた $V_{dd} - \Delta V$ となる。ノードaの周りに接続される全容量を C_{all} とすると、ノードaの電位 V_a は、 $V_a = V_{data} + C_s / C_{all} * (V_{dd} - \Delta V - V_{ref})$ となり、駆動トランジスタ T_{DR} のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = V_{data} - C_s / C_{all} * V_{ref} - (1 - C_s / C_{all}) * (V_{dd} - \Delta V)$ となる。

10

【0033】

データ保持容量 C_s をノードaの周りの寄生容量に比べて十分大きく取ると、 $C_s = C_{all}$ とおくことができ、図2Bに示すように、 $V_{gs} = V_{data} - V_{ref}$ となり、 V_{gs} は電源線5の電圧降下分 ΔV に依らない値となる。駆動トランジスタ T_{DR} のドレイン電圧は飽和領域では主に V_{gs} により定まるので、電圧降下 ΔV に依らず目的電圧に応じた画素電流をOLEDに供給することができる。

【0034】

ノードAの周りの寄生容量が C_s に対して無視できず、例えば C_s が寄生容量と同じ程度でも、 $C_s = 0.5 * C_{all}$ とおくと、 $V_{gs} = V_{data} - 0.5 * (V_{ref} + V_{dd} - \Delta V)$ となり、電源線の電圧降下の影響を半分に抑えることができ、効果が期待できる。

20

【0035】

実際には、スイッチ $SW2$ は必ずしも理想的なスイッチである必要は無く、下記の具体例に示すように様々な構成が考えられる。

【0036】

(具体例1)

図4に具体例1の画素回路、およびそれに接続される制御線、電源線の構成を示す。

【0037】

具体例1では、各画素に基準電位 V_{ref} を供給する基準電位線10を配設するとともに、走査線11と、スイッチ $SW3$ を、スイッチ $SW2$ に加えて設ける。そして、走査線11は、走査線3の非選択時(Lレベル期間)において、選択レベル(Hレベル)とし、走査線3をスイッチ $SW3$ のゲートに接続し、走査線11をスイッチ $SW2$ のゲートに接続する。これによって、データ保持容量 C_s の基準電極電位をデータ書込み時には基準電位 V_{ref} に、走査線非選択時は電源線5の電源電位 V_{dd} に制御する。なお、スイッチ $SW3$ 、 $SW2$ には薄膜トランジスタを用いるのが好適である。

30

【0038】

図4ではスイッチ $SW3$ 、 $SW2$ にN型TFTを用いているが、P型やN型とP型の組合せて行うこともできる。また、データ保持容量 C_s の基準電極電位の切り替えは、データ保持容量 C_s へのデータ電圧 V_{data} の書込みが完了した後に行うのが好適である。

40

【0039】

駆動トランジスタ T_{DR} のゲート・ソース間電圧 V_{gs} は、 $V_{data} - C_s / (C_s + C_p) * V_{ref} - C_p / (C_s + C_p) * (V_{dd} - \Delta V)$ となり、電源線 V_{dd} の電圧降下 ΔV の影響は $C_p / (C_s + C_p)$ 倍に低減される。なお、 C_p はノードa周りの寄生容量であり、 $C_{all} = C_s + C_p$ である。従って、データ保持容量 C_s の容量値は、駆動トランジスタのゲートノードの周りに接続される寄生容量 C_p に比べて十分大きく取ることが好適である。

【0040】

(具体例2)

図5に具体例2の表示装置の全体構成図を示す。図6には、具体例2の画素部分及び開

50

連する周辺部分を抜き出した回路図を示す。

【 0 0 4 1 】

表示装置の全体構成は図 3 と同様である。電源線 V_{dd} を信号線方向に、基準電位線 10 を走査線方向に配し、データ保持容量 C_s の基準電極は基準電位線 10 に直接接続される。基準電位線 10 は画素領域 1 の外で基準電位 V_{ref} にスイッチ SW_3 を介して接続される。電源線 V_{dd} と基準電位線 10 は各画素内でスイッチ SW_2 を介して接続される。

【 0 0 4 2 】

データ書込み時に、走査線 3 が選択され、同時にスイッチ SW_3 がオンとなる。このときスイッチ SW_2 はオフであり、基準電位線 10 には電流はほとんど流れない。このため、データ保持容量 C_s の基準電極電位 V_b はほぼ基準電位 V_{ref} ($V_b = V_{ref}$) となっている。次に、走査線 3 が非選択となった後に走査線 11 を選択してスイッチ SW_2 をオンとする。データ保持容量 C_s の基準電極電位 V_b は、電源線 V_{dd} の画素接続点の電位 $V_{dd} - \Delta V$ とほぼ同じになり、データ保持容量 C_s を介して駆動トランジスタ T_{DR} のゲートノード a の電位も引っ張られる。結果、 T_{DR} のゲート・ソース間電圧 V_{gs} は、 $V_{data} - C_s / (C_s + C_p) V_{ref} - C_p / (C_s + C_p) * (V_{dd} - \Delta V)$ となる。ここで、データ保持容量 C_s が寄生容量 C_p に比べて十分大きいとき、 T_{DR} のゲート・ソース間電圧 V_{gs} はこの画素における電圧降下に依らない電圧 $V_{gs} = V_{data} - V_{ref}$ となる。基準電位線 10 は走査線 11 選択時には電源電圧 V_{dd} として利用されるため、基準電位 V_{ref} は電源電圧 V_{dd} と同じか同程度の電位にすることが好適である。スイッチ SW_2 , SW_3 のオン抵抗・オフ抵抗をそれぞれ、 r_{2on} , r_{2off} , r_{3on} , r_{3off} とした場合、

$$r_{2on} * r_{3on} / r_{2off} / r_{3off} < 0.01$$

となるよう設計されることが好適である。ここで、スイッチ SW_2 のオン抵抗とオフ抵抗の比 (オン抵抗 / オフ抵抗) を R_2 、スイッチ SW_3 のオン抵抗とオフ抵抗の比 (オン抵抗 / オフ抵抗) を R_3 と表すと、上式は、 $R_2 * R_3 < 0.01$ と表される。

【 0 0 4 3 】

このように設定することで、スイッチ SW_2 がオンの際にデータ保持容量 C_s の基準電極の電位を、電源電圧 V_{dd} に応じた電圧に設定し、スイッチ SW_3 がオンの時に基準電位 V_{ref} に設定することができる。

【 0 0 4 4 】

(具体例 3)

図 7 に具体例 3 の画素回路、制御線、電源線構成、および駆動タイミング波形を示す。具体例 3 の全体構成は図 5 と同様である。具体例 2 で基準電位線 10 を基準電圧 V_{ref} に接続していたスイッチ SW_3 が取り除かれ、ダイレクトに基準電位線 10 を基準電位 V_{ref} に接続している。そして、この基準電位線 10 は、抵抗 R_{LR} を介し基準電源 V_{ref} に接続されている。従って、スイッチ SW_2 がオンの時に、電源 V_{dd} と、基準電源 V_{ref} が抵抗 R_{LR} とスイッチ SW_2 のオン抵抗を介し接続される。

【 0 0 4 5 】

この場合、スイッチ SW_2 のオン抵抗 r_{2on} が基準電位線 10 の抵抗 R_{LR} に関して、

$$r_{2on} < R_{LR} * M / 10$$

となるよう設定されることが好適である。また、 $r_{2on} < R_{LR} * M / 40$ となるように設定されることがさらに好適である。このように設定することで、スイッチ SW_2 がオンの際にデータ保持容量 C_s の基準電極の電位を電源電圧 V_{dd} に応じた電圧と、基準電位 V_{ref} に切り換えて設定することができる。ここで、 M は水平方向の画素数である。具体例 3 の場合、水平方向の全画素におけるスイッチ SW_2 がオンして、電源 V_{dd} に接続されるため、画素数が多いほど、電源 V_{dd} までの抵抗が実質的に小さくなる。基準電位線 10 を垂直方向に配置した場合には、垂直方向の画素数を M に採用すればよく、またいずれか小さい方の画素数を採用してもよい。

【 図面の簡単な説明 】

10

20

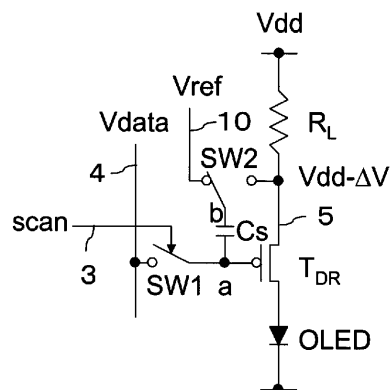
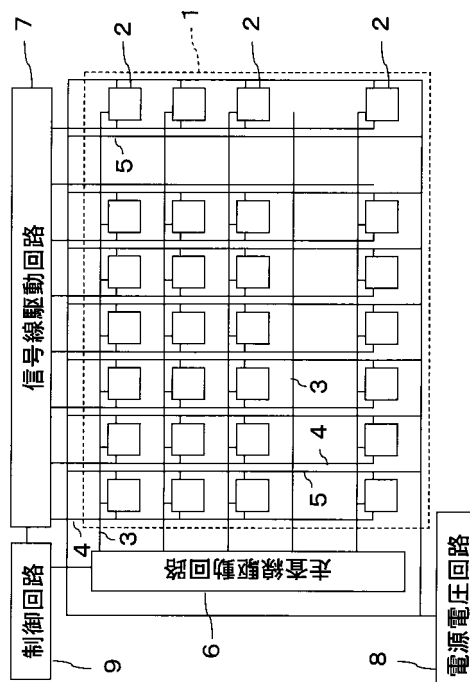
30

40

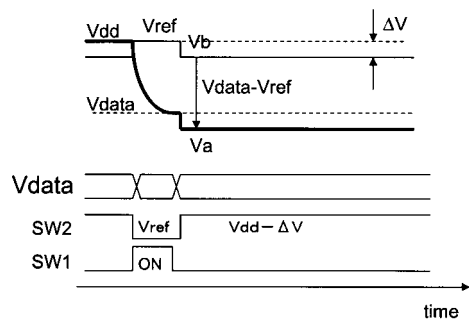
50

1 画素領域、2 画素、3 走査線、4 信号線、5 電源線、6 走査線駆動回路、7 信号線駆動回路、8 電源電圧回路、9 制御回路、10 基準電位線、11 走査線、 C_s データ保持容量、 R_L 配線抵抗、 R_{LR} 抵抗、 $SW1$ 、 $SW2$ 、 $SW3$ スイッチ、 T_{DR} 駆動トランジスタ。

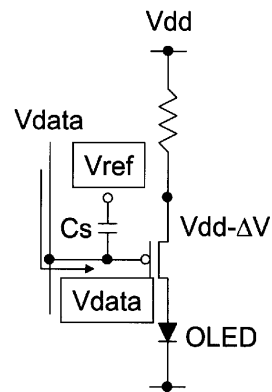
【圖 2 A】



【 ㄨ 2 B 】

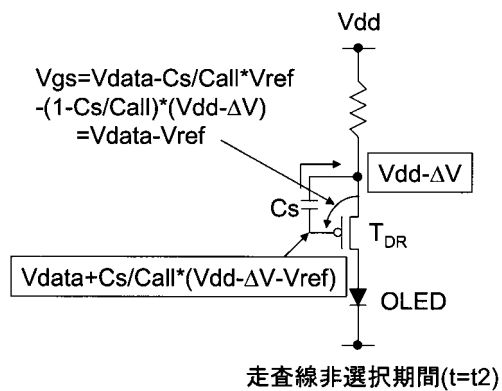


【 図 3 A 】

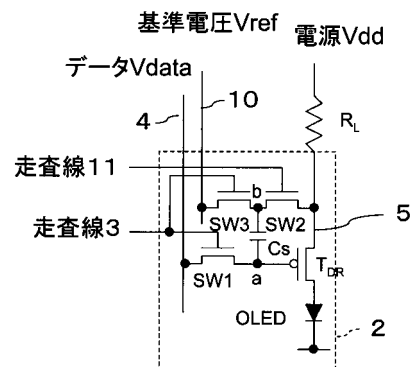


走査線選択時($t=t_1$)

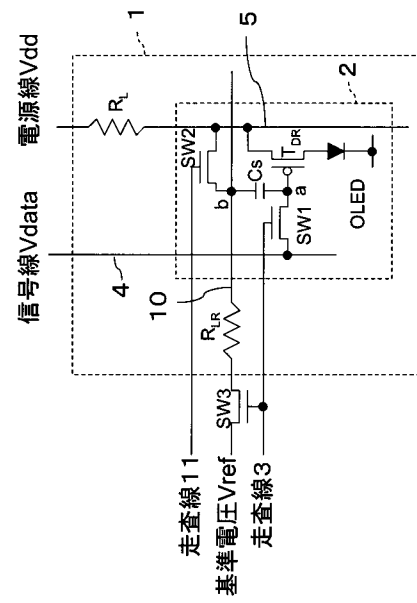
【 図 3 B 】



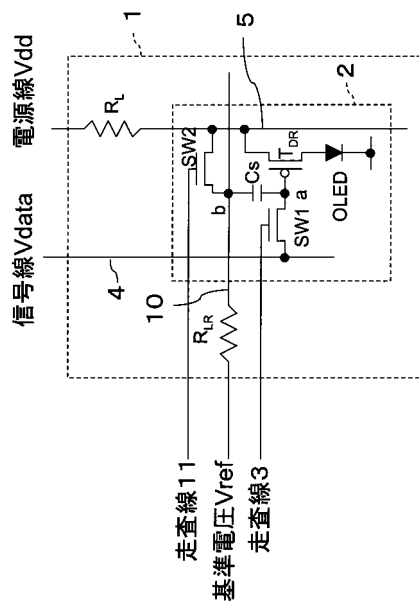
【圖 4】



【 図 6 】



【圖 7】



フロントページの続き

- (74)代理人 100110423
弁理士 曾我 道治
- (74)代理人 100084010
弁理士 古川 秀利
- (74)代理人 100094695
弁理士 鈴木 憲七
- (74)代理人 100111648
弁理士 梶並 順
- (74)代理人 100122437
弁理士 大宅 一宏
- (74)代理人 100147566
弁理士 上田 俊一
- (72)発明者 三和 宏一
東京都中央区新川 2 丁目 2 7 番 1 号 コダック株式会社内
- (72)発明者 前川 雄一
東京都中央区新川 2 丁目 2 7 番 1 号 コダック株式会社内

審査官 鳥居 祐樹

- (56)参考文献 特開 2 0 0 6 - 0 7 2 3 0 3 (J P , A)
特開 2 0 0 3 - 1 8 6 4 3 8 (J P , A)
特開 2 0 0 6 - 0 2 3 5 8 6 (J P , A)
特開 2 0 0 2 - 1 6 9 5 1 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0 - 3 / 0 8
G 0 9 G	3 / 1 2 - 3 / 1 6
G 0 9 G	3 / 1 9 - 3 / 2 6
G 0 9 G	3 / 3 0 - 3 / 3 4
G 0 9 G	3 / 3 8

专利名称(译)	表示装置		
公开(公告)号	JP5096103B2	公开(公告)日	2012-12-12
申请号	JP2007271975	申请日	2007-10-19
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
当前申请(专利权)人(译)	全球豪迪E.科技有限责任公司		
[标]发明人	三和宏一 前川雄一		
发明人	三和 宏一 前川 雄一		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0439 G09G2320/0214		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.C G09G3/20.621.M G09G3/20.680.G G09G3/3266 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/BA19 5C380/CB16 5C380/CB26 5C380/CB31 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CD013 5C380/CD014 5C380/CE01 5C380/CE04 5C380/CF41 5C380/DA02 5C380/DA06		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
其他公开文献	JP2009098539A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够防止电力线电压降影响的显示装置和像素电路。解决方案：发光元件OLED的第一电极连接到第一电源，并且发光元件OLED根据电流发光。驱动晶体管 T_{SB} 的源极连接到电源Vdd，并将漏极电流提供给发光元件OLED的第二电极。在数据保持电容器 C_s 中，第一电极连接到驱动晶体管的栅极。第一开关SW1在像素选择周期中导通，以将数据线的电压写入数据保持电容器 C_s 。然后，使像素选择期间的至少一部分中的数据保持电容器 C_s 的第二电极的电位与像素非选择期间的至少一部分的电位不同。因此，补偿了由第二电源的布线电阻 R_L 引起的电源电压的变化。 ΔV

