

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4752177号
(P4752177)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年6月3日(2011.6.3)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/30 K

G09G 3/20 611H

G09G 3/20 621J

G09G 3/20 623A

G09G 3/20 623F

請求項の数 4 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2003-370633 (P2003-370633)
 (22) 出願日 平成15年10月30日(2003.10.30)
 (65) 公開番号 特開2005-134641 (P2005-134641A)
 (43) 公開日 平成17年5月26日(2005.5.26)
 審査請求日 平成18年10月6日(2006.10.6)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 河西 利幸
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路、表示装置の駆動方法、電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の画素を備えた表示装置の駆動回路において、

前記複数の画素の各々へ供給されるデータ信号として電流信号を出力する電流生成回路であり、前記複数の画素の各々の表示輝度に対応するデジタル階調データを前記電流信号の基準値に基づき前記電流信号にそれぞれ変換する複数のデジタル/アナログ変換回路を含む第1の駆動回路と、

前記複数の画素の各々の表示時間が設定されるカウンタを含み、前記カウンタのカウント数に基づき前記表示時間を制御する第2の駆動回路と、

前記第1の駆動回路における各デジタル/アナログ変換回路の出力電流のばらつきが許容値以下か否かに応じて予め設定されるデータ基準信号及び時間基準信号を生成し、前記データ基準信号を前記第1の駆動回路へ出力するとともに、前記時間基準信号を前記第2の駆動回路へ出力する制御回路と、を備え、

前記第1の駆動回路は、

前記制御回路から出力される前記データ基準信号に応じて前記電流信号の前記基準値を設定し、

前記第2の駆動回路は、

前記制御回路から出力される前記時間基準信号に応じて前記カウンタが計数する前記カウント数を設定し、

前記制御回路は、

10

20

前記第 1 の駆動回路における各デジタル / アナログ変換回路の出力電流のばらつきが許容値以下である場合には、前記電流信号の電流値を制御するための基準値を第 1 の基準値にするデータ基準信号と、前記表示時間を制御するための基準値を第 2 の基準値にする時間基準信号とを出力し、

前記第 1 の駆動回路における各デジタル / アナログ変換回路の出力電流のばらつきが許容値よりも大きい場合には、前記電流信号の電流値と前記表示時間との積が一定の値となるように、前記電流信号の電流値の大きさを制御するための基準値を第 1 の基準値よりも大きくするデータ基準信号と、前記表示時間を制御するための基準値を第 2 の基準値よりも小さくする時間基準信号とを出力する
ことを特徴とする表示装置の駆動回路。

10

【請求項 2】

複数の画素を備えた表示装置の駆動方法において、

前記複数の画素の各々へ供給されるデータ信号として電流信号を出力する電流生成回路であり、前記複数の画素の各々の表示輝度に対応するデジタル階調データを前記電流信号の基準値に基づき前記電流信号にそれぞれ変換する複数のデジタル / アナログ変換回路を含む第 1 の駆動回路によって、前記データ信号を生成し、

前記複数の画素の各々の表示時間が設定されるカウンタを含み、前記カウンタのカウント数に基づき前記表示時間を制御する第 2 の駆動回路によって、前記表示時間を制御する時間制御信号を生成し、

前記第 1 の駆動回路における各デジタル / アナログ変換回路の出力電流のばらつきが許容値以下か否かに応じて予め設定されるデータ基準信号及び時間基準信号を制御回路により生成して、前記データ基準信号を前記制御回路により前記第 1 の駆動回路へ出力するとともに、前記時間基準信号を前記制御回路により前記第 2 の駆動回路へ出力し、

20

前記制御回路から出力される前記データ基準信号に応じて前記電流信号の前記基準値を前記第 1 の駆動回路で設定し、

前記制御回路から出力される前記時間基準信号に応じて前記カウンタが計数する前記カウント数を前記第 2 の駆動回路で設定し、

前記第 1 の駆動回路における各デジタル / アナログ変換回路の出力電流のばらつきが許容値以下である場合には、前記電流信号の電流値を制御するための基準値を第 1 の基準値にするデータ基準信号と、前記表示時間を制御するための基準値を第 2 の基準値にする時間基準信号とが制御回路から出力され、

30

前記第 1 の駆動回路における各デジタル / アナログ変換回路の出力電流のばらつきが許容値よりも大きい場合には、前記電流信号の電流値と前記表示時間との積が一定の値となるように、前記電流信号の電流値を制御するための基準値を第 1 の基準値よりも大きくするデータ基準信号と、前記表示時間を制御するための基準値を第 2 の基準値よりも小さくする時間基準信号とが制御回路から出力される

ことを特徴とする表示装置の駆動方法。

【請求項 3】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線の交差部に対応する位置に配置され、電気光学素子をそれぞれ有する複数の画素と、を備えた電気光学装置において、

40

前記複数のデータ線を介して前記複数の画素の各々へ供給されるデータ信号として電流信号を出力する電流生成回路であり、前記複数の画素の各々の表示輝度に対応するデジタル階調データを前記電流信号の基準値に基づき前記電流信号にそれぞれ変換する複数のデジタル / アナログ変換回路を含むデータ線駆動回路と、

前記複数の画素の各々における前記電気光学素子の発光時間が設定されるカウンタを含み、前記複数の走査線へ供給され、前記電気光学素子の発光時間を制御する時間制御信号を前記カウンタのカウント数に基づき生成する走査線駆動回路と、

前記データ線駆動回路における各デジタル / アナログ変換回路の出力電流のばらつきが許容値以下か否かに応じて予め設定されるデータ基準信号及び時間基準信号を生成し、前

50

記データ基準信号を前記データ線駆動回路へ出力するとともに、前記時間基準信号を前記走査線駆動回路へ出力する制御回路と、を備え、

前記データ線駆動回路は、

前記制御回路から出力される前記データ基準信号に応じて前記電流信号の前記基準値を設定し、

前記走査線駆動回路は、

前記制御回路から出力される前記時間基準信号に応じて前記カウンタが計数する前記カウンタ数を設定し、

前記制御回路は、

前記データ線駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値以下である場合には、前記電流信号の電流値を制御するための基準値を第１の基準値にするデータ基準信号と、前記発光時間を制御するための基準値を第２の基準値にする時間基準信号とを出力し、

10

前記データ線駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値よりも大きい場合には、前記電流信号の電流値と前記発光時間との積が一定の値となるように、前記電流信号の電流値を制御するための基準値を第１の基準値よりも大きくするデータ基準信号と、前記発光時間を制御するための基準値を第２の基準値よりも小さくする時間基準信号とを出力する

ことを特徴とする電気光学装置。

【請求項４】

20

請求項３記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、有機ＥＬディスプレイなどの表示装置の駆動回路、表示装置の駆動方法、電気光学装置及び電子機器に関する。

【背景技術】

【０００２】

近年、電気光学装置として有機ＥＬ素子を用いた有機ＥＬディスプレイ（有機エレクトロルミネッセンス表示装置）が、低消費電力、高視野角、高コントラスト比で他の装置より優れているとして注目されている。この有機ＥＬディスプレイのデータ線駆動回路には、デジタル／アナログ変換回路が用いられている。データ線駆動回路のデジタル／アナログ変換回路は、デジタルデータである画像データ（階調データ）に応じたアナログ電流（電流信号）を、複数のデータ線をそれぞれ介して複数の画素回路に供給するようになっている（例えば、特許文献１）。

30

【０００３】

また、液晶表示装置として、バックライトの明るさを強弱させて階調表示を行わせることにより、今までＴＦＴ特性ムラが原因で不良となっていた液晶パネルも製品として出荷することができ、歩留まりの向上を図ったものが知られている（例えば、特許文献２参照）。

40

【特許文献１】特開２０００－１２２６０８号公報

【特許文献２】特開平５－２７３５２３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

ところで、上記従来の有機ＥＬディスプレイのデータ線駆動回路は、複数のデータ線と同じ数の出力端子を備え、各出力端子から電流信号を出力するようになっている。このようなデータ線駆動回路は、例えば１チップの半導体集積回路（以下、ドライバＩＣと呼ぶ）で作られるが、製造上、当然出力電流にばらつきが発生する。そのため、上記従来の有機ＥＬディスプレイでは、ドライバＩＣにおける出力端子間の出力電流ばらつきが許容値

50

より大きい場合には、そのドライバＩＣは通常不良品になるので、ドライバＩＣの歩留まりが低下してしまうという問題があった。

【０００５】

本発明は、上記従来の問題点に着目してなされたもの、その目的は、データ信号の大きさ及び表示時間をデータ信号を生成する駆動回路毎に個別に設定可能にし、歩留まりの向上を図った表示装置の駆動回路、表示装置の駆動方法、電気光学装置及び電子機器を提供することにある。

【課題を解決するための手段】

【０００６】

本発明における表示装置の駆動回路は、複数の画素を備えた表示装置の駆動回路において、前記複数の画素の各々へ供給されるデータ信号として電流信号を出力する電流生成回路であり、前記複数の画素の各々の表示輝度に対応するデジタル階調データを前記電流信号の基準値に基づき前記電流信号にそれぞれ変換する複数のデジタル／アナログ変換回路を含む第１の駆動回路と、前記複数の画素の各々の表示時間が設定されるカウンタを含み、前記カウンタのカウント数に基づき前記表示時間を制御する第２の駆動回路と、前記第１の駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値以下か否かに応じて予め設定されるデータ基準信号及び時間基準信号を生成し、前記データ基準信号を前記第１の駆動回路へ出力するとともに、前記時間基準信号を前記第２の駆動回路へ出力する制御回路と、を備え、前記第１の駆動回路は、前記制御回路から出力される前記データ基準信号に応じて前記電流信号の前記基準値を設定し、前記第２の駆動回路は、前記制御回路から出力される前記時間基準信号に応じて前記カウンタが計数する前記カウント数を設定し、前記制御回路は、前記データ線駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値以下である場合には、前記電流信号の電流値を制御するための基準値を第１の基準値にするデータ基準信号と、前記表示時間を制御するための基準値を第２の基準値にする時間基準信号とを出力し、前記データ線駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値よりも大きい場合には、前記電流信号の電流値と前記表示時間との積が一定の値となるように、前記電流信号の電流値の大きさを制御するための基準値を第１の基準値よりも大きくするデータ基準信号と、前記表示時間を制御するための基準値を第２の基準値よりも小さくする時間基準信号とを出力することを要旨とする。

【０００７】

この発明は、データ信号の大きさと表示を行う時間との掛け算によって、各画素の表示輝度（平均的な輝度）を制御する表示装置の駆動方法に適用される。以下の発明も同様である。なお、ここにいう「データ基準信号が第１の基準値と等しい場合」とは、第１の駆動回路が生成するデータ信号のばらつきが許容値以下で、第１の駆動回路が検査工程で良品と判定された場合に、データ基準信号が第１の基準値と等しい値に設定される場合をいう。また、「データ基準信号が第１の基準値より大きい場合」とは、第１の駆動回路が生成するデータ信号のばらつきが許容値より大きく、第１の駆動回路が検査工程で不良品と判定された場合に、データ基準信号が第１の基準値より大きい値に設定される場合をいう。以下の発明においても同様である。

【０００８】

これによれば、制御回路は、データ基準信号が第１の基準値と等しい場合には、時間基準信号を第２の基準値と等しくする。この場合、第１の駆動回路は、データ信号の大きさは変えないように設定される。例えば、第１の駆動回路は、各画素ごとのデジタル階調データを変換率「１」でアナログ信号であるデータ信号に変換するように設定される。一方、第２の駆動回路は、第２の基準値に対応する基準の大きさの時間制御信号を生成するように設定される。

【０００９】

また、制御回路は、データ基準信号が第１の基準値より大きい場合には、時間基準信号を第２の基準値より小さくする。この場合、第１の駆動回路は、データ基準信号が第１の

基準値と等しい場合よりも大きいデータ信号を生成するように設定される。例えば、第 1 の駆動回路は、各画素ごとのデジタル階調データを「1」より大きい変換率でアナログ信号であるデータ信号に変換するように設定される。一方、第 2 の駆動回路は、第 2 の基準値に対応する基準の大きさの時間制御信号より小さい時間制御信号を生成するように設定される。

【0010】

したがって、データ信号の大きさ及び表示を行う時間（表示時間）を、第 1 の駆動回路毎に個別に設定することができる。

また、データ基準信号が第 1 の基準値より大きい場合、つまり、第 1 の駆動回路が、データ信号のばらつきが許容値より大きいために不良品と判定される場合には、第 1 の駆動回路が良品の場合よりも大きいデータ信号を生成するようにすることで、データ信号のばらつきによる影響を小さくすることができる。この場合、データ信号を大きくした分だけ表示輝度が全体的に大きくなってしまいうので、他の表示装置による表示輝度との釣り合いをとるために、表示輝度が大きくなる分だけ時間基準信号を第 2 の基準値より小さくして表示を行う時間を短くする。

【0011】

このため、階調データに応じた輝度での表示を実現できるとともに、データ信号のばらつきが大きい不良品の第 1 の駆動回路を良品として使用することができる。したがって、データ信号を生成する第 1 の駆動回路がデータ信号のばらつき大により不良品と判定される場合にも、その不良品を良品として救済することができ、歩留まりを向上することができる。

【0017】

これによれば、データ基準信号、及び、前記時間基準信号はデータ信号のばらつきの大きさに応じて設定されるので、例えば、そのばらつきの大きさに応じてデータ基準信号を大きくしてデータ信号を大きくするとともに、そのばらつきの大きさに応じて時間基準信号を大きくして時間制御信号を大きくすることができる。したがって、データ信号のばらつきの大きさが異なる場合にも、不良品の第 1 の駆動回路を良品として救済することができ、歩留まりをさらに向上することができる。

【0019】

一般に第 1 の駆動回路の各出力端子から各画素へ供給される電流信号（出力電流）のばらつきは、その回路を構成するトランジスタの利得係数 β と閾値電圧 V_{th} に起因して発生する。この第 1 の駆動回路においては、トランジスタの飽和電流を出力電流として利用する構成にする場合があり、その出力電流は下記の式 1 のように表わされる。

【0020】

$$I = (1/2) \times \beta \times (V_{gs} - V_{th})^2 \cdots \cdots (式 1)$$

この式 1 から分かるように、ある β 値を持つトランジスタに関しては、 V_{gs} が小さいほど、つまり V_{gs} が V_{th} と近い値になるほど、出力電流 I が V_{th} のばらつきの影響を受けやすくなる。 V_{gs} が小さい状態とは I が小さい状態であるので、第 1 の駆動回路の出力電流値が小さいほど、その出力電流ばらつきが大きくなるといえる。本発明は、このような傾向を利用している。

【0021】

これによれば、第 1 の駆動回路は、制御回路から出力されるデータ基準信号に応じて複数のデジタル/アナログ変換回路から出力される電流信号の電流値を設定する。これにより、第 1 の駆動回路の検査工程において、第 1 の駆動回路から出力される電流信号のばらつき（第 1 の駆動回路の出力電流ばらつき）を測定し、そのばらつきが許容値より大きい場合には、制御回路が生成するデータ基準信号を第 1 の基準値より大きくして、そのデータ基準信号に応じて第 1 の駆動回路の電流信号の電流値を大きめに設定する。このように設定された第 1 の駆動回路を用いる場合、制御回路は、第 2 の基準値よりも小さい時間基準信号を生成して第 2 の駆動回路へ供給することで、各画素が表示を行う時間を短めにする。

【 0 0 2 2 】

このように、第 1 の駆動回路の検査工程において、その出力電流ばらつきを測定し、そのばらつきが許容値より大きい場合には制御回路が生成するデータ基準信号を第 1 の基準値より大きめに設定することにより、そのデータ基準信号に応じて第 1 の駆動回路の電流信号を大きめに設定する。これにより、第 1 の駆動回路の出力電流ばらつきが小さくなり、そのばらつきが大きくて通常では不良品となる第 1 の駆動回路を良品として使用可能にして救済することができ、歩留まりを向上することができる。

【 0 0 2 3 】

これによれば、データ信号のばらつきが大きい不良品の第 1 の駆動回路を良品として使用する場合に、階調データに応じた輝度の表示を得ることができる。

10

【 0 0 2 5 】

これによれば、制御回路は、データ信号のばらつきの大きさに応じて、電流値と表示時間との積（電流値×表示時間）が一定の値になるように、第 1 の駆動回路と第 2 の駆動回路を制御するので、データ信号のばらつきが大きい不良品の第 1 の駆動回路を良品として使用する場合に、同じ階調データに対して同じ輝度の表示を得ることができる。

また、この表示装置の駆動回路において、前記制御回路は、前記データ信号のばらつきの大きさに応じて、前記電流値と前記表示時間との積が一定の値になるように、前記データ基準信号が第 1 の基準値より小さい場合には、前記時間基準信号を第 2 の基準値より大きくすることを要旨とする。

なお、ここにいう「データ基準信号が第 1 の基準値より小さい場合」とは、例えば第 1 の駆動回路が生成するデータ信号のばらつきが許容値以下の良品であって、データ基準信号を第 1 の基準値より小さい値に設定する必要のある場合をいう。

20

これによれば、制御回路は、データ基準信号が第 1 の基準値より小さい場合、時間基準信号を第 2 の基準値より大きくする。この場合、第 1 の駆動回路は、データ基準信号が第 1 の基準値と等しい場合よりも小さいデータ信号を生成するように設定される。例えば、第 1 の駆動回路は、画素ごとのデジタル階調データを「1」より小さい変換率でアナログ信号であるデータ信号に変換するように設定される。一方、第 2 の駆動回路は、第 2 の基準値に対応する基準の大きさの時間制御信号より大きい時間制御信号を生成するように設定される。

したがって、第 1 の駆動回路を、データ基準信号が第 1 の基準値と等しい場合よりも小さいデータ信号を生成するように設定することも可能になる。これにより、第 1 の駆動回路毎に個別に設定する際の設定方法が増え、第 1 の駆動回路の歩留まりがさらに向上する。

30

【 0 0 2 6 】

本発明における表示装置の駆動方法は、複数の画素を備えた表示装置の駆動方法において、前記複数の画素の各々へ供給されるデータ信号として電流信号を出力する電流生成回路であり、前記複数の画素の各々の表示輝度に対応するデジタル階調データを前記電流信号の基準値に基づき前記電流信号にそれぞれ変換する複数のデジタル／アナログ変換回路を含む第 1 の駆動回路によって、前記データ信号を生成し、前記複数の画素の各々の表示時間が設定されるカウンタを含み、前記カウンタのカウント数に基づき前記表示時間を制御する第 2 の駆動回路によって、前記表示時間を制御する時間制御信号を生成し、前記第 1 の駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値以下か否かに応じて予め設定されるデータ基準信号及び時間基準信号を制御回路により生成して、前記データ基準信号を前記制御回路により前記第 1 の駆動回路へ出力するとともに、前記時間基準信号を前記制御回路により前記第 2 の駆動回路へ出力し、前記制御回路から出力される前記データ基準信号に応じて前記電流信号の前記基準値を前記第 1 の駆動回路で設定し、前記制御回路から出力される前記時間基準信号に応じて前記カウンタが計数する前記カウント数を前記第 2 の駆動回路で設定し、前記第 1 の駆動回路における各デジタル／アナログ変換回路の出力電流のばらつきが許容値以下である場合には、前記電流信号の電流値を制御するための基準値を第 1 の基準値にするデータ基準信号と、前記表示時間

40

50

を制御するための基準値を第2の基準値にする時間基準信号とが制御回路から出力され、前記第1の駆動回路における各デジタル/アナログ変換回路の出力電流のばらつきが許容値よりも大きい場合には、前記電流信号の電流値と前記表示時間との積が一定の値となるように、前記電流信号の電流値を制御するための基準値を第1の基準値よりも大きくするデータ基準信号と、前記表示時間を制御するための基準値を第2の基準値よりも小さくする時間基準信号とが制御回路から出力されることを要旨とする。

【0027】

これによれば、データ信号の大きさ及び表示を行う時間を、第1の駆動回路毎に個別に設定することができる。したがって、データ信号を生成する第1の駆動回路がデータ信号のばらつき大により不良品と判定される場合にも、その不良品を良品として救済することができ、歩留まりを向上することができる。

10

【0028】

これによれば、データ基準信号が第1の基準値より小さい場合、制御回路により、時間基準信号を第2の基準値より大きくする。この場合、第1の駆動回路により、データ基準信号が第1の基準値と等しい場合よりも小さいデータ信号が生成される。例えば、第1の駆動回路により、画素ごとのデジタル階調データが「1」より小さい変換率でアナログ信号であるデータ信号に変換される。一方、第2の駆動回路により、第2の基準値に対応する基準の大きさの時間制御信号より大きい時間制御信号が生成される。

【0029】

したがって、第1の駆動回路により、データ基準信号が第1の基準値と等しい場合よりも小さいデータ信号を生成可能になる。これにより、第1の駆動回路毎に個別に設定する際の設定方法が増え、第1の駆動回路の歩留まりがさらに向上する。

20

【0030】

本発明における電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線の交差部に対応する位置に配置され、電気光学素子をそれぞれ有する複数の画素と、を備えた電気光学装置において、前記複数のデータ線を介して前記複数の画素の各々へ供給されるデータ信号として電流信号を出力する電流生成回路であり、前記複数の画素の各々の表示輝度に対応するデジタル階調データを前記電流信号の基準値に基づき前記電流信号にそれぞれ変換する複数のデジタル/アナログ変換回路を含むデータ線駆動回路と、前記複数の画素の各々における前記電気光学素子の発光時間が設定されるカウンタを含み、前記複数の走査線へ供給され、前記電気光学素子の発光時間を制御する時間制御信号を前記カウンタのカウント数に基づき生成する走査線駆動回路と、前記データ線駆動回路における各デジタル/アナログ変換回路の出力電流のばらつきが許容値以下か否かに応じて予め設定されるデータ基準信号及び時間基準信号を生成し、前記データ基準信号を前記データ線駆動回路へ出力するとともに、前記時間基準信号を前記走査線駆動回路へ出力する制御回路と、を備え、前記データ線駆動回路は、前記制御回路から出力される前記データ基準信号に応じて前記電流信号の前記基準値を設定し、前記走査線駆動回路は、前記制御回路から出力される前記時間基準信号に応じて前記カウンタが計数する前記カウント数を設定し、前記制御回路は、前記第1の駆動回路における各デジタル/アナログ変換回路の出力電流のばらつきが許容値以下である場合には、前記電流信号の電流値を制御するための基準値を第1の基準値にするデータ基準信号と、前記発光時間を制御するための基準値を第2の基準値にする時間基準信号とを出力し、前記第1の駆動回路における各デジタル/アナログ変換回路の出力電流のばらつきが許容値よりも大きい場合には、前記電流信号の電流値と前記発光時間との積が一定の値となるように、前記電流信号の電流値を制御するための基準値を第1の基準値よりも大きくするデータ基準信号と、前記発光時間を制御するための基準値を第2の基準値よりも小さくする時間基準信号とを出力することを要旨とする。

30

40

【0031】

これによれば、制御回路は、データ基準信号が第1の基準値と等しい場合には、時間基準信号を第2の基準値と等しくする。この場合、データ線駆動回路は、データ信号の大き

50

さは変えないように設定される。例えば、データ線駆動回路は、画素ごとのデジタル階調データを変換率「1」でアナログ信号であるデータ信号に変換するように設定される。一方、走査線駆動回路は、第2の基準値に対応する基準の大きさの時間制御信号を生成するように設定される。

【0032】

また、制御回路は、データ基準信号が第1の基準値より大きい場合には、時間基準信号を第2の基準値より小さくする。この場合、データ線駆動回路は、データ基準信号が第1の基準値と等しい場合、つまりデータ線駆動回路が良品の場合よりも大きいデータ信号を生成するように設定される。例えば、データ線駆動回路は、画素ごとのデジタル階調データを「1」より大きい変換率でアナログ信号であるデータ信号に変換するように設定される。一方、走査線駆動回路は、第2の基準値に対応する基準の大きさの時間制御信号より小さい時間制御信号を生成するように設定される。

10

【0033】

したがって、データ信号の大きさ及び電気光学素子の発光時間を、データ線駆動回路毎に個別に設定することができる。

また、データ信号のばらつきが大きいためにデータ線駆動回路が不良品と判定される場合には、データ線駆動回路が良品の場合よりも大きいデータ信号を生成するようにすることで、データ信号のばらつきによる影響を小さくすることができる。この場合、データ信号を大きくした分だけ表示輝度が全体的に大きくなってしまっているので、他の表示装置による表示輝度との釣り合いをとるために、表示輝度が大きくなる分だけ時間基準信号を第2の基準値より小さくして表示を行う時間を短くする。

20

【0034】

このため、階調データに応じた輝度での表示を実現できるとともに、データ信号のばらつきが大きいい不良品のデータ線駆動回路を良品として使用することができる。したがって、データ信号を生成するデータ線駆動回路がデータ信号のばらつき大により不良品と判定される場合にも、その不良品を良品として救済することができ、歩留まりを向上することができる。

【0039】

これによれば、データ基準信号、及び、前記時間基準信号はデータ信号のばらつきの大きさに応じて設定されるので、例えば、そのばらつきの大きさに応じてデータ基準信号を大きくしてデータ信号を大きくするとともに、そのばらつきの大きさに応じて時間基準信号を大きくして時間制御信号を大きくすることができる。したがって、データ信号のばらつきの大きさが異なる場合にも、不良品のデータ線駆動回路を良品として救済することができ、歩留まりをさらに向上することができる。

30

【0041】

上記式1から分かるように、ある β 値を持つトランジスタに関しては、 V_{gs} が小さいほど、つまり V_{gs} が V_{th} と近い値になるほど、出力電流 I が V_{th} のばらつきの影響を受けやすくなる。 V_{gs} が小さい状態とは I が小さい状態であるので、データ線駆動回路の出力電流値が小さいほど、その出力電流ばらつきが大きくなるといえる。本発明は、このような傾向を利用している。

40

【0042】

これによれば、データ線駆動回路は、制御回路から出力されるデータ基準信号に応じて複数のデジタル/アナログ変換回路から出力される電流信号の電流値を設定する。これにより、データ線駆動回路の検査工程において、データ線駆動回路から出力される電流信号のばらつき（データ線駆動回路の出力電流ばらつき）を測定し、そのばらつきが許容値より大きい場合には、制御回路が生成するデータ基準信号を第1の基準値より大きくして、そのデータ基準信号に応じてデータ線駆動回路の電流信号の電流値を大きめに設定する。このように設定されたデータ線駆動回路を用いる場合、制御回路は、第2の基準値よりも小さい時間基準信号を生成して走査線駆動回路へ供給することで、各画素が表示を行う時間を短めにする。

50

【 0 0 4 3 】

このように、データ線駆動回路の検査工程において、その出力電流ばらつきを測定し、そのばらつきが許容値より大きい場合には制御回路が生成するデータ基準信号を第 1 の基準値より大きめに設定することにより、そのデータ基準信号に応じてデータ線駆動回路の電流信号を大きめに設定する。これにより、データ線駆動回路の出力電流ばらつきが小さくなり、そのばらつきが大きくて通常では不良品となるデータ線駆動回路を良品として使用可能にして救済することができ、歩留まりを向上することができる。

【 0 0 4 4 】

これによれば、データ信号のばらつきが大きい不良品のデータ線駆動回路を良品として使用する場合に、階調データに応じた輝度の表示を得ることができる。

10

【 0 0 4 6 】

これによれば、制御回路は、データ信号のばらつきの大きさに応じて、電流値と表示時間との積（電流値×表示時間）が一定の値になるように、データ線駆動回路と走査線駆動回路を制御するので、データ信号のばらつきが大きい不良品のデータ線駆動回路を良品として使用する場合に、同じ階調データに対して同じ輝度の表示を得ることができる。

また、この電気光学装置において、前記制御回路は、前記データ信号のばらつきの大きさに応じて、前記電流値と前記発光時間との積が一定の値になるように、前記データ基準信号が前記第 1 の基準値より小さい場合には前記時間基準信号を第 2 の基準値より大きくすることを要旨とする。

これによれば、制御回路は、データ基準信号が第 1 の基準値より小さい場合には、時間基準信号を第 2 の基準値より大きくする。この場合、データ線駆動回路は、データ基準信号が第 1 の基準値と等しい場合よりも小さいデータ信号を生成するように設定される。例えば、データ線駆動回路は、画素ごとのデジタル階調データを「1」より小さい変換率でアナログ信号であるデータ信号に変換するように設定される。一方、走査線駆動回路は、第 2 の基準値に対応する基準の大きさの時間制御信号より大きい時間制御信号を生成するように設定される。

20

したがって、データ線駆動回路を、データ基準信号が第 1 の基準値と等しい場合よりも小さいデータ信号を生成するように設定することも可能になる。これにより、データ線駆動回路毎に個別に設定する際の設定方法が増え、データ線駆動回路の歩留まりがさらに向上する。

30

【 0 0 4 7 】

本発明における電子機器は、上記の電気光学装置を実装したことを要旨とする。

これによれば、データ信号の大きさ及び電気光学素子の発光時間を、データ線駆動回路毎に個別に設定することができる。また、データ線駆動回路がデータ信号のばらつき大により不良品と判定される場合にも、その不良品を良品として救済することができ、歩留まりを向上することができる。したがって、低コストで、かつ面内の輝度むらの少ない表示が可能な電子機器を実現できる。

【発明を実施するための最良の形態】

【 0 0 4 8 】

[一実施形態]

以下、本発明を具体化した一実施形態を、図 1 ～ 図 1 0 に基づいて説明する。

図 1 は表示装置或いは電気光学装置としての有機 E L ディスプレイ 1 0 の回路構成を示し、図 2 は表示パネル部とデータ線駆動回路の内部回路構成を示し、そして、図 3 は画素回路の内部回路構成を示している。

40

【 0 0 4 9 】

図 1 に示すように、有機 E L ディスプレイ 1 0 は、画像表示を行う表示パネル部 1 1、第 1 の駆動回路或いは電流生成回路としてのデータ線駆動回路 1 2、第 2 の駆動回路としての走査線駆動回路 1 3、メモリ回路 1 4、及び、データ線駆動回路 1 2 及び走査線駆動回路 1 3 を制御する制御回路 1 5 を備えている。

【 0 0 5 0 】

50

有機ELディスプレイ10の表示パネル部11及び各回路12～15は、それぞれが独立した電子部品によって構成されている。例えば、各回路12～15は、1チップの半導体集積回路によってそれぞれ構成されている。

【0051】

表示パネル部11には、図1及び図2に示すように、複数の有機EL素子21がマトリクス状に配置された画素エリアが備えられている。表示パネル部11は、列方向に沿ってのびるデータ線 $X_1 \sim X_m$ (m は自然数)と、行方向に沿ってのびる複数の走査線 $Y_1 \sim Y_n$ (n は自然数)との交差部に対応する位置に配列された複数の画素回路20を有している。

【0052】

各画素回路20は、複数のデータ線 $X_1 \sim X_m$ と複数の走査線 $Y_1 \sim Y_n$ の交差部に対応する位置に配置され、1つのデータ線と1つの走査線とにそれぞれ接続されることにより、マトリクス状に配列されている。各画素回路20には電気光学素子としての有機EL素子21が設けられている(図3参照)。有機EL素子21は、駆動電流 I が供給されることによって発光する電流駆動型の発光素子である。なお、本明細書では、画素回路20を「画素」とも呼ぶ。

【0053】

データ線駆動回路12は、図1及び図2に示すように、複数のデータ線 $X_1 \sim X_m$ を介して複数の画素回路(画素)20の各々へ供給されるデータ信号としての出力電流(電流信号) $I_{out1} \sim m$ を生成する。データ線駆動回路12には、複数のデータ線 $X_1 \sim X_m$ にそれぞれ対応して、複数のデジタル/アナログ変換回路30が設けられている。各デジタル/アナログ変換回路30は、メモリ回路14から出力される各画素ごとのデジタル階調データ(画像データ)を電流信号にそれぞれ変換して出力電流 $I_{out1} \sim m$ を生成し、複数のデータ線 $X_1 \sim X_m$ の対応するデータ線にそれぞれ出力する。そして、データ線駆動回路12は、各データ線 $X_1 \sim X_m$ を介して、複数の走査線 $Y_1 \sim Y_n$ のうちの選択された走査線に接続された1行分の画素回路群の各画素回路20に出力電流 $I_{out1} \sim m$ をそれぞれ一斉に供給するようになっている。なお、メモリ回路14から出力される各画素ごとのデジタル階調データは、各画素での表示輝度の階調度を表わす、8ビットのデジタル階調データである。

【0054】

走査線駆動回路13は、図1及び図2に示すように、複数の走査線 $Y_1 \sim Y_n$ のうちの1本を順次を選択して1行分の画素回路群を選択する。走査線駆動回路13は、走査クロック信号である垂直同期信号 VT と水平同期信号 HT とに同期して画素選択制御信号 $GS_1 \sim GS_n$ (図7参照)を順次に生成して出力することで、複数の走査線 $Y_1 \sim Y_n$ を順次を選択するようになっている。また、走査線駆動回路13は、各画素回路20の有機EL素子21の発光時間 t を制御する時間制御信号としての画素発光制御信号 $GE_1 \sim GE_n$ (図7参照)を順次に生成して、複数の走査線 $Y_1 \sim Y_n$ のうちの選択された走査線に供給するようになっている。

【0055】

制御回路15は、図1に示すように、データ線駆動回路12、走査線駆動回路13を制御し、特に、出力電流 $I_{out1} \sim m$ の大きさを制御する出力電流の基準値設定信号(データ基準信号)をデータ線駆動回路12に対して出力する。また、制御回路15は、 $GS_1 \sim GS_n$ 、及び、 $GE_1 \sim GE_n$ の動作波形を制御する走査クロック信号(HT , VT)と $GE_1 \sim GE_n$ のHレベル期間を制御するカウント数設定信号(時間基準信号)を走査線駆動回路13に対して出力する。なお、 $GE_1 \sim GE_n$ のHレベル期間は有機EL素子21の発光時間 t に対応する。これら各種信号のうち、出力電流の基準値設定信号及びカウント数設定信号は切替え手段40によって制御される。

【0056】

図3は、各画素回路20の内部構成の一例を示す回路図である。

画素回路20は、有機EL素子21と、第1～第4のトランジスタ23～26と、保持

10

20

30

40

50

コンデンサ 27 とを有している。保持コンデンサ 27 は、データ線 $X_1 \sim X_m$ のうちの対応する 1 つデータ線（例えば図 3 で示すデータ線 X_m ）を介して供給される出力電流 I_{outm} に応じた電荷を保持する。第 1 ～ 第 3 のトランジスタ 23 ～ 25 は n チャンネル型 FET であり、第 4 のトランジスタ 26 は p チャンネル型 FET である。

【0057】

第 1 のトランジスタ 23 のソースは、第 2 ～ 第 4 のトランジスタ 24 ～ 26 のドレインとそれぞれ接続されている。第 1 のトランジスタ 23 のドレインは、第 4 のトランジスタ 26 のゲートに接続されている。保持コンデンサ 27 は、第 4 のトランジスタ 26 のソースとゲートとの間に接続されている。また、第 4 のトランジスタ 26 のソースは、電源電圧 V_{OEL} にも接続されている。

10

【0058】

第 2 のトランジスタ 24 のソースは、データ線 X_m を介してデータ線駆動回路 12 の対応する 1 つのデジタル / アナログ変換回路 30 に接続されている。有機 EL 素子 21 は、その陽極が第 3 のトランジスタ 25 のソースに接続され、陰極が接地されている。

【0059】

第 1 のトランジスタ 23 と第 2 のトランジスタ 24 の各ゲートは、走査線 Y_n を構成する 2 つの副走査線の一つである第 1 の副走査線 Y_{1n} に接続されており、その各ゲートには、第 1 の副走査線 Y_{1n} を介して走査線駆動回路 13 から画素選択制御信号 GS_n が入力される。また、第 3 のトランジスタ 25 のゲートは、走査線 Y_n を構成する 2 つの副走査線他方である第 2 の副走査線 Y_{2n} に接続されており、そのゲートには、第 2 の副走査線 Y_{2n} を介して走査線駆動回路 13 から画素発光制御信号 GE_n が入力される。なお、図 3 では、複数の走査線 $Y_1 \sim Y_n$ のうちの走査線 Y_n を示してあるが、その他の走査線 $Y_1 \sim Y_{n-1}$ も、走査線 Y_n と同様に、第 1 の副走査線 $Y_{11} \sim Y_{1n-1}$ と第 2 の副走査線 $Y_{21} \sim Y_{2n-1}$ とでそれぞれ構成されている。

20

【0060】

第 1 のトランジスタ 23 と第 2 のトランジスタ 24 は、保持コンデンサ 27 に電荷を蓄積する際に使用されるスイッチングトランジスタである。第 3 のトランジスタ 25 は、有機 EL 素子 21 の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第 4 のトランジスタ 26 は、有機 EL 素子 21 に流れる駆動電流 I を制御するための駆動トランジスタである。その駆動電流 I は、保持コンデンサ 27 に保持される電荷量（電圧）によって制御される。

30

【0061】

図 4 は、画素回路 20 の動作を示すタイミングチャートである。ここでは、第 1 の副走査線 Y_{1n} を介して入力される画素選択制御信号 GS_n 、第 2 の副走査線 Y_{2n} を介して入力される画素発光制御信号 GE_n と、データ線 X_m を介して入力される出力電流 I_{outm} と、有機 EL 素子 21 に流れる駆動電流 I とが示されている。

【0062】

図 4 に示す 1 垂直走査期間は、全ての走査線 $Y_1 \sim Y_n$ が順に選択されて 1 画面の表示がなされる 1 フレーム期間である。プログラム期間は、各画素回路 20 の保持コンデンサ 27 に出力電流 $I_{out1} \sim m$ （ここでは、 I_{outm} ）に対応した電荷を蓄積する期間である。また、発光期間（発光時間 t ）は、各画素回路 20 の有機 EL 素子 21 に駆動電流 I を流すことで有機 EL 素子 21 が発光する期間である。

40

【0063】

次に、図 4 に基づいて画素回路 20 の動作を説明する。ここでは、説明を簡単にするために、複数の走査線 $Y_1 \sim Y_n$ のうちの選択された一つの走査線 Y_n に接続された 1 行分の画素回路群のうち、データ線 X_m に接続された 1 つの画素回路 20 の動作のみを説明する。

【0064】

図 4 の t_1 時点から t_2 時点までのプログラム期間では、走査線駆動回路 13 が、H レベルの画素選択制御信号 GS_n を第 1 の副走査線 Y_{1n} へ供給する。また、このプログラ

50

ム期間では、データ線駆動回路12のデジタル/アナログ変換回路30が、メモリ回路14から出力されるデジタル階調データ（以下、単に「階調データ」という。）に応じた出力電流 I_{outm} を生成し、データ線 X_m へ供給する。このとき、その出力電流 I_{outm} は、図3の矢印で示すように、電源電圧 V_{OEL} 側から、データ線 X_m に接続された画素回路20の第4のトランジスタ26、第2のトランジスタ24、及びデータ線 X_m を通過してデジタル/アナログ変換回路30側へ流れる。

【0065】

第1のトランジスタ23及び第2のトランジスタ24がオン状態になっているとき、データ線駆動回路12の複数のデジタル/アナログ変換回路30のうちの、データ線 X_m に接続されたデジタル/アナログ変換回路30は、階調データに応じた出力電流 I_{outm} を流す定電流源として機能する。そして、保持コンデンサ27には、出力電流 I_{outm} に対応した電荷が保持され、プログラム期間は終了する。この結果、第4のトランジスタ26のソース/ゲート間には、保持コンデンサ27に記憶された電圧が保持される。

【0066】

プログラム期間が終了して画素選択制御信号 GS_n がLレベルになると（ t_2 時点）、第1のトランジスタ23と第2のトランジスタ24は共にオフ状態になるとともに、データ線駆動回路12はデータ線 X_m に接続された画素回路20への出力電流 I_{outm} の供給を停止する。

【0067】

続いて、 t_2 時点から t_3 時点までの発光期間では、走査線駆動回路13が、画素選択制御信号 GS_n をLレベルに維持して、第1及び第2のトランジスタ23、24をオフ状態に保ったまま、Hレベルの画素発光制御信号 GE_n を第2の副走査線 Y_{2n} へ供給して、第3のトランジスタ25をオン状態にする。

【0068】

このとき、保持コンデンサ27には、出力電流 I_{outm} に対応した電荷が予め保持されているので、第4のトランジスタ26には出力電流 I_{outm} とほぼ同じ駆動電流 I が流れ、その駆動電流 I は第3のトランジスタ25を通過して有機EL素子21に流れる。これにより、データ線 X_m に接続された画素回路20の有機EL素子21は、発光期間（発光時間 t ）の間、出力電流 I_{outm} に応じた輝度で発光する。こうして、出力電流 I_{outm} とほぼ同じ駆動電流 I が発光時間 t の間、有機EL素子21に流れて有機EL素子21が発光する。画素回路20（画素）の平均的な輝度は、駆動電流 I と発光時間 t の積（ $I \times t$ ）で決定される。図1において、駆動電流 I の大きさを制御するのが出力電流の基準値設定信号であり、発光時間 t を制御するのがカウント数設定信号である。

【0069】

このように、駆動電流 I と発光時間 t の積（ $I \times t$ ）で決まる各画素回路20（各画素）の表示輝度（有機EL素子21の発光による平均的な輝度）を、制御回路15が制御するようになっている。

【0070】

制御回路15には、図1に示すように、データ線駆動回路12が出力する駆動電流 $I_{out1} \sim m$ の大きさを決定する出力電流の基準値設定信号、及び、走査線駆動回路13が出力する画素発光時間制御信号 $GE_1 \sim n$ のタイミングを決定するカウント数設定信号、を制御する切替え手段40が接続されている。この切替え手段40は、例えば図8に示すように、第1の位置（ typ 位置）と、第2の位置（ $large$ 位置）との2位置間で切替え可能になっており、その切替えによって駆動電流 $I_{out1} \sim m$ の大きさと発光時間 t とを制御する機能を有している。

【0071】

切替え手段40は、例えば、データ線駆動回路12の各デジタル/アナログ変換回路30の出力電流 $I_{out1} \sim m$ のばらつきを検査工程で作業者が測定し、そのばらつきが許容値以下で、データ線駆動回路12が良品であると判定されたときに、作業者により第1の位置に設定される。なお、以下の説明で、データ線駆動回路12の各デジタル/アナ

10

20

30

40

50

ログ変換回路30の出力電流 $I_{out1 \sim m}$ のばらつき、すなわちデータ線駆動回路12における出力端子間の出力電流ばらつきを、「データ線駆動回路12の出力電流ばらつき」という。

【0072】

また、切替え手段40は、データ線駆動回路12の出力電流ばらつきが許容値より大きく、データ線駆動回路12が不良品であると判定されたときに、作業者により第2の位置に設定される。

【0073】

図1に示すように、制御回路15は、切替え手段40から入力される第1の切替え信号（ typ 信号）または第2の切替え信号（ $large$ 信号）に基づいて出力電流の基準値設定信号とカウント数設定信号とを生成し、それぞれデータ線駆動回路12と走査線駆動回路13へ出力する。なお、切替え手段40から制御回路15へ出力される第1及第2の切替え信号は、例えばHレベルの信号である。

【0074】

切替え信号の機能について、図8を参照しながら説明する。制御回路15が第1の切替え信号（ typ 信号）に対応した出力電流の基準値設定信号をデータ線駆動回路12へ出力すると、データ線駆動回路12の各デジタル/アナログ変換回路30は、出力電流 I_{out} の基準値、つまり出力電流 $I_{out1 \sim m}$ の基準値が第1の基準値（ $I_1 = 1$ ）に設定され、各画素ごとの階調データを変換率「1」でアナログ信号に変換する。これにより、同時に、制御回路15が第1の切替え信号（ typ 信号）に対応したカウント数設定信号を走査線駆動回路13へ出力すると、走査線駆動回路13はカウント数設定信号の値（カウント数設定値）を第2の基準と「1」と等しくするように内部制御する。

【0075】

また、制御回路15が第2の切替え信号（ $large$ 信号）をデータ線駆動回路12へ出力すると、各デジタル/アナログ変換回路30は、出力電流 I_{out} の基準値が第1の基準値（ $I_1 = 1$ ）より大きい値（ $I_2 = 2$ ）に設定され、各画素ごとの階調データを変換率「2」でアナログ信号に変換する。このとき、制御回路15は、走査線駆動回路13へ出力するカウント数設定信号の値（カウント数設定値）を第2の基準値「1」より小さい値「0.5」にするようになっている。

【0076】

このようにして、制御回路15は、出力電流の基準値設定信号及びカウント数設定信号をデータ線駆動回路12及び走査線駆動回路13へそれぞれ出力することで、各画素回路20の有機EL素子21に流す駆動電流 I と発光時間 t を制御して、複数の画素の各々の平均的な輝度が一定になるように制御している。

【0077】

次に、出力電流の基準値設定信号から駆動電流 $I_{out1 \sim m}$ を生成する回路構成例として、データ線駆動回路12に設けられている複数のデジタル/アナログ変換回路30を図5に基づいて説明する。

【0078】

各デジタル/アナログ変換回路30は、図2及び図5に示すように、基準値設定回路部31と、デジタル/アナログ変換回路部32とを備えている。

デジタル/アナログ変換回路部32は、メモリ回路14から出力される各画素ごとの階調データを、基準値設定回路部31で設定された変換率でアナログ信号に変換した出力電流 $I_{out1 \sim m}$ を生成して出力する。

【0079】

基準値設定回路部31は、電源電位と接地電位との間に並列接続された2つの電流ライン $IL1$ 、 $IL2$ を備えている。電流ライン $IL1$ にはスイッチ $SW1$ と変換用トランジスタ $Tr1$ が、電流ライン $IL2$ にはスイッチ $SW2$ と変換用トランジスタ $Tr2$ が、それぞれ直列に接続されている。

【0080】

基準値設定回路部 31 は、制御回路 15 から出力される $t y p$ 信号が基準値設定回路部 31 の入力端子に入力されると、スイッチ $S W 1$ のみが閉じ、 $l a r g e$ 信号がその入力端子に入力されると、スイッチ $S W 2$ のみが閉じるようになっている。

【0081】

この基準値設定回路部 31 では、スイッチ $S W 1$ が閉じると、変換用トランジスタ $T r 1$ がオン状態になって、電流ライン $I L 1$ 、スイッチ $S W 1$ 及び変換用トランジスタ $T r 1$ に電流 $I 1$ が流れる。スイッチ $S W 2$ が閉じると、変換用トランジスタ $T r 2$ がオン状態になって、電流ライン $I L 2$ 、スイッチ $S W 2$ 及び変換用トランジスタ $T r 2$ に電流 $I 2$ が流れる。

【0082】

2つの変換用トランジスタ $T r 1$ 、 $T r 2$ の利得係数 β の比（相対値 K ）は、1 : 2 に設定されている。ここで、利得係数 β は、 $\beta = K \beta_0 = (\mu C W / L)$ で定義され、 K は相対値、 β_0 は所定の定数、 μ はキャリアの移動度、 C はゲート容量、 W はチャンネル幅、 L はチャンネル長である。

【0083】

トランジスタの電流駆動能力は利得係数 β の比（相対値 K ）に比例するので、2つの変換用トランジスタ $T r 1$ 、 $T r 2$ の電流駆動能力の比は、1 : 2 である。したがって、電流ライン $I L 1$ 、 $I L 2$ にそれぞれ流れる電流 $I 1$ 、 $I 2$ の比は、1 : 2 に設定されている。

【0084】

このように構成された基準値設定回路部 31 は、制御回路 15 から電流の基準値設定信号として出力される $t y p$ 信号及び $l a r g e$ 信号のいずれかに応じて、出力電流 $I o u t 1 \sim m$ の基準値として、比が 1 : 2 である 2 種類の電流 $I 1$ 、 $I 2$ を発生可能になっている。

【0085】

デジタル / アナログ変換回路部 32 は、8 ビットの階調データをアナログ信号に変換するために、並列接続された 8 つの電流ラインを備えている。図 5 では、3 つの電流ライン $I L 1 1 \sim I L 1 3$ のみを示して残り 5 つの電流ラインの図示を省略してある。

【0086】

8 つの電流ラインにはそれぞれ、1 つのスイッチと 1 つの駆動トランジスタとが直列に接続されている。図 5 では、3 つのスイッチ $S W 1 1 \sim S W 1 3$ のみを示して残り 5 つのスイッチ $S W 1 4 \sim S W 1 8$ の図示を省略してあるとともに、3 つの駆動トランジスタ $T r 1 1 \sim T r 1 3$ のみを示して残り 5 つの駆動トランジスタ $T r 1 4 \sim T r 1 8$ の図示を省略してある。

【0087】

そして、基準値設定回路部 31 の 2 つの変換用トランジスタ $T r 1$ 、 $T r 2$ の各ゲートと、デジタル / アナログ変換回路部 32 の 8 つの駆動トランジスタ $T r 1 1$ 、 $T r 1 2$ 、 $T r 1 3$ 、 $\dots$ $T r 1 8$ の各ゲートは、共通ゲート線 33 に接続されている。これにより、2 つの変換用トランジスタ $T r 1$ 、 $T r 2$ と、8 つの駆動トランジスタ $T r 1 1$ 、 $T r 1 2$ 、 $T r 1 3$ 、 $\dots$ $T r 1 8$ のそれぞれとはカレントミラー回路を構成していることになる。

【0088】

8 つのスイッチ $S W 1 1$ 、 $S W 1 2$ 、 $S W 1 3$ 、 $\dots$ $S W 1 8$ には、メモリ回路 14 から出力される 8 ビットの階調データの各ビット信号 $D 0 \sim D 7$ がそれぞれ入力される。図 5 では、3 つのビット信号 $D 0 \sim D 2$ のみを示してあり、残り 5 つのビット信号 $D 3 \sim D 7$ の図示を省略してある。なお、図 5 の例では、2 つの変換用トランジスタ $T r 1$ 、 $T r 2$ と、8 つの駆動トランジスタ $T r 1 1$ 、 $T r 1 2$ 、 $T r 1 3$ 、 $\dots$ $T r 1 8$ は、それぞれ n チャンネル型 $F E T$ である。

【0089】

8 つの駆動トランジスタ $T r 1 1$ 、 $T r 1 2$ 、 $T r 1 3$ 、 $\dots$ $T r 1 8$ の利得係数 β

10

20

30

40

50

の比は、 $1 : 2 : 4 : \dots : 128$ に設定されている。上述したように、トランジスタの電流駆動能力は利得係数 β の比（相対値 K ）に比例するので、これら8つの駆動トランジスタの電流駆動能力の比は、 $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128$ である。つまり、8つの駆動トランジスタ $Tr11, Tr12, Tr13, \dots, Tr18$ の利得係数の相対値 K は、階調データの各ビット信号 $D0 \sim D7$ の重みに対応づけられた値にそれぞれ設定されている。

【0090】

このように構成されたデジタル／アナログ変換回路30では、制御回路15から第1の切替え信号（ typ 信号）が出力される場合、基準値設定回路部31の電流ライン $IL1$ に電流 $I1$ （ $I1 = 1$ ）が流れる。

10

【0091】

このとき、メモリ回路14から8ビットの階調データが入力されると、8つのスイッチ $SW11 \sim SW18$ のうち、その階調データに基づいてオン状態となったスイッチの電流ラインには、各駆動トランジスタ $Tr11 \sim Tr18$ の駆動能力に応じた電流が流れる。そして、各電流ライン $IL11 \sim IL18$ に流れる電流の総和は、入力される階調データに比例しており、出力電流 $Iout$ として出力端子からデータ線 $X1 \sim Xm$ の対応するデータ線に供給される。

【0092】

例えば、ビット信号 $D0$ と $D1$ が「1」である階調データが入力されると、電流ライン $IL11$ には電流 $I1$ と同じ値の電流 $I1$ が流れ、電流ライン $IL12$ には $I1 \times 2$ の値の電流が流れる。両電流ライン $IL11, IL12$ に流れる電流の総和は、各画素ごとの階調データに対応する出力電流と同じ電流値になる。つまり、制御回路15から typ 信号が出力される場合には、データ線駆動回路12は、各画素ごとの階調データに対応する出力電流 $Iout1 \sim m$ の大きさは変えないように設定される。

20

【0093】

こうして、データ線駆動回路12の各デジタル／アナログ変換回路30は、制御回路15から typ 信号が出力される場合、メモリ回路14から出力される各画素ごとの階調データを変換率「1」でアナログ信号に変換した出力電流 $Iout1 \sim m$ を出力するように設定される。

【0094】

30

また、制御回路15から第2の切替え信号（ $large$ 信号）が出力される場合、基準値設定回路部31の電流ライン $IL2$ に電流 $I2$ （ $I2 = 2$ ）が流れる。このとき、例えば、ビット信号 $D0$ と $D1$ が「1」である階調データが入力されると、電流ライン $IL11$ には電流 $I2$ と同じ値の電流 $I2$ が流れ、電流ライン $IL12$ には $I2 \times 2$ の値の電流が流れる。したがって、両電流ライン $IL11, IL12$ に流れる電流の総和は、各画素ごとの階調データに対応する出力電流の2倍の電流値になる。

【0095】

こうして、データ線駆動回路12の各デジタル／アナログ変換回路30は、制御回路15から $large$ 信号が出力される場合、メモリ回路14から出力される各画素ごとの階調データを変換率「2」でアナログ信号に変換した出力電流 $Iout1 \sim m$ を出力するように設定される。つまり、制御回路15から $large$ 信号が出力される場合には、制御回路15から typ 信号が出力される場合における出力電流 $Iout1 \sim m$ を2倍に大きくするようになる。

40

【0096】

図6は、走査線駆動回路13の内部回路構成を示している。

走査線駆動回路13は、画素選択制御信号 $GS1 \sim n$ を生成して出力する画素選択制御信号生成部51と、画素発光制御信号 $GE1 \sim n$ を生成して出力する画素発光制御信号生成部52と、発光終了制御信号 RT を生成して出力するカウンタ53と、発光制御元信号 ET を生成して出力する発光制御元信号生成部54とを備えている。

【0097】

50

画素選択制御信号生成部 5 1 はシフトレジスタ等で構成され、複数の走査線 $Y_1 \sim Y_n$ を順次に選択するための画素選択制御信号 $GS_1 \sim n$ (図 7 参照) を、水平同期信号 HT に同期して生成し、出力する。

【0098】

カウンタ 5 3 は、垂直同期信号 VT の立ち上がり同期して計数を開始し、その計数開始時点から、制御回路 1 5 から出力されるカウント数設定信号が表わすカウント数の計数を終了した時点で発光終了制御信号 RT (図 7 参照) を発光制御元信号生成部 5 4 へ出力する。カウント数設定信号が表わすカウント数が、有機 EL 素子 2 1 の発光時間 t に相当する。

【0099】

発光制御元信号生成部 5 4 は、垂直同期信号 VT とカウンタ 5 3 からの発光終了制御信号 RT とに基づいて、垂直同期信号 VT の立ち上がり時点から発光終了制御信号 RT の入力時点まで H レベルとなる発光制御元信号 ET (図 7 参照) を生成して画素発光制御信号生成部 5 2 へ出力する。

【0100】

画素発光制御信号生成部 5 2 はシフトレジスタ等で構成され、発光制御元信号 ET の波形を水平同期信号 HT に同期してシフトレジスタですらして画素発光制御信号 $GE_1 \sim n$ を順次に生成し、出力する。ここで、各画素発光制御信号 $GE_1 \sim n$ は、図 4 及び図 7 に示すように、各画素選択制御信号 $GS_1 \sim n$ の立ち下がり時点に同期して立ち上がるようになっている。

【0101】

このように、制御回路 1 5 から走査線駆動回路 1 3 へ出力するカウント数設定信号の値 (カウント数) により、有機 EL 素子 2 1 の発光終了時間を制御する発光終了制御信号 RT の立ち上がりタイミングを変えることで、各画素発光制御信号 $GE_1 \sim n$ の H レベルの時間を変えて発光時間 t を制御するようになっている。

【0102】

次に、上記構成を有する有機 EL ディスプレイ 1 0 において、データ線駆動回路 1 2 からデータ線 $X_1 \sim X_m$ に供給される出力電流 $I_{out1} \sim m$ の大きさ (出力電流値) と、各画素回路 2 0 の有機 EL 素子 2 1 による発光時間 t を、データ線駆動回路 1 2 毎に個別に設定する方法について説明する。

【0103】

< 出力電流 $I_{out1} \sim m$ のばらつきが小さい場合 (データ線駆動回路が良品の場合) >

切替え手段 4 0 を第 1 の位置 (typ 位置) に設定した状態で、出来上がったデータ線駆動回路 1 2 の出力電流ばらつきを検査工程で測定する。その出力電流ばらつきが許容値以下でデータ線駆動回路 1 2 が良品であると判定される場合、作業により切替え手段 4 0 を第 1 の位置 (typ 位置) のままとする。

【0104】

この場合、制御回路 1 5 は、出力電流の基準値を第 1 の基準値 ($I_1 = 1$) に設定するための第 1 の切替え信号 (typ 信号) をデータ線駆動回路 1 2 へ出力するとともに、カウント数設定値が第 2 の基準値「1」に等しいカウント数設定信号を走査線駆動回路 1 3 へ出力する (図 8 参照)。

【0105】

これにより、データ線駆動回路 1 2 の各デジタル/アナログ変換回路 3 0 は、メモリ回路 1 4 から出力される各画素ごとの階調データを変換率「1」でアナログ信号に変換した出力電流 $I_{out1} \sim m$ を出力するように設定される。例えば、ある画素の階調データの階調度が「2」である場合、図 9 に示すように、その画素への出力電流 I_{out} は「20」である。

【0106】

また、走査線駆動回路 1 3 は、第 2 の基準値「1」に相当する発光時間 t だけ有機 EL

10

20

30

40

50

素子 2 1 を発光させるための画素発光制御信号 $GE1 \sim n$ を出力する。例えば、ある画素の階調データの階調度が「2」である場合、図 9 に示すように、その画素の有機 EL 素子 2 1 の発光時間 t を「100」にするための画素発光制御信号を出力する。その結果、その画素の輝度（平均な輝度）は、 $I \times t = 2000$ になる。

【0107】

< 出力電流 $I_{out1 \sim m}$ のばらつきが大きい場合（データ線駆動回路が不良品の場合）>

切替え手段 40 を第 1 の位置（ typ 位置）に設定した状態で、データ線駆動回路 1 2 の出力電流ばらつきを検査工程で測定し、その出力電流ばらつきが許容値より大きくデータ線駆動回路 1 2 が不良品であると判定される場合、作業者により切替え手段 40 を第 2

10

【0108】

この場合、制御回路 1 5 は、出力電流の基準値を第 1 の基準値（ $I1 = 1$ ）より大きくするための第 2 の切替え信号（ $large$ 信号）をデータ線駆動回路 1 2 へ出力するとともに、カウント数設定値が第 2 の基準値「1」より小さい「0.5」のカウント数設定信号を走査線駆動回路 1 3 へ出力する（図 8 参照）。

【0109】

これにより、データ線駆動回路 1 2 の各デジタル/アナログ変換回路 30 は、メモリ回路 1 4 から出力される各画素ごとの階調データを変換率「2」でアナログ信号に変換した出力電流 $I_{out1 \sim m}$ を出力するように設定される。例えば、ある画素の階調データの

20

【0110】

また、走査線駆動回路 1 3 は、「0.5」のカウント数設定値に相当する発光時間 t だけ有機 EL 素子 2 1 を発光させるための画素発光制御信号 $GE1 \sim n$ を出力する。例えば、ある画素の階調データの階調度が「2」である場合、図 10 に示すように、その画素の有機 EL 素子 2 1 の発光時間 t を「50」にするための画素発光制御信号を出力する。その結果、その画素の輝度（平均的な輝度）は、 $I \times t = 2000$ となり、同じ階調度（例えば階調度が「2」）の階調データに対して、図 9 に示す良品のデータ線駆動回路の場合と同じ輝度が得られる。

30

【0111】

こうして、データ線駆動回路 1 2 の出力電流ばらつきが大きい場合には、その出力電流ばらつきが許容値以下の場合よりも、出力電流 $I_{out1 \sim m}$ を大きめに変更するとともに、各有機 EL 素子 2 1 の発光時間 t を、同じ階調度の階調データに対して同じ輝度が得られるように、短めに変更する。

【0112】

以上のように構成された一実施形態によれば、以下の作用効果を奏する。

（1）データ線駆動回路 1 2 の出力電流ばらつきが許容値以下で、データ線駆動回路 1 2 が良品の場合には、切替え手段 40 が第 1 の位置に切替えられ、制御回路 1 5 は、第 1 の切替え信号（ typ 信号）をデータ線駆動回路 1 2 へ出力する。この場合、データ線駆動回路 1 2 の各デジタル/アナログ変換回路 30 は、出力電流 I_{out} の基準値が第 1 の基準値（ $I1 = 1$ ）に設定され、各画素ごとの階調データを変換率「1」でアナログ信号である出力電流 $I_{out1 \sim m}$ に変換するように設定される。また、切替え手段 40 が第 1 の位置に切替えられと、制御回路 1 5 は、走査線駆動回路 1 3 へ出力するカウント数設定信号の値（カウント数設定値）を第 2 の基準値「1」と等しくするので、走査線駆動回路 1 3 は、第 2 の基準値「1」に対応する画素発光制御信号（基準の大きさの時間制御信号） $GE1 \sim n$ を生成するように設定される。

40

【0113】

また、データ線駆動回路 1 2 の出力電流ばらつきが許容値より大きく、データ線駆動回路 1 2 が不良品の場合には、切替え手段 40 が第 2 の位置に切替えられ、制御回路 1 5 は

50

、第2の切替え信号（large信号）をデータ線駆動回路12へ出力する。この場合、データ線駆動回路12の各デジタル/アナログ変換回路30は、出力電流 I_{out} の基準値が第1の基準値（ $I_1 = 1$ ）より大きい値（ $I_2 = 2$ ）に設定され、これにより、走査線駆動回路13は、その値「2」に対応する長さの発光時間 t を決める画素発光制御信号（基準の大きさの時間制御信号） $GE_1 \sim n$ を生成するように設定される。

【0114】

このようにして、出力電流 $I_{out1} \sim m$ の大きさ及び発光時間 t を、データ線駆動回路12毎に個別に設定することができる。

（2）一般にデータ線駆動回路12の各出力端子（複数のデジタル/アナログ変換回路30の各出力端子）から各画素回路（画素）20へ供給される出力電流 $I_{out1} \sim m$ のばらつきは、主として各デジタル/アナログ変換回路30を構成する各トランジスタ $Tr_{11} \sim Tr_{18}$ の利得係数 β と閾値電圧 V_{th} に起因して発生する。このデータ線駆動回路12においては、各トランジスタ $Tr_{11} \sim Tr_{18}$ の飽和電流を出力電流として利用する構成にする場合があり、その出力電流は上記式1のように表わされる。

【0115】

上記式1から分かるように、ある β 値を持つトランジスタに関しては、 V_{gs} が小さいほど、つまり V_{gs} が V_{th} と近い値になるほど、出力電流 I が V_{th} のばらつきの影響を受けやすくなる。 V_{gs} が小さい状態とは I が小さい状態であるので、データ線駆動回路12の出力電流 $I_{out1} \sim m$ が小さいほど、その出力電流のばらつきが大きくなるといえる。本実施形態は、このような傾向を利用している。

【0116】

データ線駆動回路12の出力電流ばらつきが許容値より大きい場合、その出力電流ばらつきが許容値以下の場合よりも、出力電流 $I_{out1} \sim m$ を大きめに変更するとともに、各有機EL素子21の発光時間 t を、同じ階調度の階調データに対して同じ輝度の表示が得られるように短めに変更する。つまり、データ線駆動回路12の出力電流ばらつきが許容値より大きい場合、同じ階調度の階調データに対して、データ線駆動回路12の出力電流ばらつきが許容値以下の場合（データ線駆動回路12が良品の場合）と同じ輝度が得られるように、有機EL素子21に流れる駆動電流 I とその発光時間 t の双方を調整する。このような調整をデータ線駆動回路12毎に行うことにより、データ線駆動回路12の出力電流ばらつきが小さくなり、その出力電流ばらつきが大きくて不良品であると判定されるデータ線駆動回路12を良品として使用することができる。したがって、出力電流ばらつきが大きい不良品のデータ線駆動回路を良品として救済することができ、歩留まりを向上することができる。

【0117】

（3）データ線駆動回路12の出力電流ばらつきが大きい場合には、その出力電流ばらつきが許容値以下の場合よりも、出力電流 $I_{out1} \sim m$ を大きめに変更するとともに、各有機EL素子21の発光時間 t を、同じ階調度の階調データに対して同じ輝度が得られるように、短めに変更する（図8，図9参照）。これによれば、その出力電流ばらつきが大きい不良品のデータ線駆動回路12を良品として使用する場合に、各画素ごとの階調データの階調度に応じた輝度の表示を得ることができる。

【0118】

（4）制御回路15は、出力電流の基準値設定信号及びカウント数設定信号をデータ線駆動回路12及び走査線駆動回路13へそれぞれ出力することにより、各画素回路20の有機EL素子21に流す駆動電流 I と発光時間 t を制御して、複数の画素の各々の平均的な輝度を制御するようになっている。したがって、上述したようなデータ線駆動回路12ごとの設定を、簡単な回路構成で実現できる。

【0119】

（5）制御回路15から走査線駆動回路13へ出力するカウント数設定信号の値（カウント数）により、有機EL素子21の発光終了時間を制御する発光終了制御信号 RT の立ち上がりタイミングを変えることで、各画素発光制御信号 $GE_1 \sim n$ のHレベルの時間を

10

20

30

40

50

変えて発光時間 t を制御することができる。したがって、発光時間 t の制御を、簡単な回路構成で実現できる。

【 0 1 2 0 】

[電子機器]

次に、上記一実施形態で説明した。有機 EL ディスプレイ 10 の表示パネル部 11 を用いた電子機器について説明する。有機 EL ディスプレイ 10 の表示パネル部 11 は、図 11 に示すようなモバイル型のパーソナルコンピュータに適用できる。図 11 に示すパーソナルコンピュータ 70 は、キーボード 71 を備えた本体部 72 と、表示パネル部 11 を用いた表示ユニット 73 とを備えている。

【 0 1 2 1 】

10

このパーソナルコンピュータ 70 によれば、出力電流 $I_{out1 \sim m}$ の大きさ及び有機 EL 素子 21 の発光時間 t を、データ線駆動回路 12、及び、走査線駆動回路 13 毎に個別に設定することができる。また、データ線駆動回路 12 が出力電流ばらつき大により不良品と判定される場合にも、その不良品を良品として救済することができ、歩留まりを向上することができる。したがって、低コストで、かつ面内の輝度むらの少ない表示が可能なパーソナルコンピュータを実現できる。

【 0 1 2 2 】

[変形例]

なお、この発明は以下のように変更して具体化することもできる。

・上記一実施形態において、図 1 に示す表示パネル部 11 及び各回路 12 ~ 15 の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表示パネル部 11 に、データ線駆動回路 12 と走査線駆動回路 13 とが一体的に形成されていてもよい。

20

【 0 1 2 3 】

・上記一実施形態では、データ線駆動回路 12 の出力電流ばらつきが所定値より大きい場合には、出力電流 $I_{out1 \sim m}$ の大きさを、その出力電流ばらつきが所定値以下の場合の 2 倍にしているが、本発明は、このような構成に限定されない。制御回路 15 からデータ線駆動回路 12 へ出力される出力電流の基準値設定信号が、データ線駆動回路 12 の出力電流ばらつき大きさに応じて設定されるように構成してもよい。例えば、出力電流ばらつきが所定値より大きい場合に、そのばらつき大きさに応じて出力電流の基準値設定信号を数段階に変更できるようにしてもよい。このような構成により、出力電流のばらつき大きさが異なる場合にも、不良品のデータ線駆動回路 12 を良品として救済することができ、歩留まりをさらに向上することができる。

30

【 0 1 2 5 】

・上記一実施形態では、データ線駆動回路 12 の出力電流ばらつきが所定値より大きい場合には、出力電流 $I_{out1 \sim m}$ の大きさを、その出力電流ばらつきが所定値以下の場合の 2 倍にしているが、出力電流 $I_{out1 \sim m}$ の大きさの変更は 2 倍に限らず、任意の大きさに変更可能である。

【 0 1 2 6 】

・上記一実施形態では、本発明を有機 EL ディスプレイに適用した例を説明したが、本発明は、有機 EL 素子以外の電気光学素子を用いた電気光学装置にも適用可能である。即ち、本発明は、データ信号の大きさと表示を行う時間との掛け算によって、各画素の表示輝度（平均的な輝度）を制御する表示装置に広く適用される。

40

【 0 1 2 7 】

・上記一実施形態では、各デジタル / アナログ変換回路 30 の一例を図 5 に基づいて説明したが、本発明で用いるデジタル / アナログ変換回路 30 は、図 5 で示す回路構成のものに限定されない。

【 0 1 2 8 】

・上記一実施形態では、走査線 $Y_1 \sim Y_n$ が線順次走査により選択された 1 本の走査線に接続された各画素回路に、データ線 $X_1 \sim X_m$ をそれぞれ介して出力電流 $I_{out1 \sim$

50

mを一斉に供給するようにしているが、本発明はこれに限定されない。選択された1本の走査線に接続された各画素回路に、データ線 $X_1 \sim X_m$ をそれぞれ介して出力電流 $I_{out1} \sim m$ を順に供給するようにしてもよい。

【0129】

・上記一実施形態において、複数の画素の各々を、R、G、Bの3つの画素でそれぞれ構成したカラー表示が可能な有機ELディスプレイにも本発明は適用可能である。

・上記一実施形態では、図3に示す画素回路を用いた有機ELディスプレイを一例として説明したが、本発明は他の構成の画素回路を用いた有機ELディスプレイにも適用可能である。

【0130】

・上記一実施形態の有機ELディスプレイは、図11に示すパーソナルコンピュータ70以外の電子機器、例えば携帯電話、PDA等の携帯機器に広く適用できる。

【図面の簡単な説明】

【0131】

【図1】一実施形態に係る有機ELディスプレイの回路構成を示すブロック図。

【図2】表示パネル部とデータ線駆動回路の内部回路構成を示すブロック図。

【図3】画素回路の内部回路構成の一例を示す回路図。

【図4】画素回路の動作を示すタイミングチャート。

【図5】デジタル/アナログ変換回路の内部回路構成を示す回路図。

【図6】走査線駆動回路の内部回路構成を示すブロック図。

【図7】走査線駆動回路の動作を示すタイミングチャート。

【図8】3つの切替え信号、出力電流の基準値、及び発光時間の設定例を示す説明図。

【図9】良品の場合における階調度、出力電流、発光時間、および輝度の設定例を示す説明図。

【図10】不良品の場合における階調度、出力電流、発光時間、および輝度の設定例を示す説明図。

【図11】一実施形態の有機ELディスプレイを用いた電子機器を示す斜視図。

【符号の説明】

【0132】

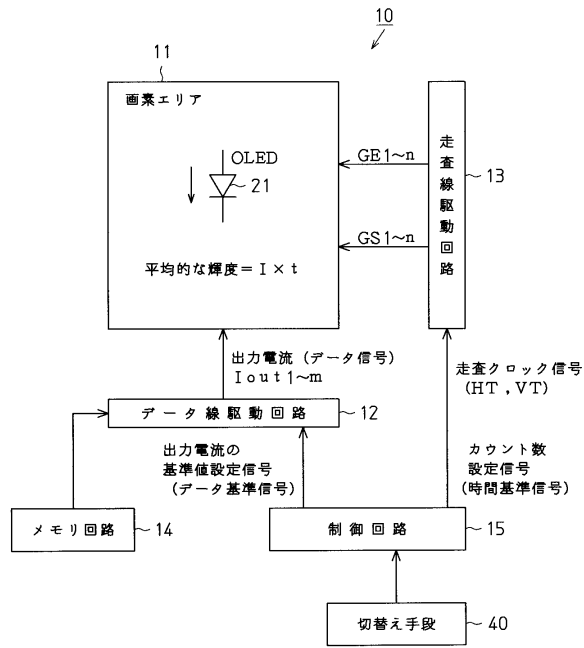
t...発光時間、 $X_1 \sim X_m$...データ線、 $Y_1 \sim Y_n$...走査線、12...データ線駆動回路、13...走査線駆動回路、15...制御回路、30...デジタル/アナログ変換回路。

10

20

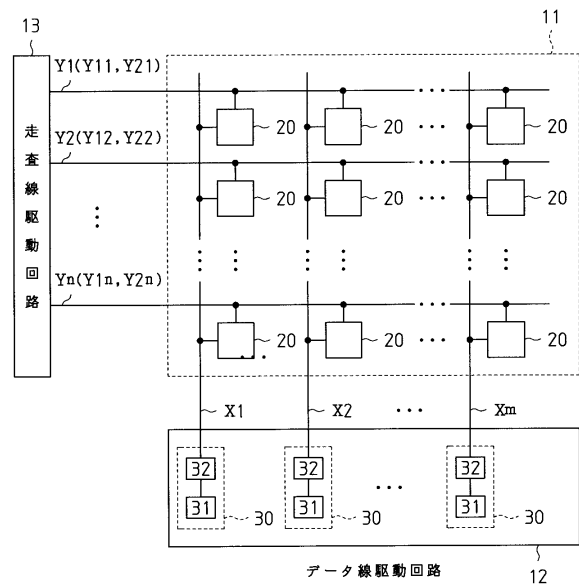
30

【図 1】

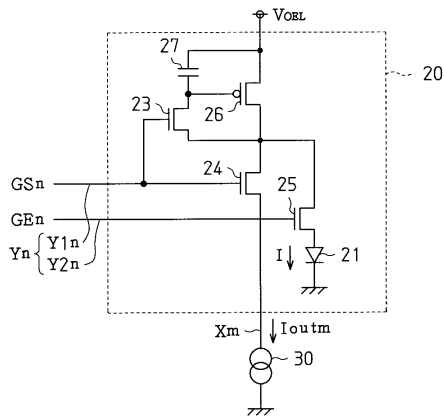


$GE1 \sim n$: 画素発光制御信号 (時間制御信号)
 $GS1 \sim n$: 画素選択制御信号

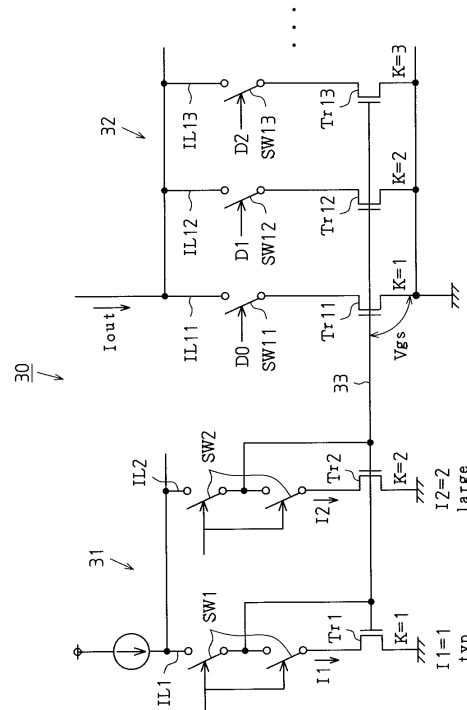
【図 2】



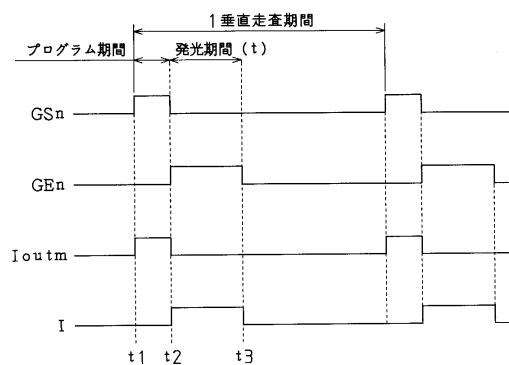
【図 3】



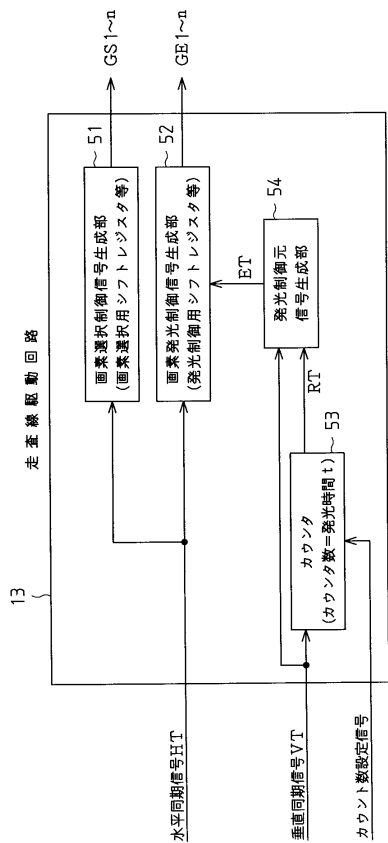
【図 5】



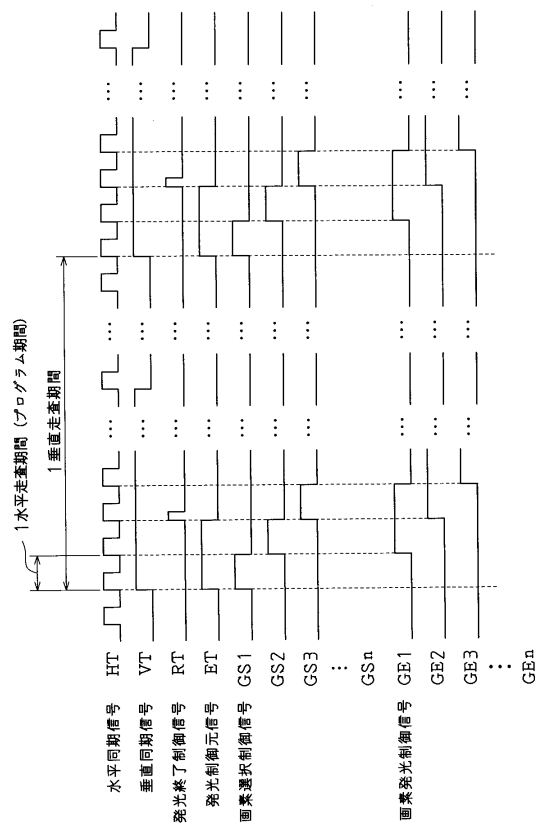
【図 4】



【図 6】



【図 7】



【図 8】

設定例		
	出力電流 (Iout) の基準値	発光時間 (t) (カウント数設定値)
typ信号	I1=1 (第1の基準値)	1 (第2の基準値)
large信号	I2=2	0.5

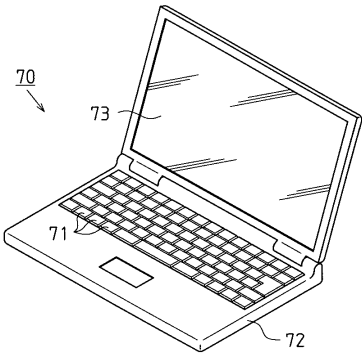
【図 10】

(不良品のデータ線駆動回路)				
階調	Iout 出力電流	t 発光時間		輝度
0	0	50		0
1	20	50		1000
2	40	50		2000
3	60	50		3000

【図 9】

(良品のデータ線駆動回路)				
階調	Iout 出力電流	t 発光時間		輝度
0	0	100		0
1	10	100		1000
2	20	100		2000
3	30	100		3000

【図 11】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 1 A
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 4 1 K
	H 0 5 B	33/14	A

審査官 佐野 潤一

(56)参考文献 特開 2 0 0 3 - 1 5 0 1 0 9 (J P , A)
 特開平 0 9 - 2 6 9 7 4 9 (J P , A)
 特開 2 0 0 3 - 0 6 6 9 0 3 (J P , A)
 特開 2 0 0 3 - 0 6 6 9 0 4 (J P , A)
 特開 2 0 0 3 - 0 6 6 9 0 6 (J P , A)
 特開 2 0 0 3 - 1 8 6 4 4 1 (J P , A)
 特開 2 0 0 5 - 1 2 2 0 7 6 (J P , A)
 国際公開第 0 3 / 0 2 7 9 9 7 (W O , A 1)
 国際公開第 0 3 / 0 9 2 1 6 5 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0

专利名称(译)	显示装置的驱动电路，显示装置的驱动方法，电光装置和电子装置		
公开(公告)号	JP4752177B2	公开(公告)日	2011-08-17
申请号	JP2003370633	申请日	2003-10-30
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	河西利幸		
发明人	河西 利幸		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.621.J G09G3/20.623.A G09G3/20.623.F G09G3/20.641.A G09G3/20.641.D G09G3/20.641.K H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB27 5C380/AB34 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BA29 5C380/BA37 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA34 5C380/CA35 5C380/CA36 5C380/CB01 5C380/CB18 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CE05 5C380/CE08 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF48 5C380/CF51 5C380/CF56 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA16 5C380/DA32 5C380/DA33 5C380/FA03 5C380/GA04 5C380/GA18 5C380/HA06 5C380/HA11		
代理人(译)	昂达诚 须泽 修		
审查员(译)	佐野纯一		
其他公开文献	JP2005134641A		
外部链接	Espacenet		

摘要(译)

A是大小和数据信号的显示时间可以为每个驱动电路被设置为生成所述数据信号，具有改进的收率，一显示装置的驱动方法，电光装置及电子的显示装置的驱动电路提供设备。 有机EL显示器10包括数据线驱动电路12，用于输出一输出电流IOUT1~m时，扫描线驱动电路，用于输出一个像素发射控制信号GE1~n，用于控制有机EL元件21的发光时间t13，并输出基准值用于控制输出电流提供给数据线驱动电路12的幅值设定的输出电流的信号，输出一个计数数值，用于控制像素的发光控制信号的幅度到扫描线驱动电路13设定信号和控制电路15。当数据线驱动电路12的输出电流变化大时，使输出电流更大并且使发光时间t比变化小时的发光时间t短。具有较大输出电流变化的有缺陷的数据线驱动电路12可以作为良好的产品而减轻。 点域1

【 図 1 】

