

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2020-515894

(P2020-515894A)

(43) 公表日 令和2年5月28日 (2020.5.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09G 3/3275 (2016.01)	G09G 3/3275	5C380
G09G 3/3233 (2016.01)	G09G 3/20 623C	
H01L 51/50 (2006.01)	G09G 3/3233	
審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2019-552977 (P2019-552977)
 (86) (22) 出願日 平成30年3月2日 (2018.3.2)
 (85) 翻訳文提出日 令和1年9月26日 (2019.9.26)
 (86) 国際出願番号 PCT/CN2018/077884
 (87) 国際公開番号 W02018/177072
 (87) 国際公開日 平成30年10月4日 (2018.10.4)
 (31) 優先権主張番号 201710206482.X
 (32) 優先日 平成29年3月31日 (2017.3.31)
 (33) 優先権主張国・地域又は機関
 中国 (CN)

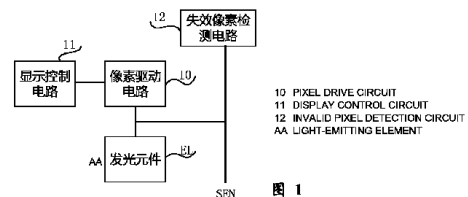
(71) 出願人 510280589
 京東方科技集團股▲ふん▼有限公司
 BOE TECHNOLOGY GROU
 P CO., LTD.
 中華人民共和國100015北京市朝陽區
 酒仙橋路10號
 No. 10 Jiuxianqiao R
 d., Chaoyang Distric
 t, Beijing 100015, CH
 INA
 (74) 代理人 100133514
 弁理士 寺山 啓進
 (74) 代理人 100070024
 弁理士 松永 宣行

最終頁に続く

(54) 【発明の名称】 無効画素検出回路、方法および表示装置

(57) 【要約】

無効画素検出回路、方法および表示装置である。無効画素検出回路は、表示制御回路 (11) と、無効画素検出回路 (12) とを含む。表示制御回路 (11) は、画素駆動回路 (10) に接続され、検出電圧書き込み段階と無効画素検出段階で、発光素子 (EL) を点灯しないように画素駆動回路 (10) を制御するように構成される。無効画素検出回路 (12) は、無効検出線 (SEN) を介して発光素子 (EL) の第1極に接続され、検出電圧書き込み段階で無効検出線 (SEN) を介して発光素子 (EL) の第1極に参照電圧を提供し、無効画素検出段階で発光素子 (EL) の第1極の電位を検出し、当該電位に基づいて画素回路が無効であるか否かを判断するように構成される。



【特許請求の範囲】

【請求項 1】

発光素子と、前記発光素子の第 1 極に接続された画素駆動回路とを含む画素回路に应用される無効画素検出回路において、
前記画素駆動回路に接続され、検出電圧書き込み段階と無効画素検出段階で、前記発光素子を点灯しないように前記画素駆動回路を制御するように構成される表示制御回路と、
無効検出線を介して前記発光素子の第 1 極に接続され、前記検出電圧書き込み段階で前記無効検出線を介して前記発光素子の第 1 極に参照電圧を提供し、前記無効画素検出段階で前記発光素子の第 1 極の電位を検出し、前記電位に基づいて前記画素回路が無効であるか否かを判断するように構成される無効画素検出回路と
を含む、無効画素検出回路。

10

【請求項 2】

検出スイッチング回路と、スイッチング制御回路とをさらに含み、
前記検出スイッチング回路は、
制御側が前記スイッチング制御回路に接続され、第 1 側が前記発光素子の第 1 極に接続され、第 2 側が前記無効検出線に接続され、
前記スイッチング制御回路は、
前記検出電圧書き込み段階と前記無効画素検出段階で、前記発光素子の第 1 極が前記無効検出線に電氣的に接続されるように前記検出スイッチング回路を制御し、表示段階で、前記発光素子の第 1 極が前記無効検出線から電氣的に遮断されるように前記検出スイッチング回路を制御するように構成される、請求項 1 に記載の無効画素検出回路。

20

【請求項 3】

前記検出スイッチング回路は、
ゲートが前記スイッチング制御回路に接続され、第 1 極が前記発光素子の第 1 極に接続され、第 2 極が前記無効検出線に接続される検出スイッチングトランジスタを含む、請求項 2 に記載の無効画素検出回路。

【請求項 4】

前記画素駆動回路は、
データ線にも接続され、
前記無効画素検出回路は、
前記表示制御回路にも接続され、前記画素回路の無効を判断すると、暗状態制御信号を前記表示制御回路に出力するように構成され、
前記表示制御回路は、
データ線に接続され、前記暗状態制御信号を受信すると、表示段階で前記データ線に暗状態データ電圧を提供して前記発光素子を点灯させないように構成される、請求項 1～3 のいずれか一項に記載の無効画素検出回路。

30

【請求項 5】

前記画素駆動回路は、
駆動トランジスタと、記憶回路と、データ書き込み回路を含み、
前記駆動トランジスタは、
ゲートが前記データ書き込み回路を介して前記データ線に接続され、第 1 極がハイレベル入力側に接続され、第 2 極が、第 2 極がローレベル入力側に接続された前記発光素子の第 1 極に接続され、
前記記憶回路は、
前記駆動トランジスタのゲートと前記駆動トランジスタの第 2 極との間に接続され、
前記表示制御回路は、
前記データ書き込み回路にも接続され、前記検出電圧書き込み段階と前記無効画素検出段階で、前記駆動トランジスタのゲートが前記データ線に電氣的に接続されるように前記データ書き込み回路を制御し、前記検出電圧書き込み段階と前記無効画素検出段階で前記データ線に遮断電圧を書き込んで前記駆動トランジスタの遮断を制御するように構成される

40

50

、請求項 4 に記載の無効画素検出回路。

【請求項 6】

前記記憶回路は、

記憶コンデンサを含む、請求項 5 に記載の無効画素検出回路。

【請求項 7】

前記データ書き込み回路は、

ゲートが前記表示制御回路に接続され、ソースが前記駆動トランジスタのソースに接続され、ドレインが前記データ線に接続されるデータ書き込みトランジスタを含む、請求項 5 または 6 に記載の無効画素検出回路。

【請求項 8】

前記発光素子は、

自己発光素子である、請求項 1 ～ 7 のいずれか一項に記載の無効画素検出回路。

【請求項 9】

前記発光素子は、

第 1 極が陽極であり、第 2 極が陰極であり、

前記参照電圧の電圧値は、

前記発光素子の陰極に入力される電圧値より大きい、請求項 1 ～ 8 のいずれか一項に記載の無効画素検出回路。

【請求項 10】

前記無効画素検出回路は、

前記無効画素検出段階で、前記発光素子の第 1 極の電位が所定の電圧値より小さいとの検出に応答して、前記画素回路の無効を判断するように構成される、請求項 9 に記載の無効画素検出回路。

【請求項 11】

請求項 1 ～ 10 のいずれか一項に記載の無効画素検出回路に应用される無効画素検出方法において、

前記検出電圧書き込み段階で、前記表示制御回路は、前記発光素子を点灯しないように前記画素駆動回路を制御し、前記無効画素検出回路は、前記無効検出線を介して前記発光素子の第 1 極に参照電圧を提供し、

前記無効画素検出段階で、前記表示制御回路は、前記発光素子を点灯しないように前記画素駆動回路を制御し、前記無効画素検出回路は、前記発光素子の第 1 極の電位を検出し、当該電位に基づいて前記画素回路が無効であるか否かを判断する、無効画素検出方法。

【請求項 12】

前記無効画素検出回路は、検出スイッチング回路と、スイッチング制御回路とをさらに含み、

前記検出電圧書き込み段階と前記無効画素検出段階で、前記スイッチング制御回路は、前記発光素子の第 1 極が前記無効検出線に電氣的に接続されるように検出スイッチング回路を制御し、表示段階で、前記発光素子の第 1 極が前記無効検出線に電氣的に接続されないように前記検出スイッチング回路を制御する、請求項 11 に記載の無効画素検出方法。

【請求項 13】

さらに、

前記無効画素検出回路は、当該画素回路の無効を判断すると、暗状態制御信号を前記表示制御回路に出力し、

前記表示制御回路は、前記暗状態制御信号を受信すると、表示段階で前記データ線に暗状態データ電圧を提供して前記発光素子を点灯させない、請求項 11 または 12 に記載の無効画素検出方法。

【請求項 14】

前記発光素子は、

第 1 極が陽極であり、第 2 極が陰極であり、

前記参照電圧の電圧値は、

10

20

30

40

50

前記発光素子の陰極に入力される電圧値より大きい、請求項 11～13 のいずれか一項に記載の無効画素検出方法。

【請求項 15】

前記無効画素検出回路が、前記発光素子の第 1 極の電位を検出し、当該電位に基づいて前記画素回路が無効であるか否かを判断することは、

前記無効画素検出回路が、前記発光素子の第 1 極の電位が所定の電圧値より小さいとの検出に応答して、前記画素回路の無効を判断するように構成されることを含む、請求項 14 に記載の無効画素検出方法。

【請求項 16】

画素回路と、請求項 1～10 のいずれか一項に記載の無効画素検出回路を含む表示装置において、

前記無効画素検出回路は、前記画素回路に接続され、前記画素回路が無効であるか否かを検出するように構成される、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2017 年 3 月 31 日に中国特許庁に提出された中国特許出願 201710206482.X の優先権を主張し、その全ての内容が援用によりここに取り込まれる。

【0002】

本開示は、無効画素検出回路、方法および表示装置に係る。

【背景技術】

【0003】

表示装置の生産製造プロセスにおいて、粒子（例えば、塵）などの避けられない要素によって、一部の画素で発光素子の陰極と陽極の短絡が生じてしまう。このようなデッドピクセル状態において、後に電流が絶えずに短絡箇所流れるため、当該箇所電流が大きくなり、熱効果によって周辺画素の TFT (Thin Film Transistor) と発光素子の老化を加速化し、場合によって大面積の不良が生じる。

【発明の概要】

【0004】

本開示の実施例は、発光素子と、前記発光素子の第 1 極に接続された画素駆動回路とを含む画素回路に応用される無効画素検出回路を提供する。前記無効画素検出回路において、前記画素駆動回路に接続され、検出電圧書き込み段階と無効画素検出段階で、前記発光素子を点灯しないように前記画素駆動回路を制御するように構成される表示制御回路と、無効検出線を介して前記発光素子の第 1 極に接続され、前記検出電圧書き込み段階で前記無効検出線を介して前記発光素子の第 1 極に参照電圧を提供し、前記無効画素検出段階で前記発光素子の第 1 極の電位を検出し、当該電位に基づいて当該画素回路が無効であるか否かを判断するように構成される無効画素検出回路とを含む。

【0005】

選択可能に、本開示の実施例の無効画素検出回路は、検出スイッチング回路と、スイッチング制御回路とをさらに含む。前記検出スイッチング回路は、制御側が前記スイッチング制御回路に接続され、第 1 側が前記発光素子の第 1 極に接続され、第 2 側が前記無効検出線に接続される。前記スイッチング制御回路は、検出電圧書き込み段階と無効画素検出段階で、前記発光素子の第 1 極が前記無効検出線に電氣的に接続されるように前記検出スイッチング回路を制御し、表示段階で、前記発光素子の第 1 極が前記無効検出線から電氣的に遮断されるように前記検出スイッチング回路を制御するように構成される。

【0006】

選択可能に、前記検出スイッチング回路は、ゲートが前記スイッチング制御回路に接続され、第 1 極が前記発光素子の第 1 極に接続され、第 2 極が前記無効検出線に接続される検出スイッチングトランジスタを含む。

【0007】

選択可能に、前記画素駆動回路は、データ線にも接続される。前記無効画素検出回路は、前記表示制御回路にも接続され、前記画素回路の無効を判断すると、暗状態制御信号を前記表示制御回路に出力するように構成される。前記表示制御回路は、データ線に接続され、前記暗状態制御信号を受信すると、表示段階で前記データ線に暗状態データ電圧を提供して前記発光素子を点灯させないように構成される。

【0008】

選択可能に、前記画素駆動回路は、駆動トランジスタと、記憶回路と、データ書き込み回路を含む。前記駆動トランジスタは、ゲートが前記データ書き込み回路を介して前記データ線に接続され、第1極がハイレベル入力側に接続され、第2極が、第2極がローレベル入力側に接続された前記発光素子の第1極に接続される。前記記憶回路は、前記駆動トランジスタのゲートと前記駆動トランジスタの第2極との間に接続される。前記表示制御回路は、前記データ書き込み回路にも接続され、前記検出電圧書き込み段階と前記無効画素検出段階で、前記駆動トランジスタのゲートが前記データ線に電氣的に接続されるように前記データ書き込み回路を制御し、前記検出電圧書き込み段階と前記前記無効画素検出段階で前記データ線に遮断電圧を書き込んで前記駆動トランジスタの遮断を制御するように構成される。

【0009】

選択可能に、前記記憶回路は、記憶コンデンサを含む。

【0010】

選択可能に、前記データ書き込み回路は、ゲートが前記表示制御回路に接続され、ソースが前記駆動トランジスタのソースに接続され、ドレインが前記データ線に接続されるデータ書き込みトランジスタを含む。

【0011】

選択可能に、前記発光素子は、自己発光素子である。

【0012】

選択可能に、前記発光素子は、第1極が陽極であり、第2極が陰極である。前記参照電圧の電圧値は、前記発光素子の陰極に入力される電圧値より大きい。

【0013】

選択可能に、前記無効画素検出回路は、前記無効画素検出段階で、前記発光素子の第1極の電位が所定の電圧値より小さいとの検出に応答して、前記画素回路の無効を判断するように構成される。

【0014】

本開示は、上記の無効画素検出回路に応用される無効画素検出方法をさらに提供する。前記無効画素検出方法において、検出電圧書き込み段階で、表示制御回路は、発光素子を点灯しないように画素駆動回路を制御し、無効画素検出回路は、無効検出線を介して前記発光素子の第1極に参照電圧を提供する。無効画素検出段階で、表示制御回路は、発光素子を点灯しないように画素駆動回路を制御し、無効画素検出回路は、前記発光素子の第1極の電位を検出し、当該電位に基づいて画素回路が無効であるか否かを判断する。

【0015】

選択可能に、前記無効画素検出回路は、検出スイッチング回路と、スイッチング制御回路とをさらに含む。前記無効画素検出方法において、さらに、スイッチング制御回路は、検出電圧書き込み段階と無効画素検出段階で、前記発光素子の第1極が前記無効検出線に電氣的に接続されるように検出スイッチング回路を制御し、表示段階で、前記発光素子の第1極が前記無効検出線に電氣的に接続されないように前記検出スイッチング回路を制御する。

【0016】

選択可能に、前記無効画素検出方法において、さらに、前記無効画素検出回路は、当該画素回路の無効を判断すると、暗状態制御信号を前記表示制御回路に出力し、前記表示制御回路は、前記暗状態制御信号を受信すると、表示段階で前記データ線に暗状態データ電

10

20

30

40

50

圧を提供して前記発光素子を点灯させない。

【0017】

選択可能に、前記発光素子は、第1極が陽極であり、第2極が陰極である。前記参照電圧の電圧値は、前記発光素子の陰極に入力される電圧値より大きい。

【0018】

選択可能に、前記無効画素検出回路が、前記発光素子の第1極の電位を検出し、当該電位に基づいて前記画素回路が無効であるか否かを判断することは、前記無効画素検出回路が、前記発光素子の第1極の電位が所定の電圧値より小さいとの検出に応答して、前記画素回路の無効を判断するように構成されることを含む。

【0019】

本開示は、画素回路と、上記の無効画素検出回路を含む表示装置をさらに提供する。前記無効画素検出回路は、前記画素回路に接続され、前記画素回路が無効であるか否かを検出するように構成される。

【図面の簡単な説明】

【0020】

【図1】図1は、本開示の一部実施例における無効画素検出回路の構造図である。

【図2】図2は、本開示の一部実施例における無効画素検出回路の構造図である。

【図3】図3は、本開示の一部実施例における無効画素検出回路の構造図である。

【図4】図4は、本開示の一部実施例における無効画素検出回路の構造図である。

【図5】図5は、本開示の一部実施例における無効画素検出回路の回路図である。

【図6】図6は、本開示の一部実施例における無効画素検出方法のフローチャートである。

【発明を実施するための形態】

【0021】

以下、本開示の実施例の図面を参照しながら、本開示の実施例の技術手段を明確且つ完全に記載する。明らかに、記載される実施例は、本開示の実施例の一部であり、全てではない。本開示の実施例に基づき、当業者が創造性のある作業をせずに為しえる全ての実施例は、すべて本開示の保護範囲に属するものである。

【0022】

本開示のすべての実施例に用いられるトランジスタは、薄膜トランジスタ、電界効果トランジスタまたはその他の同一特性のデバイスである。

【0023】

本開示の実施例に記載の無効画素検出回路は、画素回路に接続される。図1に示すように、前記画素回路は、相互に接続された発光素子ELと画素駆動回路10を含む。たとえば、前記画素駆動回路10は、前記発光素子ELの第1極に接続される。

【0024】

本開示の実施例に記載の無効画素検出回路は、表示制御回路11と無効画素検出回路12とを含む。

【0025】

前記表示制御回路11は、前記画素駆動回路10に接続され、検出電圧書き込み段階と無効画素検出段階で、前記発光素子を点灯しないように前記画素駆動回路10を制御するように構成される。

【0026】

前記無効画素検出回路12は、無効検出線SENを介して前記発光素子の第1極に接続され、検出電圧書き込み段階で無効検出線SENを介して前記発光素子の第1極に参照電圧を提供し、無効画素検出段階で前記発光素子の第1極の電位を検出し、当該電位に基づいて当該画素回路が無効であるか否かを判断するように構成される。

【0027】

本開示の実施例に記載の無効画素検出回路は、表示制御回路11と無効画素検出回路12とを含む。表示制御回路11は、検出電圧書き込み段階と無効画素検出段階で発光素子

10

20

30

40

50

が点灯されないように制御する。無効画素検出回路12は、検出電圧書き込み段階で無効検出線SENを介して前記発光素子の第1極に参照電圧を提供し、無効画素検出段階で、発光素子の第1極の電位を判断することによって、発光素子の第1極と当該発光素子の第2極が画素無効の原因で導通して発光素子の第1極の電位が保持できなくなったかを特定して、画素回路が無効であるか否かを判断する。

【0028】

本開示の実施例に記載の無効画素検出回路は、発光素子の短絡によるデッドピクセルを検出可能である。実際の作業において、前記発光素子の第2極は、通常、接地するか、ローレベルに接続される。そのため、発光素子の第1極と当該発光素子の第2極が導通すると、無効画素検出回路12が無効画素検出段階で検出した発光素子の第1極の電位も相応的に低い。当該発光素子の第1極の電位が異常に一定の規格値を超えると、当該画素をデッドピクセルとマークし、記憶装置によって当該画素の位置情報を記憶する。

10

【0029】

選択可能に、前記発光素子は、OLED (Organic Light-Emitting Diode)、QD-LED、Micro-LEDなど、電流の衝撃で老化して発光に支障をきたすあらゆるタイプの自己発光素子である。発光素子の第1極は、陽極であり、発光素子の第2極は、陰極である。

【0030】

一部の実施例において、デッドピクセルの検出は、正常の表示に支障を来たさないように、正常表示状態で行われる必要がなく、オフにするたびに画面が暗くなるプロセスで行われる。

20

【0031】

一部の実施例において、図2に示すように、本開示の実施例に記載の無効画素検出回路は、検出スイッチング回路13と、スイッチング制御回路14とをさらに含む。

【0032】

前記検出スイッチング回路13は、制御側が前記スイッチング制御回路14に接続され、第1側が前記発光素子ELの第1極に接続され、第2側が無効検出線SENに接続される。

【0033】

前記スイッチング制御回路14は、検出電圧書き込み段階と無効画素検出段階で、前記発光素子ELの第1極が前記無効検出線SENに電氣的に接続されるように前記検出スイッチング回路13を制御し、表示段階で、前記発光素子ELの第1極が前記無効検出線SENに接続されない（電氣的に遮断される）ように前記検出スイッチング回路13を制御する。

30

【0034】

本開示の図2に示す実施例において、前記無効画素検出回路は、検出スイッチング回路13と、スイッチング制御回路14とをさらに含む。スイッチング制御回路14は、検出電圧書き込み段階と無効画素検出段階で、前記発光素子ELの第1極が前記無効検出線SENに電氣的に接続されるように検出スイッチング回路13を制御し、表示段階で、表示に支障を来たさないよう、前記発光素子の第1極が前記無効検出線SENに電氣的に接続されないように検出スイッチング回路13を制御する。

40

【0035】

一部の実施例において、前記検出スイッチング回路は、ゲートが前記スイッチング制御回路に接続され、第1極が前記発光素子の第1極に接続され、第2極が前記無効検出線に接続される検出スイッチングトランジスタを含む。

【0036】

一部の実施例において、図3に示すように、前記画素駆動回路10は、データ線DLにも接続され、前記データ線DLのデータ電圧に基づいて、前記発光素子ELを発光させるか否かを制御する。前記無効画素検出回路12は、前記表示制御回路11にも接続され、当該画素回路の無効を判断すると、表示段階で暗状態制御信号を前記表示制御回路11に

50

出力するように構成される。前記表示制御回路 11 は、データ線 DL に接続され、前記暗状態制御信号を受信すると、表示段階で前記データ線 DL に暗状態データ電圧を提供して前記発光素子 EL を点灯させないように構成される。

【0037】

一部の実施例において、前記無効画素検出回路 12 は、画素回路の無効を判断すると、表示段階で無効画素に含まれる発光素子が点灯されないように表示制御回路 11 を制御し、デッドピクセル状態において電流が絶えずに短絡箇所に加圧するために電流が大きくなることを避け、さらに、熱効果で周辺画素の TFT（薄膜トランジスタ）と発光素子の老化の加速化による大面積の不良現象の発生を避ける。

【0038】

一部の実施例において、図 4 に示すように、前記画素駆動回路は、駆動トランジスタ DTFT と、記憶回路 41 と、データ書き込み回路 42 を含む。

【0039】

前記駆動トランジスタ DTFT は、ゲートが前記データ書き込み回路 42 を介してデータ線 DL に接続され、第 1 極がハイレベル入力側 Vdd に接続され、第 2 極が前記発光素子 EL の第 1 極に接続される。前記発光素子 EL の第 2 極は、ローレベル入力側 VSS に接続される。

【0040】

前記記憶回路 41 は、前記駆動トランジスタ DTFT のゲートと前記駆動トランジスタ DTFT の第 2 極との間に接続される。

【0041】

選択可能に、記憶回路 41 は、記憶コンデンサを含む。当該記憶コンデンサは、第 1 側が駆動トランジスタのゲートに接続され、第 2 側が駆動トランジスタの第 2 極に接続される。

【0042】

前記表示制御回路 11 は、前記データ線 DL と前記データ書き込み回路 42 に接続され、検出電圧書き込み段階と無効画素検出段階で、前記駆動トランジスタ DTFT のゲートが前記データ線 DL に電氣的に接続されるように前記データ書き込み回路 42 を制御し、検出電圧書き込み段階と無効画素検出段階で前記データ線 DL に遮断電圧を書き込んで前記駆動トランジスタ DTFT の遮断を制御するように構成される。

【0043】

一部の実施例において、前記記憶回路 41 は、記憶コンデンサを含む。図 4 に示すように、駆動トランジスタ DTFT は、n 型トランジスタを例とする。この場合、DTFT の第 1 極は、DTFT のドレインであり、DTFT の第 2 極は、DTFT のソースである。選択可能に、DTFT は、p 型トランジスタであってもよい。

【0044】

一部の実施例において、本開示の実施例に記載の無効画素検出回路は、画素回路に接続される。図 5 に示すように、前記画素回路は、相互に接続された OLED と画素駆動回路を含む。前記画素駆動回路は、OLED の陽極に接続される。本開示の実施例に記載の無効画素検出回路は、表示制御回路 11 と、無効画素検出回路 12 と、検出スイッチング回路 13 と、スイッチング制御回路 14 とを含む。

【0045】

前記検出スイッチング回路 13 は、ゲートがスイッチング制御側 G2 を介して前記スイッチング制御回路 14 に接続され、ソースが OLED の陽極に接続され、ドレインが無効検出線 SEN に接続される検出スイッチングトランジスタ TD を含む。

【0046】

前記スイッチング制御回路 14 は、検出電圧書き込み段階と無効画素検出段階で、OLED の陽極が前記無効検出線 SEN に電氣的に接続されるように前記検出スイッチングトランジスタ TD の導通を制御し、表示段階で、OLED の陽極が前記無効検出線 SEN に電氣的に接続されないように前記検出スイッチングトランジスタ TD の遮断を制御する。

10

20

30

40

50

【0047】

前記画素駆動回路は、駆動トランジスタDTFTと、記憶コンデンサCstと、データ書き込みトランジスタT1を含む。

【0048】

前記駆動トランジスタDTFTのゲートは、前記データ書き込みトランジスタT1のソースに接続され、前記駆動トランジスタDTFTのドレインは、ハイレベル入力側Vddに接続され、前記駆動トランジスタDTFTのソースは、OLEDの陽極に接続される。

【0049】

前記データ書き込みトランジスタT1のゲートは、走査線G1に接続され、前記データ書き込みトランジスタT1のドレインは、データ線DLに接続される。

10

【0050】

前記記憶コンデンサCstは、前記駆動トランジスタDTFTのゲートと前記駆動トランジスタDTFTのソースとの間に接続される。

【0051】

OLEDの陰極は、ローレベル入力側VSSに接続される。

【0052】

前記表示制御回路11は、前記データ線DLと前記走査線G1にそれぞれ接続され、検出電圧書き込み段階と無効画素検出段階で、前記駆動トランジスタDTFTのゲートが前記データ線DLに電氣的に接続されるように前記データ書き込みトランジスタT1の導通を制御し、検出電圧書き込み段階と無効画素検出段階で前記データ線DLに遮断電圧を書き込んで前記駆動トランジスタDTFTの遮断を制御するように構成される。DTFTがn型トランジスタであるため、たとえば、前記遮断電圧は、ゼロ電圧である。

20

【0053】

前記無効画素検出回路12は、無効検出線SENを介してTDのドレインに接続され、検出電圧書き込み段階で無効検出線SENと導通のTDを介してOLEDの陽極に参照電圧Vrefを提供し、無効画素検出段階で、OLEDの陽極の電位を検出し、当該電位に基づいて、当該画素回路が無効であるか否かを判断するように構成される。

【0054】

前記無効画素検出回路12は、さらに前記表示制御回路11に接続され、当該画素回路の無効を判断すると、暗状態制御信号を前記表示制御回路11に出力するように構成される。

30

【0055】

前記表示制御回路11は、データ線DLに接続され、前記暗状態制御信号を受信すると、表示段階で前記データ線DLに暗状態データ電圧を提供してOLEDを点灯させないように構成される。

【0056】

選択可能に、C1は、無効検出線SEN上の寄生容量である。前記無効画素検出回路12は、駆動IC(Integrated Circuit)に設けられてもよい。前記表示制御回路11も駆動ICに設けられてもよい。

【0057】

一部の実施例において、前記無効画素検出回路12は、アナログデジタルコンバータ(ADC)(OLEDの陽極の電位を検出して画素が無効であるか否かを判断することに用いられる)と、スイッチと、参照電圧出力側を含む。検出電圧書き込み段階で、前記スイッチは、参照電圧出力側が無効検出線SENに接続されるように制御する。無効画素検出段階で、前記スイッチは、前記アナログデジタルコンバータが無効検出線SENに接続されるように制御する。前記アナログデジタルコンバータによって無効検出線SEN上の電圧を検出する。

40

【0058】

本開示の図5に示す無効画素検出回路の動作プロセスは、以下を含む。検出電圧書き込み段階で、TDがオンになり、無効画素検出回路12は、SENに参照電圧Vrefを印

50

加する。前記表示制御回路11は、T1の導通を制御してDTFTのゲートとデータ線DLとを電氣的に接続させる。表示制御回路11は、データ線DLに遮断電圧を書き込んで前記駆動トランジスタDTFTの遮断を制御し、OLEDを点灯させない状態でOLEDの陽極に参照電圧Vrefを書き込む。SENに寄生容量C1が存在するため、寄生容量C1の作用でVrefを記憶する。

【0059】

選択可能に、参照電圧Vrefの電圧値は、OLEDの陰極に入力された電圧値より大きい。たとえば、OLEDの陰極にマイナス電圧が入力された場合、Vrefの値は、0V~4Vである。OLEDの陰極が接地する場合、Vrefの値は、プラス電圧である。

【0060】

無効画素検出段階で、TDがオンになり、無効画素検出回路12は、SENを介してOLEDの陽極の電圧を検出する。当該画素にデッドピクセルが存在して、OLEDの陽極と当該OLEDの陰極との間の短絡が生じるのであれば、SENは、直接ローレベル入力側VSSに接続される。または、前記無効画素検出回路12が検出したOLEDの陽極の電圧が異常に一定の規格値を超えると、当該画素をデッドピクセルとマークし、当該ポイントの位置情報を記憶装置によって記憶する。

【0061】

表示段階で、TDがオフになり、OLEDの陽極と前記無効検出線SENとを接続させない。表示制御回路11は、以上マークしたデッドピクセルに入力されるデータ線上のデータ電圧が0Vになる（この場合、データ電圧がDTFTの遮断を制御可能なあらゆる電圧であってもよい）ように制御し、DTFTの遮断を制御し、駆動トランジスタDTFTに当該デッドピクセルを流れる駆動電流があることを防止し、これ以上のデッドピクセルの発生を阻止する。

【0062】

本開示の実施例に記載の無効画素検出方法は、上記の無効画素検出回路に応用される。図6に示すように、前記無効画素検出方法において、以下のステップを含む。

S1：検出電圧書き込み段階で、表示制御回路は、発光素子を点灯しないように画素駆動回路を制御し、無効画素検出回路は、無効検出線を介して前記発光素子の第1極に参照電圧を提供する。

S2：無効画素検出段階で、表示制御回路は、発光素子を点灯しないように画素駆動回路を制御し、無効画素検出回路は、前記発光素子の第1極の電位を検出し、当該電位に基づいて画素回路が無効であるか否かを判断する。

【0063】

一部の実施例において、前記無効画素検出回路が検出スイッチング回路とスイッチング制御回路とをさらに含む場合、前記無効画素検出方法において、さらに、スイッチング制御回路は、検出電圧書き込み段階と無効画素検出段階で、前記発光素子の第1極が前記無効検出線に電氣的に接続されるように検出スイッチング回路を制御し、表示段階で、前記発光素子の第1極が前記無効検出線に電氣的に接続されないように前記検出スイッチング回路を制御する。

【0064】

一部の実施例において、本開示の実施例に記載の無効画素検出方法で、さらに、前記無効画素検出回路は、当該画素回路の無効を判断すると、暗状態制御信号を前記表示制御回路に出力し、前記表示制御回路は、前記暗状態制御信号を受信すると、表示段階で前記データ線に暗状態データ電圧を提供して前記発光素子を点灯させない。

【0065】

本開示の実施例に記載の表示装置は、画素回路と、上記の無効画素検出回路を含む。前記無効画素検出回路は、前記画素回路に接続される。

【0066】

以上の記載は、本開示の一部の実施形態である。なお、当業者にとって、本開示に記載した原理を逸脱することなくいくつかの改良や修飾を行うこともできる。これらの改良や

10

20

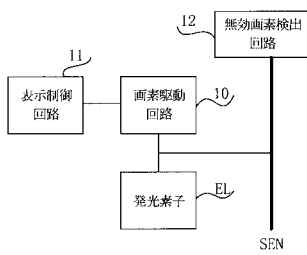
30

40

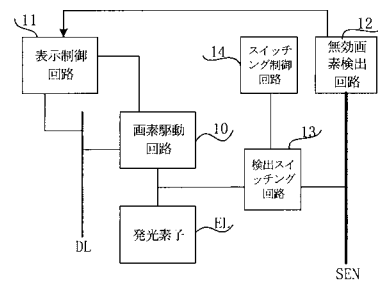
50

修飾も、本開示の保護範囲として見なされるべきである。

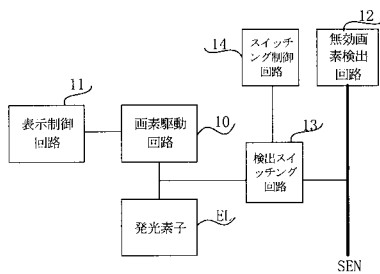
【図 1】



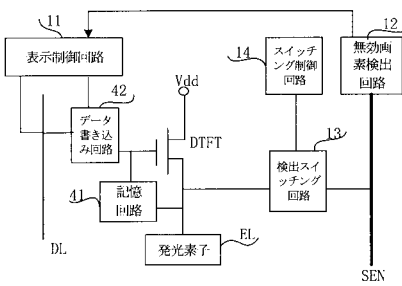
【図 3】



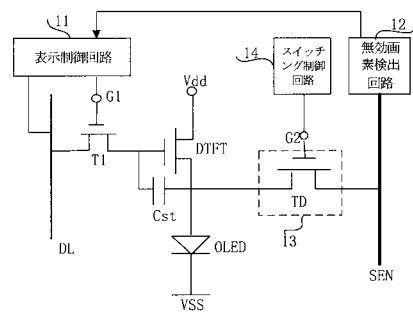
【図 2】



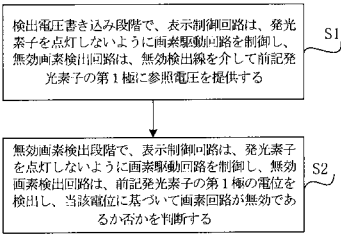
【図 4】



【図 5】



【図 6】



【国际调查报告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2018/077884		
A. CLASSIFICATION OF SUBJECT MATTER				
G09G 3/00 (2006.01) i				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
G09G 3/00; G09G 3; G09G 5; G09F 9; H05B 33; H05B 41; H01L 27; H01L 29; G02F 1; H04N				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
CNABS, CNTXT, CNKI, VEN: 像素, 画素, 失效, 坏点, 损坏, 缺陷, 故障, 异常, 检测, 检查, 检验, 测试, 发光, OLED, LED, 电压, 电位, 电势, Pixel, failure, invalidation, bad, defect, abnormality, fault, detect, test, check, inspect, OLED, LED, voltage, pressure, potential				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X	CN 101261803 A (HITACHI DISPLAYS, LTD.), 10 September 2008 (10.09.2008), description, page 8, antepenultimate line to page 14, line 1, and figures 1-17	1-16		
X	CN 1667682 A (TOHOKU PIONEER CORP), 14 September 2005 (14.09.2005), description, page 3, line 15 to page 11, line 5, and figures 1-4	1-16		
X	CN 1674075 A (TOHOKU PIONEER CORP), 28 September 2005 (28.09.2005), description, page 3, line 15 to page 9, line 10, and figures 1-3	1-16		
PX	CN 106683605 A (BOE TECHNOLOGY GROUP CO., LTD.), 17 May 2017 (17.05.2017), entire document	1-16		
PX	CN 107665663 A (LG DISPLAY CO., LTD.), 06 February 2018 (06.02.2018), entire document	1-16		
A	KR 20060113000 A (SAMSUNG SDI CO., LTD.), 02 November 2006 (02.11.2006), entire document	1-16		
A	JP 2006145971 A (AGILENT TECHNOLOGIES INC.), 08 June 2006 (08.06.2006), entire document	1-16		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 11 April 2018		Date of mailing of the international search report 19 April 2018		
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451		Authorized officer ZHANG, Jingmei Telephone No. (86-10) 62085673		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/077884

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101261803 A	10 September 2008	JP 5317419 B2	16 October 2013
		US 2008218451 A1	11 September 2008
		CN 101261803 B	16 June 2010
		JP 2008216874 A	18 September 2008
CN 1667682 A	14 September 2005	US 2005200574 A1	15 September 2005
		EP 1575022 A2	14 September 2005
		JP 2005258128 A	22 September 2005
CN 1674075 A	28 September 2005	EP 1580720 A2	28 September 2005
		EP 1580720 A3	20 September 2006
		US 2005212730 A1	29 September 2005
		US 7157858 B2	02 January 2007
		JP 2005274821 A	06 October 2005
CN 106683605 A	17 May 2017	None	
CN 107665663 A	06 February 2018	KR 20180014308 A	08 February 2018
		US 2018033373 A1	01 February 2018
KR 20060113000 A	02 November 2006	None	
JP 2006145971 A	08 June 2006	None	

国际检索报告		国际申请号 PCT/CN2018/077884
A. 主题的分类 G09G 3/00(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/00; G09G3; G09G5; G09F9; H05B33; H05B41; H01L27; H01L29; G02F1; H04N 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, CNKI, VEN:像素, 画素, 失效, 坏点, 损坏, 缺陷, 故障, 异常, 检测, 检查, 检验, 测试, 发光, QLED, LED, 电压, 电位, 电势, Pixel, failure, invalidation, bad, defect, abnormality, fault, detect, test, check, inspect, QLED, LED, voltage, pressure, potential.		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101261803 A (株式会社日立显示器) 2008年 9月 10日 (2008-09-10) 说明书第8页倒数第3行至第14页第1行、图1-17	1-16
X	CN 1667682 A (东北先锋电子股份有限公司) 2005年 9月 14日 (2005-09-14) 说明书第3页第15行至第11页第5行、图1-4	1-16
X	CN 1674075 A (东北先锋电子股份有限公司) 2005年 9月 28日 (2005-09-28) 说明书第3页第15行至第9页第10行、图1-3	1-16
PX	CN 106683606 A (京东方科技集团股份有限公司) 2017年 5月 17日 (2017-05-17) 全文	1-16
PX	CN 107665663 A (乐金显示有限公司) 2018年 2月 6日 (2018-02-06) 全文	1-16
A	KR 20060113000 A (SAMSUNG SDI CO LTD) 2006年 11月 2日 (2006-11-02) 全文	1-16
A	JP 2006146971 A (AGILENT TECHNOLOGIES INC) 2006年 6月 8日 (2006-06-08) 全文	1-16
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2018年 4月 11日		国际检索报告邮寄日期 2018年 4月 19日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 张景美 电话号码 (86-10)62085673

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/077884

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	101261803	A	2008年 9月 10日	JP	5317419	B2	2013年 10月 16日		
				US	2008218451	A1	2008年 9月 11日		
				CN	101261803	B	2010年 6月 16日		
				JP	2008216874	A	2008年 9月 18日		
CN	1667682	A	2005年 9月 14日	US	2005200574	A1	2005年 9月 15日		
				EP	1575022	A2	2005年 9月 14日		
				JP	2005258128	A	2005年 9月 22日		
CN	1674075	A	2005年 9月 28日	EP	1580720	A2	2005年 9月 28日		
				EP	1580720	A3	2006年 9月 20日		
				US	2005212730	A1	2005年 9月 29日		
				US	7157858	B2	2007年 1月 2日		
				JP	2005274821	A	2005年 10月 6日		
CN	106683605	A	2017年 5月 17日	无					
CN	107665663	A	2018年 2月 6日	KR	20180014308	A	2018年 2月 8日		
				US	2018033373	A1	2018年 2月 1日		
KR	20060113000	A	2006年 11月 2日	无					
JP	2006145971	A	2006年 6月 8日	无					

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H05B 33/12	(2006.01)	G 0 9 G	3/20	6 7 0 N
H01L 27/32	(2006.01)	G 0 9 G	3/20	6 7 0 J
		H 0 5 B	33/14	A
		H 0 5 B	33/12	Z
		H 0 1 L	27/32	

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(74)代理人 100195257

弁理士 大淵 一志

(72)発明者 李 永謙

中華人民共和国 1 0 0 1 7 6 北京市北京経済技術開発区地澤路 9 号

(72)発明者 徐 攀

中華人民共和国 1 0 0 1 7 6 北京市北京経済技術開発区地澤路 9 号

(72)発明者 李 全虎

中華人民共和国 1 0 0 1 7 6 北京市北京経済技術開発区地澤路 9 号

F ターム (参考) 3K107 AA01 BB01 CC21 CC31 EE65 GG56 HH00

5C080 AA06 BB05 DD15 DD18 DD29 FF11 HH10 JJ02 JJ03 JJ07

5C380 AA01 AB06 BD10 BD20 CA11 CA54 CC02 CC26 CC27 CC34

CC63 CD013 CF01 CF49 DA02 DA50 FA02 FA21 GA07 HA02

HA05

专利名称(译)	无效像素检测电路，方法及显示装置		
公开(公告)号	JP2020515894A	公开(公告)日	2020-05-28
申请号	JP2019552977	申请日	2018-03-02
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
发明人	李 永謙 徐 攀 李 全虎		
IPC分类号	G09G3/30 G09G3/20 G09G3/3275 G09G3/3233 H01L51/50 H05B33/12 H01L27/32		
CPC分类号	G09G3/006 G09G3/30 G09G2300/0842 G09G2320/029		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/3275 G09G3/20.623.C G09G3/3233 G09G3/20.670.N G09G3/20.670.J H05B33/14.A H05B33/12.Z H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE65 3K107/GG56 3K107/HH00 5C080/AA06 5C080/BB05 5C080/DD15 5C080/DD18 5C080/DD29 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/BD10 5C380/BD20 5C380/CA11 5C380/CA54 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC34 5C380/CC63 5C380/CD013 5C380/CF01 5C380/CF49 5C380/DA02 5C380/DA50 5C380/FA02 5C380/FA21 5C380/GA07 5C380/HA02 5C380/HA05		
代理人(译)	松永信行		
优先权	201710206482.X 2017-03-31 CN		
外部链接	Espacenet		

摘要(译)

无效的像素检测电路，方法和显示装置。无效像素检测电路包括显示控制电路（11）和无效像素检测电路（12）。显示控制电路（11）连接到像素驱动电路（10），并且控制像素驱动电路（10），以便在检测电压写入阶段和无效像素检测阶段不导通发光元件（EL）。组成。在检测电压写入阶段，无效像素检测电路（12）经由无效检测线（SEN）连接至发光元件（EL）的第一极，经由无效检测线（SEN）连接至发光元件（EL）。在无效像素检测级中将基准电压提供给发光元件（EL）的第一极，并且检测发光元件（EL）的第一极的电势以确定像素电路是否无效。组成。

