

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-515276

(P2017-515276A)

(43) 公表日 平成29年6月8日(2017.6.8)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/02 (2006.01)	H05B 33/02	3K107
H01L 51/50 (2006.01)	H05B 33/14	5C094
G09F 9/30 (2006.01)	G09F 9/30	365

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号	特願2016-565383 (P2016-565383)	(71) 出願人	590003283
(86) (22) 出願日	平成27年5月5日 (2015.5.5)		コモンウェルス サイエンティフィック
(85) 翻訳文提出日	平成28年10月28日 (2016.10.28)		アンド インダストリアル リサーチ
(86) 国際出願番号	PCT/AU2015/000267		オーガナイゼーション
(87) 国際公開番号	W02015/168725		オーストラリア国 オーストラリアン
(87) 国際公開日	平成27年11月12日 (2015.11.12)		キャピタル テリトリー, アクトン, クルー
(31) 優先権主張番号	2014901638		ニーズ ロス ストリート, シーエスアイ
(32) 優先日	平成26年5月5日 (2014.5.5)		アールオー ブラック マウンテン サイ
(33) 優先権主張国	オーストラリア (AU)		エンス アンド イノベーション パーク
		(74) 代理人	100107766
			弁理士 伊東 忠重
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(74) 代理人	100091214
			弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 O L E Dディスプレイパネルの画素構造

(57) 【要約】

複数のサブピクセルを有する高精細発光ディスプレイパネルで使用される画素構造は、ガラス基板と、ガラス基板上に配置され、容量素子を含むバックプレーンであり、容量素子が、光の50パーセント以上に当該容量素子を透過させるのに十分な高さの光透過率を持つ、バックプレーンと、バックプレーン上に配置されたフロントプレーンであり、ガラス基板及びバックプレーンの方に光を放射するように配置された発光素子を含むフロントプレーンと、フロントプレーン及びバックプレーン間の電気接続を提供する電気接続部であり、サブピクセルの各々に3つ以下の電気接続部が設けられる、電気接続部と、バックプレーン上に設けられて、発光素子への電気配給を制御するスイッチング素子とを有し、そこから光がガラス基板中に伝えられる開口率が20パーセント以上である。

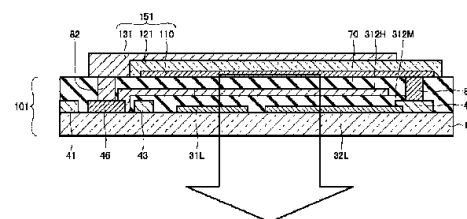


Figure 4

【特許請求の範囲】**【請求項 1】**

複数のサブピクセルを有する高精細発光ディスプレイパネルで使用される画素構造であって、

ガラス基板と、

前記ガラス基板上に配置され、容量素子を含むバックプレーンであり、前記容量素子は、光の 50 パーセント以上に当該容量素子を透過させるのに十分な高さの光透過率を持つ、バックプレーンと、

前記バックプレーン上に配置されたフロントプレーンであり、前記ガラス基板及び前記バックプレーンの方に光を放射するように配置された発光素子を含むフロントプレーンと

10

、
前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する電気接続部であり、前記サブピクセルの各々に 3 つ以下の電気接続部が設けられる、電気接続部と、

前記バックプレーン上に設けられて、前記発光素子への電気配給を制御するスイッチング素子と

を有し、

そこから光が前記ガラス基板中に伝えられる開口率が 20 パーセント以上である、
高精細発光ディスプレイパネルで使用される画素構造。

【請求項 2】

前記容量素子は導電層を持ち、

20

前記バックプレーンは少なくとも 1 つの配線を含み、

前記導電層は、実質的に多角形であり、その辺が、前記配線のうちの少なくとも 1 つと電氣的に接触し又は一体である、

請求項 1 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 3】

前記容量素子は絶縁層を持ち、

前記バックプレーン内の内部配線を含む少なくとも 1 つの配線が、光を透過させる前記容量素子の前記絶縁層よりも上の層内に位置する、

請求項 1 又は 2 に記載の高精細発光ディスプレイパネルで使用される画素構造。

30

【請求項 4】

前記容量素子は導電層を持ち、

前記バックプレーン内の内部配線を含む少なくとも 1 つの配線が、前記容量素子の前記導電層と一体である、

請求項 1 乃至 3 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 5】

前記スイッチング素子は、シリコン、金属酸化物、又は有機物の活性層を持つ薄膜トランジスタである、請求項 1 乃至 4 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

40

【請求項 6】

前記バックプレーンは、画素内で延在する直線配線パターンを含み、

前記スイッチング素子は前記薄膜トランジスタであり、

前記直線配線パターンの端部が、前記薄膜トランジスタのソース・ドレイン電極端子として適用される、

請求項 5 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 7】

製造プロセスで使用されるフォトリソマスク及び金属マスクの総数が 15 以下である、請求項 1 乃至 6 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 8】

前記サブピクセルの各々に 4 つ以下の薄膜トランジスタが設けられる、請求項 5 又は 6

50

に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 9】

前記サブピクセルの各々に、前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する電気接続部が 2 つ設けられる、請求項 1 乃至 8 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 10】

前記サブピクセルの各々に、前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する電気接続部が 1 つ設けられる、請求項 1 乃至 8 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 11】

前記容量素子は、可視光領域内で、光の 50 パーセント以上に当該容量素子を透過させる、請求項 1 乃至 10 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 12】

前記容量素子は前記バックプレーン内に配置されている、請求項 1 乃至 11 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 13】

前記容量素子は、前記ガラス基板と接触するように配置されている、請求項 12 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 14】

前記容量素子によって占有される領域のうちの 50 パーセント以上が、前記ガラス基板の外から見るときに、前記発光素子と重なり合うように配置されている、請求項 1 乃至 13 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 15】

絶縁性の平坦化層が前記バックプレーン上に配設されている、請求項 1 乃至 14 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 16】

前記平坦化層の前記フロントプレーン側の部分が、10 nm 以下の Ra の表面平坦性を有する、請求項 15 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 17】

前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する前記電気接続部のうちの少なくとも 1 つが、前記バックプレーンに含まれる前記スイッチング素子の 1 つの電極と、前記フロントプレーンに含まれる前記発光素子の正孔注入側電極とを接続するように配置されている、請求項 1 乃至 16 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 18】

前記フロントプレーンに含まれる前記発光素子の電子注入側電極が、配線を備えるが、サブピクセル内に、前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する前記電気接続部を含まない、請求項 1 乃至 17 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 19】

前記フロントプレーン及び前記バックプレーンがそれぞれ少なくとも 1 つの接地ラインを含む、請求項 1 乃至 18 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 20】

前記サブピクセルの各々が、少なくとも 2 つのスイッチング素子と、少なくとも 1 つの容量素子と、少なくとも 1 つの発光素子とを含む、請求項 1 乃至 19 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 21】

前記サブピクセルの各々が、前記発光素子の 1 つの電極の電圧の測定用の配線を含む、

10

20

30

40

50

請求項 1 乃至 20 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 22】

前記サブピクセルの各々が、前記容量素子の 1 つの電極の電圧の調節用の配線を含む、請求項 1 乃至 21 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 23】

前記サブピクセル、前記スイッチング素子、及び前記容量素子のうちの 1 つ内の配線が、3 ミクロン以下の最小微細加工ライン幅を有する、請求項 1 乃至 22 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

10

【請求項 24】

請求項 1 乃至 23 の何れか一項に記載の画素構造を持つ高精細発光ディスプレイパネルを含んだ有機エレクトロルミネセンス表示ユニット。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高精細発光ディスプレイパネルでの使用のための画素構造、及びその画素構造を用いる有機エレクトロルミネセンスディスプレイに関する。

【背景技術】

【0002】

例えば、有機エレクトロルミネセンス素子又は有機発光ダイオード（OLED）、すなわち、有機エレクトロルミネセンス（EL）デバイスなど、直流電流レベルに対応する光度で光を放つ二端子表示装置を用いるディスプレイパネルが、近年、開発されている。

20

【0003】

高輝度で高コントラストの画像表示の実装は、例えば薄膜トランジスタ（TFT）といったスイッチング素子を用いるアクティブ駆動を必要とする。典型的に、OLEDは、薄い有機材料の積層構造を持ち且つ当該OLEDを流れ抜ける電流のレベルに従って発光強度を変化させる発光デバイスである。画像を表示する表示ユニットは、マトリクスに配置された各ピクセル（画素）又はサブピクセルの上に設けられたOLEDを通る電流を、TFTを用いることによって渡し、それにより、それが光を放つことを可能にするように構成されることができる。

30

【0004】

図1は、OLEDを採用する表示ユニットの基本構成を示している（非特許文献1参照）。OLED表示ユニットは、TFT（又はその他のスイッチング素子）20、容量素子（キャパシタ）30、及びガラス基板10上に配置された配線40を持つバックプレーン100と、その上にOLED120が配置されたフロントプレーン150とで構成される。OLED表示ユニットは、OLED120によって光が放射される方向に従って2つのタイプに分類され、一方は、OLEDによって放射された光が主としてバックプレーン100を通るボトムエミッション型（図1（a）参照）であり、他方は、OLEDによって放射された光が主として、バックプレーン100を通るのではなく、フロントプレーン150を通るトップエミッション型（図1（b）参照）である。

40

【0005】

ボトムエミッション型では、正孔を注入するために、インジウム錫酸化物（ITO）透明導電膜60が、ガラス基板10上に設けられて、バックプレーン100上に形成される。このタイプは、低温でのプロセスであり且つOLED120形成後に酸素が使われないプロセスを用いた表示ユニットの製造を可能にし、有機材料にダメージを与えない比較的単純化された製造プロセスを使用するという利点をもたらす。しかしながら、このタイプは、TFT20及び配線40が上に配設されたバックプレーン100を光が通り抜ける構造を持ち、開口領域に制約を課してしまう。特に、このタイプは、高精細な表示ユニットにおける極めて小さい開口率という欠点を持つ。

50

【 0 0 0 6 】

トップエミッション型は、フロントプレーン 150' (バックプレーン 100' の反対側)を通して光を放射する必要性のために、ITO 透明導電膜 61 を有機材料上に形成しなければならない。ITO 透明導電膜の形成は、一部の例では加熱プロセスを含んだ、酸素プラズマプロセスを使用し、結果として、OLED 120' の有機材料がダメージを受けがちである。さらに、酸素/水成分の吸収材を、光が取り出される側に設けなければならない、製造プロセスを比較的複雑にするという欠点を持つ複雑化された構造をもたらす。しかしながら、このタイプは、TFT 20' 及び配線 40' が上に配設されたバックプレーン 100' を光が通り抜けないので、光がそれを通して放射される開口領域について、バックプレーン 100' によって生じる制約がより少ない。特に、このタイプは、高精細な表示ユニットにおける比較的大きい開口率という潜在的な利点を持つ。しかしながら、実際には、大きい開口率はこれまで達成されていない。というのは、バックプレーン 100' とフロントプレーン 150' との間に形成される平坦化層が、配線の端部で機能することにおいて困難さを持つためである。

10

【 0 0 0 7 】

一方、幾つの特許文献(特許文献 1、2、及び 3 参照)で提案されているように、ボトムエミッション型で開口率をもっと大きくする試みが為されてきた。これらの文献は、高められた開口率を達成するために、バックプレーン 100' 上に配設される容量素子 30 及び配線 40 を透明にすることを提案している。透明な容量素子 30 は、そのような高められた開口率を確実にする効果を持つことが見出されている。しかしながら、透明な配線 40 は、微細加工に耐えること及び十分な導電性を提供することにおける困難さのために、首尾よく実現されていない。

20

【 0 0 0 8 】

最近、いっそう高精細な表示ユニットに対する要求が増している。

【 0 0 0 9 】

最近注目を集めているモバイル装置での使用のために設計される OLED 表示ユニットは、300 ppi (ピクセル毎インチ)から 400 ppi に至る範囲の高精細を必要としている。400 ppi の高精細 OLED 表示ユニットにおいては、例えば、1 画素が 60 ミクロン四方というサイズを持っており、大きい開口率、低いコスト、高い信頼性、及び安定した製造プロセスを同時に達成することを非常に困難にしている。現在知られている技術は、トップエミッション型に関して約 20 パーセントの開口率を達成するが、低コスト及び信頼性を確保する上で満足いくものではない。

30

【 0 0 1 0 】

300 ppi 又はそれ以上の高精細 OLED 表示ユニットにおいて、有機材料へのダメージがより少ない比較的単純化された製造プロセスを提供するボトムエミッション型の使用にも拘わらずに、20 パーセント以上の光取り出し開口率を達成するような、高精細なディスプレイパネル画素構造、及びそのような画素構造を用いる有機エレクトロルミネセンスディスプレイを提供することが望まれる。

【 先行技術文献 】

【 特許文献 】

40

【 0 0 1 1 】

【 特許文献 1 】 特開平 10 - 232628 号公報

【 特許文献 2 】 特開 2001 - 76885 号公報

【 特許文献 3 】 特開 2003 - 297573 号公報

【 非特許文献 】

【 0 0 1 2 】

【 非特許文献 1 】 時任、安達、及び村田、“有機 EL ディスプレイ”、オーム社、2004 年、第 126 頁

【 発明の概要 】

【 0 0 1 3 】

50

本発明の一態様は、複数のサブピクセルを有する高精細発光ディスプレイパネルで用いられる画素構造を提供し、当該画素構造は、ガラス基板と、ガラス基板上に配置され、容量素子を含むバックプレーンであり、容量素子が、光の50パーセント以上に当該容量素子を透過させるのに十分な高さの光透過率を持つ、バックプレーンと、バックプレーン上に配置されたフロントプレーンであり、ガラス基板及びバックプレーンの方に光を放射するように配置された発光素子を含むフロントプレーンと、フロントプレーン及びバックプレーン間の電気接続を提供する電気接続部であり、サブピクセルの各々に3つ以下の電気接続部が設けられる、電気接続部と、バックプレーン上に設けられて、発光素子への電気配給を制御するスイッチング素子とを有し、そこから光がガラス基板中に伝えられる開口率が20パーセント以上である。

10

【0014】

1つ以上の実施形態において、容量素子は導電層を持ち、バックプレーンは少なくとも1つの配線を含み、上記導電層は、実質的に多角形であり、その辺が、上記配線のうちの少なくとも1つと電氣的に接触し又は一体である。

【0015】

1つ以上の実施形態において、容量素子は絶縁層を持ち、バックプレーン内の内部配線を含む少なくとも1つの配線が、光を透過させる容量素子の上記絶縁層よりも上の層内に位置する。

【0016】

1つ以上の実施形態において、容量素子は導電層を持ち、バックプレーン内の内部配線を含む少なくとも1つの配線が、容量素子の上記導電層と一体である。

20

【0017】

1つ以上の実施形態において、スイッチング素子は、シリコン、金属酸化物、又は有機物の活性層を持つ薄膜トランジスタである。

【0018】

1つ以上の実施形態において、バックプレーンは、画素内で延在する直線配線パターンを含み、スイッチング素子は薄膜トランジスタであり、直線配線パターンの端部が、薄膜トランジスタのソース・ドレイン電極端子として適用される。

【0019】

1つ以上の実施形態において、製造プロセスで用いられるフォトリソマスク及び金属マスクの総数が15以下である。

30

【0020】

1つ以上の実施形態において、サブピクセルの各々に4つ以下の薄膜トランジスタが設けられる。

【0021】

1つ以上の実施形態において、サブピクセルの各々に、フロントプレーンとバックプレーンとの間の電気接続を提供する電気接続部が2つ設けられる。

【0022】

1つ以上の実施形態において、サブピクセルの各々に、フロントプレーンとバックプレーンとの間の電気接続を提供する電気接続部が1つ設けられる。

40

【0023】

1つ以上の実施形態において、容量素子は、可視光領域内で、光の50パーセント以上に当該容量素子を透過させる。

【0024】

1つ以上の実施形態において、容量素子はバックプレーン内に配置される。

【0025】

1つ以上の実施形態において、容量素子は、ガラス基板と接触するように配置される。

【0026】

1つ以上の実施形態において、容量素子によって占有される領域のうちの50パーセント以上が、ガラス基板の外から見るときに、発光素子と重なり合うように配置される。

50

【0027】

1つ以上の実施形態において、絶縁性の平坦化層がバックプレーン上に配設される。

【0028】

1つ以上の実施形態において、平坦化層のフロントプレーン側の部分が、10nm以下のRaの表面平坦性を有する。

【0029】

1つ以上の実施形態において、フロントプレーンとバックプレーンとの間の電気接続を提供する電気接続部のうちの少なくとも1つが、バックプレーンに含まれるスイッチング素子の1つの電極と、フロントプレーンに含まれる発光素子の正孔注入側電極とを接続するように配置される。

10

【0030】

1つ以上の実施形態において、フロントプレーンに含まれる発光素子の電子注入側電極が、配線を備えるが、サブピクセル内に、フロントプレーンとバックプレーンとの間の電気接続を提供する電気接続部を含まない。

【0031】

1つ以上の実施形態において、フロントプレーン及びバックプレーンがそれぞれ少なくとも1つの接地ラインを含む。

【0032】

1つ以上の実施形態において、サブピクセルの各々が、少なくとも2つのスイッチング素子と、少なくとも1つの容量素子と、少なくとも1つの発光素子とを含む。

20

【0033】

1つ以上の実施形態において、サブピクセルの各々が、発光素子の1つの電極の電圧の測定用の配線を含む。

【0034】

1つ以上の実施形態において、サブピクセルの各々が、容量素子の1つの電極の電圧の調節用の配線を含む。

【0035】

1つ以上の実施形態において、サブピクセル、スイッチング素子、及び容量素子のうちの1つ内の配線が、3ミクロン以下の最小微細加工ライン幅を有する。

【0036】

30

本発明の他の一態様は、上述の画素構造を持つ高精細発光ディスプレイパネルを含んだ有機エレクトロルミネセンス表示ユニットを提供する。

【図面の簡単な説明】

【0037】

本発明の例示的で非限定的な実施形態が、添付の図面を参照して後述される。

【図1】非特許文献1に基づくOLEDを採用した表示ユニットの基本構成を示す図である。

【図2】本発明の第1実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの回路図である。

【図3】本発明の第1実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの正面図である。

40

【図4】本発明の第1実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの断面図である。

【図5】本発明の第2実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの回路図である。

【図6】本発明の第2実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの正面図である。

【図7】本発明の第2実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの断面図である。

【図8】本発明の第3実施形態に従った高精細発光ディスプレイパネル画素構造を示す一

50

例としてのサブピクセルの正面図である。

【図 9】本発明の第 3 実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としてのサブピクセルの断面図である。

【発明を実施するための形態】

【0038】

〔第 1 実施形態〕

図 2 は、本発明の第 1 実施形態に従った高精細発光ディスプレイパネル画素構造を示す一例としての役割を果たすサブピクセルの回路図である。第 1 実施形態では、1 つのサブピクセルが、2 つの TFT 21、22 と、2 つの容量素子（キャパシタ）31、32 と、1 つの OLED 121 とを有しており、これらが、走査ライン 41、データライン 42、電源ライン 43、補正ライン 44、及び接地ライン 45 に接続されている。

10

【0039】

図 2 において、TFT 21、22 は共に n チャンネル型の接合電界効果トランジスタである。駆動 TFT 21 のドレイン D1 が電源ライン 43 に接続され、そのソース S1 が OLED 121 のアノードに接続される。OLED 121 のカソードは接地ライン 45 に接続される。駆動 TFT 21 のゲート G1 は、キャパシタ 31 の一方の電極と選択 TFT 22 のドレイン D2 とに接続される。選択 TFT 22 のゲート G2 は走査ライン 41 に接続され、そのソース S2 はデータライン 42 に接続される。キャパシタ 31 の他方の電極は、OLED 121 のアノードとキャパシタ 32 の一方の電極とに接続される。キャパシタ 32 の他方の電極は補正ライン 44 に接続される。

20

【0040】

選択 TFT 22 のゲート G2 に走査ライン 41 を通じて電圧が印加されると、選択 TFT 22 がアクティブになって、データライン 42 に与えられたデータ信号（電圧）が駆動 TFT 21 のゲート G1 に印加されることを生じさせる。これは、所定の電流が OLED 121 に流れて、データ信号に対応する光度で OLED 121 に発光させることをもたらす。走査ライン 41 上に電圧が存在しなくなると、選択 TFT 22 は非アクティブになるが、駆動 TFT 21 のゲート電圧は、走査電圧が再び与えられるまで、キャパシタ 31、32 によって一定レベルに維持される。

【0041】

補正ライン 44 の電圧は、OLED 121 の劣化が無視できるほど小さい場合に、通常、グラウンド電圧とし得る。OLED 121 の劣化が、所定の信号に従った光度を不十分なものにならしめる場合には、データ電圧保持への移行中に補正電圧を印加することによって、その光度が補正され得る。

30

【0042】

以下の表 1 は、第 1 実施形態に従った高精細発光ディスプレイパネル画素構造がその条件下で実装されるサブピクセル設計条件を示している。

【0043】

【表 1】

精細度	400 ppi
ピクセルサイズ	$63 \times 63 \mu\text{m}^2$
サブピクセルサイズ	$63 \times 21 \mu\text{m}^2$
サブピクセル回路	2-Tr, 2-Cap, 1-OLED
サブピクセル構成	ボトムエミッション 透明キャパシタ 最小加工サイズ：3.0 μm ビア，2個 TFT，低温ポリシリコン（LTPS） マスク数：12
駆動回路	電圧プログラム、補償回路なし、補正ライン配設

10

この実施形態では、400 ppi 高精細発光ディスプレイパネルが、ボトムエミッション型として設計されている。1つの画素が、赤（R）、緑（G）、及び青（B）の3つのサブピクセルで構成される。表1に示すように、1つのサブピクセルが $63 \mu\text{m} \times 21 \mu\text{m}$ のサイズを有している。上述のように、1つサブピクセルが、2つのTFT 21、22と、2つの容量素子（キャパシタ）31、32と、OLED 121を含む。容量素子31、32は、可視域の光のうちの50パーセント以上に自身を透過させ、すなわち、容量素子31、32は、可視光領域内の光のうちの50パーセント以上を透過させるのに十分な高さの光透過率を持つ。TFT 21、22は、低温多結晶シリコン（LTPS）で形成された活性層を有する。TFT 21、22、配線41 - 45、及びOLED 121は、3ミクロンの最小加工サイズを持つ。フロントプレーンとバックプレーンとを電氣的に接続する電気接続部（ビア）が、1サブピクセル当たり2つ設けられる。

20

【0044】

図3は、第1実施形態に従った高精細発光ディスプレイパネル・サブピクセル構造を示す図である。図3は、TFT 21、22、容量素子31、32、及び配線41 - 46を含むバックプレーン101と、OLED 121を含むフロントプレーン151とを例示している。フロントプレーン151とバックプレーン101とを電氣的に接続する電気接続部（ビア）81、82が、2箇所設けられている。より具体的には、長方形の外観形態の長辺に沿って延在するデータライン42、長方形の外観形態の短辺に沿って延在する走査ライン41、走査ライン41とは反対側で短辺に平行に延在する接地ライン45、及び走査ライン41と接地ライン45との間で短辺に沿って延在する電源ライン43が、バックプレーン101に設けられている。配線41 - 45を接続するための内部配線46も設けられている。長方形の外観形態を持つ容量素子31、32が、電源ライン43と接地ライン45との間の中間位置に配置されている。また、フロントプレーン151とバックプレーン101とを電氣的に接続する電気接続部81、82は、接地ライン45の領域内に設けられ、また同様に、内部配線46の領域内に設けられる。表1に示すように、このサブピクセルは、 $63 \mu\text{m}$ の長辺と $21 \mu\text{m}$ の短辺とを有している。

30

40

【0045】

フロントプレーン151には、全領域の大部分を占有する発光層を含んだ有機層121が、電気接続部81と重なる領域を含めて設けられている。さらに、カソード131が、その大部分が有機層121と重なり合うようにして、電気接続部82と重なる領域を含めて設けられている。

【0046】

図4は、図3の一点鎖線A - Aに沿ってとった断面図である。図4に示すように、容量素子31、32の下部層を構成する透明導電層31L、32L、走査ライン41、内部配線46、電源ライン43、及び接地ライン45が、ガラス基板11上に設けられており、

50

透明導電層 3 1 L、3 2 L は、可視光のうちの 5 0 パーセント以上に自身を透過させるのに十分な高さの光透過率を有する。電源ライン 4 3 及び透明導電層 3 1 L、3 2 L の上に、電源ライン 4 3 及び透明導電層 3 1 L、3 2 L を上方から覆うように、絶縁層 3 1 2 M が形成されている。透明導電層 3 1 2 H が絶縁層 3 1 2 M 上に形成されている。絶縁層 3 1 2 M が透明導電層 3 1 L、3 2 L と透明導電層 3 1 2 H との間に置かれて、容量素子 3 1、3 2 を形成している。容量素子 3 1、3 2 においては、透明導電層 3 1 L、3 2 L、絶縁層 3 1 2 M、及び透明導電層 3 1 2 H の全てが透明材料で構成され、全体として、可視光域で 5 0 パーセント以上の光透過率を有し、それにより、光を実質的に透過させる容量素子を構成している。透明導電層 3 1 L、3 2 L、3 1 2 H は、例えば、インジウム錫酸化物 (ITO (InSnO))、ZnO_x、InO_x、InZnO_x、SnO_x、及び IGO (InGaZnO) で構成されることができ、絶縁層 3 1 2 M は、SiN_x、SiO₂、TaO_x、HfO_x、BaTiO₃、PbTiO₃、及び PbZnTiO₃ で構成され得る。電気接続部 8 1、8 2 は、上方に延在してフロントプレーン 1 5 1 に到達するように、それぞれ、接地ライン 4 5、内部配線 4 6 の上に形成されている。

10

20

30

40

50

【0047】

フロントプレーン 1 5 1 内でバックプレーン 1 0 1 の上にアノード 1 1 0 が形成されている。発光層を含む有機層 1 2 1 が、上方からアノード 1 1 0 を覆うように、アノード 1 1 0 上に設けられている。有機層 1 2 1 は、電気接続部 8 1 と重なるが電気接続部 8 2 とは重ならない領域に設けられる。有機層 1 2 1 の上にカソード 1 3 1 が設けられている。カソード 1 3 1 は、電気接続部 8 2 と重なるが電気接続部 8 1 とは重ならない領域に設けられる。

【0048】

図 4 から明らかなように、可視光のうちの 5 0 パーセント以上に自身を透過させるのに十分な高さの光透過率を持つ容量素子 3 1、3 2 と、OLED 1 2 1 とが、大部分の領域内で互いに重なり合っており、それにより、OLED 1 2 1 によって放たれた光の大部分を、容量素子 3 1、3 2 を通してガラス基板 1 1 から放射させる。この構成では、光取り出しのために必要なものである開口率が、42.5 パーセントであると求められ、これは、高精細表示ユニットにとって大きめの値であることがわかる。

【0049】

[第2実施形態]

図 5 は、本発明の第 2 実施形態に従った高精細発光ディスプレイパネル画素構造を持つサブピクセルの回路図である。第 2 実施形態では、1 つのサブピクセルが、3 つの TFT 2 1 a、2 2 a、2 3 a と、1 つの容量素子 (キャパシタ) 3 3 と、1 つの OLED 1 2 2 とを有しており、これらが、走査ライン 4 1 a、データライン 4 2 a、電源ライン 4 3 a、センスライン 4 7、補正ライン 4 4 a、及び接地ライン 4 5 a に接続されている。

【0050】

図 5 において、TFT 2 1 a、2 2 a、2 3 a は共に n チャンネル型の接合電界効果トランジスタである。TFT 2 1 a のドレイン D 1 a 側が電源ライン 4 3 a に接続され、そのソース S 1 a 側が OLED 1 2 2 のアノードに接続される。OLED 1 2 2 のカソードは接地ライン 4 5 a に接続される。駆動 TFT 2 1 a のゲート G 1 a は、キャパシタ 3 3 の一方の電極と選択 TFT 2 2 a のドレイン D 2 a とに接続される。選択 TFT 2 2 a のゲート電極 G 2 a は走査ライン 4 1 a に接続され、そのソース S 2 a はデータライン 4 2 a に接続される。キャパシタ 3 3 の他方の電極は補正ライン 4 4 a に接続される。センス TFT 2 3 a のゲート G 3 a は、選択 TFT 2 2 a がそうであるように、走査ライン 4 1 a に接続され、そのドレイン D 3 a は OLED 1 2 2 のアノードに接続され、そのソース S 3 a はセンスライン 4 7 に接続される。

【0051】

選択 TFT 2 2 a 及びセンス TFT 2 3 a のゲート G 2 a 及び G 3 a に、走査ライン 4 1 a を通じて電圧が印加されると、選択 TFT 2 2 a 及びセンス TFT 2 3 a がアクティブになって、データライン 4 2 a に与えられたデータ信号 (電圧) が駆動 TFT 2 1 a の

ゲートG 1 aに印加されることを生じさせる。これは、所定の電流がO L E D 1 2 2に流れて、データ信号に対応する光度でO L E D 1 2 2に発光させることをもたらす。同時に、O L E D 1 2 2のアノード電圧が、センスT F T 2 3 aを通してセンスライン4 7に出力される。走査ライン4 1 aに電圧が存在しなくなると、選択T F T 2 2 a及びセンスT F T 2 3 aは非アクティブになるが、駆動T F T 2 1 aのゲート電圧は、走査電圧が再び与えられるまで、キャパシタ3 3によって一定レベルに維持される。

【0052】

補正ライン4 4 aの電圧は、O L E D 1 2 2の劣化が無視できるほど小さい場合に、通常、グランド電圧とし得る。O L E D 1 2 2の劣化が、所定の信号に従った光度を不十分なものにならしめる場合には、データ電圧保持への移行中に補正電圧を印加することによって、その光度が補正され得る。

10

【0053】

以下の表2は、第2実施形態に従った高精細発光ディスプレイパネル画素構造を持つサブピクセルを設計するための要件を示している。

【0054】

【表2】

精細度	353 ppi
ピクセルサイズ	72 × 72 μm ²
サブピクセルサイズ	72 × 24 μm ²
サブピクセル回路	3・Tr, 1・Cap, 1・OLED
サブピクセル構成	ボトムエミッション 透明キャパシタ 最小加工サイズ：3. 0 μm ビア，1個 T F T，低温ポリシリコン（L T P S） マスク数：12
駆動回路	電圧プログラム、補償回路及び補正ライン／センスラインあり

20

30

この実施形態では、353 p p i 高精細発光ディスプレイパネルが、ボトムエミッション型として設計されている。1つの画素が、赤（R）、緑（G）、及び青（B）の3つのサブピクセルで構成される。1つのサブピクセルが72 μm × 24 μmのサイズを有しており、1つのピクセルは72 μm × 72 μmのサイズを有する。上述のように、1つサブピクセルが、3つのT F T 2 1 a、2 2 a、2 3 aと、容量素子（キャパシタ）3 3と、O L E D 1 2 2とを含む。容量素子3 3は、可視域の光のうちの50パーセント以上を突き抜けさせ、すなわち、容量素子3 3は、光に当該容量素子3 3を突き抜けさせる。T F T 2 1 a、2 2 a、2 3 aは、低温多結晶シリコン（L T P S）で形成された活性層を有する。T F T 2 1 a、2 2 a、2 3 a、配線4 1 a - 4 5 a、4 7、及びO L E D 1 2 2は、3ミクロンの最小加工サイズを持つ。フロントプレーンとバックプレーンとを電気的に接続する電気接続部（ビア）が、1サブピクセル当たり1つ設けられる。

40

【0055】

図6は、第2実施形態に従った高精細発光ディスプレイパネル・サブピクセル構造を持つサブピクセルを示す図である。図6は、T F T 2 1 a、2 2 a、2 3 a、容量素子3 3、及び配線4 1 a - 4 4 a、4 6 a、4 6 b、4 7を含むバックプレーン102と、O L E D 1 2 2を含むフロントプレーン152とを例示している。フロントプレーン152とバックプレーン102とを電気的に接続する電気接続部（ビア）83が、1箇所に設けられている。この実施形態においては、第1実施形態とは対照的に、容量素子3 3の一方の導電層の側（ガラス基板側）の全体が、接地ライン4 5 aと接触するように構成されて、バックプレーン102内に平坦化領域が設けられることが確保されている。さらに、1箇

50

所のみにビア 8 3 が設けられており、これは、第 1 実施形態と比較して開口率を向上させることにおいて有利である。

【0056】

より具体的には、長方形の外観形態の下側の長辺に沿って延在するセンスライン 4 7、及びセンスライン 4 7 の内側に存在して外観形態の長辺に沿って延在するデータライン 4 2 a が、バックプレーン 1 0 2 に設けられている。さらに、外観形態の左側の短辺に沿って延在する走査ライン 4 1 a、走査ライン 4 1 a とは反対側で右側の短辺に平行に延在する補正ライン 4 4 a、及び走査ライン 4 1 a と補正ライン 4 4 a との間で短辺に平行であるように延在する電源ライン 4 3 a が、バックプレーン 1 0 2 に設けられている。また、配線 4 1 a - 4 4 a、4 7 を接続する内部配線 4 6 a、4 6 b が設けられている。長方形の外形を持つ容量素子 3 3 が、電源ライン 4 3 a、補正ライン 4 4 a、及びデータライン 4 2 a で包囲された、中心領域を含む領域に配置されている。フロントプレーン 1 5 2 とバックプレーン 1 0 2 とを接続する唯一の電気接続部 8 3 は、内部配線 4 6 a の領域内に設けられる。表 2 に示すように、このサブピクセルは、7 2 μ m の長辺と 2 4 μ m の短辺とを有している。

10

【0057】

フロントプレーン 1 5 2 には、全領域の大部分を占有するアノード 1 1 1 が、電気接続部 8 3 と重なる領域を含めて設けられている。さらに、発光層を含む有機層 1 2 2 が、その大部分がアノード 1 1 1 と重なり合うようにして設けられ、そして、カソード 1 3 2 が、有機層 1 2 2 と重ね合わされ且つ短辺方向に突出するように設けられている。

20

【0058】

第 2 実施形態においては、走査ライン 4 1 a、補正ライン 4 4 a、及び内部配線（相互接続）4 6 a が、容量素子 3 3 の絶縁膜の形成後に作り出され、製造に使用されるマスクの枚数削減をもたらす。具体的には、製造に使用されるフォトリソマスク及びメタルマスクの総数は、表 2 に示すように 1 2 であり、1 5 枚以下のマスクで製造に十分であることを指し示す。

【0059】

図 7 は、図 6 の一点鎖線 B - B に沿ってとった断面図である。図 7 に示すように、容量素子 3 3、走査ライン 4 1 a、内部配線 4 6 a、電源ライン 4 3 a、及び補正ライン 4 4 a が、ガラス基板 1 2 上に設けられており、容量素子 3 3 は、可視光のうちの 5 0 パーセント以上に自身を透過させるのに十分な高さの光透過率を有する。また、電源ライン 4 3 a 及び内部配線 4 6 a と交わるように、ガラス基板 1 2 上に半導体活性層 2 1 a S が形成されている。加えて、半導体活性層 2 1 a S 上に、半導体活性層 2 1 a S を覆うようにゲート絶縁層 2 1 a G が形成される。さらに、第 2 ステップとして、ゲート絶縁層 2 1 a G 上に内部配線層 4 6 b が形成される。

30

【0060】

中心領域において、容量素子 3 3 の下部電極を構成する透明導電層 3 3 L の上に、透明導電層 3 3 L を上方から覆うように絶縁層 3 3 M が形成され、絶縁層 3 3 M の上に、容量素子 3 3 の上部電極を構成する透明導電層 3 3 H が形成される。透明導電層 3 3 L 及び透明導電層 3 3 H は、上下にそれらの間に絶縁層 3 3 M が挿入され、それにより容量素子 3 3 を構成している。第 1 実施形態がそうであるように、透明導電層 3 3 L、3 3 H、及び絶縁層 3 3 M の全てが透明材料で構成され、全体として、可視光域で 5 0 パーセント以上の光透過率を有する容量素子 3 3 を構成し、この光透過率は、光を実質的に透過させるのに十分な高さである。透明導電層 3 3 L、3 3 H は、例えば、インジウム錫酸化物（ITO (InSnO)）、ZnOx、InOx、InZnOx、SnOx、及び IGZO (InGaZnO) で構成されることができ、絶縁層 3 3 M は、SiNx、SiO₂、TaOx、HfOx、BaTiO₃、PbTiO₃、及び PbZnTiO₃ で構成され得る。また、透明導電層、ゲート絶縁層 2 1 a G、走査ライン 4 1 a、及び内部配線 4 6 a の全てを覆うように、平坦化層 7 1 が形成されている。電気接続部 8 3 は、上方に延在してアノード 1 1 1 に到達するよう、内部配線 4 6 a の上に形成されている。平坦化層 7 1 は、1

40

50

0 nm以下の算術平均ラフネスを持つ平坦な表面を有する絶縁層である。

【0061】

アノード111は、バックプレーン102上に、上面102の部分として形成されている。アノード110の上に、発光層を含む有機層122が設けられている。アノード111は、全体が有機層122によって覆われるわけではなく、アノード111の一部が外側に露出される。有機層122の上にカソード132が設けられている。有機層122は、全体がカソード132によって覆われるわけではなく、有機層122の一部が外側に露出される。アノード111は、発光層を含む有機層122の正孔注入側の電極を構成し、電気接続部83を介して、駆動TFT21aの一方の電極であるソース電極に接続される。カソード132は、発光層を含む有機層122の電子注入側の電極であり、配線としての役割を果たすが、バックプレーン102とフロントプレーン152とを接続する電気接続部83を除くように構成される。

10

【0062】

図7から明らかなように、可視光のうちの50パーセント以上に自身を透過させるのに十分な高さの光透過率を持つ容量素子33と、OLED122とが、大部分の領域内で互いに重なり合っており、それにより、OLED122によって放たれた光の大部分を、容量素子33を通してガラス基板12から放射させる。この構成では、光取り出しのために必要なものである開口率が、39.6パーセントであると求められ、これは、補償回路に対応する高精細表示ユニットにとって大きめの値であることがわかる。

20

【0063】

[第3実施形態]

本発明の第3実施形態に従った高精細発光ディスプレイパネル画素構造は、そのサブピクセル構造は第2実施形態のものと同じであるが、容量素子の導電層及び内部配線（相互接続）を統合して同時形成することによって、マスクの枚数を削減することを意図している。

【0064】

以下の表3は、第3実施形態に従った高精細発光ディスプレイパネル画素構造を持つサブピクセルを設計するための要件を示している。

【0065】

【表3】

30

精細度	353 ppi
ピクセルサイズ	72 × 72 μm ²
サブピクセルサイズ	72 × 24 μm ²
サブピクセル回路	3-Tr, 1-Cap, 1-OLED
サブピクセル構成	ボトムエミッション 透明キャパシタ 最小加工サイズ：3.0 μm ビア，1個 TFT，低温ポリシリコン（LTPS） マスク数：11
駆動回路	電圧プログラム、補償回路及び補正ライン／センスラインあり

40

表3に示すように、第3実施形態は、製造プロセスにおいて11枚のマスクを必要とし、12枚のマスクを必要とするものである第2実施形態と比較してマスク数を1だけ減らすことに成功したことを示している。第3実施形態は、総数で15枚以下のマスクで高精細発光ディスプレイパネルを製造することができる。他の項目は表2のものと同一であり、それらの説明は省略する。

【0066】

50

図 8 は、第 3 実施形態に従った高精細発光ディスプレイパネル画素構造を持つサブピクセルを示す図である。図 8 は、T F T 2 1 a、2 2 a、2 3 a、容量素子 3 3、及び配線 4 1 a - 4 4 a、4 6 a、4 6 c、4 7 を含むバックプレーン 1 0 3 と、O L E D 1 2 2 を含むフロントプレーン 1 5 3 とを例示している。図 8 に示されたコンポーネントは、内部配線 4 6 c が図 6 に示した内部配線 4 6 b と僅かに異なることを除いて、第 2 実施形態の図 6 に示したものと同一である。図 8 中の参照番号及び記号は、バックプレーン 1 0 3、フロントプレーン 1 5 3、及び内部配線 4 6 c を除いて、図 6 中の同じ参照番号及び記号によって表記されるものと同じコンポーネントを参照しており、同じコンポーネントについての繰り返しの説明は省略する。

【 0 0 6 7 】

図 9 は、図 8 の一点鎖線 C - C に沿ってとった断面図である。図 9 に示す第 3 実施形態は、図 7 に示した第 2 実施形態と略同じであるが、透明導電層 3 3 H と内部配線 4 6 c とが、製造上の目的のために同時に形成される。容量素子 3 3 の上部電極である透明導電層 3 3 H と内部配線 4 6 c とを統合して同時形成することにより、第 3 実施形態は、製造プロセスに必要とされるマスク数を、第 2 実施形態と比較して 1 だけ減らすことに成功している。

【 0 0 6 8 】

他のコンポーネントは、第 2 実施形態の図 7 に示したものと同一である。従って、図 9 中の参照番号及び記号は、図 7 中の同じ参照番号及び記号によって表記されるものと同じコンポーネントを参照しており、同じコンポーネントについての繰り返しの説明は省略する。

【 0 0 6 9 】

第 3 実施形態に従った高精細発光ディスプレイパネル画素構造は、第 2 実施形態がそうであるように、高い開口率を実現しながら、製造プロセスを単純化して、製造プロセスで使用されるマスクの枚数の削減を介して製造コストを低減する。

【 0 0 7 0 】

第 1 乃至第 3 実施形態にて説明した高精細発光ディスプレイパネル画素構造は、そのような画素構造を備えた高精細発光ディスプレイパネルを構成する。さらに、そのようなディスプレイパネルは、例えばディスプレイパネル駆動回路、制御回路、画像処理回路、及び筐体などの他のコンポーネントを備えられて、有機エレクトロルミネセンス表示ユニットを構成する。

【 0 0 7 1 】

以上の好適実施形態を参照して本発明を説明したが、本発明は以上の好適実施形態に限定されるものではない。本発明の範囲内で様々な変更が考えられる。

【 符号の説明 】

【 0 0 7 2 】

2 1、2 1 a 駆動 T F T
 2 2、2 2 a 選択 T F T
 2 3 センス T F T
 3 1、3 2、3 3 キャパシタ
 3 1 L、3 2 L、3 3 L、3 3 H、3 1 2 H 透明導電層
 3 3 M、3 1 2 M 絶縁層
 4 1、4 1 a 走査ライン
 4 2、4 2 a データライン
 4 3、4 3 a 電源ライン
 4 4、4 4 a 補正ライン
 4 5、4 5 a 接地ライン
 4 6、4 6 a - 4 6 c 内部配線
 4 7 センスライン
 1 2 1、1 2 2 O L E D

10

20

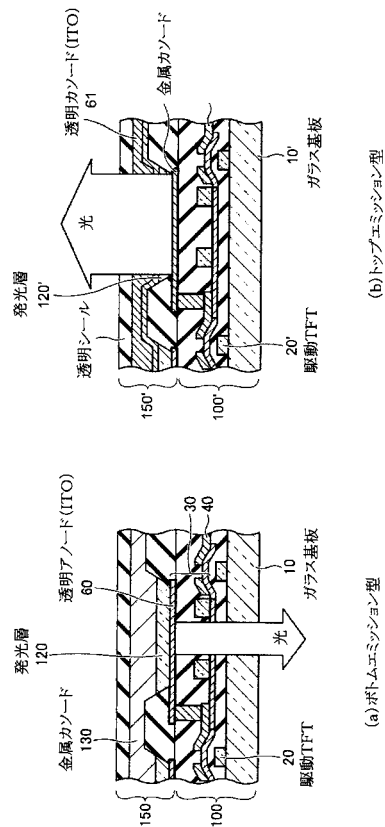
30

40

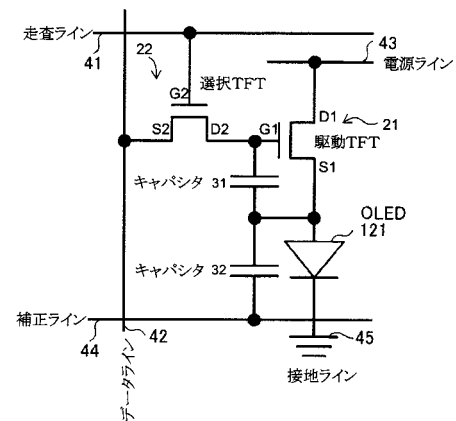
50

101 - 103 バックプレーン
151 - 153 フロントプレーン

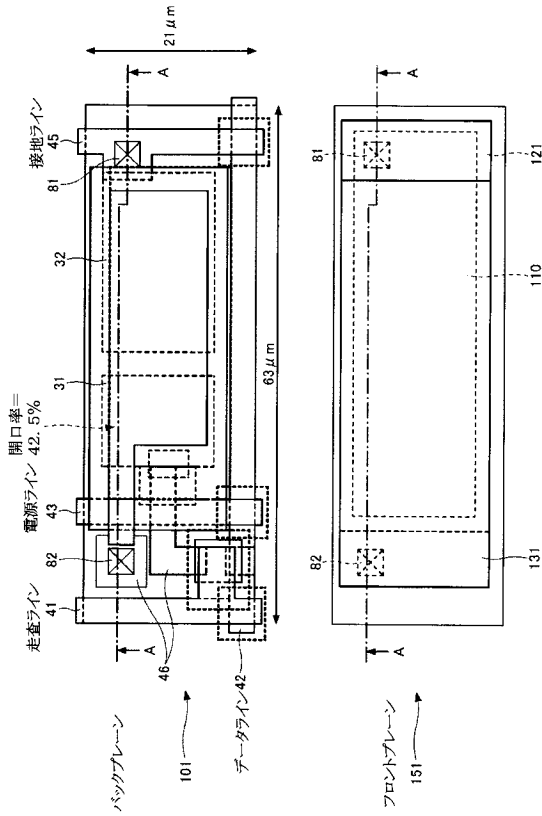
【図 1】



【図 2】



【図 3】



【図 4】

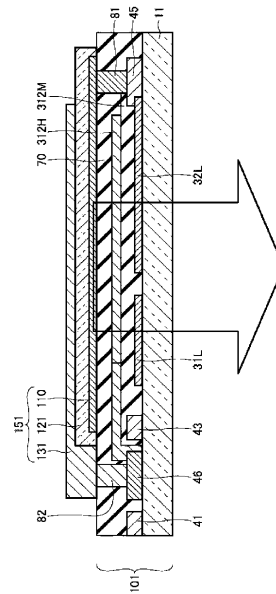
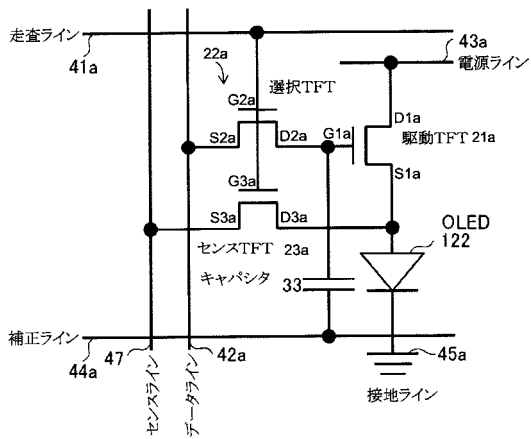
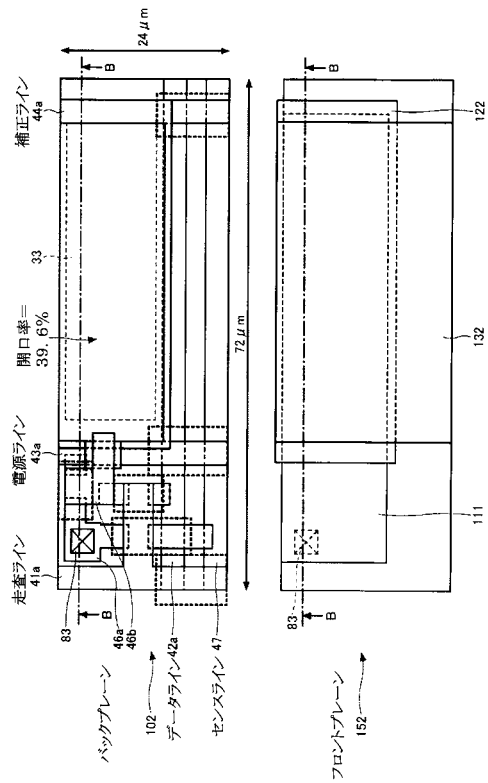


Figure 4

【図 5】



【図 6】



【図 7】

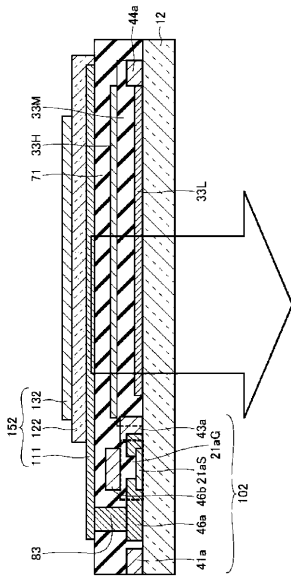
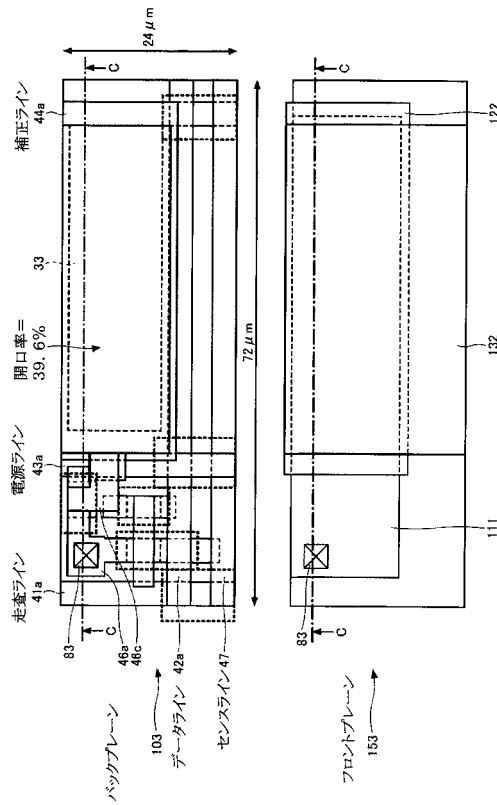


Figure 7

【図 8】



【図 9】

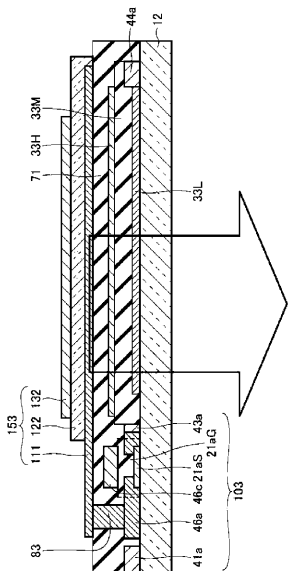


Figure 9

【手続補正書】

【提出日】平成28年11月8日(2016.11.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のサブピクセルを有する高精細発光ディスプレイパネルで使用される画素構造であって、

ガラス基板と、

前記ガラス基板上に配置され、少なくとも 1 つのキャパシタを含むバックプレーンであり、当該少なくとも 1 つのキャパシタは、光の 50 パーセント以上に当該少なくとも 1 つのキャパシタを透過させるのに十分な高さの光透過率を持つ、バックプレーンと、

前記バックプレーン上に配置され、発光素子を含むフロントプレーンであり、当該発光素子は、当該発光素子に電流が流れるときに前記ガラス基板及び前記バックプレーンの方に光を放射するように配置される、フロントプレーンと、

前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する電気接続部であり、前記サブピクセルの各々に 3 つ以下の電気接続部が設けられる、電気接続部と、

前記バックプレーン上に設けられて、前記発光素子への電気配給を制御するように選択的にアクティブにされることが可能なスイッチング素子であり、前記少なくとも 1 つのキャパシタが、当該スイッチング素子が非アクティブにされるときに前記発光素子に流れる電流を維持するように、当該スイッチング素子に接続されている、スイッチング素子と

を有し、

そこから光が前記ガラス基板中に伝えられる開口率が 20 パーセント以上である、
高精細発光ディスプレイパネルで使用される画素構造。

【請求項 2】

前記キャパシタは導電層を持ち、

前記バックプレーンは少なくとも 1 つの配線を含み、

前記導電層は、実質的に多角形であり、その辺が、前記配線のうちの少なくとも 1 つと電氣的に接触し又は一体である、

請求項 1 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 3】

前記キャパシタは絶縁層を持ち、

前記バックプレーン内の内部配線を含む少なくとも 1 つの配線が、光を透過させる前記キャパシタの前記絶縁層よりも上の層内に位置する、

請求項 1 又は 2 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 4】

前記キャパシタは導電層を持ち、

前記バックプレーン内の内部配線を含む少なくとも 1 つの配線が、前記キャパシタの前記導電層と一体である、

請求項 1 乃至 3 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 5】

前記スイッチング素子は、シリコン、金属酸化物、又は有機物の活性層を持つ薄膜トランジスタである、請求項 1 乃至 4 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 6】

前記バックプレーンは、画素内で延在する直線配線パターンを含み、

前記スイッチング素子は前記薄膜トランジスタであり、

前記直線配線パターンの端部が、前記薄膜トランジスタのソース・ドレイン電極端子として適用される、

請求項 5 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 7】

製造プロセスで使用されるフォトマスク及び金属マスクの総数が 15 以下である、請求項 1 乃至 6 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 8】

前記サブピクセルの各々に 4 つ以下の薄膜トランジスタが設けられる、請求項 5 又は 6 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 9】

前記サブピクセルの各々に、前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する電気接続部が 2 つ設けられる、請求項 1 乃至 8 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 10】

前記サブピクセルの各々に、前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する電気接続部が 1 つ設けられる、請求項 1 乃至 8 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 11】

前記キャパシタは、可視光領域内で、光の 50 パーセント以上に当該キャパシタを透過させる、請求項 1 乃至 10 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 12】

前記キャパシタは前記バックプレーン内に配置されている、請求項 1 乃至 11 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 13】

前記キャパシタは、前記ガラス基板と接触するように配置されている、請求項 12 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 14】

前記キャパシタによって占有される領域のうちの 50 パーセント以上が、前記ガラス基板の外から見るとときに、前記発光素子と重なり合うように配置されている、請求項 1 乃至 13 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 15】

絶縁性の平坦化層が前記バックプレーン上に配設されている、請求項 1 乃至 14 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 16】

前記平坦化層の前記フロントプレーン側の部分が、10 nm 以下の Ra の表面平坦性を有する、請求項 15 に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 17】

前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する前記電気接続部のうちの少なくとも 1 つが、前記バックプレーンに含まれる前記スイッチング素子の 1 つの電極と、前記フロントプレーンに含まれる前記発光素子の正孔注入側電極とを接続するように配置されている、請求項 1 乃至 16 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 18】

前記フロントプレーンに含まれる前記発光素子の電子注入側電極が、配線を備えるが、サブピクセル内に、前記フロントプレーンと前記バックプレーンとの間の電気接続を提供する前記電気接続部を含まない、請求項 1 乃至 17 の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項 19】

前記フロントプレーン及び前記バックプレーンがそれぞれ少なくとも１つの接地ラインを含む、請求項１乃至１８の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項２０】

前記サブピクセルの各々が、少なくとも２つのスイッチング素子と、少なくとも１つのキャパシタと、少なくとも１つの発光素子とを含む、請求項１乃至１９の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項２１】

前記サブピクセルの各々が、前記発光素子の１つの電極の電圧の測定用の配線を含む、請求項１乃至２０の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項２２】

前記サブピクセルの各々が、前記キャパシタの１つの電極の電圧の調節用の配線を含む、請求項１乃至２１の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項２３】

前記サブピクセル、前記スイッチング素子、及び前記キャパシタのうちの１つ内の配線が、３ミクロン以下の最小微細加工ライン幅を有する、請求項１乃至２２の何れか一項に記載の高精細発光ディスプレイパネルで使用される画素構造。

【請求項２４】

請求項１乃至２３の何れか一項に記載の画素構造を持つ高精細発光ディスプレイパネルを含んだ有機エレクトロルミネセンス表示ユニット。

【 国 際 調 査 報 告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/AU2015/000267
A. CLASSIFICATION OF SUBJECT MATTER H01L 27/32 (2006.01) H04N 7/015 (2006.01) H04N 11/24 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPDOC, WPIAP, TXTE: Display, Panel, LED, Pixel, Aperture, Ratio, Percent, Backplane, Frontplane and similar terms		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Documents are listed in the continuation of Box C	
☒ Further documents are listed in the continuation of Box C ☒ See patent family annex		
* "A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 15 September 2015		Date of mailing of the international search report 15 September 2015
Name and mailing address of the ISA/AU AUSTRALIAN PATENT OFFICE PO BOX 200, WODEN ACT 2606, AUSTRALIA Email address: pct@ipaustalia.gov.au		Authorised officer Matthew Fellow AUSTRALIAN PATENT OFFICE (ISO 9001 Quality Certified Service) Telephone No. 0262832041

INTERNATIONAL SEARCH REPORT		International application No.
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		PCT/AU2015/000267
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 2541603 A2 (SHIEH et al.) 02 January 2013 abstract, figures, paragraphs [0026], [0030]-[0031], [0036], [0043], [0048], [0055]-[0057], [0059]-[0062]	1-24
A	US 2013/0214278 A1 (NAM et al.) 22 August 2013 abstract, figures	1-24
A	US 2013/0062635 A1 (HIGO et al.) 14 March 2013 abstract, figures	1-24
A	US 2011/0234550 A1 (HONG et al.) 29 September 2011 abstract, figures	1-24
Form PCT/ISA/210 (fifth sheet) (July 2009)		

INTERNATIONAL SEARCH REPORT		International application No.	
Information on patent family members		PCT/AU2015/000267	
This Annex lists known patent family members relating to the patent documents cited in the above-mentioned international search report. The Australian Patent Office is in no way liable for these particulars which are merely given for the purpose of information.			
Patent Document/s Cited in Search Report		Patent Family Member/s	
Publication Number	Publication Date	Publication Number	Publication Date
EP 2541603 A2	02 January 2013	EP 2541603 A2	02 Jan 2013
		CN 102105927 A	22 Jun 2011
		CN 102105927 B	22 Apr 2015
		CN 102938411 A	20 Feb 2013
		EP 2319034 A1	11 May 2011
		JP 2013012477 A	17 Jan 2013
		KR 20130007472 A	18 Jan 2013
		US 2010019656 A1	28 Jan 2010
		US 7977868 B2	12 Jul 2011
		US 2011309389 A1	22 Dec 2011
		US 8742658 B2	03 Jun 2014
		US 2014273319 A1	18 Sep 2014
		WO 2010011729 A1	28 Jan 2010
		US 2013/0214278 A1	22 August 2013
US 8890167 B2	18 Nov 2014		
CN 102955308 A	06 Mar 2013		
CN 102955308 B	10 Jun 2015		
KR 20130020546 A	27 Feb 2013		
US 2013/0062635 A1	14 March 2013	US 2013062635 A1	14 Mar 2013
		CN 103000655 A	27 Mar 2013
		EP 2568505 A2	13 Mar 2013
		JP 2013058423 A	28 Mar 2013
		KR 20130028655 A	19 Mar 2013
US 2011/0234550 A1	29 September 2011	US 2011234550 A1	29 Sep 2011
		US 8363072 B2	29 Jan 2013
		CN 102201430 A	28 Sep 2011
		CN 102201430 B	25 Dec 2013
		KR 20110108050 A	05 Oct 2011
		TW 201133820 A	01 Oct 2011
		TW I443823 B	01 Jul 2014
End of Annex			
Due to data integration issues this family listing may not include 10 digit Australian applications filed since May 2001.			

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 平井 匡彦

オーストラリア国, ビクトリア 3 1 4 9, マウント・ウェヴァーリー, ハックスステーブル・ストリート 2 / 8

(72)発明者 上野 和則

オーストラリア国, ビクトリア 3 1 5 0, グレン・ウェヴァーリー, エヴリン・ストリート 1 / 2

F ターム(参考) 3K107 AA01 BB01 CC21 CC35 CC36 CC45 DD00 DD02 DD12 DD39
 EE03 EE04 FF00 FF06 FF08 FF15
 5C094 AA05 AA44 BA03 BA27 CA19 DA13 DA15 DB05 FA02 JA01
 JA08 JA20

[illegible]

Figure 4