(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-217661
(P2010-217661A)
(43)公開日　平成22年9月30日(2010.9.30)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K107
G09G 3/20	(2006.01)	G09G	3/20	641D	5C080
H01L 51/50	(2006.01)	G09G	3/20	624B	
		G09G	3/20	621A	
		G09G	3/20	642E	

審査請求 未請求　請求項の数 11　ＯＬ　（全 21 頁）　最終頁に続く

(21)出願番号　特願2009-65866(P2009-65866)
(22)出願日　平成21年3月18日(2009.3.18)

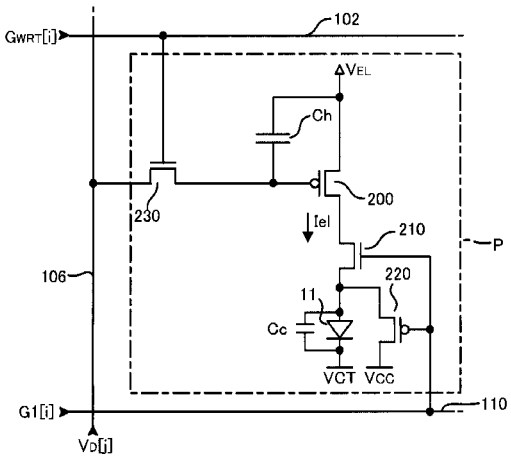
(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100125689
弁理士　大林　章
(74)代理人　100125335
弁理士　矢代　仁
(74)代理人　100121108
弁理士　高橋　太朗
(72)発明者　山本　学志
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

Ｆターム(参考)　3K107 AA01 BB01 CC31 CC45 EE03 HH04 HH05

最終頁に続く

(54)【発明の名称】画素回路、発光装置、電子機器及び画素回路の駆動方法

(57)【要約】
【課題】簡易な構成で黒浮きを低減する。
【解決手段】画素回路Ｐは、電位ＶＣＴが供給される第２電源線と電気的に接続され駆動電流Ｉelに応じた階調となるＯＬＥＤ素子１１と、ＯＬＥＤ素子１１と駆動トランジスタ２００との間に設けられた第1トランジスタ２１０と、ＯＬＥＤ素子１１の陽極と電位ＶＣＣが供給される第３電源線との間に設けられた第２トランジスタ２２０とを備える。第１トランジスタ２１０及び第２トランジスタ２２０のゲートには、共通の第１制御信号をＧ１[ｉ]が供給される。
【選択図】図２



【特許請求の範囲】
【請求項１】
第1電位が供給される第1電源線と電気的に接続され、駆動電流を生成する駆動トランジスタと、
第２電位が供給される第２電源線と電気的に接続され、前記駆動電流に応じた階調となる発光素子と、
前記発光素子と前記駆動トランジスタとの間に設けられた第1トランジスタと、
前記発光素子及び前記第１トランジスタの接続点と第３電位が供給される第３電源線との間に設けられた第２トランジスタと、
前記第１トランジスタのゲートと前記第２トランジスタのゲートとは電気的に接続され、前記第1トランジスタと前記第２トランジスタとは、チャネルの型が相違する、
ことを特徴とする画素回路。
【請求項２】
データ電位が供給されるデータ線と、
前記データ線と前記駆動トランジスタのゲートとの間に設けられた第３トランジスタとを、
備えることを特徴とする請求項１に記載の画素回路。
【請求項３】
第1電位が供給される第1電源線と電気的に接続され、駆動電流を生成する駆動トランジスタと、
第２電位が供給される第２電源線と電気的に接続され、前記駆動電流に応じた階調となる発光素子と、
前記発光素子と前記駆動トランジスタとの間に設けられた第1トランジスタと、
前記発光素子及び前記第１トランジスタの接続点と第３電位が供給される第３電源線との間に設けられた第２トランジスタと、
前記駆動トランジスタのゲートと一方の端子とが電気的に接続される容量素子と、
前記容量素子の他方の端子と前記データ線との間に設けられた第３トランジスタと、
前記駆動トランジスタ及び前記第１トランジスタの接続点と前記駆動トランジスタのゲートとの間に設けられた第４トランジスタとを、
備えることを特徴とする画素回路。
【請求項４】
前記第３電位は前記第２電位以下であることを特徴とする請求項１乃至３のうちいずれか1項に記載の画素回路。
【請求項５】
前記３電源線を介して前記第３電位を前記第２トランジスタに供給する替わりに、前記第２電源線と前記第２トランジスタとを電気的に接続することを特徴とする請求項１乃至３のうちいずれか1項に記載の画素回路。
【請求項６】
請求項１に記載の画素回路と、
前記第１トランジスタ及び前記第２トランジスタのゲートに供給する制御信号を生成する駆動回路とを備え、
前記制御信号は、前記発光素子を発光させる発光期間において、前記第1トランジスタをオン状態にすると共に前記第２トランジスタをオフ状態にし、前記発光素子を発光させない非発光期間において、前記第1トランジスタをオフ状態にすると共に前記第２トランジスタをオン状態にするように、前記第１トランジスタ及び前記第２トランジスタを制御する、
ことを特徴とする発光装置。
【請求項７】
請求項３に記載の画素回路と、
当該画素回路を、初期化期間、補償期間、書込期間、及び発光期間に分けて駆動する駆

動回路とを備え、
前記駆動回路は、
前記初期化期間において、前記第１乃至第４トランジスタがオン状態となるように制御し、
前記補償期間において、前記第１トランジスタがオフ状態となり、前記第２、第３、及び第４トランジスタがオン状態となるように制御し、
前記書込期間において、前記第１及び第４トランジスタがオフ状態となり、前記第２及び第３トランジスタがオン状態となるように制御し、
前記発光期間において、前記第１トランジスタがオン状態となり、前記第２、第３、及び第４トランジスタがオフ状態となるように制御する、
ことを特徴とする発光装置。
【請求項８】
前記第1トランジスタと前記第２トランジスタとはチャネルの型が相違し、
前記駆動回路は、
前記第１トランジスタのゲートを制御する第１制御信号を生成する第１制御信号生成回路と、
前記第１制御信号を遅延して前記第２トランジスタのゲートを制御する第２制御信号を出力する遅延回路と、を備える、
ことを特徴とする請求項７に記載の発光装置。
【請求項９】
請求項６乃至８のうちいずれか1項に記載の発光装置を備えたことを特徴とする電子機器。
【請求項１０】
請求項１に記載の画素回路を駆動する画素回路の駆動方法であって、
前記発光素子を発光させる期間を発光期間、前記発光素子を非発光とする期間を非発光期間としたとき、
前記発光期間において、前記第１トランジスタをオン状態とする電位を前記第1トランジスタのゲートに供給し、前記第２トランジスタをオフ状態とする電位を前記第２トランジスタのゲートに供給し、
前記非発光期間において、前記第１トランジスタをオフ状態とする電位を前記第1トランジスタのゲートに供給し、前記第２トランジスタをオフ状態とする電位を前記第２トランジスタのゲートに供給し、　前記非発光期間の一部の期間で、前記第３トランジスタをオン状態とする電位を前記第３トランジスタのゲートに供給して、前記データ電位を前記駆動トランジスタのゲートに書き込む、
ことを特徴とする画素回路の駆動方法。
【請求項１１】
請求項３に記載の画素回路を、初期化期間、補償期間、書込期間、及び発光期間に分けて駆動する駆動する画素回路の駆動方法であって、
前記初期化期間において、前記第１、第２、第３、及び第４トランジスタがオン状態となるように制御し、
前記補償期間において、前記第１トランジスタがオフ状態となり、前記第２、第３、及び第４トランジスタがオン状態となるように制御し、
前記書込期間において、前記第１及び第４トランジスタがオフ状態となり、前記第２及び第３トランジスタがオン状態となるように制御し、
前記発光期間において、前記第１トランジスタがオン状態となり、前記第２、第３、及び第４トランジスタがオフ状態となるように制御する、
ことを特徴とする画素回路の駆動方法。

【発明の詳細な説明】
【技術分野】

【０００１】
本発明は、画素回路、発光装置、電子機器及び画素回路の駆動方法に関する。
【背景技術】
【０００２】
近年、液晶素子に代わる次世代の発光デバイスとして、有機ＥＬ（ElectroLuminescent）素子や発光ポリマー素子などと呼ばれる有機発光ダイオード（Organic Light Emitting Diode、以下「ＯＬＥＤ素子」という）素子が注目されている。この種の発光素子は電流の供給によって階調（典型的には輝度）が変化する。この電流を駆動トランジスタによって制御する技術が従来から提案されている。
【０００３】
そのようなＯＬＥＤ素子を含む画素回路として、特許文献１には駆動トランジスタとＯＬＥＤ素子との間に発光制御トランジスタを備え、さらにＯＬＥＤ素子の陽極と固定電位との間にスイッチグトランジスタを備えるものが開示されている。
この画素回路によれば、発光制御トランジスタをオフ状態とすることで、非点灯時にＯＬＥＤ素子に電流が流れないようにでき、さらに、スイッチングトランジスタをオン状態とすることで、発光制御トランジスタのリーク電流による微発光を無くし、いわゆる黒浮きを抑制することができる。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特許公報第３９９３１１７号
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、従来の画素回路では、発光制御トランジスタやスイッチングトランジスタなどを個別に制御する必要があり、制御配線の数が増加するといった問題があった。
また、従来の画素回路では、黒浮きを抑制することができるが、駆動トランジスタの閾値を補償することができないといった問題もあった。
以上の事情に鑑みて、本発明は、制御線の本数を減らしながら黒浮きを抑制することを解決課題とする。また、本発明の他の解決課題は、駆動トランジスタの閾値電圧を補償しつつ、黒浮きを抑制することにある。
【課題を解決するための手段】
【０００６】
以上の課題を解決するために、本発明に係る画素回路は、第1電位（例えば、図２のＶＥＬ）が供給される第1電源線と電気的に接続され、駆動電流を生成する駆動トランジスタと、第２電位（例えば、図２のＶＣＴ）が供給される第２電源線と電気的に接続され、前記駆動電流に応じた階調となる発光素子と、前記発光素子と前記駆動トランジスタとの間に設けられた第1トランジスタと、前記発光素子及び前記第１トランジスタの接続点と第３電位（例えば、図２のＶＣＣ）が供給される第３電源線との間に設けられた第２トランジスタと、前記第１トランジスタのゲートと前記第２トランジスタのゲートとは電気的に接続され、前記第1トランジスタと前記第２トランジスタとは、チャネルの型が相違することを特徴とする。
【０００７】
この画素回路によれば、第１トランジスタと第２トランジスタとのチャネルの型が相違するので、両者のゲートを同じ制御信号を供給すると、一方のトランジスタがオン状態のときに、他方のトランジスタをオフ状態にすることができる。ここで、第１トランジスタは駆動トランジスタと発光素子との間に設けられ、駆動電流を発光素子に供給するか否かを制御する。一方、第２トランジスタは、発光素子と第３電源線との間に設けられ、発光素子が非発光のときに、発光素子の寄生容量に蓄積した電荷を第３電源線に逃がすことができる。第１トランジスタと第２トランジスタとのゲートは電気的に接続されているので

、これらのトランジスタを１つの制御信号で排他的にオン・オフすることができる。これにより、黒浮きを抑制しつつ、制御信号を供給する制御線の本数を低減することができる。

なお、発光素子は、有機発光ダイオードや無機発光ダイオードなどの発光ダイオードの他、電流の供給を受けて発光する素子であれば、どのような素子であってもよい。

【０００８】

上述した画素回路おいて、データ電位が供給されるデータ線と、前記データ線と前記駆動トランジスタのゲートとの間に設けられた第３トランジスタとを備えることが好ましい。この場合には、第３トランジスタをオン状態とすることでデータ電位を駆動トランジスタのゲートに書き込むことができる。

【０００９】

本発明に係る他の画素回路は、第1電位が供給される第1電源線と電気的に接続され、駆動電流を生成する駆動トランジスタと、第２電位が供給される第２電源線と電気的に接続され、前記駆動電流に応じた階調となる発光素子と、前記発光素子と前記駆動トランジスタとの間に設けられた第1トランジスタと、前記発光素子及び前記第１トランジスタの接続点と第３電位が供給される第３電源線との間に設けられた第２トランジスタと、前記駆動トランジスタのゲートと一方の端子とが電気的に接続される容量素子と、前記容量素子の他方の端子と前記データ線との間に設けられた第３トランジスタと、前記駆動トランジスタ及び前記第１トランジスタの接続点と前記駆動トランジスタのゲートとの間に設けられた第４トランジスタとを、備えることを特徴とする。

【００１０】

この画素回路によれば、第４トランジスタをオン状態にすることで、駆動トランジスタをダイオード接続して、そのゲート電位を駆動トランジスタの閾値電圧に漸近させることが可能となる。さらに第２トランジスタを備えることによって、発光素子に付随する寄生容量に蓄積された電荷を第３電源線に流すことができるので、黒浮きを抑制することができる。

【００１１】

上述した画素回路において、前記第３電位は前記第２電位以下であることが好ましい。この場合には、第２トランジスタがオン状態となっても第３電位の方が低電位であるので、第３電源線→第２トランジスタ→発光素子→第２電源線の経路で電流が流れることがない。

【００１２】

また、上述した画素回路において、前記３電源線を介して前記第３電位を前記第２トランジスタに供給する替わりに、前記第２電源線と前記第２トランジスタとを電気的に接続することが好ましい。この場合には、第３電源線を設ける必要がないので、構成を簡素化できる。

【００１３】

また、本発明に係る発光装置は、上述した画素回路と、前記第１トランジスタ及び前記第２トランジスタのゲートに供給する制御信号を生成する駆動回路とを備え、前記制御信号は、前記発光素子を発光させる発光期間において、前記第1トランジスタをオン状態にすると共に前記第２トランジスタをオフ状態にし、前記発光素子を発光させない非発光期間において、前記第1トランジスタをオフ状態にすると共に前記第２トランジスタをオン状態にするように、前記第１トランジスタ及び前記第２トランジスタを制御することを特徴とする。

【００１４】

この発光装置によれば、非発光期間において第２トランジスタがオン状態となるので、第１トランジスタのリーク電流やフィールドスルー電流を第２トランジスタに流すことができ、さらに、発光素子に付随する寄生容量に蓄積された電荷を第２トランジスタを介して流すことできる。これにより、黒浮きを抑圧することが可能となる。さらに、第１トランジスタと第２トランジスタとは、共通した制御信号によって制御するので、制御線の本

数を低減することができる。

【００１５】

本発明に係る他の発光装置は、上述した画素回路と、当該画素回路を、初期化期間、補償期間、書込期間、及び発光期間に分けて駆動する駆動回路とを備え、前記駆動回路は、前記初期化期間において、前記第１乃至第４トランジスタがオン状態となるように制御し、前記補償期間において、前記第１トランジスタがオフ状態となり、前記第２、第３、及び第４トランジスタがオン状態となるように制御し、前記書込期間において、前記第１及び第４トランジスタがオフ状態となり、前記第２及び第３トランジスタがオン状態となるように制御し、前記発光期間において、前記第１トランジスタがオン状態となり、前記第２、第３、及び第４トランジスタがオフ状態となるように制御することを特徴とする。

【００１６】

この発光装置によれば、第２トランジスタを初期化期間においてもオン状態にして、駆動トランジスタのゲート電位を第３電位まで下げることができる。このとき、駆動トランジスタのゲート電位に応じた電流が駆動トランジスタから出力されるが、当該電流は発光素子に流れず、第２トランジスタに流すことができる。これによって、初期化期間に発光素子を消灯させ黒浮きを抑制することが可能となる。さらに、第２トランジスタは補償期間及び書込期間においてもオン状態になるので、第１トランジスタのリーク電流やフールドスルー電流を第２トランジスタに流すことができ、発光素子の微発光を抑圧することができる。くわえて、発光素子の寄生容量に蓄積された電荷も第２トランジスタを介して放電することできるので、黒浮きを抑制することができる。

【００１７】

また、上述した発光装置において、前記第1トランジスタと前記第２トランジスタとはチャネルの型が相違し、前記駆動回路は、前記第１トランジスタのゲートを制御する第１制御信号を生成する第１制御信号生成回路と、前記第１制御信号を遅延して前記第２トランジスタのゲートを制御する第２制御信号を出力する遅延回路（例えば、図１０の３０１）と、を備えることを特徴とする。

この発明によれば、第２制御信号を、第１制御信号を遅延するだけで生成することができるので、構成を簡素化できる。特に、複数の画素回路を、複数の走査線と複数のデータ線の交差に対応して設ける場合には、走査線や制御線を順次選択する必要がある。子の要場合、走査信号や制御信号は、シフトレジスタを用いて生成するのが一般的である。子の発明によれば、第１制御信号を遅延させて第２制御信号を生成するので、第２制御信号を生成するために独立したシフトレジスタを不要にできる。

【００１８】

本発明に係る電子機器は、上述した発光装置を備えることを特徴とし、そのような電子機器としては、例えば、パーソナルコンピュータ、携帯電話機、あるいは電子カメラなどが該当する。

【００１９】

また、本発明は画素回路の駆動方法として捉えることもできる。そのような発明として、上述した画素回路を駆動する方法であって、前記発光素子を発光させる期間を発光期間、前記発光素子を非発光とする期間を非発光期間としたとき、前記発光期間において、前記第１トランジスタをオン状態とする電位を前記第1トランジスタのゲートに供給し、前記第２トランジスタをオフ状態とする電位を前記第２トランジスタのゲートに供給し、前記非発光期間において、前記第１トランジスタをオフ状態とする電位を前記第1トランジスタのゲートに供給し、前記第２トランジスタをオフ状態とする電位を前記第２トランジスタのゲートに供給し、　前記非発光期間の一部の期間で、前記第３トランジスタをオン状態とする電位を前記第３トランジスタのゲートに供給して、前記データ電位を前記駆動トランジスタのゲートに書き込むことが好ましい。

また、上述した画素回路を、初期化期間、補償期間、書込期間、及び発光期間に分けて駆動する駆動する方法であって、前記初期化期間において、前記第１、第２、第３、及び第４トランジスタがオン状態となるように制御し、前記補償期間において、前記第１トラ

ンジスタがオフ状態となり、前記第２、第３、及び第４トランジスタがオン状態となるように制御し、前記書込期間において、前記第１及び第４トランジスタがオフ状態となり、前記第２及び第３トランジスタがオン状態となるように制御し、前記発光期間において、前記第１トランジスタがオン状態となり、前記第２、第３、及び第４トランジスタがオフ状態となるように制御することが好ましい。

【図面の簡単な説明】

【００２０】

【図１】本発明の実施形態に係る発光装置の構成を示すブロック図である。

【図２】本発明の第１実施形態に係る画素回路の構成を示す回路図である。

【図３】各信号の波形を示すタイミングチャートである。

【図４】書込期間における第１実施形態に係る画素回路の動作を説明するための回路図である。

【図５】発光期間における第１実施形態に係る画素回路の動作を説明するための回路図である。

【図６】本発明の第２実施形態に係る画素回路の構成を示す回路図である。

【図７】本発明の第３実施形態に係る画素回路の構成を示す回路図である。

【図８】同実施形態における各信号の波形を示すタイミングチャートである。

【図９】同実施形態における走査線駆動回路の構成を示すブロック図である。

【図１０】同走査線駆動回路に用いる処理回路の構成を示す回路図である。

【図１１】同処理回路における各信号の波形を示すタイミングチャートである。

【図１２】初期化期間における第３実施形態に係る画素回路の動作を説明するための回路図である。

【図１３】補償期間における第３実施形態に係る画素回路の動作を説明するための回路図である。

【図１４】書込期間における第３実施形態に係る画素回路の動作を説明するための回路図である。

【図１５】発光期間における第３実施形態に係る画素回路の動作を説明するための回路図である。

【図１６】本発明の第４実施形態に係る画素回路の構成を示す回路図である。

【図１７】本発明の変形例に係る画素回路の構成を示す回路図である。

【図１８】本発明の変形例に係る画素回路の構成を示す回路図である。

【図１９】本発明に係る電子機器の具体的な形態を示す斜視図である。

【図２０】本発明に係る電子機器の具体的な形態を示す斜視図である。

【図２１】本発明に係る電子機器の具体的な形態を示す斜視図である。

【発明を実施するための形態】

【００２１】

＜Ａ：第１実施形態＞

[発光装置の構成]

図１は、本実施形態に係る発光装置１０の構成を示すブロック図である。この発光装置１０は、画像を表示するための手段として各種の電子機器に採用される装置であり、複数の画素回路Ｐが面状に配列された画素アレイ部１００と、各画素回路Ｐを駆動する走査線駆動回路２０およびデータ線駆動回路２２と、発光装置１０で利用される各種電位を生成する電位生成部２４と、制御回路３０と、を有する。なお、図１においては、走査線駆動回路２０とデータ線駆動回路２２と電位生成部２４とが別個の回路として図示されているが、これらの回路の一部または全部が単一の回路とされた構成も採用される。

【００２２】

図１に示すように、画素アレイ部１００には、Ｘ方向に延在するｍ本の走査線１０２と、各走査線１０２と対をなしてＸ方向に延在するｍ本の給電線１０４と、Ｘ方向に直交するＹ方向に延在するｎ本のデータ線１０６とが設けられる（ｍおよびｎは自然数）。各画素回路Ｐは、走査線１０２および給電線１０４の対とデータ線１０６との交差に対応する

位置に配置される。従って、これらの画素回路Ｐは縦ｍ行×横ｎ列のマトリクス状に配列する。図１においては、走査線１０２と給電線１０４とがＸ方向に延在しているが、本実施形態では、図２に示すように、第１制御線１１０が行毎にＸ方向に延在する。

【００２３】

図１に示す走査線駆動回路２０は、複数の画素回路Ｐを水平走査期間ごとに行単位で選択するための回路である。走査線駆動回路２０は、１水平走査期間ごとに１行ずつ走査線１０２を選択するとともに、この選択に同期した第１の制御信号を、図２に示す第１制御線１１０に供給する。説明の便宜上、第ｉ行目（ｉは１≦ｉ≦ｍを満たす整数）の走査線１０２に供給される走査信号を$G_{WRT}[i]$と表記する。同様に、第ｉ行目の第１制御線１１０に供給される第１制御信号をＧ１[ｉ]と表記する。

【００２４】

再び、図１を参照しながら説明する。データ線駆動回路２２は、各水平走査期間で走査線駆動回路２０が選択した走査線１０２に対応する１行分のｎ個の画素回路Ｐの各々に対応するデータ電位ＶＤ[１]ないしＶＤ[ｎ]を生成して各データ線１０６に出力する。第ｉ行（ｉは１≦ｉ≦ｍを満たす整数）が選択される水平走査期間において第ｊ列目（ｊは１≦ｊ≦ｎを満たす整数）のデータ線１０６に出力されるデータ電位ＶＤ[ｊ]は、第ｉ行の第ｊ列目に位置する画素回路Ｐに対して指定された階調に対応する電位となる。

【００２５】

電源回路２４は、電源の高位側の電位ＶＥＬおよび低位側の電位ＶＣＴと、電位ＶＣＣとを生成する。電位ＶＥＬは第１電源線（図示略）を介して、電位ＶＣＴは第２電源線を介して、電位ＶＣＣが第３電源線を介して総ての画素回路Ｐに共通に供給される。

【００２６】

制御回路３０は、走査線駆動回路２０及びデータ線駆動回路２２に、それぞれクロック信号（図示省略）などを供給してこれらの回路を制御するとともに、データ線駆動回路２２に、画素アレイ部１００における各画素回路Ｐの１フレーム毎の階調を規定する画像データを供給する。

【００２７】

次に、図２を参照して、各画素回路Ｐの構成を説明する。同図においては、第ｉ行の第ｊ列目に位置するひとつの画素回路Ｐのみを図示しているが、その他の画素回路Ｐも同様の構成である。同図に示すように、画素回路Ｐは、Ｐチャネル型の駆動トランジスタ２００と、スイッチング素子として機能するＮチャネル型の第１トランジスタ２１０、Ｎチャネル型の第２トランジスタ２２０、及びＮチャネル型の第３トランジスタ２３０、並びにＯＬＥＤ素子１１を有する。なお、保持容量Ｃｈは、容量素子として形成してもよいし、あるいは、駆動トランジスタ２２０のゲート容量であってもよい。また、容量ＣｃはＯＬＥＤ素子１１に付随する寄生容量である。ＯＬＥＤ素子１１は、陽極と陰極との間に有機ＥＬ材料の発光層を介在させた素子であって、電位ＶＣＴが供給される第２電源線と接続される。

【００２８】

図２に示すように、電源線からＯＬＥＤ素子１１の陽極に至る経路には駆動トランジスタ２００と第１トランジスタ２１０とが介挿される。駆動トランジスタ２００は、ゲートの電位ＶＧに応じた駆動電流Ｉｅｌを生成するための手段であり、そのソースが電源線に接続されるとともにドレインが第１トランジスタ２１０のドレインに接続される。第１トランジスタ２１０は、駆動電流ＩｅｌをＯＬＥＤ素子１１に供給するか否かを切り替えるスイッチング素子であり、そのソースがＯＬＥＤ素子１１の陽極に接続される。

また、ＯＬＥＤ素子１１の陽極には第２トランジスタ２２０のソースが接続され、第２トランジスタ２２０のドレインには第３電源線を介して電位ＶＣＣが供給される。さらに第１トラトランジスタ２１０と第２トランジスタ２２０のゲートは電気的に接続され、そこには第１制御信号Ｇ１[ｉ]が供給される。

【００２９】

ここで、第１トランジスタ２１０のチャネルの型はｎ型である一方、第２トランジスタ

２２０のチャネルの型はｐ型である。このように異なるチャネルの型を採用して、同一の第１制御信号Ｇ１[ｉ]でゲートを制御すると、一方のトランジスタをオン状態としたとき、他方のトランジスタはオフ状態となり、排他的にオン状態とオフ状態とを制御することができる。なお、第１トランジスタ２１０をｐ型とし、第２トランジスタ２２０をｎ型としてもよい。

また、電位ＶＣＣと電位ＶＣＴとは、ＶＣＴ≦ＶＣＣの関係にある。この場合、第２トランジスタ２２０がオン状態のとき、ＯＬＥＤ素子１１は逆バイアスされ確実にオフ状態になる。

【００３０】

データ線１０６と駆動トランジスタ２００のゲートとの間には、第３トランジスタ２３０が設けられている。第３トランジスタ２３０は、データ線１０６のデータ電位を保持容量Ｃｈに書き込むためのスイッチング素子として機能する。第３トランジスタ２３０のゲートは走査線１０２と電気的に接続されている。走査線１０２を介して供給される走査信号G_{WRT}[ｉ]がハイレベルに遷移すると第３トランジスタ２３０がオン状態となってデータ電位ＶＤ[ｊ]が保持容量Ｃｈに書き込まれる。一方、走査信号G_{WRT}[ｉ]がローレベルに遷移すると第３トランジスタ２３０がオフ状態となってデータ線１０６と駆動トランジスタ２００にゲートとが非導通となる。

【００３１】

次に、図３を参照して、走査線駆動回路２０が生成する各信号の具体的な波形について説明する。図３に示すように、走査信号G_{WRT}[１]～G_{WRT}[ｍ]は、水平走査期間（１Ｈ）ごとに順番にハイレベルとなる。すなわち、水平走査信号G_{WRT}[ｉ]は、垂直走査期間（１Ｖ）のうち第ｉ番目の水平走査期間においてハイレベルを維持するとともにそれ以外の期間ではローレベルを維持する。走査信号G_{WRT}[ｉ]のハイレベルへの遷移は第ｉ行の各画素回路Ｐの選択を意味する。以下では、走査信号G_{WRT}[１]～G_{WRT}[ｍ]の各々がハイレベルとなる期間（すなわち水平走査期間）を「書込期間ＰWRT」と表記する。なお、図３においては走査信号G_{WRT}[ｉ]の立ち上がりとその次行の走査信号G_{WRT}[ｉ＋１]の立ち下がりとを同時とした場合が例示されているが、走査信号G_{WRT}[ｉ]の立ち上がりから所定の時間が経過したタイミングで次行の走査信号G_{WRT}[ｉ＋１]が立ち下がる構成（つまり、各行の書込期間ＰWRTに間隔が設けられた構成）としてもよい。

【００３２】

図３に示すように、第１制御信号Ｇ１[ｉ]は、書込期間ＰWRTが終了した後にハイレベルとなり、所定時間が経過するとローレベルとなる。第１制御信号Ｇ１[ｉ]がハイレベルとなる期間を発光期間ＰEL、第１制御信号Ｇ１[ｉ]がローレベルとなる期間を非発光期間ＰNELという。

【００３３】

以上の構成において、ＯＬＥＤ素子１１に付随する寄生容量Ｃｃは、ＯＬＥＤ素子１１の構造に起因するものである。すなわち、ＯＬＥＤ素子１１は陽極と陰極の間に材料を挟む形をとるので、この電極間に容量が生じる。第１トランジスタ２１０がオン状態のとき寄生容量Ｃｃには電荷が蓄積される。そして、第１トランジスタ２１０がオフ状態となった後に、寄生容量Ｃｃが放電し、ＯＬＥＤ素子１１ を意図せず発光させることが起こり得る。これが、黒浮きの原因となってしまう。

【００３４】

本実施形態では、ＯＬＥＤ素子１１ の寄生容量Ｃｃからの放電による意図しない発光を阻止するために、ＯＬＥＤ素子１１ の陽極側(基板側)に、第１トランジスタ２１０とは逆のチャネル型を示す第２トランジスタ２２０ を設け、第２トランジスタ２２０のソース電極をＯＬＥＤ素子１１の陽極に、もう一方のドレイン電極を電位ＶＣＣに落とすように設置する。

【００３５】

第２トランジスタ２２０の役割は、第１トランジスタ２１０がオフ状態となった後に、

オン状態となり、寄生容量Ｃｃから電荷を第３電源線（電位ＶＣＣ）に流すというものである。さらに、この回路の特徴として、非発光時に第２トランジスタ２２０がオン状態となることで、ＯＬＥＤ 素子１１の陽極の電位が電位ＶＣＣに固定されるので、確実に「黒」になる。

【００３６】

また、上述した画素回路Ｐは、非発光時にＯＬＥＤ素子１１の陽極の電位を常に低電位（ＶＣＣ）に保持する回路を備える。すなわち、第２トランジスタ２２０は第１トランジスタ２１０がオフ状態の間に常にオン状態となっている。これによって、第２トランジスタ２２０を介して、非発光時に第１トランジスタ２１０３からのフィードスルー電流やリーク電流も第３電源線（電位ＶＣＣ）に流すことができるので、発光期間PEL以外での発光を抑制することができる。

【００３７】

[発光装置の動作]

次に、図４ないし図７を参照しながら画素回路Ｐの具体的な動作について説明する。以下では、第ｉ行に属する第ｊ列目の画素回路Ｐの動作を、書込期間PWRTと発光期間PELとに区分して説明する。

【００３８】

（ａ）書込期間PWRT

書込期間PWRTにおいては、図３に示すように走査信号G_{WRT}[ｉ]はハイレベルに遷移する一方、第１制御信号Ｇ１[ｉ]はローレベルに遷移する。従って、図４に示すように、第２トランジスタ２１０及び第３トランジスタ２２０がオン状態になり、第1トランジスタ２１０がオフ状態になる。これにより、データ線１０６と駆動トランジスタ２００のゲートとが導通し、第ｉ行第ｊ列の画素回路ＰにおけるＯＬＥＤ素子１１の階調に応じたデータ電位ＶＤ[ｊ]が保持容量Ｃｈに供給される。

【００３９】

このとき、第２トランジスタ２１０がオフ状態となるため、駆動電流ＩｅｌはＯＬＥＤ素子１１に供給されず、ＯＬＥＤ素子１１は消灯する。また、第２トランジスタ２２０はオン状態となるので、ＯＬＥＤ素子１１の陽極及び寄生容量Ｃｃに蓄積された電荷が第２トランジスタ２２０を介して放電される。

なお、書込期間PWRTは、ＯＬＥＤ素子１１が消灯する非発光期間PNELの一部である。当該書込期間PWRTが他の非発光期間PNELと相違するのは、第３トランジスタ２３０がオン状態となる点であり、その他の動作は他の非発光期間PNELと同じである。

【００４０】

（ｂ）発光期間PEL

発光期間PELにおいては、図３に示すように、走査信号G_{WRT}[ｉ]はローレベルに遷移する。また、第１制御信号Ｇ１[ｉ]はハイレベルに遷移する。従って、図５に示すように、図４に示す状態から第1トランジスタ２１０がオン状態になり、第２トランジスタ２２０及び第３トランジスタ２３０がオフ状態になる。第1トランジスタ２１０がオン状態になることで、駆動トランジスタ２００からＯＬＥＤ素子１１に至る駆動電流Ｉｅｌの経路が形成され、駆動トランジスタ２００のゲートの電位ＶＧに応じた駆動電流Ｉｅｌがトランジスタ２１０を介してＯＬＥＤ素子１１へ供給される。この駆動電流Ｉｅｌの供給によってＯＬＥＤ素子１１はデータ電位ＶＤ[ｊ]に応じた輝度に発光する。

【００４１】

このように第1実施形態に係る発光装置１０では、画素回路Ｐにおいて、第1トランジスタ２１０と第２トランジスタ２２０のチャネルの型を異なるようにしたので、第1トランジスタ２１０と第２トランジスタ２２０とのゲートを共通の信号で制御することにより、第1トランジスタ２１０と第２トランジスタ２２０とを排他的にオン状態又はオフ状態とすることができる。これにより、制御線の数を削減することができる。

【００４２】

非発光期間PNELにおいて第１トランジスタ２１０は常にオフ状態となり、第２トラン

ジスタ２２０は常にオン状態となる。第２トランジスタ２２０がオン状態になっている時、第２トランジスタ２２０のゲート電圧は０Ｖとなり、非発光期間ＰNEL中にＯＬＥＤ素子１１ に対してフィードスルー電流を流さないので、黒浮きを抑えることができる。

さらに、非発光期間ＰNELにおいて、第１トランジスタ２１０におけるＯＬＥＤ素子１１ と反対側の電極の電圧は、高電位(Vth 補償をする都合上)となっているので、リーク電流が流れにくくなり、黒浮きを抑えることができる。仮に、リーク電流が流れても、第２トランジスタ２２０がオン状態 になっているので、ＯＬＥＤ素子１１ には電流が流れず黒浮きすることはない。

【００４３】

加えて、第２トランジスタ２２０がオン状態 になっていることで、第１トランジスタ２１０からの微量なリーク電流やフィードスルー電流を第３電源線（電位ＶＣＣ） に流すことができるので、黒浮きは発生しない。

発光期間ＰELにおいて、低階調発光の時に第２トランジスタ２２０のゲート側にはハイレベルが供給され、ソース側は低電位となる。このため、リーク電流が少なくてすむので、階調がずれず、斑が発生することもない。一方、高階調発光の時も、第２トランジスタ２２０のソース電圧に対してゲート電圧が高いのでリークはしない。仮にリークがあったとしてもＯＬＥＤ素子１１に流れる電流に比べると微量になるので、特に問題はない。

さらに、本願では、第１トランジスタ２１０と第２トランジスタ２２０のゲートには同一の第１制御信号Ｇ１[ｉ]が供給される。これにより、制御線を増やすことも、さらには制御回路を増やすことなく黒浮きを抑えた画素回路Ｐを実現することができる。加えて、第1制御線１１０も画素回路Ｐ内で分岐すればいいので、周辺回路からの配線数が減ることで、配線同士の重なりも減り、配線間の寄生抵抗によるノイズを低減することができる。

また、第１トランジスタ２１０と第２トランジスタ２２０のオン・オフのタイミングを同期することで、切り替わりのタイミングがずれることがなくなり、例えば、第１トランジスタ２１０が開いているときに誤って第２トランジスタ２２０が開いて発光しなかったり、逆に第１トランジスタ２１０が閉じているときに、第２トランジスタ２２０が閉じてリーク電流による微発光を許したりといった点灯ミスがなくなる。

【００４４】

＜Ｂ：第２実施形態＞

第１実施形態に係る発光装置１０は、第２トランジスタ２２０のドレインに第３電源線を介して電位ＶＣＣを供給していた。第２実施形態に係る発光装置１０は、画素回路Ｐの詳細な構成、及び第３電源線を無くした点を除いて、第１実施形態の発光装置１０と同様である。

図６に第２実施形態の画素回路を示す。この図に示すように第２実施形態の画素回路では、第２トランジスタ２２０のドレインを第２電源線に接続し、第３電源線を省略する。この場合は、ＯＬＥＤ素子１１の寄生容量Ｃｃに蓄積された電荷を第２トランジスタ２２０経由で第２電源線に流すことができる。この接続では、新たに電源線を必要とすることはない。

特に、第２実施形態に係る発光装置１０は、複数の画素回路Ｐの各々に配置されるＯＬＥＤ素子１１を、Ｒ色、Ｇ色、及びＢ色で発光させる装置に好適である。

【００４５】

＜Ｃ：第３実施形態＞

上述した第1及び第２実施形態に係る発光装置１０は、駆動トランジスタ２００の閾値電圧を補償するものではなかった。これに対して、第３実施形態に係る発光装置１０は、駆動トランジスタ２００の閾値電圧の補償機能を備える。

第３実施形態に係る発光装置１０は、画素回路Ｐの詳細な構成、第２制御線１２０及び第３制御線１３０を備える点、並びに、走査線駆動回路２０において第２制御信号Ｇ２[ｉ]及び第３制御信号Ｇ３[ｉ]を生成する点を除いて、第１実施形態の発光装置１０と同様に構成されている。

【００４６】
図７に第３実施形態に係る発光装置１０の画素回路Ｐの構成を示す。第３実施形態の画素回路Ｐは、図２に示す第１実施形態の画素回路と比較して以下の点が相違する。
第１に、第３トランジスタ２３０と駆動トランジスタ２００との間に容量素子Ｃａを追加した。
第２に、駆動トランジスタ２００のゲートとドレインとの間に第４トランジスタ２４０を追加した。
第３に、第１トランジスタ２１０のゲートと第２トランジスタ２２０のゲートとを分離し、第１トランジスタ２１０のゲートに第１制御線１１０を介して第１制御信号Ｇ１[ｉ]を供給した。
第４に、第２トランジスタ２１０のゲートに第２制御線１２０を介して第２制御信号Ｇ２[ｉ]を供給した。
第５に、第４トランジスタ２４０のゲートに第３制御線１３０を介して第３制御信号Ｇ３[ｉ]を供給した。
【００４７】
次に、図８を参照して、走査線駆動回路２０が生成する各信号の具体的な波形について説明する。図８に示すように、走査信号G_{WRT}[１]～G_{WRT}[ｍ]は、水平走査期間（１Ｈ）ごとに順番にハイレベルとなる。すなわち、水平走査信号G_{WRT}[ｉ]は、垂直走査期間（１Ｖ）のうち第ｉ番目の水平走査期間においてハイレベルを維持するとともにそれ以外の期間ではローレベルを維持する。走査信号G_{WRT}[ｉ]のハイレベルへの遷移は第ｉ行の各画素回路Ｐの選択を意味する。本実施形態では、以下では、走査信号G_{WRT}[１]ないしG_{WRT}[ｍ]の各々がハイレベルとなる期間の一部に書込期間ＰWRTが割り当てられる。なお、図８においては走査信号G_{WRT}[ｉ]の立ち上がりとその次行の走査信号G_{WRT}[ｉ＋１]の立ち下がりとを同時とした場合が例示されているが、走査信号G_{WRT}[ｉ]の立ち上がりから所定の時間が経過したタイミングで次行の走査信号G_{WRT}[ｉ＋１]が立ち下がる構成（つまり、各行の書込期間ＰWRTに間隔が設けられた構成）としてもよい。
【００４８】
図８に示すように、１水平走査期間１Ｈには、初期化期間ＰINTと、補償期間ＰHと、書込期間ＰWRTが割り当てられており、書込期間ＰWRTが終了した後の適当なタイミングから発光期間ＰELが開始する。
初期化期間ＰINTにおいては、走査信号G_{WRT}[ｉ]、第１制御信号Ｇ１[ｉ]及び第３制御信号Ｇ３[ｉ]がハイレベルとなり、第２制御信号Ｇ２[ｉ]がローレベルとなる。
補償期間ＰHにおいては、走査信号G_{WRT}[ｉ]及び第３制御信号Ｇ３[ｉ]がハイレベルとなり、第１制御信号Ｇ１[ｉ]及び第２制御信号Ｇ２[ｉ]がローレベルとなる。
書込期間ＰWRTにおいては、走査信号G_{WRT}[ｉ]がハイレベルとなり、第１制御信号Ｇ１[ｉ]、第２制御信号Ｇ２[ｉ] 及び第３制御信号Ｇ３[ｉ]がローレベルとなる。
発光期間ＰELにおいては、走査信号G_{WRT}[ｉ]及び第３制御信号Ｇ３[ｉ]がローレベルとなる一方、第１制御信号Ｇ１[ｉ]及び第２制御信号Ｇ２[ｉ]がハイレベルとなる。
【００４９】
図９に第３実施形態に用いる走査線駆動回路２０のブロック図を示し、図１０に走査線駆動回路２０に用いる処理回路２２の回路図を示す。図９に示すように走査線駆動回路２０は、シフトレジスタ２１と、ｍ個の処理回路２２を備える。シフトレジスタ２１は１フィールドの開始でアクティブとなるスタートパルスＳＰをＹクロック信号ＹＣＬＫに従って順次転送して、走査信号G_{WRT}[１]～G_{WRT}[ｍ]を生成する。
ｍ個の処理回路２２は、ｍ本の各行に対応して設けられている。ここでは、ｉ行目の処理回路２２について説明するが、他の行の処理回路も同様に構成されている。
【００５０】
図１０に示すように処理回路２２は、走査信号G_{WRT}[ｉ]の論理レベルを反転させるインバータ３００を備える。インバータ３００の出力信号は、図１１に示す第１制御信号

Ｇ１[ｉ]として出力される。
第1遅延回路３０１は遅延時間Δｔｄ１だけ第１制御信号Ｇ１[ｉ]を遅延させて、図１１に示す第２制御信号Ｇ２[ｉ]を出力する。
このように、第２制御信号Ｇ２[ｉ]は第１制御信号Ｇ１[ｉ]を遅延させるだけで生成できるので、構成を簡素化できる。なお、遅延時間Δｔｄ１は初期化期間ＰINTと一致するように設定されている。

【００５１】

また、第２遅延回路３０２は遅延時間Δｔｄ２だけ走査信号G_{WRT}[ｉ]を遅延させて、図１１に示す信号３０２ａを出力する。排他的論理和回路３０３は、信号３０２ａと走査信号G_{WRT}[ｉ]との排他的論理和を演算して、走査信号G_{WRT}[ｉ]の立ち上がりエッジと立ち下がりエッジから各々遅延時間Δｔｄ２だけアクティブとなる信号３０３ａを生成する。アンド回路３０４は、信号３０３ａと走査信号G_{WRT}[ｉ]との論理積を演算して、第３制御信号Ｇ３[ｉ]を生成する。第３制御信号Ｇ３[ｉ]は、走査信号G_{WRT}[ｉ]の立ち上がりエッジと同期してハイレベルとなる信号である。ここで、遅延時間Δｔｄ２は初期化期間ＰINTと補償期間ＰHの合計と一致するように設定されている。

【００５２】

このように本実施形態の走査線駆動回路２０によれば、シフトレジスタ２１を追加することなく第１～第３制御信号を生成できるので、周辺回路に要するスペースを減らすことが可能となる。これは、いわゆる額縁（表示に寄与しない部分）をより小さく出来るだけではなく、回路数が減るので、歩留りも向上させる効果もある。
さらに、第1遅延回路３０１等を有する処理回路２２を設ける場所を極力、画素回路Ｐの近くにすると、シフトレジスタ２１から画素部に到達するまでの信号線は１本でよい。このため、交差する配線数が減るので、寄生容量によるノイズの影響なども低減することができる。
さらに、シフトレジスタ２１を共通化することで、第１制御信号Ｇ１[ｉ]及び第３制御信号Ｇ３[ｉ]のタイミングを生成するクロック信号が共有されるので、クロック信号のズレによって制御信号のタイミングがおかしくなり、表示に影響を与えるという懸念もなくなる。

【００５３】

以上の構成において、ＯＬＥＤ素子１１に付随する寄生容量Ｃｃには、第１トランジスタ２１０がオン状態のときに電荷が蓄積される。そして、第１トランジスタ２１０がオフ状態となった後に、寄生容量Ｃｃが放電し、ＯＬＥＤ素子１１ を意図せず発光させることが起こり得る。これが、黒浮きの原因となってしまう。そこで、本実施形態では、寄生容量Ｃｃからの放電による意図しない発光を阻止するために、ＯＬＥＤ素子１１の陽極側(基板側)に、第１トランジスタ２１０とは逆のチャネル型を示す第２トランジスタ２２０ を設け、第２トランジスタ２２０のソース電極をＯＬＥＤ素子１１の陽極に、もう一方のドレイン電極を電位ＶＣＣに落とすように設置する。

【００５４】

第２トランジスタ２２０の役割は、第１トランジスタ２１０がオフ状態となった後に、オン状態となり、寄生容量Ｃｃから電荷を第３電源線（電位ＶＣＣ）に流すというものである。さらに、この回路の特徴として、非発光時に第２トランジスタ２２０がオン状態となることで、ＯＬＥＤ 素子１１の陽極の電位が電位ＶＣＣに固定されるので、確実に「黒」になる。

【００５５】

また、上述した画素回路Ｐは、非発光時にＯＬＥＤ素子の陽極の電位を常に低電位（ＶＣＣ）に保持する回路を備える。すなわち、第２トランジスタ２２０は第１トランジスタ２１０がオフ状態の間に常にオン状態となっている。これによって、第２トランジスタ２２０を介して、非発光時に第１トランジスタ２１０からのフィードスルー電流やリーク電流も第３電源線（電位ＶＣＣ）に流すことができるので、発光期間ＰEL以外での発光を抑制することができる。

【００５６】
[発光装置の動作]
次に、図１２ないし図１５を参照しながら画素回路Ｐの具体的な動作について説明する。以下では、第ｉ行に属する第ｊ列目の画素回路Ｐの動作を、初期化期間ＰINT、補償期間ＰH、書込期間ＰWRT、及び発光期間ＰELに区分して説明する。
【００５７】
（ａ）初期化期間ＰINT
図１２に初期化期間ＰINTにおける画素回路Ｐの動作を示す。初期化期間ＰINTにおいては、図１２に示すように、第1～第４トランジスタ２１０～２４０が全てオン状態になる。第２トランジスタ２２０のソース又はドレインの一方は電位ＶＣＣが供給されるので、図に示すように電流が流れる。このとき、容量素子Ｃｃの電極Ｂの電位は略ＶＣＣとなり、第1電極Ａの電位はデータ線１０６を介して供給される所定の電位（この例ではＶＳＴ）に設定される。これによって、駆動トランジスタ２００のゲート電位は初期化される。
【００５８】
（ｂ）補償期間ＰH
図１３に補償期間ＰHにおける画素回路Ｐの動作を示す。補償期間ＰHにおいては、図１３に示すように、第２～第４トランジスタ２２０～２４０がオン状態となる一方、第１トランジスタ２１０はオフ状態となる。このとき、第４トランジスタ２４０によって駆動トランジスタ２００はダイオード接続の状態になる。このため、駆動トランジスタ２００の閾値電圧をＶｔｈとすると、駆動トランジスタ２００のゲート電位は、「ＶＥＬ－Ｖｔｈ」に漸近していく。これにより、駆動トランジスタ２００の閾値電圧の補償が行われる。なお、データ線１０６を介して供給される所定の電位（この例ではＶＳＴ）には変化がない。
【００５９】
（ｃ）書込期間ＰWRT
図１４に書込期間ＰWRTにおける画素回路Ｐの動作を示す。書込期間ＰWRTにおいては、図１４に示すように、第２及び第３トランジスタ２２０及び２３０がオン状態となる一方、第１トランジスタ２１０及び第４トランジスタ２４０はオフ状態となる。
このとき、データ線１０６と第１電極Ａとが導通し、第ｉ行第ｊ列の画素回路Ｐにおける発光素子１１の階調に応じたデータ電位ＶＤ[ｊ]が第１電極Ａに供給される。これにより、容量素子Ｃｃの第１電極Ａは、電位ＶＳＴからデータ電位ＶＤ[ｊ]に変化する。
【００６０】
図１４に示すように、書込期間ＰWRTにおいて、第４トランジスタ２４０はオフ状態に遷移するから、駆動トランジスタ２００のゲートは電気的にフローティング状態となる。従って、第１電極Ａが、補償期間ＰHにおける電位ＶＳＴからデータ電位ＶＤ[ｊ]まで変化量△Ｖ（＝ＶＳＴ－ＶＤ[ｊ]）だけ変動すると、第２電極Ｂの電位（駆動トランジスタ２００のゲートの電位ＶＧ）は容量結合によってその直前の電位（ＶＥＬ－Ｖｔｈ）から変動する。容量素子Ｃｃの容量値を「Ｃ０」とし、保持容量Ｃｈの容量値を「Ｃ１」とすると、第２電極Ｂの電位の変化分は「△Ｖ・Ｃ０／（Ｃ０＋Ｃ１）」と表現される。従って、書込期間ＰWRTにおいて、駆動トランジスタ２００のゲートの電位ＶＧは以下の式（１）で表現されるレベルに安定する。
ＶＧ＝ＶＥＬ－Ｖｔｈ－ｋ×△Ｖ　　・・・（１）
ただし、ｋ＝Ｃ０／（Ｃ０＋Ｃ１）
【００６１】
（ｄ）発光期間ＰEL
図１５に発光期間ＰELにおける画素回路Ｐの動作を示す。発光期間ＰELにおいては、図１５に示すように、第１トランジスタ２１０がオン状態となる一方、第２～第４トランジスタ２２０～２４０はオフ状態となる。
このとき、第１トランジスタ２１０を介して駆動電流Ｉelが駆動トランジスタ２００からＯＬＥＤ素子１１に向けて流れる。この駆動電流Ｉｅｌの供給によってＯＬＥＤ素子１

１はデータ電位ＶＤ[ｊ]に応じた輝度に発光する。

【００６２】

発光期間ＰELにおいて発光素子１１に流れる駆動電流Ｉｅｌは、以下の式（２）で表現される。ただし、「β」は駆動トランジスタ２００の利得係数であり、「Ｖｇｓ」は駆動トランジスタ２００のゲート・ソース間の電圧である。

$$Iel=(\beta/2)(Vgs-Vth)^2$$
$$=(\beta/2)(VEL-VG-Vth)^2 \quad \cdots(2)$$

式（１）の代入によって、式（２）は以下のように変形される。

$$Iel=(\beta/2)\{VEL-(VEL-Vth-k\times\triangle V)-Vth\}^2$$
$$=(\beta/2)(k\times\triangle V)^2$$

つまり、発光素子１１に供給される駆動電流Ｉｅｌは、データ電位ＶＤ[ｊ]と第２の電位ＶＳＴ２との差分値△Ｖ（△Ｖ＝ＶＳＴ－ＶＤ[ｊ]）によって決定され、駆動トランジスタ２００の閾値電圧Ｖｔｈには依存しない。

【００６３】

このように、第２トランジスタ２２０は、初期化期間ＰINTにおいて、駆動トランジスタ２００のゲートを初期化すると共に、補償期間ＰH及び書込期間ＰWRTにおいて、寄生容量Ｃｃに蓄積された電荷を第３電源線の電位ＶＣＣに流す機能がある。これにより、ＯＬＥＤ素子１１の寄生容量Ｃｃに蓄積された電荷を放電する経路を確保しつつ、トランジスタ数を増やすことなく、駆動トランジスタ２００の閾値電圧の補償を行うことができる。

【００６４】

＜Ｄ：第４実施形態＞

第３実施形態に係る発光装置１０は、第２トランジスタ２２０のドレインに第３電源線を介して電位ＶＣＣを供給していた。第２実施形態に係る発光装置１０は、画素回路Ｐの詳細な構成、及び第３電源線を無くした点を除いて、第２実施形態の発光装置１０と同様である。

図１６に第４実施形態の画素回路を示す。この図に示すように第４実施形態の画素回路では、第２トランジスタ２２０のドレインを第２電源線に接続し、第３電源線を省略する。この場合は、ＯＬＥＤ素子１１の寄生容量Ｃｃに蓄積された電荷を第２トランジスタ２２０経由で第２電源線に流すことができる。この接続では、新たに電源線を必要とすることはない。

特に、第２実施形態に係る発光装置１０は、複数の画素回路Ｐの各々に配置されるＯＬＥＤ素子１１を、Ｒ色、Ｇ色、及びＢ色で発光させる装置に好適である。

【００６５】

＜Ｅ：変形例＞

本発明は上述した各実施形態に限定されるものではなく、例えば、以下の変形が可能である。また、以下に示す変形例のうちの２以上の変形例を組み合わせることもできる。

【００６６】

（１）変形例１

上述の各実施形態においては、発光素子の一例として、ＯＬＥＤ素子を取り上げたが、無機発光ダイオードやＬＥＤ（Light Emitting Diode）であってもよい。要は、駆動電流に応じた発光輝度で発光するのであれば、どのような素子であってもよい。

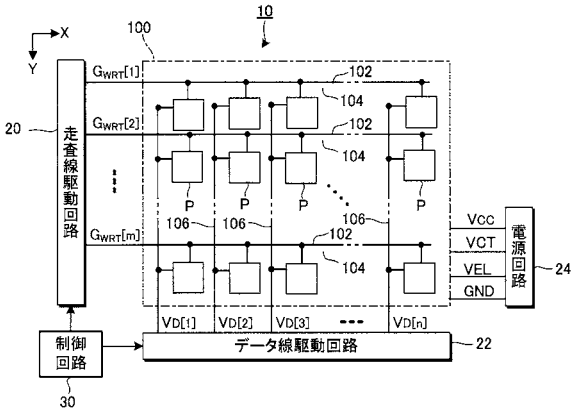
（２）変形例２

上述した第３実施形態の画素回路の替わりに、図１７に示すように第1電極Ａに初期化電位ＶＳＴを供給するための第５トランジスタ２５０を設けてもよい。この場合、走査信号$G_{WRT}[i]$は、書込期間ＰWRTにおいてのみハイレベルとなり、初期化期間ＰINT及び補償期間ＰHにおいてローレベルとなる。一方、第４制御信号Ｇ４[ｉ]は、初期化期間ＰINT及び補償期間ＰHにおいてハイレベルとなり、このとき第５トランジスタ２５０がオン状態となって、第1電極Ａに初期化電位ＶＳＴが供給される。

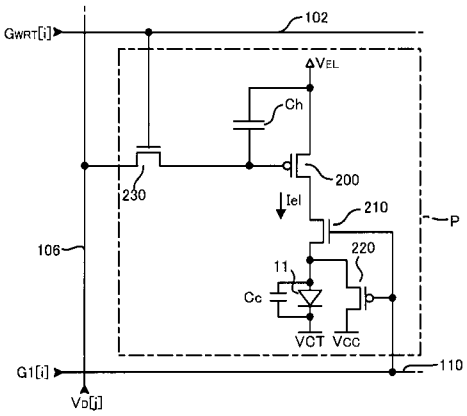
また、上述した第４実施形態の画素回路の替わりに、図１８に示すように第1電極Ａに初期化電位ＶＳＴを供給するための第５トランジスタ２５０を設けてもよい。この場合も

、図１７に示す画素回路と同様に駆動することができる。
【００６７】
＜Ｆ：応用例＞
次に、本発明に係る発光装置１０を利用した電子機器について説明する。図１９は、以上に説明した何れかの形態に係る発光装置１０を表示装置として採用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。パーソナルコンピュータ２０００は、表示装置としての発光装置１０と本体部２０１０とを備える。本体部２０１０には、電源スイッチ２００１およびキーボード２００２が設けられている。この発光装置１０はＯＬＥＤ素子１１にＯＬＥＤ素子を使用しているので、視野角が広く見易い画面を表示できる。
【００６８】
図２０に、実施形態に係る発光装置１０を適用した携帯電話機の構成を示す。携帯電話機３０００は、複数の操作ボタン３００１およびスクロールボタン３００２、ならびに表示装置としての発光措置１０を備える。スクロールボタン３００２を操作することによって、発光装置１０に表示される画面がスクロールされる。
【００６９】
図２１に、実施形態に係る発光装置１０を適用した携帯情報端末（ＰＤＡ：Personal Digital Assistants）の構成を示す。情報携帯端末４０００は、複数の操作ボタン４００１および電源スイッチ４００２、ならびに表示装置としての発光装置１０を備える。電源スイッチ４００２を操作すると、住所録やスケジュール帳といった各種の情報が電気光学装置Ｄに表示される。
【００７０】
なお、本発明に係る電気光学装置が適用される電子機器としては、図１９から図２１に示したもののほか、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、ＰＯＳ端末、プリンタ、スキャナ、複写機、ビデオプレーヤ、タッチパネルを備えた機器等などが挙げられる。
【符号の説明】
【００７１】
１０……発光装置、１１……発光素子、２２……処理回路、１０２……走査線、１０６……データ線、２００……駆動トランジスタ、２１０……第１トランジスタ、２２０……第２トランジスタ、２３０……第３トランジスタ、２４０……第４トランジスタ、Ｃｃ……容量素子。

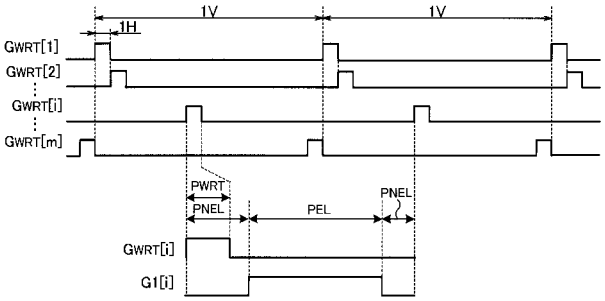
【図１】



【図２】

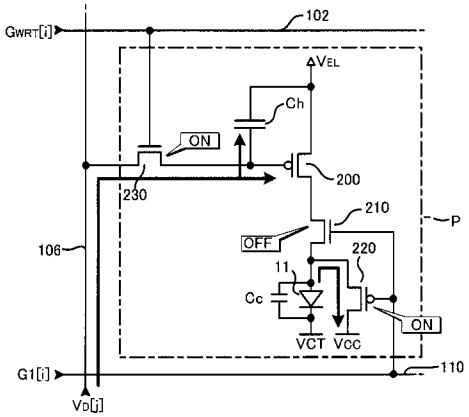


【図３】



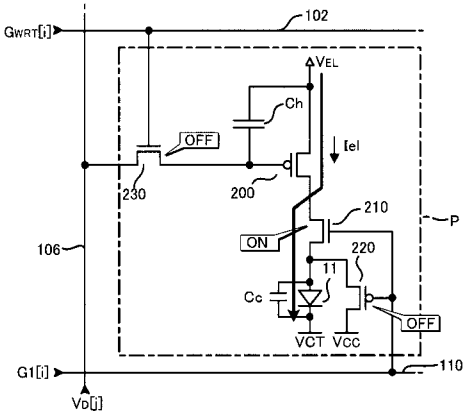
【図４】

書込期間PWRT(非発光期間PNELの一部)

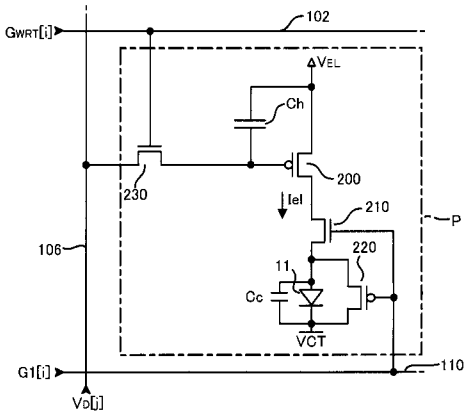


【図５】

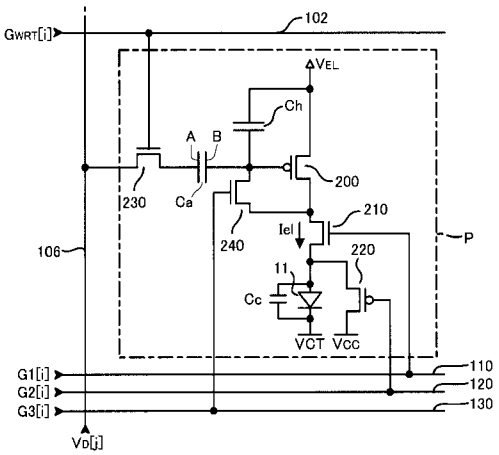
発光期間PEL



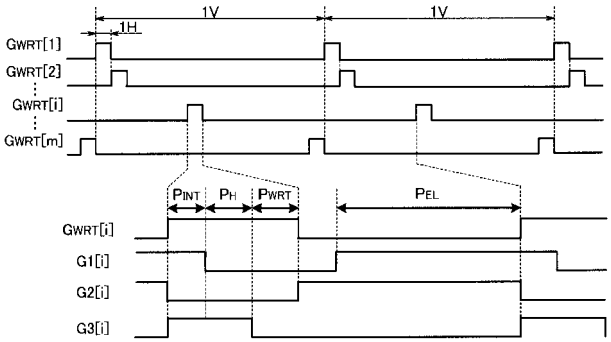
【図６】



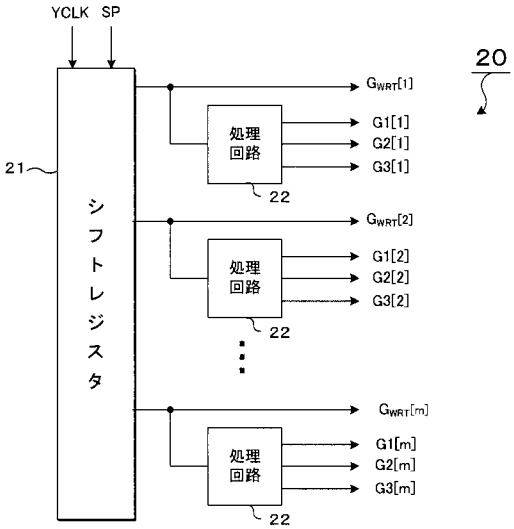
【図７】



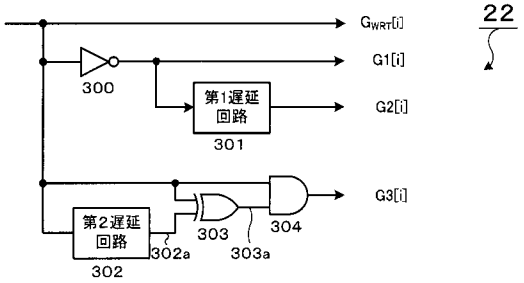
【図８】



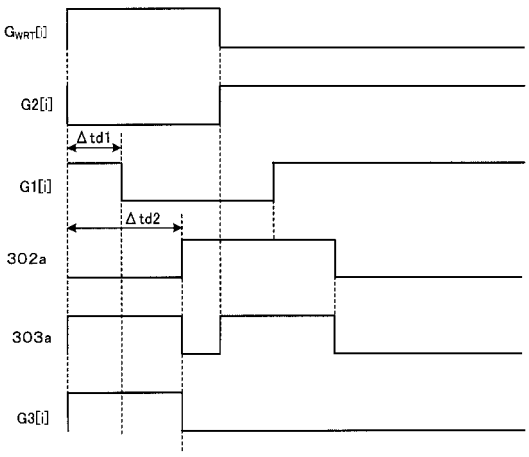
【図９】



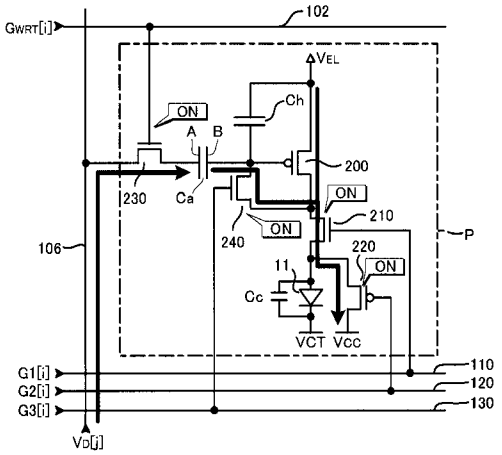
【図１０】



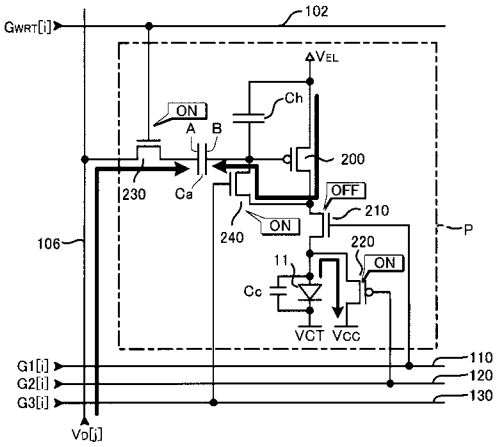
【図１１】



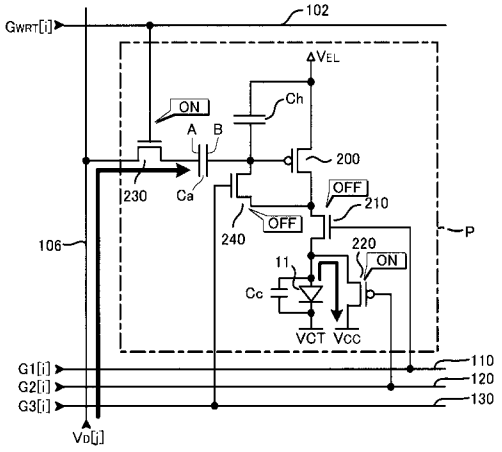
【図１２】



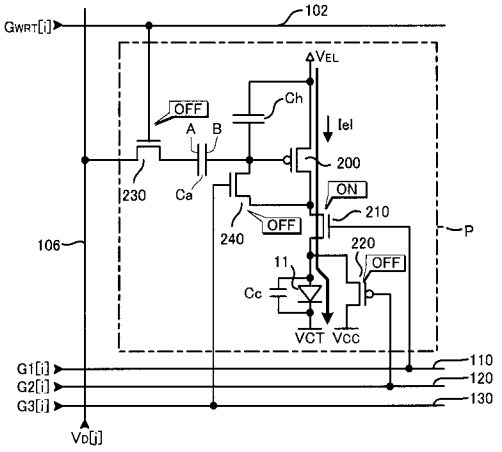
【図１３】



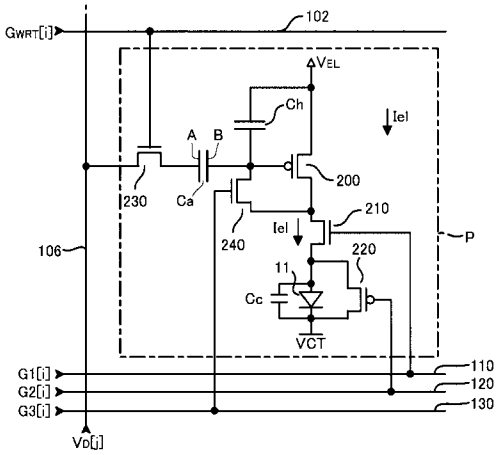
【図１４】



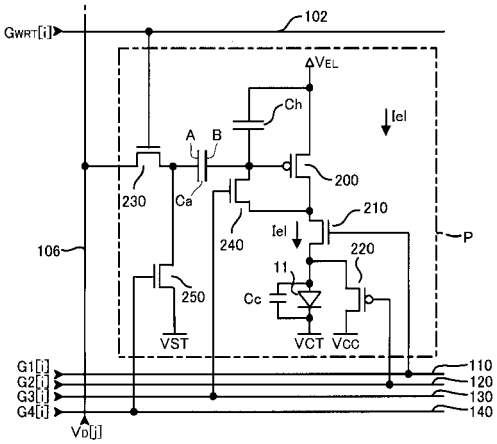
【図１５】



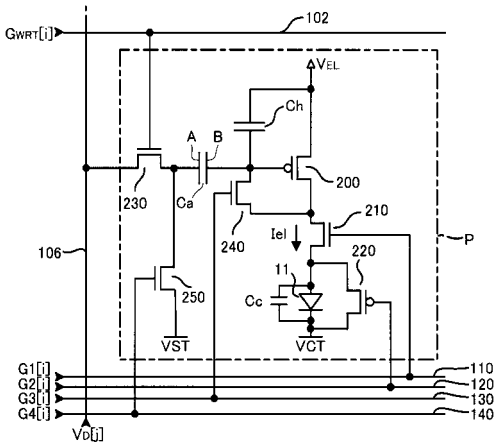
【図１６】



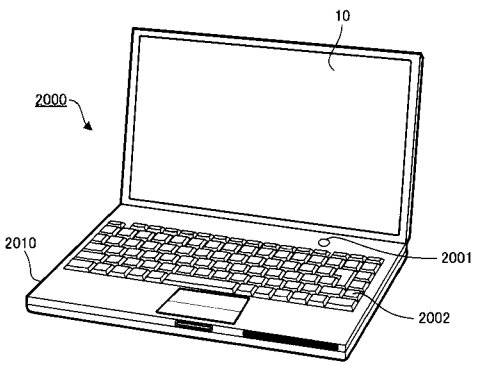
【図１７】



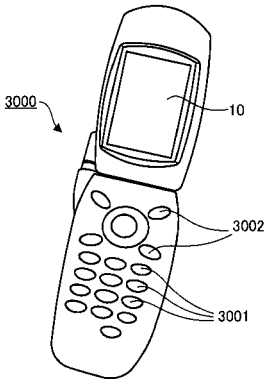
【図１８】



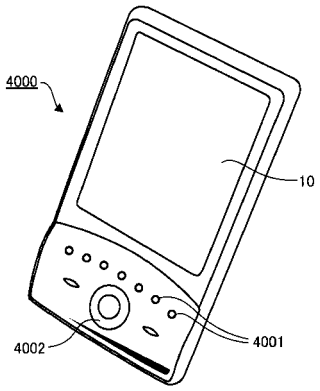
【図１９】



【図２０】



【図２１】

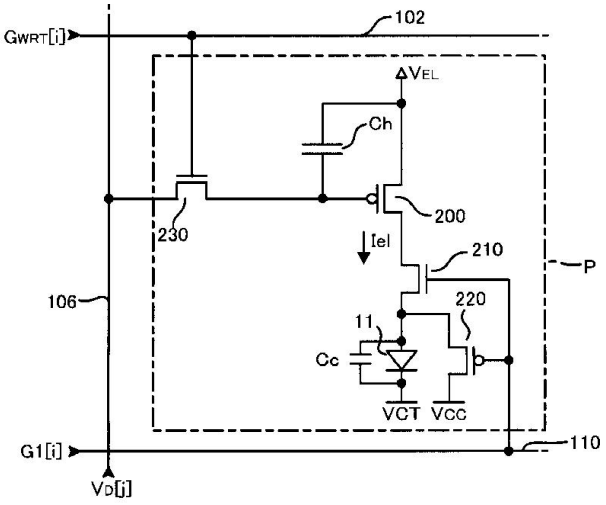


フロントページの続き

(51)Int.Cl.	F I		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６１１Ｈ	
	Ｈ０５Ｂ 33/14	Ａ	

Ｆターム(参考) 5C080 AA06 BB05 CC03 DD03 DD05 DD09 DD23 EE28 EE29 FF11
HH09 JJ02 JJ03 JJ04 KK04 KK07

专利名称(译)	像素电路，发光器件，电子器件和像素电路的驱动方法		
公开(公告)号	JP2010217661A	公开(公告)日	2010-09-30
申请号	JP2009065866	申请日	2009-03-18
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	山本学志		
发明人	山本 学志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.621.A G09G3/20.642.E G09G3/20.611.H H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD09 5C080/DD23 5C080/EE28 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK04 5C080/KK07 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB34 5C380/AC01 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA08 5C380/BA10 5C380/BA14 5C380/BA17 5C380/BA29 5C380/BA39 5C380/BA40 5C380/BB23 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB17 5C380/CB33 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC65 5C380/CC66 5C380/CC72 5C380/CD024 5C380/CD035 5C380/CD036 5C380/CF07 5C380/CF15 5C380/CF32 5C380/CF34 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	大林 章 高桥太郎		
外部链接	Espacenet		

摘要(译)

要解决的问题：用简单的结构减少黑色浮动。 像素电路P包括OLED元件11和OLED元件11，OLED元件11电连接到第二电源线，第二电源线提供电位VCT并且具有根据驱动电流Iel的灰度，OLED元件11位于OLED元件11和驱动晶体管200之间并且第二晶体管220设置在OLED元件11的阳极和提供电位VCC的第三电源线之间。第一公共控制信号G 1 [i]被提供给第一晶体管210和第二晶体管220的栅极。 .The