

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-169091

(P2009-169091A)

(43) 公開日 平成21年7月30日(2009.7.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 622G	
	G09G 3/20 642E	
	G09G 3/20 622R	
審査請求 未請求 請求項の数 6 O L (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2008-6957 (P2008-6957)
 (22) 出願日 平成20年1月16日 (2008.1.16)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 飯田 幸人
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 三並 徹雄
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 谷亀 貴央
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

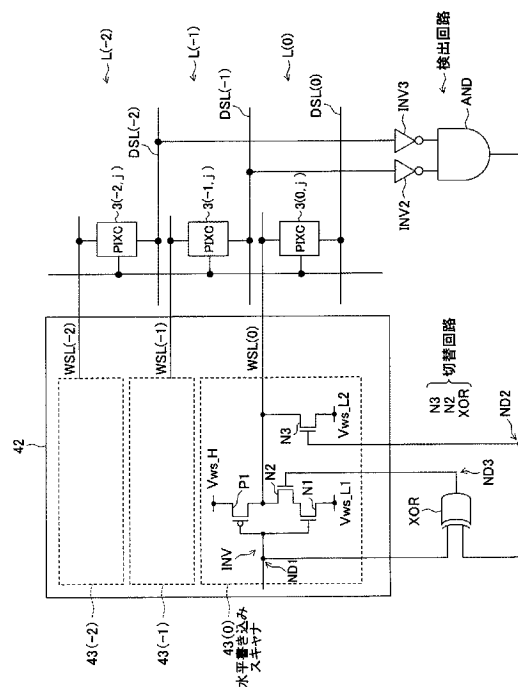
(54) 【発明の名称】 自発光型表示装置およびその駆動方法

(57) 【要約】

【課題】補助キャパシタC_{sub}が前段の電源走査線DSL(-1)に接続されている場合、その前段の電位変化により画質が低下すること防止する。

【解決手段】画素回路3(i,j)が、発光素子(OLED:容量C_{oled})と、駆動トランジスタM_dと、サンプリングトランジスタM_sと、保持キャパシタC_sと、補助キャパシタC_{sub}とを含む。駆動回路(書き込み信号走査回路42、ならびに、検出回路および切替回路)は、表示制御対象の画素回路3(0,j)が発光許可で、電源走査線DSL(-1)が接続される他の画素回路3(-1,j)が発光許可から消灯に切り替わる時以後の一定の期間を含むオン禁止期間(ND2が“H”の期間)のみ、書込走査線WSL(0)の第1オフ電位V_{ws_L1}を、サンプリングトランジスタM_sが第1オフ電位V_{ws_L1}の印加時よりさらに深いオフ状態となる第2オフ電位V_{ws_L2}に切り替える。

【選択図】図14



【特許請求の範囲】

【請求項 1】

複数の画素回路が行列状に配置される画素アレイと、
前記画素アレイ内の画素回路を行方向で接続する、複数の書込走査線および複数の電源走査線と、

前記画素アレイ内の画素回路を列方向で接続する複数の映像信号線と、

前記複数の書込走査線および前記複数の電源走査線の各電位を制御する駆動回路と、を有し、

前記複数の画素回路の各々が、

一方電極の電位によって印加電圧値が変化する発光素子と、

前記電源走査線と前記一方電極との間に接続される駆動トランジスタと、

前記映像信号線と前記駆動トランジスタの制御ノードとの間に接続され、前記書込走査線の電位に応じてオンとオフが制御されるサンプリングトランジスタと、

前記制御ノードに結合する保持キャパシタと、

前記一方電極と、列方向の一方側に位置する他の画素回路の電源走査線との間に接続される補助キャパシタと、

を含み、

前記駆動回路は、表示制御の対象画素回路が発光許可で、当該対象画素回路内の前記補助キャパシタが接続される前記他の画素回路が発光許可から消灯に切り替わる時以後の一定の期間を含むオン禁止期間を設け、当該オン禁止期間のみ、前記対象画素回路に接続された対象書込走査線の第 1 オフ電位を、前記サンプリングトランジスタが前記第 1 オフ電位の印加時よりさらに深いオフ状態となる第 2 オフ電位に切り替えることが可能に構成されている

自発光型表示装置。

【請求項 2】

前記駆動回路は、前記複数の電源走査線の各電位を、消灯に対応する低電位と、発光許可に対応する高電位とで切り替えて前記画素アレイの発光制御を行い、発光許可の前の消灯期間に、前記書込走査線の電位を、前記サンプリングトランジスタがオフする前記第 1 オフ電位からオン電位に所定時間だけ切り替えることが可能に構成されている

請求項 1 に記載の自発光型表示装置。

【請求項 3】

前記駆動回路は、

前記対象画素回路を含む対象画素行より前段の非対象画素行に接続される電源走査線のうち所定数の電源走査線の電位から、前記オン禁止期間の開始タイミングを検出する検出回路と、

前記開始タイミングを入力したときに、前記対象書込走査線の前記第 1 オフ電位を前記第 2 オフ電位に切り替える切替回路と、

を含む請求項 1 に記載の自発光型表示装置。

【請求項 4】

前記駆動回路は、

前記対象画素回路を含む対象画素行より前段の非対象画素行に接続される電源走査線のうち所定数の電源走査線の電位から、前記オン禁止期間の開始タイミングを検出する検出回路と、

前記開始タイミングを入力したときに、前記対象書込走査線の前記第 1 オフ電位を前記第 2 オフ電位に切り替える切替回路と、

を含み、

前記検出回路は、前記所定数の電源走査線の電位を監視し、所定数の電位の組み合わせが、予め決められた所定の組み合わせになったときに前記開始タイミングを判定し、前記所定の組み合わせが解除されたときを前記オン禁止期間の終了タイミングとして検出するように構成され、

10

20

30

40

50

前記切替回路は、前記終了タイミングを入力したときに、前記第 2 オフ電位の出力状態を前記第 1 オフ電位の出力状態に戻すように構成されている

請求項 1 に記載の自発光型表示装置。

【請求項 5】

前記駆動回路は、画素行ごとに前記書込走査線を駆動する複数の書き込みスキャナを有し、

入力が第 1 レベルのときに前記第 1 オフ電位を出力し、入力が第 2 レベルのときにオン電位を出力するインバータが、前記書き込みスキャナの出力段に設けられ、

前記検出回路が、前記監視の対象である複数 N の電位を入力し、入力した N 個の電位が前記所定の組み合わせになったときに出力に前記第 1 レベルを設定する N 入力アンド回路を含み、

10

前記切替回路は、

前記インバータの前記第 1 オフ電位の出力を遮断可能に接続されている遮断スイッチと、

前記インバータの入力と、前記 N 入力アンド回路の出力に前記第 1 レベルが揃ったときに前記遮断スイッチを制御して前記第 1 オフ電位の前記インバータからの出力を遮断する論理回路と、

前記 N 入力アンド回路から前記第 1 レベルが出力されたときに、前記書込走査線を前記第 2 オフ電位の供給線に接続する接続スイッチと、

を有する請求項 4 に記載の自発光型表示装置。

20

【請求項 6】

画素アレイ内で行列状に配置される複数の画素回路の各々が、一方電極の電位によって印加電圧値が変化する発光素子と、電源走査線と前記発光素子の一方電極との間に接続される駆動トランジスタと、前記駆動トランジスタの制御ノードと映像信号線との間に接続され、前記書込走査線の電位に応じてオンとオフが制御されるサンプリングトランジスタと、前記制御ノードに結合する保持キャパシタと、前記一方電極と、列方向の一方側に位置する他の画素回路の電源走査線との間に接続される補助キャパシタと、を含む自発光型表示装置の駆動方法であって、

複数の画素行の発光許可期間と、前記書込走査線に第 1 オフ電位が印加されることにより前記サンプリングトランジスタがオフしている消灯期間とを、前記電源走査線の電位により画素行ごとに制御するステップと、

30

表示制御の対象画素回路が発光許可で、当該対象画素回路内の前記補助キャパシタが接続される前記他の画素回路が発光許可から消灯に切り替わるタイミングを検出するステップと、

検出された前記タイミング以後の一定の期間を含むオン禁止期間を設け、当該オン禁止期間のみ、前記対象画素回路に接続された対象書込走査線の前記第 1 オフ電位を、前記サンプリングトランジスタが前記第 1 オフ電位の印加時よりさらに深いオフ状態となる第 2 オフ電位に切り替えるステップと、

を含む自発光型表示装置の駆動方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、複数の画素回路と駆動回路を有し、映像信号線と電源走査線と書込走査線が複数の画素回路に対し配線され、各画素回路が、一方電極の電位に応じて印加電圧値が変化する発光素子、駆動トランジスタ、サンプリングトランジスタ、保持キャパシタおよび補助キャパシタを含む自発光型表示装置と、その駆動方法に関する。特定的に本発明は、上記補助キャパシタが、補助キャパシタと同じ画素回路内の上記一方電極と、他の画素行の電源走査線との間に接続されている自発光型表示装置と、その駆動方法に関する。

【背景技術】

【0002】

50

発光素子として有機 E L デバイスを用いた自発光型表示装置の開発が近年盛んになっている。有機 E L デバイスは有機薄膜を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。

有機 E L デバイスは印加電圧が 10[V] 以下で駆動するため低消費電力である。有機 E L デバイスは自ら光を発する自発光素子であるため、これを有する表示装置は、照明部を必要とせず軽量化及び薄型化が容易である。有機 E L デバイスの応答速度は数[μ s]程度と非常に高速なので、有機 E L デバイスを用いた表示装置は動画表示時の残像が発生しない。

【 0 0 0 3 】

有機 E L デバイスを自発光素子として用いる自発光型表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。

【 0 0 0 4 】

自発光素子を有するアクティブマトリクス型の表示装置であって、データ電位に応じた駆動電流が流入する側の自発光素子の一方電極（アノード電極）に対し、補助キャパシタ（追加容量）を接続させた表示装置が知られている（例えば特許文献 1 参照）。

【 0 0 0 5 】

図 1 6 に、画素回路の基本構成の等価回路図（特許文献 1 の図 8）を、参照符号を一部変更して転記する。

発光素子は、本例では有機発光ダイオード O L E D であり、図 1 6 では、有機発光ダイオード O L E D を、その等価容量 C o l e d. により示している。また、特許文献 1 の図 8 に示す、電源電圧 V d d の供給線と駆動トランジスタの間に接続され（符号 T r 4 により示す）トランジスタは、画素回路の構成によっては不要であるため、ここでの図示を省略している。

【 0 0 0 6 】

有機発光ダイオード O L E D の他方電極（カソード）の電位がカソード電位 V c a t h で固定されているため、一方電極（アノード）の電位（アノード電位）V a によって有機発光ダイオード O L E D に印加される電圧が制御される。有機発光ダイオード O L E D のアノードに対し、駆動トランジスタ M d を介して電源電圧 V d d の供給線が接続可能となっている。駆動トランジスタ M d は、そのゲート（制御ノード）に入力されるデータ電位 V s i g に応じてドレイン電流 I d s の大きさが制御され、これによりソース電位、即ち有機発光ダイオード O L E D のアノード電位 V a が決まる。

【 0 0 0 7 】

駆動トランジスタ M d のゲートとソース間に、データ電位 V s i g を保持する目的で保持キャパシタ C s が接続されている。駆動トランジスタ M d のゲートと映像信号線 D T L の間に、映像信号のデータ電位 V s i g をサンプリングするサンプリングトランジスタ M s が接続されている。

サンプリングトランジスタは、そのゲートに接続される書込走査線（不図示）の電位に応じて制御され、書込走査線が活性化されたときにオンして、ドレインに接続されている映像信号線の電位をサンプリングし、サンプリング後の電位を、ソースに接続されている駆動トランジスタの制御ノードに伝達する。

ここで映像信号は一定の基準電位（以下、データ基準電位 V o という）の印加と、データ基準電位 V o から任意の電位を持つデータパルス D P の印加とが繰り返された波形を有する。データパルス D P の電位がデータ電位 V s i g であり、表示階調を決めるデータ電圧 V i n は、データ電位 V s i g からデータ基準電位 V o を差し引いた上記データパルス D P の波高値に該当する。

駆動トランジスタ M d のゲートとソース間に保持キャパシタ C s が接続されている。

【 0 0 0 8 】

このような構成の画素回路では、駆動トランジスタ M d のゲートソース間電圧 V g s が、そのまま保持キャパシタ C s の保持電圧となる。言い換えると、駆動トランジスタのソー

10

20

30

40

50

ス電位（有機発光ダイオードOLEDのアノード電位 V_a ）を基準として、駆動トランジスタのゲートに与えられる電位“ $V_{sig} - V_a$ ”の大きさを、保持キャパシタ C_s の保持電圧値が決められる。

駆動トランジスタ M_d は、そのゲートソース間電圧 V_{gs} に応じたドレイン電流 I_{ds} を流すことから、データ電圧 V_{in} （データパルスDPの波高値）を保持キャパシタ C_s に正確に入力し、保持させる必要がある。

【0009】

そのためには、データ電圧 V_{in} の入力に先立って、駆動トランジスタ M_d のソース（発光素子の一方電極、本例ではアノード）の電位（アノード電位 V_a ）を、映像信号のデータ基準電位 V_o により初期化する。そして、サンプリングトランジスタ M_s によるデータ電位 V_{sig} のサンプリングによって、駆動トランジスタ M_d の制御ノードにデータ電位 V_{sig} を入力する。

10

【0010】

データ電位 V_{sig} の入力によって駆動トランジスタ M_d の制御ノード（ゲート）の電位が上昇すると、駆動トランジスタ M_d のソース電位（アノード電位 V_a ）もデータ基準電位 V_o から上昇する。データ電圧 V_{in} を保持キャパシタ C_s に100[%]保持させるには、データ電位 V_{sig} を入力する時の駆動トランジスタ M_d のソース電位（アノード電位 V_a ）の変動量をほぼゼロとする必要がある。

しかしながら、データ電位 V_{sig} の入力によって駆動トランジスタ M_d が流す電流値が増大し、この電流値の増大によって、駆動トランジスタ M_d のソース電位（アノード電位 V_a ）が容易に上昇しようとする。

20

【0011】

そこで、特許文献1に記載されている画素回路では、駆動トランジスタのソースに接続されている容量値を大きくする目的で、有機発光ダイオードOLEDと並列に補助キャパシタ C_{sub} が接続されている。

ドレイン電流 I_{ds} は、有機発光ダイオードOLEDの容量 C_{oled} と、補助キャパシタ C_{sub} と、駆動トランジスタ M_d 等の寄生容量との合成容量を充電する。ドレイン電流 I_{ds} がデータ電位 V_{sig} の入力によって増加し、このとき補助キャパシタ C_{sub} がある程度大きいと、ドレイン電流 I_{ds} の増加分は上記合成容量を充電するのに費やされ、アノード電位 V_a が殆ど上昇しないようにすることができる。この場合、実際に保持キャパシタ C_s に保持される電圧と、所望のデータ電圧 V_{in} との比率で定義される“書き込みゲイン”が“1”に近いものとなる。

30

【0012】

このように、補助キャパシタ C_{sub} はデータ電圧 V_{in} を画素回路に書き込む際に、データ書き込みの効率（書き込みゲイン）を上げる作用効果がある。

【特許文献1】特開2007-102046号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

補助キャパシタ C_{sub} は、一方電極との電位差が大きい電位線に接続すると、より付加容量値を大きくできる。

40

【0014】

そのような意図で、本発明者は、上記特許文献1に記載の補助キャパシタ C_{sub} を、当該補助キャパシタ C_{sub} と同じ画素内の一定電位線（カソード電位 V_{cath} の供給線）ではなく、隣接する他の画素回路が有する電源電圧の供給制御線（電源走査線DSL）に接続させた画素回路構成を提案している（特願2006-209327号）。

【0015】

しかしながら、隣接する他の画素回路が有する電源走査線DSLは、低電位 V_{cc_L} から高電位 V_{cc_H} に制御され、このとき、電源走査線DSLに接続している補助キャパシタ C_{sub} が設けられている画素回路が発光可能状態にある場合がある。

50

そのような場合、隣の画素回路が接続された電源走査線DSLの電位変動が、サンプリングトランジスタがオフされ発光可能状態にある画素回路内の補助キャパシタCsub、保持キャパシタCsを介して駆動トランジスタMdのゲートの電位を低下させる。この低下の程度が大きいと、発光可能状態ではオフされているはずのサンプリングトランジスタMsが瞬間的にオンし、そのときの映像信号線DTLの電位を短い時間だけサンプリングし、表示画像の画質が著しく低下する。

【0016】

サンプリングトランジスタMsがオンしない場合でも、リーク電流が流れると発光輝度レベルが変化する。この発光輝度レベルの変化はリーク電流に起因しているため目立たない画素もあるが、とりわけ黒表示時にリーク電流が発生すると白っぽい表示となる、いわゆる「黒浮き」が生じコントラストが低下するため画質の低下が目立ってしまう。

10

【0017】

本発明は、補助キャパシタを他の画素行の画素回路の電源走査線に接続させる構成の自発光型表示装置において、電源走査線の電位変化により画質が低下することを防止するものである。

【課題を解決するための手段】

【0018】

本発明の一形態（第1形態）に関わる自発光型表示装置は、複数の画素回路が行列状に配置される画素アレイと、前記画素アレイ内の画素回路を行方向で接続する、複数の書込走査線および複数の電源走査線と、前記画素アレイ内の画素回路を列方向で接続する複数の映像信号線と、前記複数の書込走査線および前記複数の電源走査線の各電位を制御する駆動回路と、を有しする。

20

前記複数の画素回路の各々が、一方電極の電位によって印加電圧値が変化する発光素子と、前記電源走査線と前記一方電極との間に接続される駆動トランジスタと、前記映像信号線と前記駆動トランジスタの制御ノードとの間に接続され、前記書込走査線の電位に応じてオンとオフが制御されるサンプリングトランジスタと、前記制御ノードに結合する保持キャパシタと、前記一方電極と、列方向の一方側に位置する他の画素回路の電源走査線との間に接続される補助キャパシタと、を含む。

前記駆動回路は、表示制御の対象画素回路が発光許可で、当該対象画素回路内の前記補助キャパシタが接続される前記他の画素回路が発光許可から消灯に切り替わる時以後の一定の期間を含むオン禁止期間を設け、当該オン禁止期間のみ、前記対象画素回路に接続された対象書込走査線の第1オフ電位を、前記サンプリングトランジスタが前記第1オフ電位の印加時よりさらに深いオフ状態となる第2オフ電位に切り替えることが可能に構成されている。

30

【0019】

本発明の他の形態（第2形態）に関わる自発光型表示装置は、上記第1形態において、前記駆動回路は、前記複数の電源走査線の各電位を、消灯に対応する低電位と、発光許可に対応する高電位とで切り替えて前記画素アレイの発光制御を行い、発光許可の前の消灯期間に、前記書込走査線の電位を、前記サンプリングトランジスタがオフする前記第1オフ電位からオン電位に所定時間だけ切り替えることが可能に構成されている。

40

【0020】

本発明の他の形態（第3形態）に関わる自発光型表示装置は、上記第1形態において、前記駆動回路は、前記対象画素回路を含む対象画素行より前段の非対象画素行に接続される電源走査線のうち所定数の電源走査線の電位から、前記オン禁止期間の開始タイミングを検出する検出回路と、前記開始タイミングを入力したときに、前記対象書込走査線の前記第1オフ電位を前記第2オフ電位に切り替える切替回路と、を含む。

【0021】

本発明の他の形態（第4形態）に関わるは、上記第1形態において、前記駆動回路は、前記対象画素回路を含む対象画素行より前段の非対象画素行に接続される電源走査線のうち所定数の電源走査線の電位から、前記オン禁止期間の開始タイミングを検出する検出回

50

路と、前記開始タイミングを入力したときに、前記対象書込走査線の前記第 1 オフ電位を前記第 2 オフ電位に切り替える切替回路と、を含み、前記検出回路は、前記所定数の電源走査線の電位を監視し、所定数の電位の組み合わせが、予め決められた所定の組み合わせになったときに前記開始タイミングを判定し、前記所定の組み合わせが解除されたときを前記オン禁止期間の終了タイミングとして検出するように構成され、前記切替回路は、前記終了タイミングを入力したときに、前記第 2 オフ電位の出力状態を前記第 1 オフ電位の出力状態に戻すように構成されている。

【0022】

本発明の他の形態（第 5 形態）に関わる自発光型表示装置は、上記第 4 形態において、前記駆動回路は、画素行ごとに前記書込走査線を駆動する複数の書き込みスキャナを有し、10
、入力が第 1 レベルのときに前記第 1 オフ電位を出力し、入力が第 2 レベルのときにオン電位を出力するインバータが、前記書き込みスキャナの出力段に設けられ、前記検出回路が、前記監視の対象である複数 N の電位を入力し、入力した N 個の電位が前記所定の組み合わせになったときに出力に前記第 1 レベルを設定する N 入力アンド回路を含み、前記切替回路は、前記インバータの前記第 1 オフ電位の出力を遮断可能に接続されている遮断スイッチと、前記インバータの入力と、前記 N 入力アンド回路の出力に前記第 1 レベルが揃ったときに前記遮断スイッチを制御して前記第 1 オフ電位の前記インバータからの出力を遮断する論理回路と、前記 N 入力アンド回路から前記第 1 レベルが出力されたときに、前記書込走査線を前記第 2 オフ電位の供給線に接続する接続スイッチと、を有する。

【0023】

本発明の一形態（第 6 形態）に関わる自発光型表示装置の駆動方法は、画素アレイ内で行列状に配置される複数の画素回路の各々が、一方電極の電位によって印加電圧値が変化する発光素子と、電源走査線と前記発光素子の一方電極との間に接続される駆動トランジスタと、前記駆動トランジスタの制御ノードと映像信号線との間に接続され、前記書込走査線の電位に応じてオンとオフが制御されるサンプリングトランジスタと、前記制御ノードに結合する保持キャパシタと、前記一方電極と、列方向の一方側に位置する他の画素回路の電源走査線との間に接続される補助キャパシタと、を含む自発光型表示装置の駆動方法であって、複数の画素行の発光許可期間と、前記書込走査線に第 1 オフ電位が印加されることにより前記サンプリングトランジスタがオフしている消灯期間とを、前記電源走査線の電位により画素行ごとに制御するステップと、表示制御の対象画素回路が発光許可で、30
、当該対象画素回路内の前記補助キャパシタが接続される前記他の画素回路が発光許可から消灯に切り替わるタイミングを検出するステップと、検出された前記タイミング以後の一定の期間を含むオン禁止期間を設け、当該オン禁止期間のみ、前記対象画素回路に接続された対象書込走査線の前記第 1 オフ電位を、前記サンプリングトランジスタが前記第 1 オフ電位の印加時よりさらに深いオフ状態となる第 2 オフ電位に切り替えるステップと、を含む。

【0024】

以上の構成を有する第 1 ～ 第 6 形態では、以下の作用を奏する。

電源走査線は駆動回路によって、例えば第 2 形態のように高電位と低電位と切り替えて、これにより発光許可と消灯が制御される。消灯期間に対象画素回路は、書込走査線の電位を、サンプリングトランジスタがオフする第 1 オフ電位からオン電位に所定時間だけ切り替えることにより、例えば映像信号線からデータ電圧を入力する。

【0025】

この書込走査線の制御も駆動回路が行う。駆動回路は、対象画素回路が発光許可で、当該対象画素回路内の補助キャパシタが接続される他の画素回路が発光許可から消灯に切り替わる時以後の一定の期間を含むオン禁止期間を設けるように構成されている。そして、オン禁止期間のみ、対象画素回路に接続された対象書込走査線の第 1 オフ電位を、サンプリングトランジスタが第 1 オフ電位の印加時よりさらに深いオフ状態となる第 2 オフ電位に切り替える。

【0026】

10

20

30

40

50

ところで、対象画素回路は、電源走査線の電位変動、例えば高電位から低電位への切り替わりがあると、その切り替わりによって補助キャパシタを介して駆動トランジスタが接続された発光素子の一方電極の電位が変化する。このとき当該対象画素回路は、サンプリングトランジスタがオフされ駆動トランジスタの制御オードが電氣的にフローティング状態となっている。従って、一方電位の電位変化は、保持キャパシタ等を介して、所定の容量結合比に比例した電位変化となって制御ノードの電位を低下させる。このときサンプリングトランジスタの制御ノード（書込走査線）の電位は第1オフ電位であるが、この電位は、このようなノイズの重畳を考慮したものではない。

【0027】

本発明の第1～第6形態では、このようなノイズの発生の可能性が高い電源走査線の電位変化、具体的には発光許可から消灯に切り替わる時を開始タイミングとして検出することで、その後の一定期間を含むオン禁止期間を設け、このオン禁止期間のみ、対象画素行の書込走査線の電位を、第1オフ電位よりも、サンプリングトランジスタをさらに強くオフする第2オフ電位に切り替えている。

よって、電位変動発生の開始タイミングから、当該電位変動が伝わって駆動トランジスタの制御ノードに伝達されたときに、このノイズによってサンプリングトランジスタの端子（例えば、ソース）電位が低下してもサンプリングトランジスタは直にカットオフし、オンしないだけでなく、リーク電流を流さない。

【0028】

第4～第5形態では、さらに、オン禁止期間の終点タイミングを検出可能であり、この場合、サンプリングトランジスタの制御ノード電位は、第2オフ電位から第1オフ電位に戻される。発光可能期間が終了し、消灯期間になるとサンプリングトランジスタの制御ノード電位は第1オフ電位からオン電位に適宜制御される。

【発明の効果】

【0029】

本発明によれば、サンプリングトランジスタを介して電流が流れないため、電源走査線の電位変化により画質が低下することがない。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施形態を、2T・1C型の画素回路を有する有機ELディスプレイを主な例として、図面を参照して説明する。

【0031】

<全体構成>

図1に、本発明の実施形態に関わる有機ELディスプレイの主要構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路（PXL）3(i,j)がマトリクス状に配置されている画素アレイ2と、画素アレイ2を駆動する垂直駆動回路（Vスキャナ）4および水平駆動回路（Hセクタ：HSEL）5とを含む。

Vスキャナ4は、画素回路3の構成により複数設けられている。ここではVスキャナ4が、水平画素ライン駆動回路（DSN）41と、書き込み信号走査回路（WSCN）42とを含んで構成されている。Vスキャナ4およびHセクタ5は「駆動回路」の一部であり、「駆動回路」は、Vスキャナ4とHセクタ5の他に、これらにクロック信号を与える回路や制御回路（CPU等）など、不図示の回路も含む。

【0032】

図1に示す画素回路の符号「3(i,j)」は、当該画素回路が垂直方向（縦方向）のアドレスi(i=1,2)と、水平方向（横方向）のアドレスj(j=1,2,3)を持つことを意味する。これらのアドレスiとjは最大値をそれぞれ「n」と「m」とする1以上の整数をとる。ここでは図の簡略化のためn=2、m=3の場合を示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【0033】

10

20

30

40

50

画素回路 3 (1,1)、3 (2,1) が垂直方向の映像信号線 D T L (1) に接続されている。同様に、画素回路 3 (1,2)、3 (2,2) が垂直方向の映像信号線 D T L (2) に接続され、画素回路 3 (1,3)、3 (2,3) が垂直方向の映像信号線 D T L (3) に接続されている。映像信号線 D T L (1) ~ D T L (3) は、H セレクタ 5 によって駆動される。

第 1 行の画素回路 3 (1,1)、3 (1,2) および 3 (1,3) が書込走査線 W S L (1) に接続されている。同様に、第 2 行の画素回路 3 (2,1)、3 (2,2) および 3 (2,3) が書込走査線 W S L (2) に接続されている。書込走査線 W S L (1), W S L (2) は、水平画素ライン駆動回路 4 1 によって駆動される。

また、第 1 行の画素回路 3 (1,1)、3 (1,2) および 3 (1,3) が電源走査線 D S L (1) に接続されている。同様に、第 2 行の画素回路 3 (2,1)、3 (2,2) および 3 (2,3) が電源走査線 D S L (2) に接続されている。電源走査線 D S L (1), D S L (2) は、書き込み信号走査回路 4 2 によって駆動される。

10

【 0 0 3 4 】

映像信号線 D T L (1) ~ D T L (3) を含む m 本の映像信号線の何れか 1 本を、以下、符号「D T L (j)」または「D T L」により表記する。同様に、書込走査線 W S L (1), W S L (2) を含む n 本の書込走査線の何れか 1 本を符号「W S L (i)」または「W S L」により表記し、電源走査線 D S L (1), D S L (2) を含む n 本の電源走査線の何れか 1 本を符号「D S L (i)」または「D S L」により表記する。

映像信号線 D T L (j) に対し、表示画素行（表示ラインともいう）を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の映像信号線 D T L (j) に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

20

【 0 0 3 5 】

< 画素回路 >

図 2 に、画素回路 3 (i , j) の一構成例を示す。

図解する画素回路 3 (i , j) は、有機発光ダイオード O L E D を制御する回路である。画素回路は、有機発光ダイオード O L E D の他に、N M O S タイプの T F T からなる駆動トランジスタ M d およびサンプリングトランジスタ M s と、保持キャパシタ C s とを有する。

【 0 0 3 6 】

有機発光ダイオード O L E D は、特に図示しないが、例えば上面発光型の場合、透明ガラス等からなる基板に形成された T F T 構造の上にアノード電極を最初に形成し、その上に、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機多層膜を構成する積層体を形成し、積層体の上に透明電極材料からなるカソード電極を形成した構造を有する。アノード電極が正側の電源に接続され、カソード電極が負側の電源に接続される。

30

【 0 0 3 7 】

有機発光ダイオード O L E D のアノードとカソードの電極間に所定の電界が得られるバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に有機多層膜が自発光する。有機発光ダイオード O L E D は、有機多層膜を構成する有機材料を適宜選択することで赤 (R), 緑 (G), 青 (B) の各色での発光が可能であることから、この有機材料を、例えば各行の画素に R , G , B の発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色で R , G , B の区別を行ってもよい。R , G , B の他に W (ホワイト) を加えた 4 色構成でもよい。

40

【 0 0 3 8 】

駆動トランジスタ M d は、有機発光ダイオード O L E D に流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタ M d のドレインが、電源電圧 V D D の供給を制御する電源走査線 D S L (i) に接続され、ソースが有機発光ダイオード O L E D のアノードに接続されている。有機発光ダイオード O L E D のアノード電極が「一方電極」に該当する。

【 0 0 3 9 】

50

サンプリングトランジスタ M_s は、画素階調を決めるデータ電位 V_{sig} の供給線（映像信号線 $DTL(j)$ ）と駆動トランジスタ M_d のゲート（制御ノード ND_c ）との間に接続されている。サンプリングトランジスタ M_s のソースとドレインの一方が駆動トランジスタ M_d のゲート（制御ノード ND_c ）に接続され、もう片方が映像信号線 $DTL(j)$ に接続されている。映像信号線 $DTL(j)$ に、Hセクタ5（図1参照）からデータ電位 V_{sig} を持つデータパルスが所定の間隔で供給される。サンプリングトランジスタ M_s は、データ電位の供給期間（データパルスの持続時間(duration time)）の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電位 V_{sig} を持つデータパルスの前部または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

10

【0040】

駆動トランジスタ M_d のゲート（制御ノード）とソース（有機発光ダイオード $OLED$ のアノードをなす一方電極）との間に、保持キャパシタ C_s が接続されている。保持キャパシタ C_s の役割については、後述の動作説明で明らかにする。

【0041】

図2では、水平画素ライン駆動回路41により、低電位 V_{cc_L} を基準とした高電位 V_{cc_H} の波高値が電源電圧 V_{DD} となる電源駆動パルス $DS(i)$ が駆動トランジスタ M_d のドレインに供給され、駆動トランジスタ M_d の補正時や有機発光ダイオード $OLED$ が実際に発光する時の電源供給が行われる。

また、書き込み信号走査回路42により、比較的短い持続時間の書込駆動パルス $WS(i)$ がサンプリングトランジスタ M_s のゲートに供給され、サンプリング制御が行われる。

20

なお、電源供給の制御は、駆動トランジスタ M_d のドレインと電源電圧 V_{DD} の供給線との間にトランジスタをもう1つ挿入し、そのゲートを水平画素ライン駆動回路41により制御する構成であってもよい（後述の変形例参照）。

【0042】

図2では有機発光ダイオード $OLED$ の一方電極（アノード）が駆動トランジスタ M_d を介して正側の電源から電源電圧 V_{DD} の供給を受ける。有機発光ダイオード $OLED$ のカソードが、カソード電位 V_{cath} を供給する所定の電圧線（例えば、負側の電源線）に接続されている。

30

【0043】

通常、画素回路内の全てのトランジスタは $TFET$ で形成されている。 $TFET$ のチャネルが形成される薄膜半導体層は、多結晶シリコン（ポリシリコン）または非晶質シリコン（アモルファスシリコン）等の半導体材料からなる。ポリシリコン $TFET$ は移動度を高くとれるが特性ばらつきが大きいので、表示装置の大画面化に適さない。よって、大画面を有する表示装置では、一般に、アモルファスシリコン $TFET$ が用いられる。ただし、アモルファスシリコン $TFET$ では P チャネル型 $TFET$ が形成し難いため、上述した画素回路3(i, j)のように、すべての $TFET$ を N チャネル型とすることが望ましい。

【0044】

ここで、以上の画素回路3(i, j)は、本実施形態で適用可能な画素回路の一例、即ち2トランジスタ($2T$)・1キャパシタ($1C$)型の基本構成例である。よって、本実施形態で用いることができる画素回路は、上記画素回路3(i, j)を基本構成として、さらにトランジスタやキャパシタを付加した画素回路であってもよい（後述の変形例参照）。また、基本構成において、保持キャパシタ C_s を電源電圧 V_{DD} の供給線と駆動トランジスタ M_d のゲートとの間に接続するものもある。

40

具体的に、本実施形態で採用可能な $2T \cdot 1C$ 型以外の画素回路として、後述する変形例で幾つかを簡単に述べるが、例えば、 $4T \cdot 1C$ 型、 $4T \cdot 2C$ 型、 $5T \cdot 1C$ 型、 $3T \cdot 1C$ 型などであってもよい。

【0045】

図2の構成を基本とする画素回路では、閾値電圧補正時や移動度補正時に有機発光ダイ

50

オードOLEDを逆バイアスすると、詳細は後述するが、有機発光ダイオードOLEDの逆バイアス時の等価容量値が保持キャパシタCsの値より十分大きくできるため、有機発光ダイオードOLEDのアノードが電位的に動き難くなるため、補正精度が向上する。このため、逆バイアス状態で補正を行うことが望ましい。

カソード電位Vcathを接地せずに、カソードを所定の電圧線に接続しているのは、逆バイアスを行うためである。有機発光ダイオードOLEDを逆バイアスするには、例えば、電源駆動パルスDS(i)の基準電位（低電位Vcc_L）より、カソード電位Vcathを小さくする。

【0046】

データの書き込み時に、有機発光ダイオードOLEDのアノード電位を更に動き難くして電位的に固定するには、有機発光ダイオードOLEDのアノードからみた容量値を大きくするとよい。この目的で、有機発光ダイオードOLEDのアノードに補助キャパシタが接続される。この補助キャパシタの有無によって、動作タイミング制御自体が変更されないで、先に動作（表示制御）を説明する。

【0047】

<表示制御>

図2の回路におけるデータ書き込み時の動作を、閾値電圧と移動度の補正動作と併せて説明する。これらの一連の動作を「表示制御」という。

最初に、補正対象となる駆動トランジスタと有機発光ダイオードOLEDの特性について説明する。

【0048】

図2に示す駆動トランジスタMdの制御ノードNDcには、保持キャパシタCsが結合されている。映像信号線DTL(j)を伝送するデータパルスの有効電位であるデータ電位VsigがサンプリングトランジスタMsでサンプリングされ、これにより得られた電位が制御ノードNDcに印加され、保持キャパシタCsで保持される。駆動トランジスタMdのゲートに所定の電位が印加された時、そのドレイン電流Idsは、印加電位に応じた値を持つゲートソース間電圧Vgsに応じて決まる。

ここで駆動トランジスタMdのソース電位Vsを、上記データパルスの基準電位（データ基準電位Vo）に初期化してから、サンプリングを行うとする。サンプリング後のデータ電位Vsig、より正確には、データ基準電位Voとデータ電位Vsigとの電位差で規定されるデータ電圧Vinの大きさに応じたドレイン電流Idsが駆動トランジスタMdに流れ、これがほぼ、有機発光ダイオードOLEDの駆動電流Idとなる。

よって、駆動トランジスタMdのソース電位Vsがデータ基準電位Voで初期化されている場合、有機発光ダイオードOLEDがデータ電位Vsigに応じた輝度で発光する。

【0049】

図3に、有機発光ダイオードOLEDのI-V特性のグラフと、駆動トランジスタMdのドレイン電流Ids（OLEDの駆動電流Idにほぼ相当）の一般式を示す。

有機発光ダイオードOLEDは、よく知られているように、経時変化によりI-V特性が図3のように変化する。このとき、図2の画素回路では、駆動トランジスタMdが一定のドレイン電流Idsを流そうとしても、図3に示すグラフから分かるように有機発光ダイオードOLEDの印加電圧が大きくなるため、有機発光ダイオードOLEDのソース電位Vsが上昇する。このとき駆動トランジスタMdのゲートはフローティング状態であるため、ほぼ一定のゲートソース間電圧Vgsが維持されるように、ソース電位と共にゲート電位も上昇し、ドレイン電流Idsはほぼ一定に保たれ、このことが有機発光ダイオードOLEDの発光輝度を変化させないように作用する。

【0050】

しかしながら、画素回路ごとに駆動トランジスタMdの閾値電圧Vth、移動度μが異なっているため、図3の式に応じて、ドレイン電流Idsにバラツキが生じ、表示画面内与えられているデータ電位Vsigが同じ2つの画素であっても、当該2つの画素間で発光輝度が異なる。

10

20

30

40

50

【 0 0 5 1 】

なお、図 3 の式において、符号 “ I_{ds} ” は、飽和領域で動作する駆動トランジスタ M_d のドレインとソース間に流れる電流を表す。また、当該駆動トランジスタ M_d において、“ V_{th} ” が閾値電圧を、“ μ ” が移動度を、“ W ” が実効チャネル幅（実効ゲート幅）を、“ L ” が実効チャネル長（実効ゲート長）を、それぞれ表す。また、“ C_{ox} ” が当該駆動トランジスタ M_d の単位ゲート容量、即ち単位面積当たりのゲート酸化膜容量と、ソースやドレインとゲート間のフリンジング容量との総和を表す。

【 0 0 5 2 】

N チャネル型の駆動トランジスタ M_d を有する画素回路は、駆動能力が高く製造プロセスを簡略化できる利点があるが、閾値電圧 V_{th} や移動度 μ のばらつきを抑えるため、それらの補正動作を、発光可能なバイアス設定に先立って行う必要がある。

10

【 0 0 5 3 】

つぎに、図 4 を用いて具体的な制御の説明に移るが、この図 4 は、本発明が適用される前の制御を示している。

以下、図 4 における期間を定義し、制御の全体を図 4 の時間軸に沿って詳しく説明した上で、図 4 の制御での不具合（横クロストークの発生）、図 4 の制御に対する本発明の適用（本実施形態の特徴）とその効果の順で説明する。

【 0 0 5 4 】

図 4 (A) ~ 図 4 (F) は、表示制御における各種信号や電圧の波形を示すタイミングチャートである。ここでの表示制御では行単位でデータ書き込みを順次行うものとし、第 1 行の画素回路 3 (1, j) が書き込み対象の行（表示行）であり、第 2 行の画素回路 3 (2, j) と第 3 行の画素回路 3 (3, j) は、図 4 の時点では書き込み対象でない（非表示行である）。表示行に対し、図 4 に示し、これから説明する表示制御によってデータが書かれた後は、表示行が第 2 行に移り同様な表示制御が行われ、同様な表示制御が第 3 行、第 4 行、... と繰り返されることによって 1 画面が表示される。1 画面の表示後は、同様にして他の画面表示のための表示制御が、必要な回数繰り返される。

20

【 0 0 5 5 】

図 4 (A) は、映像信号 S_{sig} の波形図である。

図 4 (B 1) と図 4 (B 2) は、書込対象の第 1 行に供給される書込駆動パルス $W S (1)$ と電源駆動パルス $D S (1)$ の波形図である。同様にして、図 4 (C 1) と図 4 (C 2) は、非書込対象の第 2 行に供給される書込駆動パルス $W S (2)$ と電源駆動パルス $D S (2)$ の波形図、図 4 (D 1) と図 4 (D 2) は、非書込対象の第 3 行に供給される書込駆動パルス $W S (3)$ と電源駆動パルス $D S (3)$ の波形図である。

30

図 4 (E) は、書込対象の第 1 行の画素回路 3 (1, j) における駆動トランジスタ M_d のゲート電位（制御ノード $N D c$ の電位）の波形図である。

図 4 (F) は、書込対象の第 1 行の画素回路 3 (1, j) における駆動トランジスタ M_d のソース電位（有機発光ダイオード $O L E D$ のアノード電位）の波形図である。

【 0 0 5 6 】

[期間の定義]

図 4 (F) の下部に記載している通り、図 4 は、NTSC 映像信号規格の 1 水平期間（1 H）に対し、その約 4 倍強のスパンで波形図を表示している。そして、その最後の 1 水平期間（1 H）で、最終的な 3 回目の第 3 閾値補正（ $V T C 3$ ）と、移動度の補正および実際のデータ書き込み（ $W \& \mu$ ）とを連続して実行する（本動作）。その最後の 1 水平期間（1 H）に行われる本動作より前の 3 水平期間（（1 H） $\times$ 3）は、専ら、初期化のためと、最終的な閾値補正では時間が短くて補正しきれない場合を考慮して、ある程度まで閾値補正を予め 2 度行うために費やされる（予備動作）。

40

図 4 のような表示制御は、表示画像の高解像度化が進展し、表示パネルの駆動周波数が非常に高くなっている現状では、短い 1 水平期間（1 H）で閾値電圧補正からデータ書き込みまで一挙に行うことができず、とくに閾値補正の時間が不足することに鑑み、閾値補正を数回に分けて行うものである。ただし、駆動周波数が余り高くない小型から中型の表

50

示パネル等で、本動作の時間が1水平期間(1H)で十分なら、初期化のために1水平期間(1H)もあれば予備動作としては十分な場合もある。もちろん、予備動作が2水平期間(2H)であってもよいし、4水平期間(4H)以上であってもよい。

ある行に対して本動作を行っているときは、次の行(および、その次以降の行、...)について予備動作を並列に実行できるため、予備動作時間の長短は全体の表示期間にほとんど影響しない。むしろ、閾値電圧補正を確実に行う意味で、予備動作を十分に行ったほうが望ましい。

【0057】

以上は1水平期間(1H)という一定尺度で見た期間の区分であるが、図4(F)に記載した大よそ4水平期間を機能的に把握することも可能である。

具体的に図4(A)の上部に記載しているように、(1フィールドまたは1フレーム)前画面の発光期間(LM0)の後に時系列の順で、放電期間(D-CHG)、初期化期間(INT)、第1閾値補正期間(VTC1)、第1待機期間(WAT1)、第2閾値補正期間(VTC2)、第2待機期間(WAT2)を経て「予備動作」が実行される。また、続いて、第3閾値補正(VTC3)、第3待機期間(WAT3)、書き込み&移動度補正期間(W&μ)を経て、当該第1行の画素回路3(1,j)の発光期間(LM1)に推移することによって「本動作」が実行される。

【0058】

[駆動パルスの概略]

また、図4では、波形図の適当な箇所に時間表示を符号“T0”~“T21”により示している。つぎに、この時間表示を参照して映像信号や駆動パルスの概略を説明する。

第1行に供給される書き込み駆動パルスWS(1)では、図4(B1)に示すように、“L”レベルで非アクティブ、“H”レベルでアクティブの4つのサンプリングパルス(SP0~SP3)が周期的に出現する。このとき4つのサンプリングパルス(SP0~SP3)の周期は、予備動作(時間T0~時間T15)および本動作(時間T15以後)を通じて一定である。ただし、本動作における書き込み駆動パルスWS(1)は、4つ目のサンプリングパルス(SP3)の後に書き込みパルス(WP)が重畳された波形となる。

【0059】

これに対し、m本(数百~千数百本)の映像信号線DTL(j)(図1および図2参照)に供給される映像信号Ssigは、線順次表示ではm本の映像信号線DTL(j)に同時に供給される。そして、映像信号Ssigをサンプリング後に得られるデータ電圧を反映した信号振幅(Vin)は、図4(A)に示すように、1水平期間(1H)の前半部分で繰り返し出現するデータ基準電位Voを基準とした、1水平期間(1H)の後半部分に繰り返し出現する映像信号パルス(PP)の波高値に相当する。以下、信号振幅(Vin)をデータ電圧Vinと呼ぶ。

図4(A)に示す幾つかの映像信号パルス(PP)のうち、第1行にとって重要な映像信号パルスは、書き込みパルス(WP)と時間的に重なる本動作時の映像信号パルス(PPx)である。本動作時の映像信号パルス(PPx)のデータ基準電位Voからの波高値が、図4で表示させたい(書き込みたい)階調値、即ちデータ電圧Vinの大きさに該当する。この階調値(=Vin)は、第1行の各画素で同じ場合(単色表示の場合)もあるが、通常、表示画素行の階調値に応じて変化している。図4は、主として、第1行内における1つの画素についての動作を説明するためのものであるが、同一行の他の画素では、この表示階調値が異なることがある以外、制御自体は、図示の画素駆動制御と並列に実行される。

【0060】

駆動トランジスタMdのドレイン(図2参照)に供給される電源駆動パルスDS(1)は、図4(B2)に示すように、時間T0から最初の第1閾値補正期間(VTC1)の開始(時間T6)直前まで非アクティブの低電位Vcc_Lで保持され、第1閾値補正期間(VTC1)の開始とほぼ同時に(時間T6)、アクティブの高電位Vcc_Hに推移する。高電位Vcc_Hの保持は、発光期間(LM1)が終了するまで続く。

【 0 0 6 1 】

第 2 行 (の画素回路 3 (2 , j)) 、第 3 行 (の画素回路 3 (3 , j)) については、それぞれ、図 4 (C 1) と図 4 (C 2) 、図 4 (D 1) と図 4 (D 2) に示すように、1 水平期間 (1 H) ずつ各パルスが遅れて印加される。

具体的には、第 1 行の第 1 閾値補正期間 (V T C 1) に対応する 2 つ目のサンプリングパルス (S P 1) が印加される時間 T 5 ~ T 7 の期間に、第 2 行では、初期化期間 (I N T) に対応する 1 つ目のサンプリングパルス (S P 0) が印加される。

このパルス印加の途中、即ち時間 T 6 で第 1 行の電源駆動パルス D S (1) がハイレベル (電源電位 V c c _ H) に立ち上がりアクティブとなる。

【 0 0 6 2 】

10

その後、第 1 行の第 2 閾値補正期間 (V T C 2) に対応する 3 つ目のサンプリングパルス (S P 2) が印加される時間 T 1 0 ~ T 1 2 の期間に、第 2 行では、第 1 行から 1 水平期間 (1 H) 遅れて上記 2 つ目のサンプリングパルス (S P 1) が印加され、第 3 行では、第 1 行から 2 水平周期 ((1 H) × 2) 遅れて上記 1 つ目のサンプリングパルス (S P 0) が印加される。

このパルス印加の途中、即ち時間 T 1 1 で第 2 行の電源駆動パルス D S (2) が高電位 V c c _ H に立ち上がりアクティブとなる。

【 0 0 6 3 】

20

その後、第 1 行の第 3 閾値補正期間 (V T C 3) に対応する 4 つ目のサンプリングパルス (S P 3) が印加される時間 T 1 5 ~ T 1 7 の期間に、第 2 行では、第 1 行から 1 水平期間 (1 H) 遅れて上記 3 つ目のサンプリングパルス (S P 2) が印加され、第 3 行では、第 1 行から 2 水平周期 ((1 H) × 2) 遅れて上記 2 つ目のサンプリングパルス (S P 1) が印加される。

このパルス印加の途中、即ち時間 T 1 6 で第 3 行の電源駆動パルス D S (3) が高電位 V c c _ H に立ち上がりアクティブとなる。

【 0 0 6 4 】

30

以上のようにしてパルス印加のタイミング設計を行うと、ある行の本動作を行っている期間に、その 1 ~ 数水平期間後に本動作を行う他の数行分の予備動作を並列に実行することから、本動作に限ってみると行単位でシームレスに、その実行がなされる。よって、最初の数水平期間以外は無駄な期間は発生しない。

表示画面は通常、数百 ~ 千数百の行を有するため、1 画面表示中における 1 ~ 数水平期間という時間は無視できるほど短い。したがって、閾値電圧補正を数回に分けても時間的な損失は実質的に生じない。

【 0 0 6 5 】

つぎに、以上のパルス制御の下における、図 4 (E) および図 4 (F) に示す駆動トランジスタ M d のソースやゲートの電位変化と、それに伴う動作を、図 4 (A) に示す期間ごとに説明する。

なお、ここでは図 5 (A) ~ 図 7 (B) に示す第 1 行の画素回路 3 (1 , j) の予備動作説明図、図 8 に示すソース電位 V s の時間推移のグラフ、図 9 (A) ~ 図 9 (C) に示す第 1 行の画素回路 3 (1 , j) の本動作説明図、ならびに、図 2 等を適宜参照する。

40

【 0 0 6 6 】

[前画面の発光期間 (L M 0)]

第 1 行の画素回路 3 (1 , j) について、時間 T 0 以前の 1 フィールドまたは 1 フレームだけ前の画面 (以下、前画面という) についての発光期間 (L M 0) では、図 4 (B 1) に示すように書込駆動パルス W S (1) が “ L ” レベルであるため、サンプリングトランジスタ M s がオフしている。また、図 4 (B 2) に示すように、電源駆動パルス D S (1) が高電位 V c c _ H の印加状態にある。

【 0 0 6 7 】

このとき、図 5 (A) に示すように、前画面のデータ書き込み動作によって駆動トランジスタ M d のゲートに入力され保持されているデータ電圧 V i n 0 に応じて、有機発光ダイ

50

オードOLEDが発光状態にあるとする。駆動トランジスタMdは飽和領域で動作するように設定されているため、有機発光ダイオードOLEDに流れる駆動電流 $I_d (= I_{ds})$ は、保持キャパシタCsに保持されている駆動トランジスタMdのゲートソース間電圧 V_{gs} に応じて、前述した図3に示す式から算出される値をとる。

【0068】

[放電期間(D - CHG)]

図4において時間T0から、線順次走査の新しい画面表示に関する処理が開始される。

時間T0になると、水平画素ライン駆動回路41(図2参照)が、図4(B2)に示すように、電源駆動パルスDS(1)を高電位 V_{cc_H} から低電位 V_{cc_L} に切り替える。駆動トランジスタMdは、今までドレインとして機能していたノードの電位が低電位 V_{cc_L} にまで急激に落とされ、ソースとドレインの電位が逆転するため、今までドレインであったノードをソースとし、今までソースであったノードをドレインとして、当該ドレインの電位(ただし、図の表記ではソース電位Vsのままとする)を引き抜くディスチャージ動作が行われる。

したがって、図5(B)に示すように、今までとは逆向きのドレイン電流 I_{ds} が駆動トランジスタMdに流れる。この駆動トランジスタMdに逆向きの電流が流れる期間を、図4や図5(B)では「放電期間(D - CHG)」と表記している。

【0069】

放電期間(D - CHG)が開始されると、図4(F)に示すように、時間T0を境に駆動トランジスタMdのソース電位Vs(現実の動作上はドレイン電位)が急激に放電され、ほぼ低電位 V_{cc_L} の近くまで低下する。

このとき、低電位 V_{cc_L} が有機発光ダイオードOLEDの発光閾値電圧 V_{th_oled} とカソード電位 V_{cath} の和よりも小さいとき、つまり“ $V_{cc_L} < V_{th_oled} + V_{cath}$ ”であれば有機発光ダイオードOLEDは消光する。

なお、放電期間(D - CHG)の終了(時間T1)の前までには、図4(A)に示すように、映像信号Ssigの電位が、データ電位Vsigからデータ基準電位Voにまで下げられている。

【0070】

時間T0において、図5(B)に示すように、サンプリングトランジスタMsがオフし、制御ノードNDcがフローティング状態にある。このため、図4(E)に示すように、時間T0を境に駆動トランジスタMdのゲート電圧Vgが低下する。

【0071】

[初期化期間(INT)]

次に、書き込み信号走査回路42(図2参照)が、図4(B1)に示すように、時間T1にて書込駆動パルスWS(1)を“L”レベルから“H”レベルに遷移させて1つ目のサンプリングパルス(SP0)を、サンプリングトランジスタMsのゲートに与える。

この時間T1にて放電期間(D - CHG)が終了し、ここから初期化期間(INT)が開始する。

【0072】

時間T1での、サンプリングパルス(SP0)の印加にตอบสนองして、図5(C)に示すように、サンプリングトランジスタMsがオンする。前述したように時間T1までには、映像信号Ssigの電位がデータ基準電位Voに切り替えられている。したがって、サンプリングトランジスタMsは、映像信号Ssigのデータ基準電位Voをサンプリングして、サンプリング後のデータ基準電位Voを駆動トランジスタMdのゲートに伝達する。

このサンプリング動作によって、図4(E)に示すように、時間T0を境に低下した駆動トランジスタMdのゲート電圧Vgが、データ基準電位Voに収束する。

【0073】

図4(B1)に示すサンプリングパルス(SP0)は、時間T1から、この電位収束に十分な時間が経過した時間T2にて終了し、サンプリングトランジスタMsがオフする。よって、次にサンプリングトランジスタMsがオンする時間T5までは、駆動トランジス

タ M d のゲートが電氣的なフローティング状態となる。

この時間 T 5 でサンプリングトランジスタ M s を再度オンさせるタイミングは、最初の 1 水平期間 (1 H) の終了とほぼ同じに制御され、かつ、時間 T 2 ~ T 5 の期間内に、当該 1 水平期間 (1 H) における映像信号パルス (P P) が収まるようにタイミング設計されている (図 4 (A) と図 4 (B 1) 参照) 。

【 0 0 7 4 】

このことをサンプリングパルス (S P 0) から見ると、書込駆動パルス W S (1) を “ H ” レベルにするサンプリングパルス (S P 0) の持続時間 (時間 T 1 ~ T 2) は、1 水平期間 (1 H) の前半部分である、映像信号 S sig がデータ基準電位 V o をとる期間 (時間 T 0 ~ T 3) 内となっている。

そして、時間 T 2 でサンプリングトランジスタ M s をオフさせた状態で、映像信号パルス (P P) による映像信号線 D T L (j) の電位変動が終了する時間 T 4 の経過を待ち、その後の時間 T 5 で、データ基準電位 V o を再度サンプリングするための 2 つ目のサンプリングパルス (S P 1) を立ち上げる。

この制御の結果、2 つ目のサンプリングパルス (S P 1) を立ち上げた時間 T 5 で、映像信号 S sig のデータ電位 V sig を誤ってサンプリングすることは回避される。

なお、時間 T 5 における 2 度目のサンプリング開始時には、図 4 (E) に示すように、既にゲート電圧 V g がデータ基準電位 V o を保持している。したがって、2 度目のサンプリングによってリーク電流等による微小な損失を補うことがあるにせよ、一般には、ゲート電圧 V g は殆ど変動しない。

【 0 0 7 5 】

時間軸上での説明を若干前に戻すと、時間 T 1 で 1 つ目のサンプリングパルス (S P 0) が印加されることによってサンプリングトランジスタ M s がオンし、図 4 (E) に示すように、駆動トランジスタ M d のゲート電圧 V g がデータ基準電位 V o に収束すると、これに連動して保持キャパシタ C s の保持電圧が低下し、“ V o - V c c _ L ” となる (図 4 (F)) 。これは、図 5 (B) のディスチャージによってソース電位 V s が低電位 V c c _ L になり、低電位 V c c _ L を基準にしたゲート電圧 V g で保持キャパシタ C s の保持電圧が規定されるためである。つまり、図 5 (C) において、ゲート電圧 V g がデータ基準電位 V o に下がると、これに連動して保持キャパシタ C s の保持電圧が下がり、当該保持電圧が “ V o - V c c _ L ” に収束する。なお、この保持電圧 “ V o - V c c _ L ” はゲートソース間電圧 V gs そのものであり、ゲートソース間電圧 V gs が駆動トランジスタ M d の閾値電圧 V th よりも大きくないと、その後に閾値補正動作を行なうことができないために、“ V o - V c c _ L > V th ” とするように電位関係が決められている。

このようにして、駆動トランジスタ M d のゲート電圧 V g およびソース電位 V s を初期化することで、閾値補正動作の準備が完了する。

【 0 0 7 6 】

[第 1 閾値補正期間 (V T C 1)]

時間 T 5 でサンプリングトランジスタ M s が 2 度目の V o サンプリングを開始した後、図 4 (B 2) に示すように、時間 T 6 で電源駆動パルス D S (1) が低電位 V c c _ L から高電位 V c c _ H に立ち上がると、当該初期化期間 (I N T) が終了し、第 1 閾値補正期間 (V T C 1) が開始する。

【 0 0 7 7 】

第 1 閾値補正期間 (V T C 1) の開始時 (時間 T 6) の直前において、オン状態のサンプリングトランジスタ M s がデータ基準電位 V o をサンプリング中であるため、駆動トランジスタ M d のゲート電圧 V g は、一定のデータ基準電位 V o で電氣的に固定された状態にある。

この状態で時間 T 6 にて、水平画素ライン駆動回路 4 1 (図 2 参照) が、図 4 (B 2) に示すように、電源駆動パルス D S (1) を低電位 V c c _ L から高電位 V c c _ H に立ち上げる。水平画素ライン駆動回路 4 1 は、時間 T 6 以降は、次のフレーム (あるいはフィールド) の処理開始まで、駆動トランジスタ M d への電源供給線の電位を高電位 V c c _

10

20

30

40

50

Hに保持しておく。

【0078】

電源駆動パルスD S (1)の立ち上げによって駆動トランジスタM dのソースとドレイン間に“ $V_{cc_H} - V_{cc_L}$ ”の電源電圧V D Dが印加される。そのため、駆動トランジスタM dに電源からドレイン電流I d sが流れるようになる。

ドレイン電流I d sによって駆動トランジスタM dのソースが充電され、図4 (F)に示すようにソース電位V sが上昇するため、それまで“ $V_o - V_{cc_L}$ ”という値をとっていた駆動トランジスタM dのゲートソース間電圧V gs (保持キャパシタC sの保持電圧)は、徐々に小さくなっていく(図4 (E)および図4 (F))。

【0079】

このときのドレイン電流I d sによる駆動トランジスタM dのソース充電速度は余り大きくない。その理由を、図6 (A)を参照しつつ述べる。

図6 (A)に示すように、駆動トランジスタM dのゲート電圧V gに印加されているゲートバイアス電圧がデータ基準電位V oで規定され、当該バイアス電圧が余り大きくないため、駆動トランジスタM dは浅いオン状態、すなわち駆動能力が余り大きくない状態でオンする(第1の理由)。

また、ドレイン電流I d sは保持キャパシタC sに流れ込むが、有機発光ダイオードO L E Dの容量C oled.の充電にもドレイン電流I d sが消費されるため、ソース電位V sが上がりにくい(第2の理由)。

さらに、サンプリングパルス(S P 1)を、次に映像信号S sigがデータ電位V sigに遷移する時間T 8より前の時間T 7で終了させる必要があるため(図4 (B 1)参照)、ソース電位V sの充電時間が不十分である(第3の理由)。

【0080】

仮に、図4 (B 1)に示す2つ目のサンプリングパルス(S P 1)が時間T 7を越えて十分長くまで持続可能であるとすると、駆動トランジスタM dのソース電位V s (有機発光ダイオードO L E Dのアノード電位)は、図8に示すように、時間T 6を起点として時間とともに上昇し、“ $V_o - V_{th}$ ”で収束する(図8の破線により示す曲線C V)。つまり、ゲートソース間電圧V gs (保持キャパシタC sの保持電圧)が丁度、駆動トランジスタM dの閾値電圧V thとなったところでソース電位V sの上昇がほぼ終了するはずである。

【0081】

[第1待機期間(W A T 1)]

しかしながら、現実には、その収束点に達する前に時間T 7が来るため、サンプリングパルス(S P 1)の持続時間が終了し、これによって、第1閾値補正期間(V T C 1)が終了し、第1待機期間(W A T 1)が開始する。

具体的には、駆動トランジスタM dのゲートソース間電圧V gsが $V_{x1} (> V_{th})$ になったとき、つまり、図8に示すように、駆動トランジスタM dのソース電位V sが低電位 V_{cc_L} から“ $V_o - V_{x1}$ ”に上昇した時点(時間T 7)で、第1閾値補正期間(V T C 1)が終了する。このとき(時間T 7)では、電圧値 V_{x1} が保持キャパシタC sに保持される。

【0082】

第1閾値補正期間(V T C 1)が終了すると、サンプリングトランジスタM sがオフするため、駆動トランジスタM dのゲートがデータ基準電位V oで電氣的に固定された状態から、電氣的なフローティング状態に推移する。

したがって、時間T 7以後は、ソース電位V sが上昇すると、それに伴って、ソースに容量結合したフローティング状態のゲートの電位(V g)も上昇する(図4 (E)と図4 (F))。その結果、本例では、第1待機期間(W A T 1)の終了時点(時間T 10)において、ソース電位V sが収束目標の“ $V_o - V_{th}$ ”よりも大きくなる(図8参照)一方で、図4 (E)および(F)に示すようにゲートソース間電圧V gsは縮まらない。

【0083】

10

20

30

40

50

第1待機期間(WAT1)は、先に説明した初期化期間(INT)と同様、映像信号パルス(PP)の通過を待つ必要があり、その意味で“待機期間”と称している。しかし、時間T7~T10といった比較的長い待機期間は、ゲート電圧Vgの上昇を許してしまい、また、上記のようにゲートソース間電圧Vgsの閾値電圧Vthへの収束が進まない。

図4(E)では、第1待機期間(WAT1)中におけるゲート電圧Vgの上昇分を“Va1”で表している。なお、結合容量(保持キャパシタCs)を介した、このゲート電圧Vgの上昇をブートストラップ動作により引き起こす原因となるソース電位Vsの上昇分も“Va1”で同じとすると、ソース電位Vsは第1待機期間(WAT1)の終了時点(時間T10)で“Vo - Vx1 + Va1”となる(図6(B)参照)。

このため、ゲート電位を、初期化レベルであるデータ基準電位Voに戻すとともに閾値電圧補正を再度行う必要がある。

【0084】

[第2閾値補正期間(VTC2)]

そこで本実施形態の動作例では、次の1水平期間(1H)(時間T10~T15)において、前の1水平期間(1H)(時間T5~T10)で行った第1閾値補正期間(VTC1)と第1待機期間(WAT1)と同様な処理、即ち、第2閾値補正期間(VTC2)と第2待機期間(WAT2)を実行する。

ただし、第1閾値補正期間(VTC1)が開始された時間T5においてはゲートソース間電圧Vgs(保持キャパシタCsの保持電圧)が“Vo - Vcc - L”と比較的大きい値であったのに対し、第2閾値補正期間(VTC2)が開始される時間T10において当該保持電圧が、より小さい“Vx1”に縮まっている。

【0085】

図4(B1)に示すように時間T10でサンプリングパルス(SP2)が立ち上がり、サンプリングトランジスタMsがオンすると、駆動トランジスタMdのゲート電圧Vg(=“Vo + Va1”)がより低い電位(データ基準電位Vo)の映像信号線DTL(j)に接続される。このため、その差分(Va1)に相当する電流が駆動トランジスタMdのゲートから映像信号線DTL(j)に流れ、図6(C)に示すようにゲート電圧Vgがデータ基準電位Voにまで強制的に下げられる。

この駆動トランジスタMdのゲートにおける電位(Va1)の変動は、保持キャパシタCs、および、駆動トランジスタMdのゲートソース間寄生容量Cgsを介して駆動トランジスタMdのソースに入力され、ソース電位Vsがブルダウンされる。

このときのソース電位Vsのブルダウン量は、容量結合比gを用いて“g * Va1”と表される。ここで容量結合比gは、上記ゲートソース間寄生容量Cgs、保持キャパシタCsと同一符号のその容量値(Cs)、有機発光ダイオードOLEDの容量Coled.を用いて、 $g = (C_{gs} + C_s) / (C_{gs} + C_s + C_{oled.})$ と表される。よって、ソース電位Vsは、直前の“Vo - Vx1 + Va1”から“g * Va1”だけ低下し、“Vo - Vx1 + (1 - g) Va1”となる。

容量結合比gは定義式から明らかなように1より小さい値をとるため、ソース電位Vsの変化量“g * Va1”は、ゲート電圧Vgの変化量(Va1)より小さい。

【0086】

ここで、駆動トランジスタのゲートソース間電圧Vgs(=“Vx1 - (1 - g) Va1”)が駆動トランジスタMdの閾値電圧Vthよりも大きければ、図6(C)のように、ドレイン電流Idsが流れる。ドレイン電流Idsは、駆動トランジスタMdのソース電位Vsが“Vo - Vth”となって駆動トランジスタMdがカットオフするまで流れようとする。しかし、本実施形態の動作例では、図4(E)および図4(F)に示すように、ゲートソース間電圧Vgsが“Vx2”(但しVx2は、Vx1 > Vx2 > Vthを満たす大きさを有する)となった時間T12でサンプリングパルス(SP2)が終了するため、サンプリングトランジスタMsがオフする。時間T12における、保持キャパシタCsの保持電圧は“Vx2”である。

【0087】

10

20

30

40

50

[第 2 待機期間 (W A T 2)]

時間 T_{12} から第 2 待機期間 (W A T 2) が開始する。

第 2 待機期間 (W A T 2) では、前回の第 1 待機期間 (W A T 1) と同様に、サンプリングトランジスタ M_s がオフしてゲート電圧 V_g が電氣的にフローティング状態となるため、ソース電位 V_s の上昇に応じてゲート電圧 V_g も上昇する (図 7 (A) 参照)。

しかし、ゲート電圧 V_g の電位上昇効果 (ブートストラップ効果) は、その開始時点のゲートソース間電圧 V_{gs} が制御目標 “ V_{th} ” に近い余り大きくなく、図 4 (E) および図 4 (F) の時間 $T_{12} \sim T_{15}$ に見られるように、ソース電位 V_s およびゲート電圧 V_g の電位上昇幅は僅かである。

【 0 0 8 8 】

10

より詳細には、図 7 (A) の第 2 待機期間 (W A T 2) において、ドレイン電流 I_{ds} が流れることによるソース電位 V_s の上昇分を “ V_{a2} ” とすると、待機期間終了時 (図 4 の時間 T_{15}) におけるソース電位 V_s は “ $V_o - V_{x2} + V_{a2}$ ” となる。このソース電位が “ V_{a2} ” だけ上昇することは、ゲートソース間寄生容量 C_{gs} および保持キャパシタ C_s を介して、フローティング状態のゲートに伝達され、その結果、ゲート電圧 V_g もほぼ同じ電位 “ V_{a2} ” だけ上昇する。ただし、ゲート電圧 V_g の電位上昇分 “ V_{a2} ” は、図 4 (E) に示すように、第 1 待機期間 (W A T 1) における電位上昇分 “ V_{a1} ” より遥かに小さいものである。

【 0 0 8 9 】

20

[第 3 閾値補正 (V T C 3)]

時間 T_{15} から「本動作」に入り、第 3 閾値補正 (V T C 3) が開始する。

第 3 閾値補正 (V T C 3) (時間 $T_{15} \sim T_{17}$) では、第 2 閾値補正期間 (V T C 2) と同様な処理を実行する。

ただし、第 2 閾値補正期間 (V T C 2) が開始された時間 T_{10} においてはゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が “ V_{x1} ” と比較的大きい値であったのに対し、第 3 閾値補正期間 (V T C 3) が開始される時間 T_{15} においては、さらに小さい “ V_{x2} ” に縮まっている。

動作の基本は [第 2 閾値補正期間 (V T C 2)] の繰り返しになるので割愛する。[第 2 閾値補正期間 (V T C 2)] の説明は、“ V_{a1} ” を “ V_{a2} ” に、“ V_{x1} ” を “ V_{x2} ” に置き換えることによって、当該第 3 閾値補正 (V T C 3) に適用できる。このことは図 6 (C) と図 7 (B) との対比でも明らかである。

30

【 0 0 9 0 】

ただし、第 2 閾値補正期間 (V T C 2) と異なるのは、第 3 閾値補正 (V T C 3) が終了する時間 T_{17} までには、図 4 (E) および図 4 (F) に示すように、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が、閾値電圧 V_{th} と等しくなることである。このため、駆動トランジスタ M_d は、ゲートソース間電圧 V_{gs} が閾値電圧 V_{th} と等しくなったところでカットオフし、それ以後、ドレイン電流 I_{ds} が流れなくなる。このときの駆動トランジスタ M_d のソース電位 V_s は “ $V_o - V_{th}$ ” である。

【 0 0 9 1 】

40

以上のように待機期間を間に挟んだ複数回 (本例では 3 回) に亘る閾値電圧補正によって、保持キャパシタ C_s の保持電圧は、これが一定となる待機期間を間に挟んでステップ状に収束し、最終的には閾値電圧 V_{th} となる。

ここで仮に、駆動トランジスタのゲートソース間電圧が “ V_{in} ” だけ大きくなったとすると、ゲートソース間電圧は “ $V_{in} + V_{th}$ ” となる。また、閾値電圧 V_{th} が大きい駆動トランジスタと、これが小さい駆動トランジスタを考える。

前者の閾値電圧 V_{th} が大きい駆動トランジスタは、閾値電圧 V_{th} が大きい分だけゲートソース間電圧が大きく、逆に閾値電圧 V_{th} が小さい駆動トランジスタは、閾値電圧 V_{th} が小さいためゲートソース間電圧が小さくなる。よって、閾値電圧 V_{th} に関していえば、閾値電圧補正動作により、そのバラツキをキャンセルして、同じデータ電圧 V_{in} なら同じド

50

レイン電流 I_{ds} を駆動トランジスタに流すことができる。

【0092】

なお、3回に亘る閾値補正期間、すなわち、第1閾値補正期間 (V_{TC1})、第2閾値補正期間 (V_{TC2}) および第3閾値補正 (V_{TC3}) においては、ドレイン電流 I_{ds} が専ら保持キャパシタ C_s の一方電極側、有機発光ダイオード OLED の容量 C_{oled} の一方電極側に流入することによりのみ消費され、有機発光ダイオード OLED がオンしないようにする必要がある。有機発光ダイオード OLED のアノード電圧を " V_{oled} "、その閾値電圧を " V_{th_oled} "、そのカソード電位を " V_{cath} " と表記すると、有機発光ダイオード OLED をオフ状態に維持する条件は、" $V_{oled} - V_{cath} + V_{th_oled}$ " が常に成り立つことである。

10

ここで有機発光ダイオード OLED のカソード電位 V_{cath} を基準電圧 V_{SS} (例えば接地電圧 GND) で一定とした場合、発光閾値電圧 V_{th_oled} が非常に大きいときは、この式を常に成立させることも可能である。しかし、発光閾値電圧 V_{th_oled} は有機発光ダイオード OLED の作製条件で決まり、また、低電圧で効率的な発光のためには発光閾値電圧 V_{th_oled} を余り大きくできない。よって、望ましくは、3度の閾値補正期間、および、次に述べる移動度補正期間が終了するまでは、カソード電位 V_{cath} を低電位 V_{cc_L} より小さく設定することによって、有機発光ダイオード OLED を逆バイアスさせておくといよい。

【0093】

[第3待機期間 ($WAT3$)]

以上は閾値電圧補正についての説明であるが、本動作例では、続いて "書き込み & 移動度補正" のための待機期間 (第3待機期間 ($WAT3$)) が開始する。第3待機期間 ($WAT3$) は、今までの閾値電圧補正のための第1待機期間 ($WAT1$) および第2待機期間 ($WAT2$) とは異なり、単に、その後に行う "書き込み & 移動度補正" 時に、映像信号 S_{sig} の電位変化の不安定な箇所を誤ってサンプリングしないように待機する短い待機期間である。

20

【0094】

図4 (B1) に示すように、時間 $T17$ でサンプリングパルス ($SP3$) が " H " レベルから " L " レベルに遷移すると、ここから第3待機期間 ($WAT3$) が開始する。

第3待機期間 ($WAT3$) では、その途中の時間 $T18$ で、図4 (A) に示すように、当該画素回路3 (1, j) で表示すべきデータ電位 V_{sig} をもつ映像信号パルス (PPx) が、映像信号 S_{sig} として映像信号線 $DTL(j)$ に供給される (図9 (A) 参照)。映像信号 S_{sig} において、データ電位 V_{sig} とデータ基準電位 V_o の差分が、当該画素回路で表示すべき階調値に対応するデータ電圧 V_{in} に相当する。つまり、データ電位 V_{sig} は " $V_o + V_{in}$ " に等しい。

30

時間 $T18$ で行われた電位変化から時間が経って、映像信号 S_{sig} がデータ電位 V_{sig} で安定した時間 $T19$ で、当該第3待機期間 ($WAT3$) が終了する。

【0095】

[書き込み & 移動度補正期間 ($W \& \mu$)]

時間 $T19$ から、書き込み & 移動度補正期間 ($W \& \mu$) が開始する。

40

図4 (B1) に示すように、本動作時の映像信号パルス (PPx) を印加中の時間 $T19$ で、書き込みパルス (WP) がサンプリングトランジスタ M_s のゲートに供給される。すると、図9 (B) に示すように、サンプリングトランジスタ M_s がオンし、映像信号線 $DTL(j)$ のデータ電位 $V_{sig} (= V_o + V_{in})$ のうち、ゲート電圧 $V_g (= V_o)$ との差分、すなわち、データ電圧 V_{in} が、駆動トランジスタ M_d のゲートに入力される。この結果、ゲート電圧 V_g が " $V_o + V_{in}$ " となる。

ゲート電圧 V_g がデータ電圧 V_{in} だけ上昇すると、これに連動してソース電位 V_s も上昇する。このとき、データ電圧 V_{in} がそのままソース電位 V_s に伝達される訳ではなく、前述した容量結合比 g に応じた比率の変化分、すなわち、" $g \cdot V_{in}$ " だけソース電位 V_s が上昇する。よって、変化後のソース電位 V_s は、" $V_o - V_{th} + g \cdot V_{in}$ " となる。

50

その結果、駆動トランジスタM dのゲートソース間電圧V_{gs}は、“(1 - g)V_{in} + V_{th}”となる。

【0096】

ここで、移動度μによるバラツキについて説明する。

今までの3度の閾値電圧補正で、実は、ドレイン電流I_{ds}を流すたびに移動度μによる誤差が含まれていたものの、閾値電圧V_{th}のバラツキが大きいため移動度μによる誤差成分を厳密に議論しなかった。このとき容量結合比gを用いずに、単に結果だけを示す電圧を新たに“V_{a1}”や“V_{a2}”により表記して説明したのは、移動度のバラツキを説明することによる煩雑さを回避するためである。

一方、既に説明したことであるが、厳密に閾値電圧補正が行われた後は、そのとき保持キャパシタC_sに閾値電圧V_{th}が保持されているため、その後、駆動トランジスタM dをオンさせると、閾値電圧V_{th}の大小によってドレイン電流I_{ds}が変動しない。そのため、この閾値電圧補正後の駆動トランジスタM dの導通で、仮に、当該導通時の駆動電流I_dによって保持キャパシタC_sの保持電圧(ゲートソース間電圧V_{gs})の値に変動が生じたとすると、その変動量ΔV(正または負の極性をとることが可能)は、駆動トランジスタM dの移動度μのバラツキ、より厳密には、半導体材料の物性パラメータである純粋な意味での移動度のほかに、トランジスタの構造上あるいは製造プロセス上で電流駆動力に影響を与える要因の総合的なバラツキを反映したものとなる。

【0097】

以上のことを踏まえた上で説明を戻すと、図9(B)において、サンプリングトランジスタM_sがオンしてゲート電圧V_gにデータ電圧V_{in}が加わったときに、駆動トランジスタM dは、そのデータ電圧V_{in}(階調値)に応じた大きさのドレイン電流I_{ds}をソースドレイン間に流そうとする。このときドレイン電流I_{ds}が移動度μに応じてばらつき、その結果、ソース電位V_sは、“V_o - V_{th} + g * V_{in}”に上記移動度μによる変動量ΔVを加えた“V_o - V_{th} + g * V_{in} + ΔV”となる。

【0098】

このとき有機発光ダイオードOLEDを発光させないためには、“V_s(=V_o - V_{th} + g * V_{in} + ΔV) < V_{th_oled} + V_{cath}”が満たされるように、データ電圧V_{in}や容量結合比g等に応じたカソード電位V_{cath}を予め設定するとよい。

この設定を予め行っていると、有機発光ダイオードOLEDは逆バイアスされ、ハイインピーダンス状態にあるため発光することはない、また、ダイオード特性ではなく単純な容量特性を示すようになる。

このとき上記条件式が満たされている限り、ソース電位V_sが、有機発光ダイオードOLEDの発光閾値電圧V_{th_oled}とカソード電位V_{cath}との和を越えないため、ドレイン電流I_{ds}(駆動電流I_d)は保持キャパシタC_sの容量値C_sと、有機発光ダイオードOLEDの逆バイアス時等価容量値C_{oled}と、駆動トランジスタM dのゲートソース間に存在する寄生容量(C_{gs}と表記)とを加算した容量“C = C_s + C_{oled} + C_{gs}”を充電するために用いられる。これにより、駆動トランジスタM dのソース電位V_sは上昇していく。このとき、駆動トランジスタM dの閾値補正動作は完了しているため、駆動トランジスタM dが流すドレイン電流I_{ds}は移動度μを反映したものとなる。

【0099】

図4(E)および図4(F)で“(1 - g)V_{in} + V_{th} - ΔV”の式により示しているように、保持キャパシタC_sに保持されるゲートソース間電圧V_{gs}においては、ソース電位V_sに加わる変動量ΔVが閾値補正後のゲートソース間電圧V_{gs}(=(1 - g)V_{in} + V_{th})から差し引かれることになるため、負帰還がかかるように当該変動量ΔVが保持キャパシタC_sに保持される。よって、以下、変動量ΔVを「負帰還量」ともいう。

この負帰還量ΔVは、有機発光ダイオードOLEDに逆バイアスをかけた状態では、“C_{oled} >> C_s + C_{gs}”が成り立つので、ΔV = t * I_{ds} / (C_{oled} + C_s + C_{gs})という概算式で表すことができる。この概算式から、変動量ΔVは、ドレイン電流I_{ds}の変動に比例して変化するパラメータであることが分かる。

10

20

30

40

50

上記負帰還量 ΔV の概算式から、ソース電位 V_s に付加される負帰還量 ΔV は、ドレイン電流 I_{ds} の大きさ（この大きさは、データ電圧 V_{in} の大きさ、即ち階調値と正の相関関係にある）と、ドレイン電流 I_{ds} が流れる時間、すなわち、図 4（B1）に示す、移動度補正に要する時間 T_{19} から時間 T_{20} までの時間（ t ）に依存している。つまり、階調値が大きいほど、また、時間（ t ）を長くとりほど、負帰還量 ΔV が大きくなる。

したがって、移動度補正の時間（ t ）は必ずしも一定である必要はなく、逆にドレイン電流 I_{ds} （階調値）に応じて調整することが好ましい場合がある。たとえば、白表示に近くドレイン電流 I_{ds} が大きい場合、移動度補正の時間（ t ）は短めにし、逆に、黒表示に近くなりドレイン電流 I_{ds} が小さくなると、移動度補正の時間（ t ）を長めに設定するとよい。この階調値に応じた移動度補正時間の自動調整は、その機能を図 2 に示す書き込み信号走査回路 42 等に予め設けることにより実現可能である。

【0100】

[発光期間（LM1）]

時間 T_{20} で書き込み & 移動度補正期間（ $W \& \mu$ ）が終了すると、発光期間（LM1）を開始する。

時間 T_{20} で書き込みパルス（WP）が終了するためサンプリングトランジスタ M_s がオフし、駆動トランジスタ M_d のゲートが電氣的にフローティング状態となる。

【0101】

ところで、発光期間（LM1）より前の書き込み & 移動度補正期間（ $W \& \mu$ ）においては、駆動トランジスタ M_d はデータ電圧 V_{in} に応じたドレイン電流 I_{ds} を流そうとするが、実際に流せるとは限らない。その理由は、有機発光ダイオード OLED に流れる電流値（ I_d ）が駆動トランジスタ M_d に流れる電流値（ I_{ds} ）に比べて非常に小さいなら、サンプリングトランジスタ M_s がオンしているため、駆動トランジスタ M_d のゲート電圧 V_g が “ $V_o + V_{in}$ ” に固定され、そこから閾値電圧 V_{th} 分下がった電位（“ $V_o + V_{in} - V_{th}$ ”）にソース電位 V_s が収束しようとするからである。よって、移動度補正の時間（ t ）を幾ら長くしてもソース電位 V_s は上記収束点を超える電位にはなれない。移動度補正は、その収束までの速さの違いで移動度 μ の違いをモニタし、補正するものである。このため、最大輝度の白表示のデータ電圧 V_{in} が入力された場合でも、上記収束になる前に移動度補正の時間（ t ）の終点が決められる。

【0102】

発光期間（LM1）を開始して駆動トランジスタ M_d のゲートがフローティングとなると、そのソース電位 V_s は、さらに上昇可能となる。よって、駆動トランジスタ M_d は、入力されたデータ電圧 V_{in} に応じた駆動電流 I_d を流すように動作する。

その結果、ソース電位 V_s （有機発光ダイオード OLED のアノード電位）が上昇し、やがて、有機発光ダイオード OLED の逆バイアス状態が解消され、図 9（C）に示すように、ドレイン電流 I_{ds} が駆動電流 I_d として有機発光ダイオード OLED に流れ始めるため、有機発光ダイオード OLED が実際に発光を開始する。発光が開始して暫くすると、駆動トランジスタ M_d は、入力されたデータ電圧 V_{in} に応じたドレイン電流 I_{ds} で飽和し、ドレイン電流 I_{ds} （ $= I_d$ ）が一定となると、有機発光ダイオード OLED がデータ電圧 V_{in} に応じた輝度の発光状態となる。

【0103】

発光期間（LM1）の開始から輝度が一定となるまでの間に生じる有機発光ダイオード OLED のアノード電位の上昇は、駆動トランジスタ M_d のソース電位 V_s の上昇に他ならず、これを、有機発光ダイオード OLED のアノード電圧 V_{oled} の上昇量という意味で “ ΔV_{oled} .” とする。駆動トランジスタ M_d のソース電位 V_s は、“ $V_o - V_{th} + g * V_{in} + \Delta V + \Delta V_{oled}$.” となる（図 4（F）参照）。

一方、ゲート電圧 V_g は、図 4（E）に示すように、フローティング状態であるためソース電位 V_s に連動して、その上昇量 ΔV_{oled} と同じだけ上昇し、ドレイン電流 I_{ds} の飽和に伴ってソース電位 V_s が飽和すると、ゲート電圧 V_g も飽和する。

その結果、ゲートソース間電圧 V_{gs} （保持キャパシタ C_s の保持電圧）について、移動

度補正時の値 (“ (1 - g) V_{in} + V_{th} - ΔV ”) が、発光期間 (L M 1) 中も維持される。

【 0 1 0 4 】

発光期間 (L M 1) においては、駆動トランジスタ M d が定電流源として動作することから、有機発光ダイオード O L E D の I - V 特性が経時変化し、これに伴って駆動トランジスタ M d のソース電位 V_s が変化することがある。

しかしながら、有機発光ダイオード O L E D の I - V 特性が経時変化の有無に関係なく、保持キャパシタ C_s の保持電圧が “ (1 - g) V_{in} + V_{th} - ΔV ” に保たれる。そして、保持キャパシタ C_s の保持電圧は、駆動トランジスタ M d の閾値電圧 V_{th} を補正する成分 (+ V_{th}) と、移動度 μ による変動を補正する成分 (- ΔV) とを含むことから、閾値電圧 V_{th} や移動度 μ が、異なる画素間でばらついても駆動トランジスタ M d のドレイン電流 I_{d s}、つまり、有機発光ダイオード O L E D の駆動電流 I_d が一定に保たれる。

【 0 1 0 5 】

具体的には、駆動トランジスタ M d は、閾値電圧 V_{th} が大きいほど、上記保持電圧の閾値電圧補正成分 (+ V_{th}) によってソース電位 V_s を下げて、ドレイン電流 I_{d s} (駆動電流 I_d) をより流すようにソースドレイン間電圧を大きくする。このため閾値電圧 V_{th} の変動があってもドレイン電流 I_{d s} は一定となる。

また、駆動トランジスタ M d は、移動度 μ が小さくて上記変動量 ΔV が小さい場合は、保持キャパシタ C_s の保持電圧の移動度補正成分 (- ΔV) によって当該保持電圧の低下量も小さくなるため、相対的に、大きなソースドレイン間電圧が確保され、その結果、ドレイン電流 I_{d s} (駆動電流 I_d) をより流すように動作する。このため移動度 μ の変動があってもドレイン電流 I_{d s} は一定となる。

【 0 1 0 6 】

以上より、画素間で駆動トランジスタ M d の閾値電圧 V_{th} や移動度 μ がばらついても、さらに、駆動トランジスタ M d の特性が経時変化しても、データ電圧 V_{in} が同じである限り、有機発光ダイオード O L E D の発光輝度も一定に保たれる。

【 0 1 0 7 】

< 補助キャパシタ >

以上の発光制御の書込み & 移動度補正期間 (W & μ) において、図 4 (E) および図 4 (F) に示すように、駆動トランジスタ M d のゲート電圧 V_g に書き込まれたデータ電圧 V_{in} がそのまま保持キャパシタ C_s の保持電圧に追加されるのではなく、データ電圧 V_{in} から (g * V_{in}) だけ下がったデータ電圧 “ (1 - g) V_{in} ” が保持キャパシタ C_s の保持電圧に追加される。このため容量結合比 g に相当する書き込みゲインのロスが発生し、これが表示画面で所望の明るさが得られない原因となる。

容量結合比 g は “ $g = (C_{gs} + C_s) / (C_{gs} + C_s + C_{oled.})$ ” と表されるが、その分母が大きいほうが書き込みゲインのロスも小さくなり好ましい。そこで、特開 2 0 0 7 - 1 0 2 0 4 6 号公報 (特許文献 1) では、有機発光ダイオード O L E D と並列に補助キャパシタ C_{sub} を接続した画素回路構成を提案している。十分大きな補助キャパシタ C_{sub} を付加すると容量結合比 g は、 “ $g = (C_{gs} + C_s) / (C_{gs} + C_s + C_{oled.} + C_{sub})$ ” となってゼロに近づき、その分、書き込みゲインが向上する。

【 0 1 0 8 】

ところで、移動度補正で駆動トランジスタ M d のソースにおける容量を大きくすると、ソース電位 V_s の充電がゆっくりとなる。駆動トランジスタ M d の駆動能力は高く設定されているため、所定の時間 (t) 内にソース電位 V_s の充電が早すぎる場合がある。この充電が早すぎると時間 (t) 内にソース電位 V_s の上昇カーブが飽和してしまい、移動度補正の精度が低下する。この所定時間内の飽和を防止して移動度補正精度を高くする意味でも、補助キャパシタ C_{sub} の追加は望ましい。

【 0 1 0 9 】

特許文献 1 では、補助キャパシタ C_{sub} を、駆動トランジスタ M d のソースとカソード電位 V_{cath} の供給線との間に接続している。通常、カソード電位 V_{cath} は有機発光ダイオ

10

20

30

40

50

ードOLEDを逆バイアスする程度に低い負電位に設定されるが、補助キャパシタ C_{sub} の一方電極をカソード電位 V_{cath} で固定するよりも、電源走査線 $DSL(i)$ の高電位 V_{cc_H} で固定する方が、補助キャパシタ C_{sub} の実使用時の容量値（電荷蓄積能力）を高くできるため好ましい。しかし、同じ画素回路内の電源走査線 $DSL(i)$ に補助キャパシタ C_{sub} を接続すると、閾値電圧補正に支障をきたすため、本願発明者は、特願2006-209327号の画素回路構成（以下、単に先願という）を提案している。

【0110】

図10に、先願の画素回路を、列方向に隣接する2つの画素において示す。

図10に図解する画素回路3(2,j)は、図2に示す画素回路3(i,j)と比較すると、補助キャパシタ C_{sub} が追加されていることが異なる。補助キャパシタ C_{sub} は、画素回路3(2,j)における駆動トランジスタ M_d のソース（以下、ソースノード ND_s とも言う）と、隣接する1行前の画素回路3(1,j)の電源走査線 $DSL(1)$ との間に接続されている。このことは1行前の画素回路3(1,j)においても同様である。なお、有機発光ダイオードOLEDの容量 C_{oled} は逆バイアス時のダイオード等価容量であるため回路素子でないが、便器上、当該回路に記載している。

【0111】

<他の発光制御例>

以下、図10に示す画素回路構成における不具合を、図11に示す他の発光制御例で説明する。

図11(A)～図11(D)に示すタイミングチャートでは、図4では示していた他の表示ラインのパルス波形を省略し、また、最初の1水平期間(1H)内に初期化と第1閾値補正を連続して行っているが、この点は本質的なものでなく、図4においても採用可能な制御である。

基本的な制御は図11と図4で共通し、同じ符号を付して表示する。なお、符号“ T_1 ”は、時間 T_1 より若干前であることを意味する。また、図11においては時間軸上の同じ位置で示している2つの時間、すなわち T_7 と T_8 、 T_9 と T_{10} 、 T_{12} と T_{13} 、 T_{14} と T_{15} 、 T_{17} と T_{18} は、数字が小さい時間が大きい時間より時間軸上で若干前であることが望ましいことを意味する。

【0112】

図11では、最初の1水平期間(1H)内に初期化と第1閾値補正を連続して行っているため、速やかなディスチャージが必要である。よって、電源走査線 DSL の低電位 V_{cc_L} を、通常、比較的大きな負電位に設定する。高電位 V_{cc_H} は書き込み、移動度補正および発光に必要な高い正電位である。よって、図11のような速やかな放電を行う必要がある場合、電源走査線 DSL のパルス波高値($V_{cc_H} - V_{cc_L}$)は大きく設定されることがある。

【0113】

< C_{sub} を前段の DSL 接続とした場合の不具合>

図12(A)は、図10の一つの画素について着目した図であり、図12(B)は、発光時間を制御したときのタイミングを着目した画素を含む画素行（表示ライン）から、5段前の表示ラインまで概略的に示す図である。

ここで着目した画素を含む表示ラインを、“着目表示ライン $L(0)$ ”と表記し、着目表示ライン $L(0)$ より1水平期間(1H)前に表示制御される表示ラインを“表示ライン $L(-1)$ ”、2H前に表示制御される表示ラインを“表示ライン $L(-2)$ ”、以下同様に、3H、4H、5H前に表示制御される表示ラインをそれぞれ“表示ライン $L(-3)$ ”、“表示ライン $L(-4)$ ”、“表示ライン $L(-5)$ ”と表記する。

このように行を示す符号(i)を0以下に拡張し、この符号を用いて電源走査線 $DSL(i)$ と書込走査線 $WSL(i)$ を表している。

【0114】

図12(B)に示す時間 T_1 、 T_{10} 、 T_{15} は、図11に示す表示制御に対応するため、この間に図4で説明した処理が実行される。

図 1 2 (B) において、電源走査線 $DSL(i)$ ($i = 0, -1, -2, -3, -4, -5$) が低電位 V_{cc_L} に遷移している期間が消灯時間、高電位 V_{cc_H} の期間が発光 (許可) 期間である。

【 0 1 1 5 】

図 1 2 (B) および図 1 1 (B 2) には 2 値でしか示していない。

しかしながら、実際は、書込走査線 $WSL(i)$ は、高電位 (以下、オン電位) V_{ws_H} と、第 1 低電位 (以下、第 1 オフ電位) V_{ws_L1} と、第 2 低電位 (以下、第 2 オフ電位) V_{ws_L2} の 3 値の電位をとることが可能である。これらの電位の大小関係と印加タイミングは後述する。

【 0 1 1 6 】

図 1 3 には、前段の画素回路 3 ($i-1, j$) が消灯しており、かつ、自段の画素回路 3 (i, j) が発光しているときの画素回路 3 (i, j) の制御ノード ND_c とソースノード ND_s の電位を式 (1) と式 (2) により示している。

前段の電源走査線 $DSL(i-1)$ 電源供給線が高電位 V_{cc_H} から低電位 V_{cc_L} に遷移したとき、この電位変化に起因した電位変動が、補助キャパシタ C_{sub} を介して、駆動トランジスタ M_d のソースノード ND_s に入る。このときのノード ND の電位は、図 1 3 に示す式 (1) から分かるように、元のソース電位 V_s から、有機 EL 容量 C_{oled} と補助容量 C_{sub} の容量比により “ $(V_{cc_H} - V_{cc_L}) C_{sub} / (C_{sub} + C_{oled})$ ” だけ下がったソース電位 V_s' にまで変動する。ただし、この式 (1) の右辺は電位変動のピークを示し、時間がたつと電位変動が収束して消滅する。

【 0 1 1 7 】

発光状態の画素回路 3 (i, j) においては、サンプリングトランジスタ M_s のゲートに印加される第 1 オフ電位 V_{ws_L1} によってサンプリングトランジスタ M_s がオフし、駆動トランジスタ M_d のゲート (制御ノード ND_c) は電氣的にフローティング状態となっている。そのため、ソースノード ND_s に発生した電位変動が保持キャパシタ C_s 等を介して制御ノード ND_c に伝わり、その電位を揺らす。

制御ノード ND_c の電位は、入力されるデータ電圧 V_{in} に応じて既に設定されたゲート電圧 V_g から、保持キャパシタ C_s の保持特性により “ $(V_{cc_H} - V_{cc_L}) C_{sub} / (C_{sub} + C_{oled})$ ” だけ下がったゲート電位 V_g' (最小値) にまで変動する。この電位変動も時間がたつと収束して消滅する。

【 0 1 1 8 】

このようにして電位変動を受けた制御ノード電位 (駆動トランジスタ M_d のゲート電圧 V_g') が、サンプリングトランジスタ M_s のゲート電位 (第 1 オフ電位 V_{ws_L1}) から、サンプリングトランジスタ M_s の閾値電圧 V_{ths} だけ下がった場合にはサンプリングトランジスタ M_s がオンする。

ただし、サンプリングトランジスタ M_s のソース電位がゲート電位と同じであればリーク電流は発生しないが、ソース電位がゲート電位より低くなるとオンしない場合でもオフリーク電流が画質に影響する程度まで急激に大きくなる。

【 0 1 1 9 】

以上から、下記の式 (3) を満たすように、書込走査線 WSL の第 1 オフ電位 V_{ws_L1} が決められる。第 2 オフ電位 V_{ws_L2} を決めてやれば、第 2 オフ電位 V_{ws_L2} は、第 1 オフ電位 V_{ws_L1} よりサンプリングトランジスタ M_s を強くオフさせ、サンプリングトランジスタ M_s のオン、および、オフリーク電流の発生を防止できる。

【 0 1 2 0 】

$$V_{ws_L2} < V_g - (V_{cc_H} - V_{cc_L}) C_{sub} / (C_{sub} + C_{oled}) \dots (3)$$

【 0 1 2 1 】

< オフ電位の切替制御 >

図 1 4 に、書込走査線 WSL のオフ電位を、第 1 オフ電位 V_{ws_L1} と第 2 オフ電位 V_{ws_L2} で切り替えるための回路図を示す。

図 1 4 に図解する構成例では、この切替のための回路、即ち検出回路と切替回路を、書

10

20

30

40

50

き込み信号走査回路 42 内の既存構成に対して付加した場合を例示する。

書き込み信号走査回路 42 は、「対象画素行」である着目表示ライン $L(0)$ 、「非対象画素行」である表示ライン $L(-1)$ および表示ライン $L(-2)$ ごとに、書き込みスキャナを有する。着目表示ライン $L(0)$ に対しては書き込みスキャナ 43(0) が設けられ、表示ライン $L(-1)$ に対して書き込みスキャナ 43(-1)、表示ライン $L(-2)$ に対して書き込みスキャナ 43(-2) が設けられている。

【0122】

各書き込みスキャナは、書き込みスキャナ 43(0) で示すように、その出力段にインバータ INV を有する。

インバータ INV は、PMOS 構成のトランジスタ $P1$ と NMOS 構成のトランジスタ $N1$ が、オン電位 V_{ws_H} の供給線と、第 1 オフ電位 V_{ws_L1} の供給線との間に縦続接続されている。インバータ INV の入力をなすノード $ND1$ が“H”レベルのときにインバータ INV は第 1 オフ電位 V_{ws_L1} を出力し、ノード $ND1$ が“L”レベルのときにインバータ INV はオン電位 V_{ws_H} を出力する。

【0123】

本実施形態で付加された検出回路は、非対象画素行である、表示ライン $L(-1)$ と表示ライン $L(-2)$ の電位を監視している。具体的に、検出回路は、この 2 つの電位をそれぞれ反転するインバータ $INV2$, $INV3$ と、インバータ出力を入力する 2 入力のアンド回路 AND とを有する。

【0124】

本実施形態で付加された切替回路は、2 つの NMOS 構成のトランジスタ $N2$, $N3$ と、排他的論理回路 XOR と、を有する。

トランジスタ $N2$ は、インバータ INV の出力ノード(書込走査線 $WSL(0)$)とトランジスタ $N1$ との間に接続され、トランジスタ $N3$ は、書込走査線 $WSL(0)$ と第 2 オフ電位 V_{ws_L2} の供給線との間に接続されている。

アンド回路 AND の出力をなすノード $ND2$ の電位により、トランジスタ $N3$ が制御され、この電位は排他的論理回路 XOR の一方入力にも印加可能となっている。

排他的論理回路 XOR の他方入力とはノード $ND1$ に接続され、その出力によりトランジスタ $N2$ を制御可能となっている。

【0125】

図 15(A1) ~ 図 15(C) に、図 14 に示す回路の動作波形を示す。

時間 $T(-5)$ より前は、図 12 に示す検出回路の入力に低電位 V_{cc_L} が揃わないので、ノード $ND2$ が“H”レベルであり、トランジスタ $N3$ がオフしている。一方、このときノード $ND1$ は“H”レベルであるため書込走査線 $WSL(0)$ には、第 1 オフ電位 V_{ws_L1} が出力されている。

【0126】

時間 $T(-5)$ になると、表示ライン $L(-2)$ と表示ライン $L(-1)$ を共に消灯とするために、電源走査線 $DSL(-2)$ の電位が高電位 V_{cc_H} から低電位 V_{cc_L} に遷移する。これにより「オン禁止期間」が開始される。

すると、検出回路の出力(ノード $ND2$ の電位)が反転し、トランジスタ $N3$ がオンするとともに、排他的論理回路 XOR の入力に“H”レベルが揃うため、その出力が“H”レベルに反転し、その結果、トランジスタ $N2$ がオンする。これにより、書込走査線 $WSL(0)$ の電位が第 1 オフ電位 V_{ws_L1} から第 2 オフ電位 V_{ws_L2} という、より低い電位に遷移する。

よって、サンプリングトランジスタ M_s は深いオフ状態となり、ソース電位が電源走査線 $DSL(-2)$ の電位変化に起因して低下しようとしてもカットオフ状態が維持され、オンしないばかりか、画質に影響を与えるリーク電流を流さない。

【0127】

その後、時間 $T1$ を過ぎて電源走査線 $DSL(-2)$ の電位が高くなる時間 $T2$ にて、「オン禁止期間」が解除され、書込走査線 $WSL(0)$ が元の、第 1 オフ電位 V_{ws_L1}

10

20

30

40

50

1 の出力状態に戻される。

【0128】

以上より、サンプリングトランジスタ M_s がオンすることによる大きな画質低下だけでなく、リーク電流による、例えば黒浮きのような画質低下まで防止できる。

【0129】

本実施形態における変形例を述べる。

【0130】

< 変形例 1 >

図 1 4 および図 1 5 は、消灯期間が 2 H であるため、2 つの表示ラインが消灯ならば他の表示ラインは発光可能であるという前提を用いた回路とその動作を示すものである。

10

従って、消灯時間が電源走査線 D S L のデューティ比制御により 3 H 以上となれば、さらに前段の D S L (- 3) をも監視対象に加え、よって、検出回路を 2 入力から 3 入力構成に変更する必要がある。また、電源走査線 D S L (0) の電位を監視してもよい、この場合、電源走査線 D S L (0) の電位を入力する際にはインバータが不要である。

このように消灯期間の長さによって、また、2 H 以上のシフトといった消灯期間の異なる重なり具合によって、適宜図 1 4 の回路構成を変更する。

また、書き込みスキナの構成を利用しないで、書き込み信号走査回路 4 2 の出力と書込走査線 W S L との間に独自の回路を設けて、図 1 5 と同様な動作をさせることもできる。

【0131】

20

< 変形例 2 >

画素回路は図 2 や図 1 0 に示すものに限定されない。

図 1 0 に示すように補助キャパシタ C_{sub} を前段の電源走査線 D S L でなく、それより前に表示制御される他の電源走査線 D S L に接続してもよい。

図 1 2 (B) に示す場合、着目表示ライン L (0) が発光可能なときに、表示ライン L (- 1) だけでなく、表示ライン L (- 2) も消灯している期間があるため、この場合、補助キャパシタ C_{sub} を 2 段前の表示ライン L (- 2) の電源走査線 D S L (- 2) に接続してもよい。

消灯時間は、電源走査線 D S L のデューティ比により任意に決められ、それに応じて補助キャパシタ C_{sub} が接続可能な段の範囲も決められる。

30

これに対応して図 1 4 に示す検出回路の接続先にも変更を加える必要がある。

【0132】

< 変形例 3 >

図 2 の画素回路ではデータ基準電位 V_o は映像信号 S_{sig} のサンプリングにより与えられるが、データ基準電位 V_o を、別のトランジスタを介して駆動トランジスタ M_d のソースやゲートに与えることもできる。

図 2 の画素回路ではキャパシタは保持キャパシタ C_s のみであるが、他の保持キャパシタを、例えば駆動トランジスタ M_d のゲートと一定電圧線との間にもう 1 つ設けてもよい。発光素子は有機発光ダイオード O L E D に限定されず、他の自発光素子でもよい。

【0133】

40

< 変形例 4 >

画素回路が有機発光ダイオード O L E D の発光と非発光を制御する駆動方法には、画素回路内のトランジスタを走査線により制御する方法と、電源電圧の供給線を駆動回路により A C 駆動する方法 (電源 A C 駆動方法) とがある。

図 2 や図 1 3 の画素回路は、後者の電源 A C 駆動方法の一例であるが、この方法において有機発光ダイオード O L E D のカソード側を A C 駆動して駆動電流を流す、流さないを制御してもよい。

一方、前者の発光制御を走査線により制御する方法では、駆動トランジスタ M_d のドレイン側、または、ソースと有機発光ダイオード O L E D との間に、他のトランジスタを挿入し、そのゲートを電源駆動制御の走査線で駆動する。

50

【 0 1 3 4 】

< 変形例 5 >

図 4 および図 1 1 に示す表示制御は、閾値補正期間 (VTC) を 3 回の補正で行っていたが、1 回の補正、または、3 回以外の複数回の連続した (初期化を間に挟まないとの意味) 処理によって閾値補正を行ってもよい。さらに、移動度補正を行ってからデータの書き込みを行う表示制御でもよい。その場合、データの書き込みに本発明を適用する、移動度補正に本発明を適用する、その両方に本発明を適用する、の何れも可能である。

【 0 1 3 5 】

本実施形態およびその変形例によれば、以下の効果がある。

図 1 0 のような画素回路構成では、特に黒表示の場合に、駆動トランジスタ M_d のゲート電位がより低いため、リークを起こしやすい。映像信号線 $DTL(j)$ には常にデータ基準電位 V_o とデータ電位 V_{sig} が与えられ、データ電位 V_{sig} も常に変化している。このため、式 (3) が満たされないと、駆動トランジスタ M_d のゲートには映像信号線電位が漏れこむ。このとき、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} は、黒レベル以上の電圧となり、これは黒浮きとして表れ、コントラストの低下となる。

また、サンプリングトランジスタ M_s が完全にオンする場合、その前に保持していたデータ電圧 V_{in} と、映像信号線 DTL のデータ電圧 $V_{in} (= V_o + V_{sig})$ が大きく異なると、その表示ラインは筋状の画面ノイズとして見え大きく画質が低下する。

【 0 1 3 6 】

本実施形態では、例えば式 (3) を満たす第 2 オフ電位 V_{ws_L2} を新たに規定し、この電位で必要な期間だけサンプリングトランジスタ M_s を深いオフ状態にする。これにより、ゲート電圧 V_g がどのような場合でもサンプリングトランジスタ M_s がオンしない。

その結果、黒浮きを防止または抑制し高コントラストの画質を得ることができ、さらに大きな画質低下も防止できる。

【 図面の簡単な説明 】

【 0 1 3 7 】

【 図 1 】 本発明の実施形態に関わる有機 EL ディスプレイの主要構成を示す図である。

【 図 2 】 本発明の実施形態に関わる画素回路の基本構成の一例と、その画素回路を制御する駆動回路部分を示す図である。

【 図 3 】 有機発光ダイオードの特性を表すグラフと式を示す図である。

【 図 4 】 本発明の実施形態に関わり、本発明を適用前の表示制御における各種信号や電圧の波形を示すタイミングチャートである。

【 図 5 】 図 4 の制御における V_o サンプリングまでの動作説明図である。

【 図 6 】 図 4 の制御における第 2 閾値補正までの動作説明図である。

【 図 7 】 図 4 の制御における第 3 閾値補正までの動作説明図である。

【 図 8 】 本発明の実施形態に関わるソース電位の時間推移のグラフである。

【 図 9 】 図 4 の制御における発光期間までの動作説明図である。

【 図 1 0 】 本発明の実施形態の一例に関わる画素回路の構成と、その画素回路を制御する駆動回路部分を示す図である。

【 図 1 1 】 図 1 0 に示す隣接する 2 つの画素回路の配線配置と、それに対応した等価回路を示す図である。

【 図 1 2 】 本発明の実施形態において、消灯と発光の表示ライン間の推移を説明するための図である。

【 図 1 3 】 本発明の実施形態に関わり、電源走査線の電位変化による画素回路の電位変動を、式を用いて説明するための図である。

【 図 1 4 】 本発明の実施形態に関わり、電源走査線のオフ電位を切り替えるための回路構成例を示す図である。

【 図 1 5 】 図 1 4 の回路の動作波形図である。

【 図 1 6 】 背景技術 (特許文献 1) に記載された画素回路の等価回路図を、参照符号を一部変更して転記した図である。

10

20

30

40

50

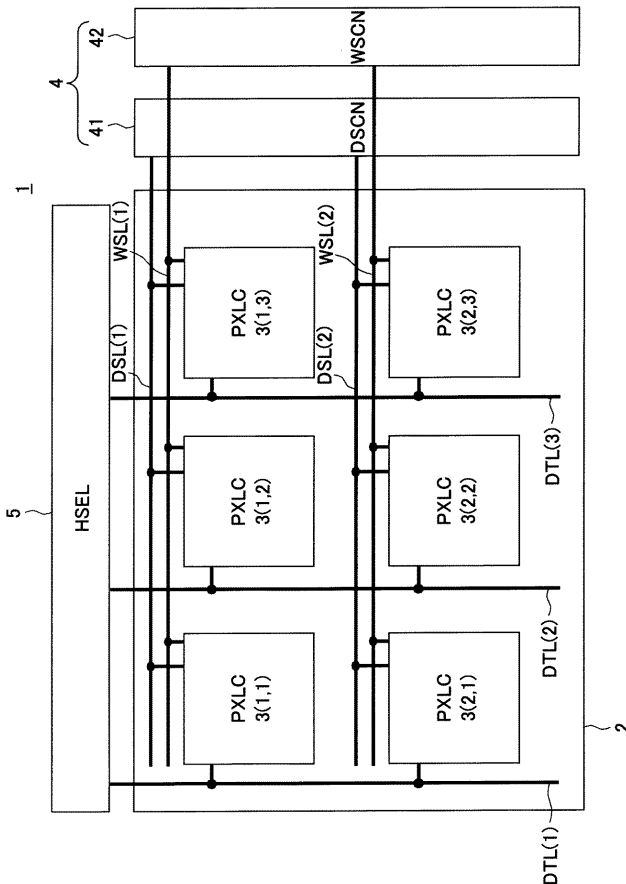
【符号の説明】

【 0 1 3 8 】

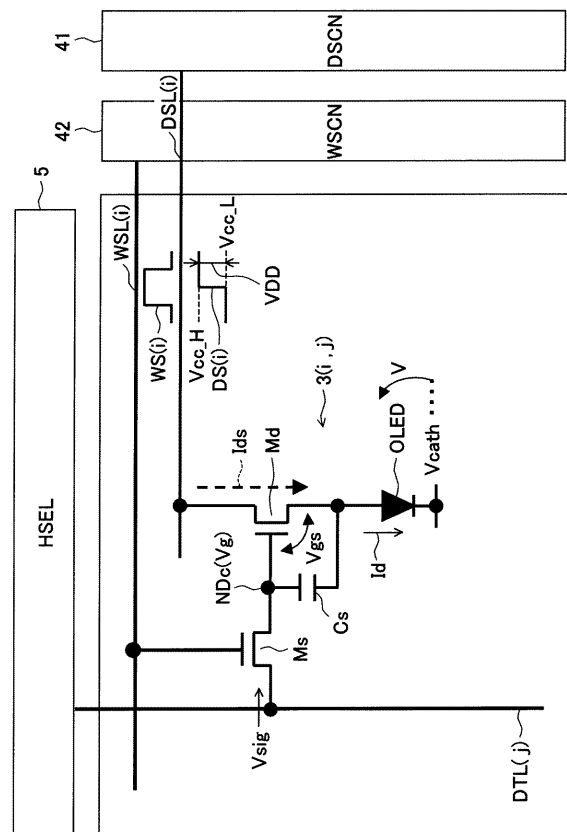
1 ... 有機 E L ディスプレイ、2 ... 画素アレイ、3 ... 画素回路、4 ... V スキャナ、5 ... H スキャナ、4 1 ... 水平画素ライン駆動回路、4 2 ... 書き込み信号走査回路、4 3 ... 書き込みスキャナ、O L E D ... 有機発光ダイオード、M 1 ... 駆動トランジスタ、M s ... サンプルングトランジスタ、C s ... 保持キャパシタ、C o l e d ... 有機発光ダイオードの容量、C s u b ... 補助キャパシタ、N D c ... 制御ノード、N D s ... ソースノード、W S L ... 書込走査線、D S L ... 電源走査線、D T L ... 映像信号線、V s i g ... データ電位、V o ... データ基準電位、V w s _ H ... 書込走査線のオン電位、V w s _ L 1 ... 書込走査線の第 1 オフ電位、V w s _ L 2 ... 書込走査線の第 2 オフ電位、V c c _ H ... 電源走査線の高電位、V c c _ L ... 電源走査線の低電位、V g ... ゲート電圧

10

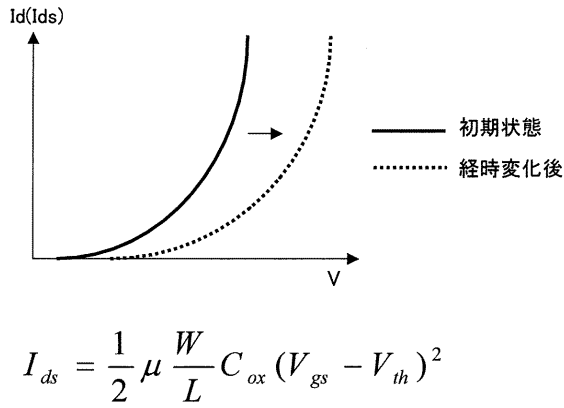
【 図 1 】



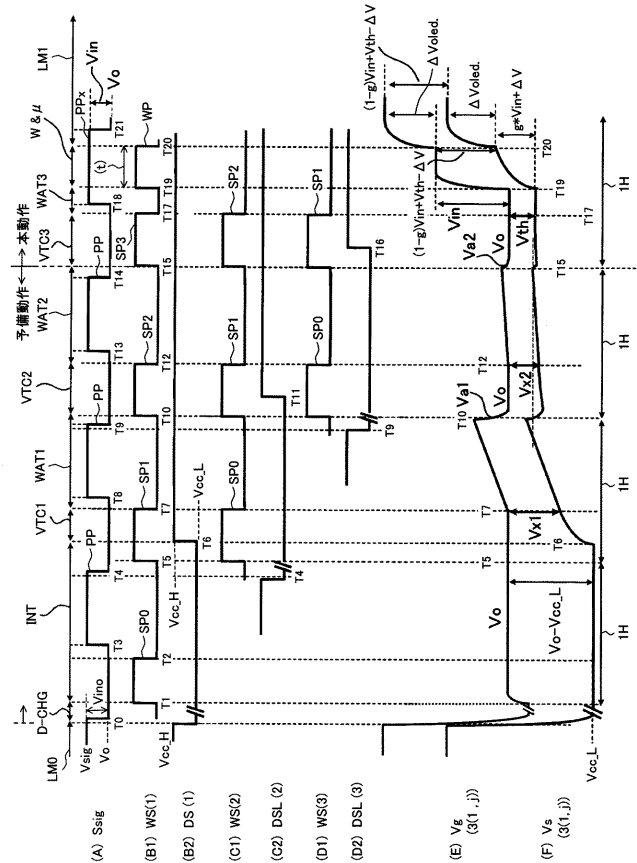
【 図 2 】



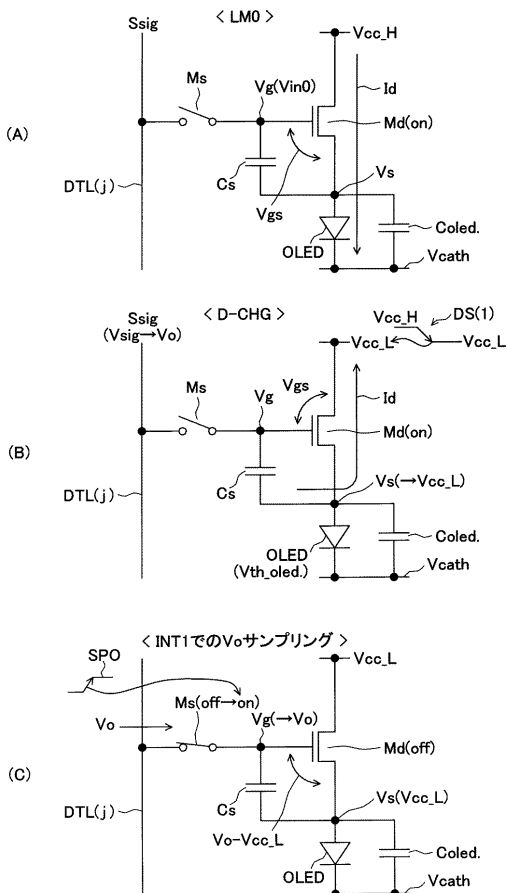
【図 3】



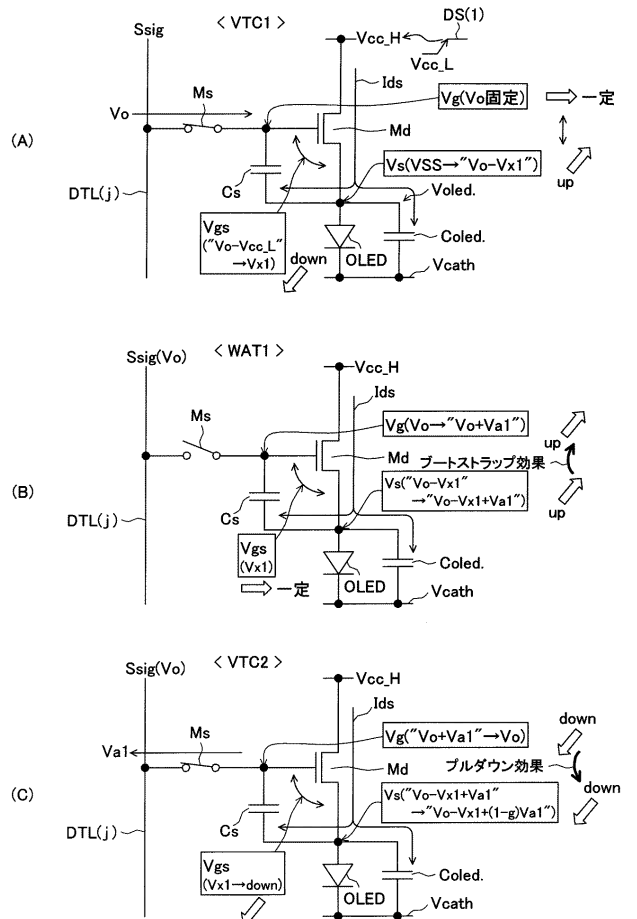
【図 4】



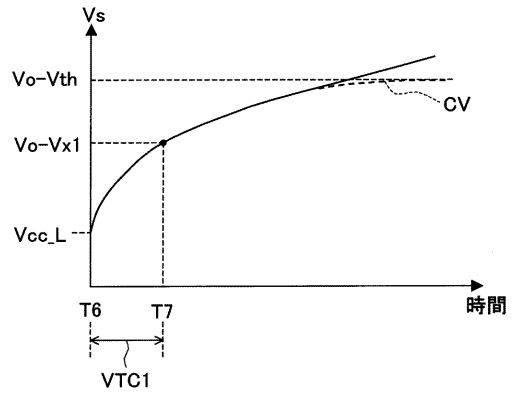
【図 5】



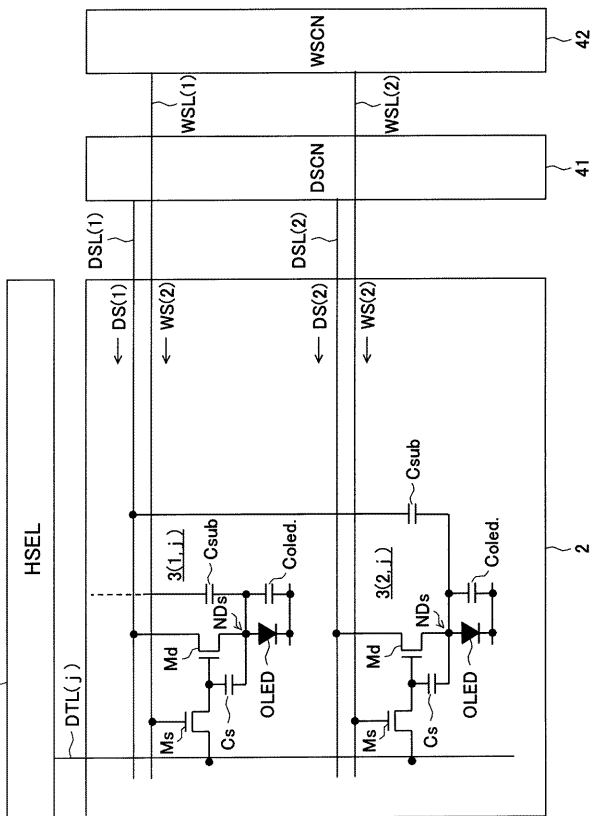
【図 6】



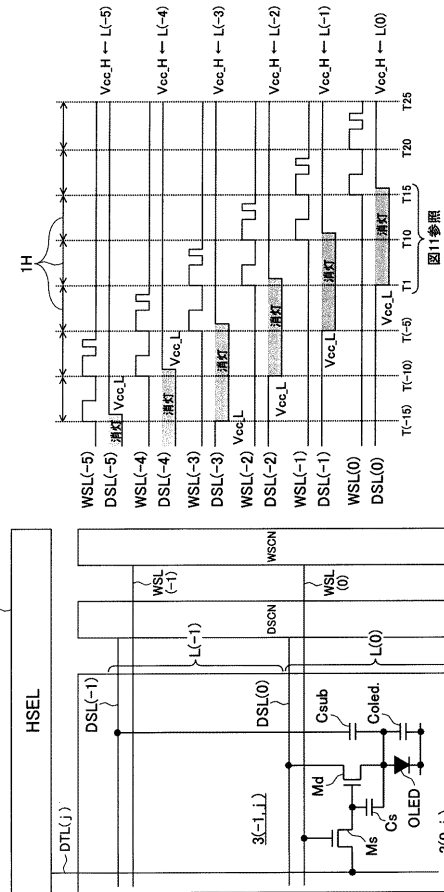
【 図 8 】



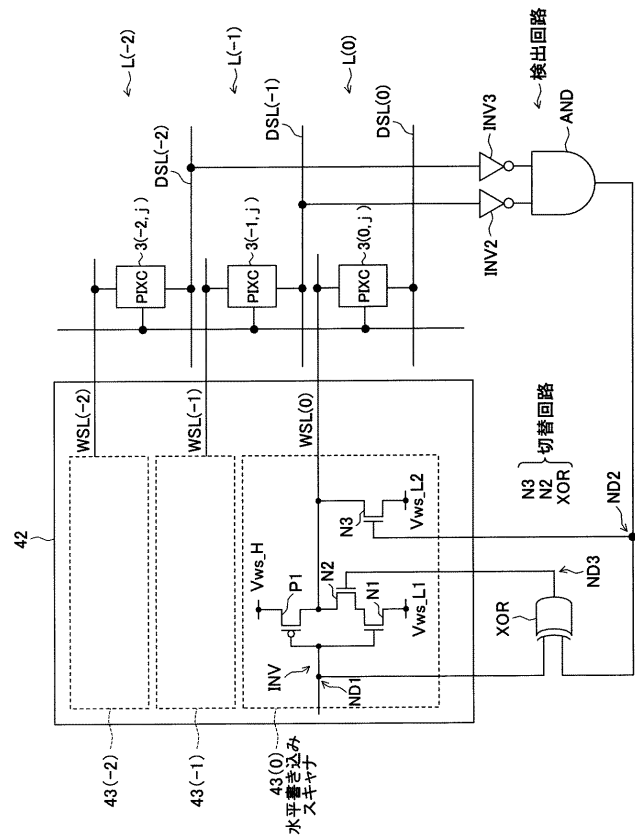
【 ㊦ 1 0 】



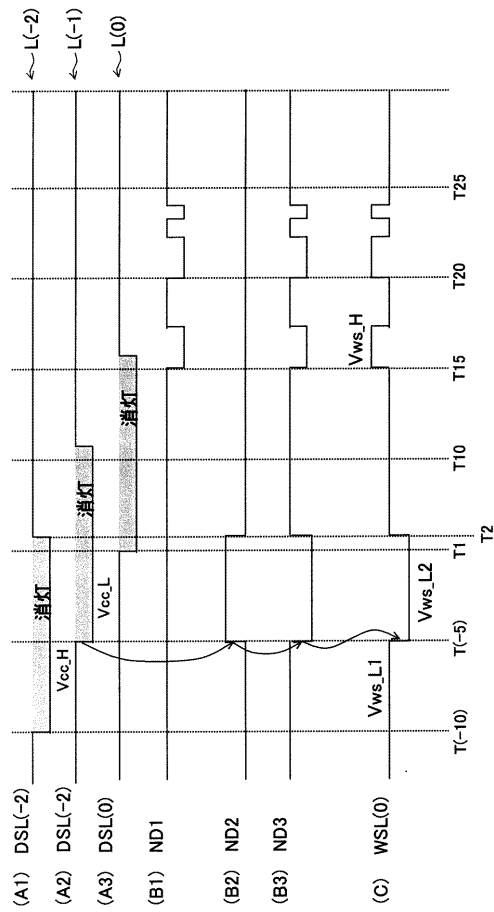
【 図 1 2 】



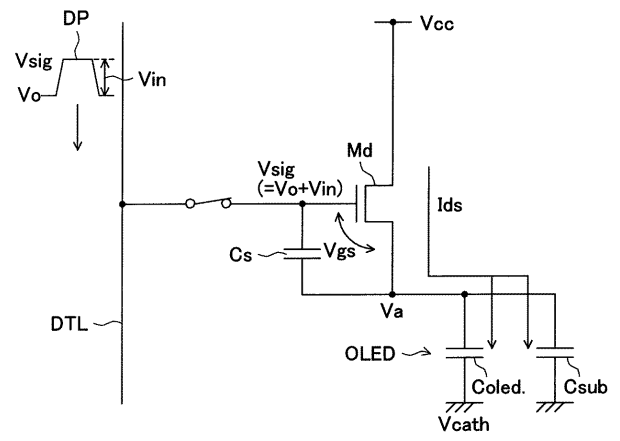
【 図 1 4 】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 HH04 HH05
5C080 AA06 BB05 DD01 DD05 EE29 FF01 FF11 HH09 JJ02 JJ03
JJ04 JJ05

专利名称(译)	自发光显示装置及其驱动方法		
公开(公告)号	JP2009169091A	公开(公告)日	2009-07-30
申请号	JP2008006957	申请日	2008-01-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 三並徹雄 谷亀貴央 内野勝秀		
发明人	飯田 幸人 三並 徹雄 谷亀 貴央 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.G G09G3/20.642.E G09G3/20.622.R H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD05 5C080/EE29 5C080/FF01 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB22 5C380/AB23 5C380/AB34 5C380/BB08 5C380/BB23 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CB02 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CD022 5C380/CD032 5C380/CF32 5C380/CF34 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：当辅助电容器Csub连接到前一级的电源扫描线DSL（-1）时，防止图像质量因前一级的电位变化而恶化。像素电路3（i，j）包括发光元件（OLED：电容Coled。），驱动晶体管Md，采样晶体管Ms，保持电容器Cs和辅助电容器Csub。驱动电路（写入信号扫描电路42，检测电路和开关电路）是其中要控制的像素电路3（0，j）用于发光的电路和其中电源扫描线DSL（-1）的其他扫描线的电路。写入扫描线WSL（0）的（0）仅在包括像素电路3（-1，j）之后的特定时间段的ON禁止时段（ND2为“H”的时段）期间电势Vws_L1切换到第二截止电势Vws_L2，在该第二截止电势Vws_L2处，采样晶体管Ms比在施加第一截止电势Vws_L1时更深地截止。The 14

