

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-157608

(P2007-157608A)

(43) 公開日 平成19年6月21日(2007.6.21)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/02 (2006.01)	H05B 33/02	3K007
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
H05B 33/10 (2006.01)	H05B 33/10	
G09F 9/30 (2006.01)	G09F 9/30 348A	
H01L 27/32 (2006.01)	G09F 9/30 365Z	
審査請求 未請求 請求項の数 6 O L (全 14 頁)		

(21) 出願番号 特願2005-354390 (P2005-354390)
 (22) 出願日 平成17年12月8日 (2005.12.8)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 山本 和人
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社八王子技術センター内
 (72) 発明者 白崎 友之
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社八王子技術センター内
 Fターム(参考) 3K007 AB08 AB17 BA06 DB03 EA00
 GA00

最終頁に続く

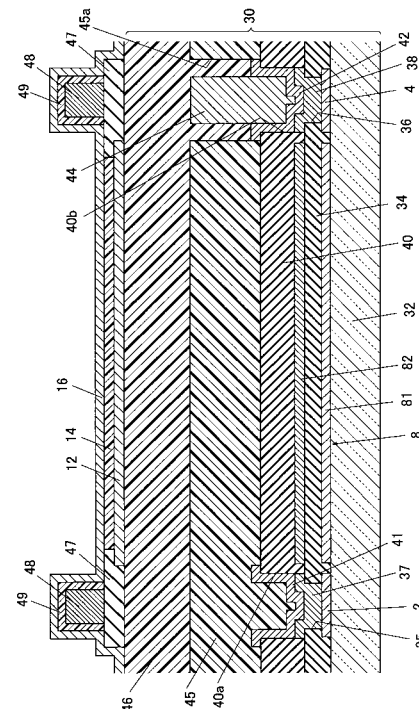
(54) 【発明の名称】 エレクトロルミネッセンスディスプレイパネル及びその製造方法

(57) 【要約】

【課題】 画素電極に段差を抑制する。

【解決手段】 ELディスプレイパネル1は、絶縁基板32と、絶縁基板32上に形成された供給線4と、画素ごとに基板上に形成されたキャパシタの他方の電極81と、電極81及び供給線4を被覆したゲート絶縁膜34と、ゲート絶縁膜34上において電極81に対向した一方の電極82と、電極82を被覆した保護絶縁膜40と、保護絶縁膜40から突出するよう供給線4に積層された導電膜44と、保護絶縁膜40上に成膜された第1平坦化膜45と、第1平坦化膜45上に成膜された第2平坦化膜46と、第2平坦化膜46上において画素ごとに設けられたサブピクセル電極12と、サブピクセル電極12上に形成された有機化合物発光層14と、有機化合物発光層14上に形成された共通電極16と、を備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板と、
前記基板上に形成された導電膜と、
前記導電膜の周囲に形成された第 1 平坦化膜と、
前記導電膜及び前記第 1 平坦化膜を覆うように形成された第 2 平坦化膜と、
前記第 2 平坦化膜上に形成された有機 EL 素子と、
を備えることを特徴とするエレクトロルミネッセンスディスプレイパネル。

【請求項 2】

前記有機 EL 素子の下方には、キャパシタが配置されていることを特徴とする請求項 1 に記載のエレクトロルミネッセンスディスプレイパネル。 10

【請求項 3】

前記第 2 平坦化膜は前記第 1 平坦化膜よりも平坦化性に優れている材料からなることを特徴とする請求項 1 又は 2 に記載のエレクトロルミネッセンスディスプレイパネル。

【請求項 4】

導電膜が形成された基板上に第 1 平坦化膜を成膜し、
前記導電膜上に位置する前記第 1 平坦化膜を除去し、
前記導電膜及び前記第 1 平坦化膜を覆うように第 2 平坦化膜を形成する、
ことを特徴とするエレクトロルミネッセンスディスプレイパネルの製造方法。

【請求項 5】

前記第 1 平坦化膜は感光性樹脂であることを特徴とする請求項 4 に記載のエレクトロルミネッセンスディスプレイパネルの製造方法。 20

【請求項 6】

前記第 2 平坦化膜は前記第 1 平坦化膜よりも平坦化性に優れている材料からなることを特徴とする請求項 4 又は 5 に記載のエレクトロルミネッセンスディスプレイパネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセンス素子を画素ごとに設けたエレクトロルミネッセンスディスプレイパネル及びその製造方法に関する。 30

【背景技術】

【0002】

エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式のディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式のディスプレイよりも優れている。例えば特許文献 1 に記載された従来のアクティブマトリクス駆動方式のディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機 EL 素子という。）と、階調データに応じた電圧信号がゲートに印加されて有機 EL 素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに階調データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタと、スイッチ用トランジスタのオフ時に電荷を保持するキャパシタとが、サブピクセルごとに設けられている。 40

【0003】

また、有機 EL 素子の画素電極がマトリクス状に配列され、画素電極上に有機化合物発光層が形成され、有機 EL 素子の共通電極が有機化合物発光層上に形成されている。

【0004】

このようなディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベル 50

に応じた大きさの駆動電流が電源から駆動トランジスタのソースドレインを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルがキャパシタによって保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【0005】

ディスプレイパネルを駆動するために、ディスプレイパネルの周辺に駆動回路を設け、ディスプレイパネルの表示領域内に形成された配線（例えば、走査線、信号線、供給線等）に電圧を印加することが行われている。配線を通じて有機EL素子に電流が流れることになり、このような配線は薄膜トランジスタの電極と同時にパターンニングされる。即ち、ディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に配線も形状加工する。そのため、配線の厚さは薄膜トランジスタの電極の厚さと同じになる。

10

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、薄膜トランジスタの電極は構造上、薄く設計されているため、配線も薄くなるが、そのため配線の電気抵抗が高い。そのような配線から有機EL素子に電流を流そうとすると、配線の電気抵抗によって、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。そのため、本出願人は、電圧降下及び電流遅延を抑えるために配線を低抵抗化するために、配線上に別途金属層を積層することを開発している。

20

【0007】

ところが、金属層、キャパシタ及び薄膜トランジスタ等を被覆するように樹脂層が積層されているので、樹脂層の表面は金属層の上の部分と、キャパシタの上の部分で段差が生じてしまう。有機EL素子の画素電極がキャパシタの上において樹脂層上に形成されているので、画素電極が段差にかかってしまい、画素電極にも段差が生じてしまう。そのため、画素電極上に形成された有機化合物発光層の厚みが均一にならず、有機化合物発光層の薄い部分に流れる電流と厚い部分に流れる電流に差が生じこれらの間で発光輝度に差が発生してしまう。強いては、有機化合物発光層が途切れてしまい、画素電極と共通電極がショートしてしまうこともある。

30

【0008】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、画素電極に段差を抑制することことを目的とする。

【課題を解決するための手段】

【0009】

以上の課題を解決するために、本発明に係るエレクトロルミネッセンスディスプレイパネルは、

基板と、

40

前記基板上に形成された導電膜と、

前記導電膜の周囲に形成された第1平坦化膜と、

前記導電膜及び前記第1平坦化膜を覆うように形成された第2平坦化膜と、

前記第2平坦化膜上に形成された有機EL素子と、

を備えることを特徴とする。

前記有機EL素子の下方には、キャパシタが配置されていてもよい。

前記第2平坦化膜は前記第1平坦化膜よりも平坦化性に優れている材料からなることが好ましい。

【0010】

本発明に係るエレクトロルミネッセンスディスプレイパネルの製造方法は、

50

導電膜が形成された基板上に第 1 平坦化膜を成膜し、
前記導電膜上に位置する前記第 1 平坦化膜を除去し、
前記導電膜及び前記第 1 平坦化膜を覆うように第 2 平坦化膜を形成する、
ことを特徴とする。

【0011】

前記第 1 平坦化膜は感光性樹脂であることが好ましい。

前記第 2 平坦化膜は前記第 1 平坦化膜よりも平坦化性に優れている材料からなるが好ましい。

【発明の効果】

【0012】

本発明によれば、導電膜と基板との間の段差を第 1 平坦化膜が緩和し、さらに第 2 平坦化膜が、第 1 平坦化膜及び導電膜を覆うように形成することで、導電膜上と導電膜の周囲上での段差を抑制することができる。

【発明を実施するための最良の形態】

【0013】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語を EL と略称する。

【0014】

更に以下においてはカラーディスプレイパネルとして説明を行うため、「ピクセル」が赤、緑、青の「サブピクセル」からなるものとして、「サブピクセル」という用語を用いるが、モノクロディスプレイパネルの場合には、「サブピクセル」という用語が「ピクセル」という用語になる。つまり、カラーディスプレイパネルの場合には、「サブピクセル」が「画素」に相当し、モノクロディスプレイパネルの場合には、「ピクセル」が「画素」に相当する。

【0015】

図 1 は、アクティブマトリクス駆動方式で動作する EL ディ스플레이パネル 1 の 2 行 3 列分のサブピクセルの回路図である。図 1 では、図面を簡略化するために 2 行 3 列分のサブピクセルを示したが、実際にはより多くの行数及び列数分のサブピクセルが配列されている。

【0016】

図 1 に示すように、EL ディ스플레이パネル 1 には、複数の走査線 2 が互いに平行となるよう配列され、複数の信号線 3 が走査線 2 と直交するよう配列され、隣り合う走査線 2 の間において供給線 4 が走査線 2 と平行になるよう設けられている。走査線 2 と信号線 3 によって囲まれた矩形領域がサブピクセルとなり、複数のサブピクセルがマトリクス状に配列されている。

【0017】

1 サブピクセルにつき薄膜トランジスタ 5, 6, 7 とキャパシタ 8 と有機 EL 素子 10 とが設けられている。以下、薄膜トランジスタ 5 をスイッチトランジスタ 5 と称し、薄膜トランジスタ 6 を保持トランジスタ 6 と称し、薄膜トランジスタ 7 を駆動トランジスタ 7 と称する。

【0018】

それぞれのサブピクセルでは、スイッチトランジスタ 5 のゲートが走査線 2 に接続され、スイッチトランジスタ 5 のドレインとソースのうちの一方が信号線 3 に接続され、スイッチトランジスタ 5 のドレインとソースのうちの他方が有機 EL 素子 10 のアノード、キャパシタ 8 の一方の電極 8 2 及び駆動トランジスタ 7 のソースとドレインのうちの一方に接続されている。駆動トランジスタ 7 のソースとドレインのうちの他方が供給線 4 に接続され、駆動トランジスタ 7 のゲートがキャパシタ 8 の他方の電極 8 1 及び保持トランジ

10

20

30

40

50

タ 6 のドレインとソースのうちの一方に接続されている。保持トランジスタ 6 のドレインとソースのうちの他方が供給線 4 に接続され、保持トランジスタ 6 のゲートが走査線 2 に接続されている。

【0019】

全てのサブピクセルの有機 EL 素子 10 はカソードを共通電極とし、カソードが接地といった一定電圧 V_{com} に保たれている。有機 EL 素子 10 の発光色については、同一の行の有機 EL 素子 10 は赤、緑、青の順に配列され、同一の列の有機 EL 素子 10 は同じ色となっている。

【0020】

EL ディスプレイパネル 1 の周囲において走査線 2 が電圧制御の第 1 の走査側ドライバに接続され、供給線 4 が電圧制御の第 2 の走査側ドライバに接続され、信号線 3 が電流制御のデータ側ドライバに接続され、これらドライバによって EL ディスプレイパネル 1 がアクティブマトリクス駆動方式で駆動される。 10

【0021】

図 2 は、EL ディスプレイパネル 1 の 2 行 6 列分のサブピクセルの概略平面図であり、図 3 は、図 2 の切断線 III-III に沿った面の矢視断面図であり、図 4 は、図 2 の切断線 IV-IV に沿った面の矢視断面図である。図 2 に示すように、同じ行の走査線 2 と供給線 4 との間においては有機 EL 素子 10 の発光領域となる有機化合物発光層 14 が行方向に配列され、信号線 3 と隣りの信号線 3 との間においては有機化合物発光層 14 が列方向に配列され、全体として有機化合物発光層 14 がマトリクス状に配列されている。 20

【0022】

図 3 に示すように、有機 EL 素子 10 のアノードとなるサブピクセル電極 12 が有機化合物発光層 14 の下に形成され、有機 EL 素子 10 のカソードとなる共通電極 16 が有機化合物発光層 14 の上に形成され、下からサブピクセル電極 12、有機化合物発光層 14、共通電極 16 の順に積層された構造が有機 EL 素子 10 となる。サブピクセル電極 12 はサブピクセルごとに独立して形成され、サブピクセル電極 12 がマトリクス状に配列されている。共通電極 16 がべた一面に成膜され、共通電極 16 は全てのサブピクセルに共通した電極である。

【0023】

サブピクセル電極 12 は、錫ドープ酸化インジウム (ITO)、亜鉛ドープ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム-錫酸化物 (CTO) からなる。 30

【0024】

有機化合物発光層 14 は、例えばサブピクセル電極 12 から順に正孔輸送層、発光層の順に積層した二層構造である。正孔輸送層は、例えば、導電性高分子である PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなり、発光層は、ポリフェニレンビニレン系発光材料からなる。

【0025】

共通電極 16 は、サブピクセル電極 12 よりも仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム、バリウム、希土類金属の少なくとも一種を含む単体又は合金で形成されている。また、共通電極 16 は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてより高仕事関数の金属層が堆積した積層構造となっても良く、具体的には、有機化合物発光層 14 と接する界面側に成膜された低仕事関数の層として高純度のバリウム層と、高仕事関数の層としてバリウム層を被覆したアルミニウム層との積層構造や、低仕事関数の層として下層にリチウム層、高仕事関数の層として上層にアルミニウム層が設けられた積層構造が挙げられる。 40

【0026】

サブピクセル電極 12 はトランジスタアレイパネル 30 の表面に積層されており、このトランジスタアレイパネル 30 に走査線 2、信号線 3、供給線 4、スイッチトランジスタ 50

5、保持トランジスタ6、駆動トランジスタ7及びキャパシタ8が設けられている。

【0027】

トランジスタアレイパネル30は透明な絶縁基板32をベースとしており、絶縁基板32上に絶縁膜、導電膜、半導体膜、不純物半導体膜等がパターンニングされることで、走査線2、信号線3、供給線4、スイッチトランジスタ5、保持トランジスタ6、駆動トランジスタ7及びキャパシタ8が設けられている。

【0028】

図4に示すように、駆動トランジスタ7はアモルファスシリコントランジスタであり、逆スタガ構造とされている。つまり、駆動トランジスタ7は、絶縁基板32上に形成されたゲート71と、ゲート71を被覆したゲート絶縁膜34を挟んでゲート71に対向した半導体膜72と、半導体膜72の中央部上に形成された絶縁膜からなるチャンネル保護膜73と、半導体膜73の両端部上において互いに離間するよう形成された不純物半導体膜74、75と、ドレインとソースのうちの一方の電極76であって不純物半導体膜74上に形成された電極76と、ドレインとソースのうちの他方の電極77であって不純物半導体膜75上に形成された電極77と、から構成されている。

10

【0029】

スイッチトランジスタ5及び保持トランジスタ6も駆動トランジスタ7と同様に逆スタガ構造とされており、絶縁基板32上に形成されたゲートと、ゲートを被覆したゲート絶縁膜34を挟んでゲートに対向した半導体膜と、半導体膜の中央部上に形成されたチャンネル保護膜と、半導体膜の両端部上において互いに離間するよう形成された不純物半導体膜と、一方の不純物半導体膜上に形成されたドレインと、他方の不純物半導体膜上に形成されたソースと、から構成されている。スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7は、共通の保護絶縁膜40によって被覆されている。なお、スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7はポリシリコントランジスタであってもよく、コプラナ型構造であってもよい。

20

【0030】

図2～図4に示すように、スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7のゲートは、絶縁基板32上にべた一面に成膜された導電膜（例えば、アルミニウム-チタン合金）のパターンニングにより形成されたものであり、ゲートのほかに走査線2、供給線4、キャパシタ8の他方の電極81もこの導電膜のパターンニングより形成されたものである。

30

【0031】

ゲート絶縁膜34はべた一面に成膜され、スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7のゲート、キャパシタ8の他方の電極81、走査線2、供給線4は共通のゲート絶縁膜34によって被覆されている。信号線3の間においては、開口部35が走査線2に重なるようゲート絶縁膜34に形成され、開口部36が供給線4に重なるようゲート絶縁膜34に形成されている。

【0032】

スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7のソースとドレインは、ゲート絶縁膜34上にべた一面に成膜された導電膜（例えば、クロムにアルミニウム-チタン合金を積層した膜）のパターンニングにより形成されたものであり、キャパシタ8の一方の電極82及び信号線3もこの導電膜のパターンニングにより形成されたものである。更に、開口部35内において導電パターン37が走査線2に積層され、開口部36内において導電パターン38が供給線4に積層されており、導電パターン37、38も、ゲート絶縁膜34上にべた一面に成膜された導電膜のパターンニングにより形成されたものである。キャパシタ8の一方の電極82は、ゲート絶縁膜34を挟んでキャパシタ8の他方の電極81に対向するよう形成されている。図3に示すキャパシタ8の一方の電極82が、信号線3に沿って配置されるスイッチトランジスタ5のドレインとソースのうちの他方と接続されている。

40

【0033】

50

スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7のソースとドレインのほかにキャパシタ8の一方の電極82及び信号線3も、共通の保護絶縁膜40によって被覆されている。保護絶縁膜40には、開口部40aが導電パターン37に重なるよう形成されているとともに、開口部40bが導電パターン38に重なるよう形成されている。更に、開口部40a内においてコンタクト層41が導電パターン37に積層され、開口部40b内において下地メッキ層42が導電パターン38に積層されている。走査線2の上方に設けられたコンタクト層41は、表示領域外に形成されるコンタクトホールを介して走査線2を走査する走査ドライバの各端子と接続されている。下地メッキ層42の上面には銅からなる導電膜44が積層されており、この導電膜44は下地メッキ層42を下地電極としてメッキ法により成長させたものである。従って、導電膜44は、走査線2、信号線3、供給線4、スイッチトランジスタ5、保持トランジスタ6及び駆動トランジスタ7のゲート、ソース、ドレイン等と比較してもこれらよりも十分に厚く設けられ、導電膜44が41bから保護絶縁膜40の表面よりも高く突出した状態とされている。コンタクト層41及び下地メッキ層42は同一の導電膜をパターンニングすることによって一括に形成されている。導電膜44は、下地メッキ層42、導電パターン38を介して供給線4に接続されている。なお、コンタクト層41の代わりに、導電膜44を接着するための中間層としても良い。

10

【0034】

保護絶縁膜40上には、導電膜44の周囲を除いて第1平坦化膜45が成膜されている。第1平坦化膜45の厚さは、保護絶縁膜40の表面を基準とした導電膜44の突出高さにはほぼ等しく、この第1平坦化膜45の表面が平坦となっており、走査線2、スイッチトランジスタ5、保持トランジスタ6、駆動トランジスタ7及びキャパシタ8等による凹凸が第1平坦化膜45によって解消されている。更に、導電膜44の周囲を除いて第1平坦化膜45が成膜されることで、保護絶縁膜40の表面と導電膜44の頭頂との間の段差が解消される。第1平坦化膜45の厚さは導電膜44の突出した高さに等しいことが好ましいが、第1平坦化膜45は導電膜44がより薄くてもよい。

20

【0035】

第1平坦化膜45上には有機樹脂等からなる第2平坦化膜46がべた一面に成膜され、この第2平坦化膜46によって導電膜44が被覆されている。第2平坦化膜46は、第1平坦化膜45よりも平坦性が高い材料から選択されている。このように第1平坦化膜45上に第2平坦化膜46が成膜されることで、第2平坦化膜46の表面の平坦度が向上する。

30

【0036】

この第2平坦化膜46の表面に有機EL素子が形成されることになり、有機EL素子のサブピクセル電極12が第2平坦化膜46の表面でマトリクス状に配列されている。サブピクセル電極12は保護絶縁膜40、第1平坦化膜45及び第2平坦化膜46を介してキャパシタ8の電極82に一部対向している。各サブピクセル電極12の中央部が露出され、且つサブピクセル電極12の周縁の2辺乃至4辺を覆うように絶縁膜47が第2平坦化膜46上に形成されている。絶縁膜47がサブピクセル電極12の周縁の相対向する2辺のみを覆っている場合は、絶縁膜47は走査線2及び供給線4と平行となって各走査線2及び各供給線4に重なっているストライプ形状に配置されている。

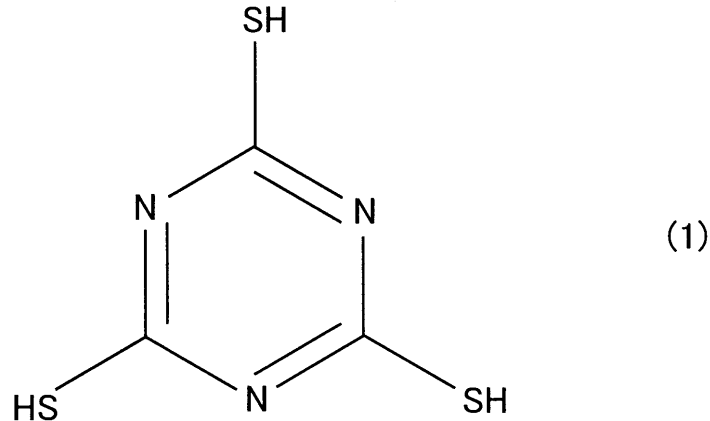
40

【0037】

絶縁膜47上には、メッキ法により成長させた共通配線48が走査線2及び供給線4と平行となるよう形成されている。共通配線48の表面には、撥水性・撥油性を有した撥液性導通膜49が成膜されている。撥液性導通膜49は、次の化学式(1)に示されたトリアジントリチオールの1又は2のチオール基(-SH)の水素原子(H)が還元離脱し、硫黄原子(S)が金属である共通配線48の表面に酸化吸着したものである。

【0038】

【化 1】



10

【0039】

撥液性導通膜 49 はトリアジントリチオール分子ユニットが共通配線 48 の表面にごく薄く被膜された膜であるから、撥液性導通膜 49 が非常に低抵抗であって厚さ方向に導通する。なお、撥液性導通膜 49 は、トリアジントリチオールに限らず、トリアジンジチオール等のトリアジン化合物でもよく、撥水性・撥油性を顕著にするためにトリアジントリチオールに代えて、トリアジントリチオールの 1 又は 2 のチオール基がフッ化アルキル基に置換したトリアジンチオール誘導体でも良い。

20

【0040】

共通電極 16 は全てのサブピクセルに共通した電極であるので、共通電極 16 が共通配線 48 をも被覆してべた一面に成膜されている。

【0041】

EL ディスプレイパネル 1 の製造方法について説明する。

まず、気相成長法（スパッタリング、蒸着法等）によって絶縁基板 32 の表面に導電膜を成膜し、フォトリソグラフィ法・エッチング法によってその導電膜をパターンニングする。これにより、キャパシタ 8 の他方の電極 81 と、スイッチトランジスタ 5、保持トランジスタ 6 及び駆動トランジスタ 7 のゲートと、走査線 2 と、供給線 4 とを形成する。

【0042】

次に、気相成長法によって窒化シリコン又は酸化シリコン等のゲート絶縁膜 34 をべた一面に成膜し、ゲート絶縁膜 34 によってキャパシタ 8 の他方の電極 81 と、スイッチトランジスタ 5、保持トランジスタ 6 及び駆動トランジスタ 7 のゲートと、走査線 2 と、供給線 4 とを被覆する。次に、供給線 4 上において開口部 36 をゲート絶縁膜 34 に形成し、走査線 2 上において開口部 35 をゲート絶縁膜 34 に形成する。次に、気相成長法によって導電膜をゲート絶縁膜 34 上にべた一面に成膜し、フォトリソグラフィ法・エッチング法によってその導電膜をパターンニングする。これにより、キャパシタ 8 の一方の電極 82 と、スイッチトランジスタ 5、保持トランジスタ 6 及び駆動トランジスタ 7 の各ドレイン・ソースと、信号線 3 と、導電パターン 37, 38 とを形成する。キャパシタ 8 の一方の電極 82 は他方の電極 81 に対向させるようパターンニングされている。

30

40

【0043】

次に、気相成長法によって窒化シリコン又は酸化シリコン等の保護絶縁膜 40 をべた一面に成膜し、保護絶縁膜 40 によってキャパシタ 8 の一方の電極 82 と、スイッチトランジスタ 5、保持トランジスタ 6 及び駆動トランジスタ 7 のドレイン・ソースと、信号線 3 と、導電パターン 37, 38 とを被覆するよう形成する。次に、供給線 4 上において開口部 40b を保護絶縁膜 40 に形成し、走査線 2 上において開口部 40a を保護絶縁膜 40 に形成する。次に、開口部 40a 内の導電パターン 37 上及び開口部 40b 内の導電パターン 38 上にそれぞれスパッタ等で銅からなるコンタクト層 41 及び下地メッキ層 42 を形成する。次に、供給線 4 に電圧を印加した電解メッキ法を行うことで、下地メッキ層 42 上に導電膜 44 を成長させる。このとき、導電膜 44 が開口部 40b から突出して保護

50

絶縁膜 40 の表面よりも導電膜 44 が高くなるように導電膜 44 を成長させる。なお、導電膜 44 を電解メッキ法ではなく無電解メッキ法によって成膜しても良い。

【0044】

次に、絶縁基板 32 を回転台で回転させながら、保護絶縁膜 40 上にポリイミド等の感光性樹脂を塗布する（スピンコート法）ことで、第 1 平坦化膜 45 を成膜する（図 5）。ここで、第 1 平坦化膜 45 の厚さは導電膜 44 の突出高さに等しいことが好ましいが、導電膜 44 が第 1 平坦化膜 45 より厚くてもよい。このように第 1 平坦化膜 45 を成膜すると、図 5 に示すように、第 1 平坦化膜 45 は導電膜 44 の部分の上において盛り上がった状態になっている。基板上に 400～420 nm 厚の Al 合金膜を堆積してからパターンニングして導電膜 44 と同様に段差を生じさせ、その上に窒化シリコン膜を成膜し、Al 合金膜がある部分とない部分での段差を 420 nm とし、さらにその上に第 1 平坦化膜 45 として利用できる感光性樹脂（JSR 社製 PC403）を成膜したところ、図 8 に示すように、段差が 190 nm 程度に縮まり、平坦度が 54 % になることが確認された。このように盛り上がった部分の段差は、導電膜 44 の突出高さよりも十分低い。なお、この感光性樹脂の粘度を 30 CP としたときの、スピンコートの回転速度を 500 rpm、成膜時間を 6 秒、或いは、スピンコートの回転速度を 1000 rpm、成膜時間 20 秒に設定している。第 1 平坦化膜 45 の厚さが厚くても、絶縁基板 32 の回転速度を調整し、スピンコート法により図 5 に示すように、導電膜 44 上を第 1 平坦化膜 45 が覆うことが可能になる。なお、図 8 において、凡例（塗布前）については導電膜 44 のトップ部分の高さ位置をゼロ基準とし、凡例（第 1 平坦化膜）については導電膜 44 の上における第 1 平坦化膜 45 の表面の高さ位置をゼロ基準とする。

【0045】

次に、感光性樹脂を露光・現像することによって、図 6 に示すように、第 1 平坦化膜 45 を導電膜 44 の周囲の部分で除去し開口部 45a を形成する。ここで、第 1 平坦化膜 45 がポジ型の場合には、導電膜 44 の周囲部分を露光し、第 1 平坦化膜 45 がネガ型の場合には、導電膜 44 の周囲部分を除いた部分を露光する。

【0046】

次に、図 7 に示すように、スピンコート法によって第 1 平坦化膜 45 上に絶縁膜からなる非感光性の第 2 平坦化膜 46 を成膜する。基板上に 400～420 nm 厚の Al 合金膜を堆積してからパターンニングして導電膜 44 と同様に段差を生じさせ、その上に窒化シリコン膜を成膜し、Al 合金膜がある部分とない部分での段差を 420 nm とし、さらにその上に、第 1 平坦化膜 45 を成膜することなしに、第 2 平坦化膜 46 として利用できる非感光性平坦化材料（長瀬産業製 SRK-762）を成膜したところ、図 8 に示すように、段差が 190 nm 程度に縮まり、平坦度が 94 % になることが確認された。なお、非感光性平坦化材料の粘度を 10 CP としたときの、スピンコートの回転速度を 500 rpm、成膜時間を 6 秒、或いは、スピンコートの回転速度を 1000 rpm、成膜時間 20 秒に設定している。このように、第 2 平坦化膜 46 は、平坦度が第 1 平坦化膜 45 の平坦度よりも高いが、感光性ではないために第 1 平坦化膜 45 の代替として用いると、導電膜 44 を露出するためには、さらに上部にフォトリソマスクを形成してエッチングしなければ開口部 45a が形成されない。また、第 1 平坦化膜 45 を兼ねて第 2 平坦化膜 46 のみを形成すると、導電膜 44 の段差によって周囲が隆起してしまい平坦度が低くなってしまう。

つまり、第 1 平坦化膜 45 を感光性樹脂としたことにより、段差抑制のために導電膜 44 上をエッチングするためのフォトリソマスクを形成しなくてよく、さらに、平坦度が第 1 平坦化膜 45 の平坦度よりも高い第 2 平坦化膜を形成したので、より表面を平滑にすることができる。このため、導電膜 44 を数 μm としても第 1 平坦化膜 45 及び第 2 平坦化膜 46 を組み合わせることによって十分段差を緩和することができる。なお、図 8 において、凡例（第 2 平坦化膜）については導電膜 44 の上における第 2 平坦化膜 46 の表面の高さ位置をゼロ基準とする。

【0047】

次に、気相成長法、フォトリソグラフィ法、エッチング法を順に行うことによって、

10

20

30

40

50

サブピクセルごとにサブピクセル電極 1 2 を形成する。次に、気相成長法、フォトリソグラフィ法、エッチング法を順に行うことによって、走査線 2 及び供給線 4 に重なるように絶縁膜 4 7 を形成する。次に、メッキ法によって絶縁膜 4 7 の上に共通配線 4 8 を成長させる。メッキ法によって共通配線 4 8 を成長させたので、共通配線 4 8 の高さは絶縁膜 4 7、サブピクセル電極 1 2 の厚みよりも大きい。共通配線 4 8 の材料としては、銅、銀又は金を用いると良い。

【0048】

次に、トリアジンチオール化合物の水酸化ナトリウム水溶液を精製する。次に、室温においてトリアジンチオール化合物の水酸化ナトリウム水溶液にトランジスタアレイパネル 3 0 を浸漬すると、金属からなる共通配線 4 8 の表面にトリアジンチオール化合物の撥液性導通膜 4 9 が選択的に形成され撥液性を示すことになるが、ITO 等の金属酸化物からなるサブピクセル電極 1 2 及び絶縁膜 4 7 の表面にはトリアジンチオール化合物の膜が撥液性を示す程度に形成されることはない。

10

【0049】

次に、正孔注入材料（例えば、導電性高分子である PEDOT 及びドーパントとなる PSS）を分散媒に分散した有機化合物分散液又は正孔注入材料を溶媒に溶解した有機化合物溶液をサブピクセル電極 1 2 に塗布し、その後発光材料（例えば、ポリフェニレンビニレン系等の共役二重結合ポリマを含む発光材料）の分散媒又は溶液をその上に塗布する。このような塗布によって、それぞれのサブピクセル電極 1 2 上に有機化合物からなる有機化合物発光層 1 4 を形成する。このとき、分散媒又は溶液はサブピクセル電極 1 2 になじみ、撥液性導通膜 4 9 ではじかれるので乾燥後、比較的平滑で均一な厚さに成膜することができる。さらに、厚膜の共通配線 4 8 が設けられているから、更には共通配線 4 8 の表面に撥液性導通膜 4 9 がコーティングされているから、隣り合うサブピクセル電極 1 2 に塗布された溶液又は分散媒が共通配線 4 8 を越えて混ざり合わない。そのため、互いに異なる発光色（異なる発光材料）の画素同士のサブピクセル電極 1 2 では、互いに発光材料が混じり合うことがなく、発光色ごとに独立して有機化合物発光層 1 4 を形成することができる。なお、塗布方法としては、インクジェット法（液滴吐出法）、インクジェット法のような独立した液滴ではなく、連続した液体を流すノズルコート法、オフセット等の印刷方法を用いても良いし、ディップコート法、スピncコート法といったコーティング法を用いても良い。

20

30

【0050】

次に、気相成長法により共通電極 1 6 をべた一面に成膜する。以上により、EL ディスプレイパネル 1 が完成する。

【0051】

以上のように本実施の形態においては、導電膜 4 4 を形成した後に、第 1 平坦化膜 4 5 を成膜し、導電膜 4 4 の周囲の第 1 平坦化膜 4 5 を除去してから、更にその第 1 平坦化膜 4 5 上に第 2 平坦化膜 4 6 を成膜したので、第 2 平坦化膜 4 6 の表面の平坦度が高くなる。特に、導電膜 4 4 の周囲で第 1 平坦化膜 4 5 の一部を除去したので、第 2 平坦化膜 4 6 の表面をより平坦にすることができ、また第 1 平坦化膜 4 5 及び第 2 平坦化膜 4 6 構造としたことによってキャパシタ 8 が設けられている部分と設けられていない部分での段差が抑えられるので、キャパシタ 8 及び導電膜 4 4 の上部に位置するサブピクセル電極 1 2 の表面が平坦とすることができる。そのため、有機化合物発光層 1 4 の厚さを均一に形成することができ、そのため共通電極 1 6 がサブピクセル電極 1 2 にショートすることを防止することができる。更には、有機化合物発光層 1 4 の厚さが均一になったので、発光斑も抑えることができる。

40

【0052】

また、導電膜 4 4 がトランジスタ 5 ~ 7 の電極とは別層で形成されているから、導電膜 4 4 を厚くすることができ、導電膜 4 4 を低抵抗とすることができる。このような低抵抗な導電膜 4 4 が供給線 4 に積層されているから、供給線 4 の電圧降下を抑えることができ、更には供給線 4 の信号遅延を抑えることができる。そのため、面内の発光強度のムラを抑

50

えることができる。

【0053】

なお、上記実施形態では、第1平坦化膜45をスピンコート法によって成膜し、その後導電膜44の上の部分を除いていたが、第1平坦化膜45をインクジェット法によって成膜しても良い。この場合、インクジェットヘッドによって樹脂液を保護絶縁膜40に向けて吐出するが、導電膜44を避けるようにして樹脂液を吐出すると、導電膜44上に第1平坦化膜45が乗り上げて段差が生じることがなく、導電膜44上の第1平坦化膜45のエッチング処理を行わずに済む。インクジェット法によって第1平坦化膜45を成膜する際には、一回当たりの吐出量と吐出回数を制御することによって、第1平坦化膜45の厚さを制御することができ、導電膜44の突出高さに等しくすることもできる。

10

また上記実施形態では、第1平坦化膜45成膜時に、第1平坦化膜45の表面に凹凸を形成してしまう導電膜44が供給線4に接続されているが、これに限らず、第1平坦化膜45成膜時に、第1平坦化膜45の表面に凹凸を形成してしまう配線が、その他の配線であってもよい。

また上記実施形態では、駆動トランジスタ7のゲートに接続されたキャパシタ8が設けられているが、キャパシタ8がなくても正常に動作できるのであれば、キャパシタ8がなくてもよい。

【図面の簡単な説明】

【0054】

【図1】 ELディスプレイパネル1の回路図である。

20

【図2】 ELディスプレイパネル1の2行6列分のサブピクセルの概略平面図である。

【図3】 図2の切断線III-IIIに沿った面の矢視断面図である。

【図4】 図2の切断線IV-IVに沿った面の矢視断面図である。

【図5】 ELディスプレイパネル1の製造における一工程を示す断面図である。

【図6】 ELディスプレイパネル1の製造における一工程を示す断面図である。

【図7】 ELディスプレイパネル1の製造における一工程を示す断面図である。

【図8】 段差を表したグラフである。

【符号の説明】

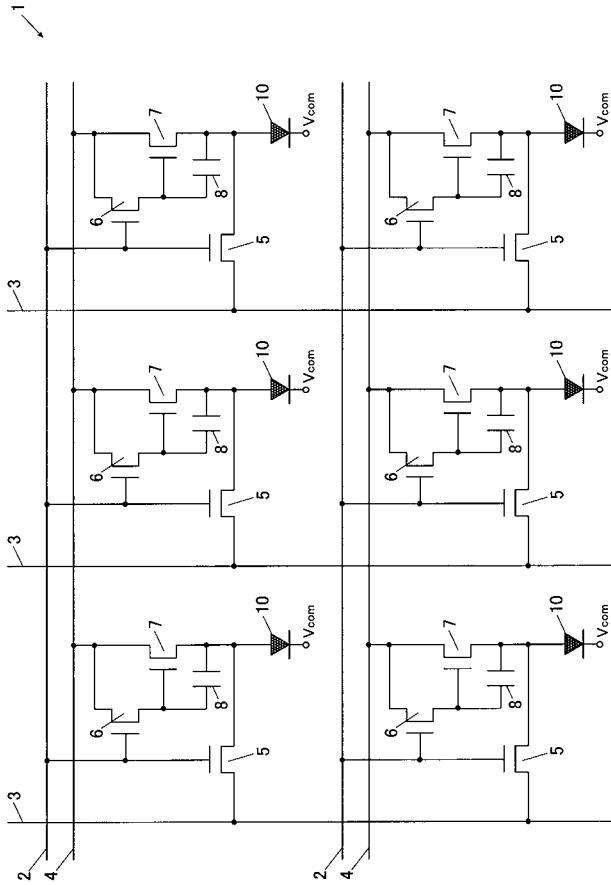
【0055】

- 1 ELディスプレイパネル
- 4 供給線
- 8 キャパシタ
- 12 サブピクセル電極
- 14 有機化合物発光層
- 16 共通電極
- 32 絶縁基板
- 34 ゲート絶縁膜
- 40 保護絶縁膜
- 44 導電膜
- 45 第1平坦化膜
- 46 第2平坦化膜
- 81 電極
- 82 電極

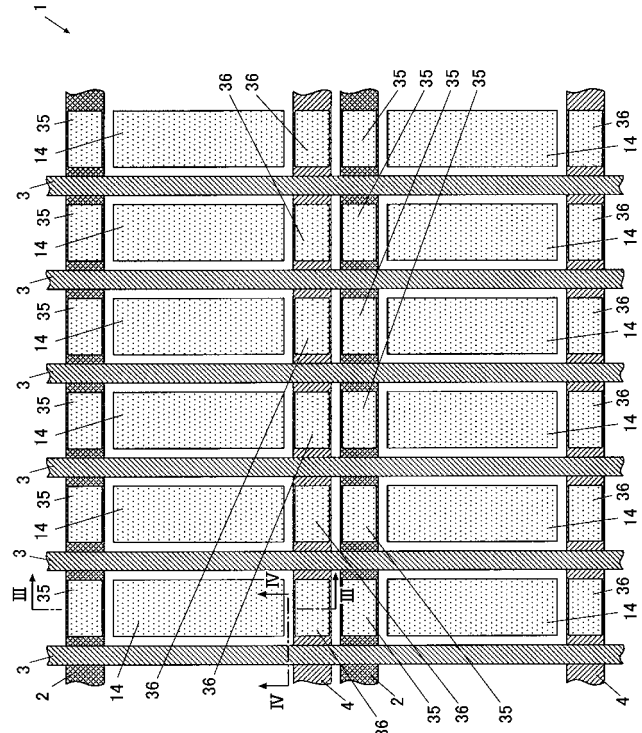
30

40

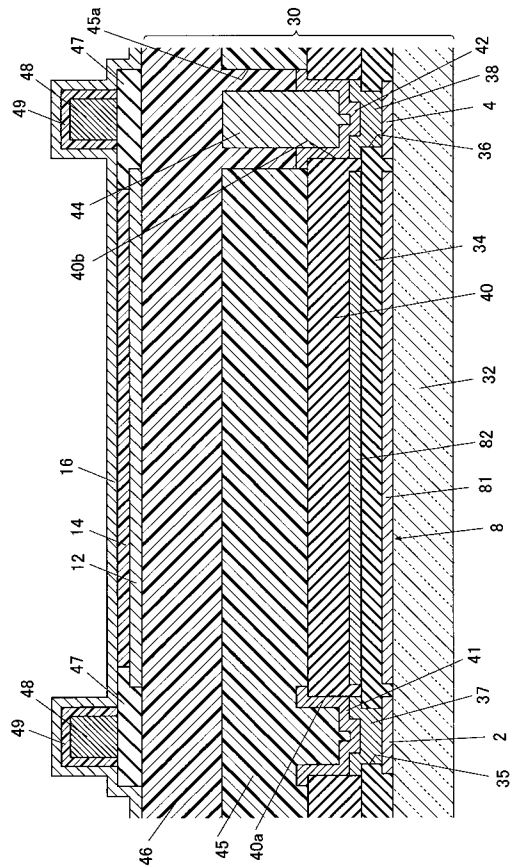
【図 1】



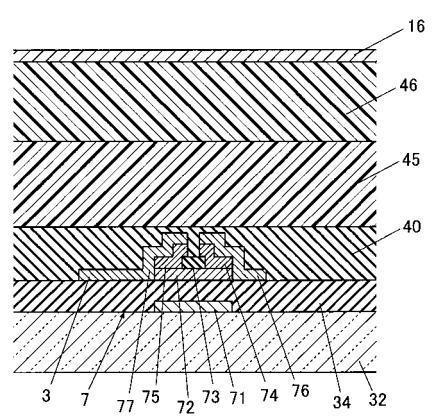
【図 2】



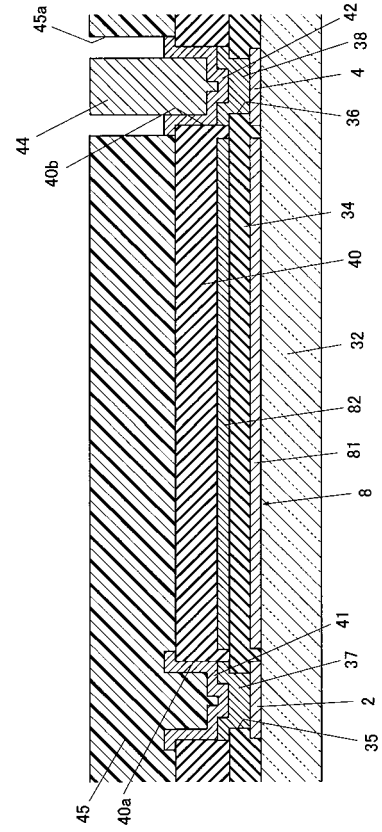
【図 3】



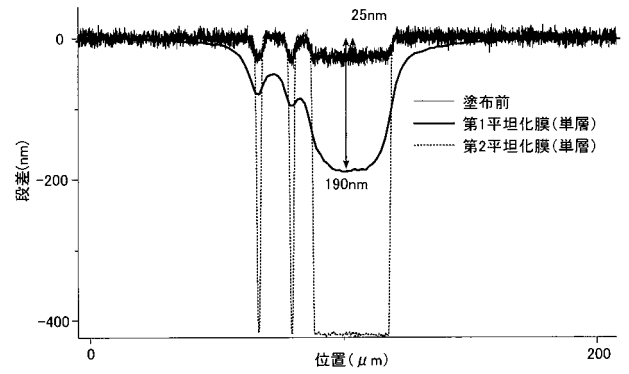
【図 4】



【図 6】



【圖 8】



フロントページの続き

Fターム(参考) 5C094 AA03 AA13 AA32 AA37 AA42 AA43 BA03 BA27 DA13 DA15
EA04 FB01 FB20

专利名称(译)	电致发光显示面板及其制造方法		
公开(公告)号	JP2007157608A	公开(公告)日	2007-06-21
申请号	JP2005354390	申请日	2005-12-08
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山本和人 白寄友之		
发明人	山本 和人 白寄 友之		
IPC分类号	H05B33/02 H01L51/50 H05B33/10 G09F9/30 H01L27/32		
FI分类号	H05B33/02 H05B33/14.A H05B33/10 G09F9/30.348.A G09F9/30.365.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB08 3K007/AB17 3K007/BA06 3K007/DB03 3K007/EA00 3K007/GA00 5C094/AA03 5C094/AA13 5C094/AA32 5C094/AA37 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DA15 5C094/EA04 5C094/FB01 5C094/FB20 3K107/AA01 3K107/BB01 3K107/CC29 3K107/CC33 3K107/DD90 3K107/DD97		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制在电致发光显示板中形成像素电极的台阶。

ŽSOLUTION：EL显示面板1配备有绝缘基板32，形成在绝缘基板32上的供电线4，在每个像素处形成在基板上的电容器一侧的电极81，覆盖该绝缘基板32的栅极绝缘膜34电极81和电源线4，栅极绝缘膜34上面对电极81的另一侧的电极82，覆盖电极82的保护绝缘膜40，层叠在电源线4上的导电膜44从保护突出绝缘膜40，形成在保护绝缘膜40上的第一平坦化膜45，形成在第一平坦化膜45上的第二平坦化膜46，设置在第二平坦化膜46上的每个像素上的子像素电极12，有机化合物形成在子像素电极12上的发光层14和形成在有机化合物发光层14上的公共电极16。

