

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-243525
(P2006-243525A)

(43) 公開日 平成18年9月14日(2006.9.14)

(51) Int.Cl.	F I	テーマコード (参考)
GO9G 3/30 (2006.01)	GO9G 3/30 K	3K007
GO9G 3/20 (2006.01)	GO9G 3/30 H	5C080
HO1L 51/50 (2006.01)	GO9G 3/30 J	
	GO9G 3/20 611H	
	GO9G 3/20 621A	
審査請求 未請求 請求項の数 3 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2005-61116 (P2005-61116)	(71) 出願人	000002185
(22) 出願日	平成17年3月4日 (2005.3.4)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100086841
			弁理士 脇 篤夫
		(74) 代理人	100114122
			弁理士 鈴木 伸夫
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置

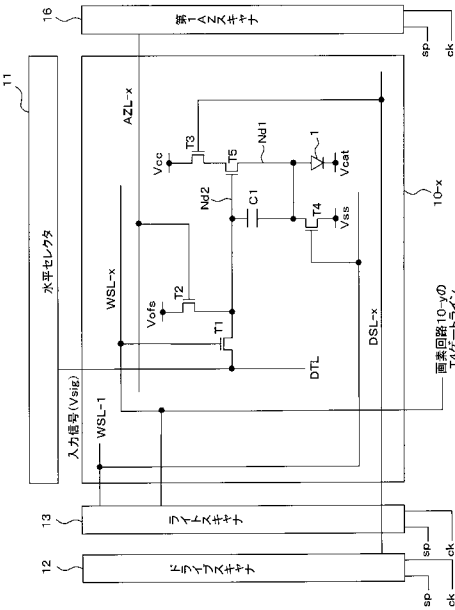
(57) 【要約】

【課題】 nチャネルT F Tによる画素回路において高品質な画像表示を可能とするとともに、コストダウンや歩留まり向上を可能とする。

【解決手段】

画素回路は、有機E L素子と、1個の保持容量と、サンプリングトランジスタ、ドライブトランジスタ、スイッチングトランジスタ、第1及び第2の検知トランジスタからなる5個のNチャネル薄膜トランジスタとで構成する。そしてこの画素回路は、ドライブトランジスタの閾値電圧の変動と有機E L素子の経時劣化を補償する保持容量のブートストラップ機能（特性変動補償機能）を備え、電流駆動型の有機E L素子のI - V特性が経時変化やドライブトランジスタの閾値電圧変動を補償する。その上で、サンプリングトランジスタの導通制御を行う走査線（サンプリングトランジスタのゲートラインWSL）を、所定行数離れた行の画素回路の第1の検知トランジスタT 4のゲートラインとして共用する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

信号線と所要数の走査線が交差する部分に形成される画素回路がマトリクス状に配置された画素アレイを有する表示装置であって、

各画素回路は、有機エレクトロルミネッセンス素子と、保持容量と、サンプリングトランジスタ、ドライブトランジスタ、第 1、第 2 の検知トランジスタ、及びスイッチングトランジスタからなる 5 個の n チャンネル薄膜トランジスタとを備え、

上記ドライブトランジスタのソースとゲートとの間に上記保持容量が接続され、

上記ドライブトランジスタのソースと所定のカソード電位との間に上記有機エレクトロルミネッセンス素子が接続され、

上記ドライブトランジスタのソースと第 1 の固定電位との間に上記第 1 の検知トランジスタが接続され、

上記ドライブトランジスタのゲートと第 2 の固定電位との間に上記第 2 の検知トランジスタが接続され、

上記ドライブトランジスタのゲートと上記信号線との間に上記サンプリングトランジスタが接続され、

上記ドライブトランジスタのドレインと所定の電源電位との間に上記スイッチングトランジスタが接続され、

上記サンプリングトランジスタ、上記第 1、第 2 の検知トランジスタ、及び上記スイッチングトランジスタは、それぞれ対応する走査線によって導通制御されるように構成されているとともに、

各行の画素回路における上記サンプリングトランジスタを導通制御する走査線は、それぞれその行から所定行数だけ離れた他の行の画素回路における上記第 1 の検知トランジスタを導通制御する走査線と共用されていることを特徴とする表示装置。

【請求項 2】

発光期間と非発光期間から成る上記有機エレクトロルミネッセンス素子の 1 発光サイクルにおける上記非発光期間において、

上記スイッチングトランジスタが導通された状態で、上記第 1、第 2 の検知トランジスタが導通された後、上記第 1 の検知トランジスタが非導通とされることで、上記ドライブトランジスタの閾値電圧を検知し、その検知した電位を上記保持容量に保持する閾値検出動作が開始され、

上記閾値検出動作が終了された後、上記サンプリングトランジスタのみが導通されることで、上記信号線からの入力信号を上記保持容量にサンプリングする書込動作が開始されるとともに、

上記所定行数とは、上記閾値検出動作が開始されてから、上記書込動作が開始されるまでの期間の水平周期数に相当する行数に 1 を加えた行数であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

上記サンプリングトランジスタ及び上記第 1 の検知トランジスタに対して設けられている上記走査線は、上記画素アレイの両側に介された一対の走査線駆動手段によって、走査線配線の両側から同一の走査パルスが印加されることを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号線と所要数の走査線が交差する部分に形成される画素回路がマトリクス状に配置されている画素アレイを有する表示装置であって、特に発光素子として有機エレクトロルミネッセンス素子（有機 EL 素子）を用いた表示装置に関する。

【背景技術】

【0002】

10

20

30

40

50

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【０００３】

有機ＥＬ素子を画素に用いた画像表示装置が開発されている。有機ＥＬ素子は自発光素子であることから、例えば液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能である（いわゆる電流制御型）。

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ：ＴＦＴ）によって制御するものである。

【０００４】

図１１に一般的なアクティブマトリクス型有機ＥＬ表示装置のブロック図を示す。

この表示装置は、画素回路１００が $m \times n$ のマトリクス状に配列された画素アレイ部１０３、水平セクタ１０１、ライトスキャナ１０２、水平セクタ１０１により選択され輝度情報に応じた信号が供給される信号線ＤＴＬ１、ＤＴＬ２・・・、ライトスキャナ１０２により選択駆動される走査線ＷＳＬ１、ＷＳＬ２・・・を有する。

【０００５】

図１２には、図１１に示した画素回路１００の最も単純な構成例を示している。図示するように、この画素回路１００は、 n チャンネルＴＦＴによるサンプリングトランジスタ T_s 、保持容量 C_{10} 、 p チャンネルＴＦＴによるドライフトランジスタ T_d 、有機ＥＬ素子１を有する。この画素回路１００は、信号線ＤＴＬと走査線ＷＳＬとの交差部に配され、信号線ＤＴＬはサンプリングトランジスタ T_s のドレインに接続され、走査線ＷＳＬはサンプリングトランジスタ T_s のゲートに接続されている。

ドライフトランジスタ T_d 及び有機ＥＬ素子１は、電源電位 V_{cc} と接地電位 GND の間で直列に接続されている。すなわちドライフトランジスタ１のソースが電源電位 V_{cc} に接続される一方、有機ＥＬ素子（発光素子）１のカソードが接地電位 GND に接続されている。一般に有機ＥＬ素子１は整流性がある為ダイオードの記号で表わしている。一方、サンプリングトランジスタ T_s 及び保持容量 C_{10} は、ドライフトランジスタ T_d のゲートに接続されている。ドライフトランジスタ T_d のゲート・ソース間電圧を V_{gs} で表わしている。

【０００６】

この画素回路１００では、まず走査線ＷＳＬを選択状態とし、信号線ＤＴＬに信号を印加すると、サンプリングトランジスタ T_s が導通して信号が保持容量 C_{10} に書き込まれる。保持容量 C_{10} に書き込まれた信号電位がドライフトランジスタ T_d のゲート電位となる。走査線ＷＳＬを非選択状態とすると、信号線ＤＴＬとドライフトランジスタ T_d とは電氣的に切り離されるが、ドライフトランジスタ T_d のゲート電位 V_{gs} は保持容量 C_{10} によって安定に保持される。そして電源電位 V_{cc} から接地電位 GND に向かって駆動電流がドライフトランジスタ T_d 及び有機ＥＬ素子１を流れる。

このときドライフトランジスタ T_d 及び有機ＥＬ素子１に流れる電流 I_{ds} は、ドライフトランジスタ T_d のゲート・ソース間電圧 V_{gs} に応じた値となり、有機ＥＬ素子１はその電流値に応じた輝度で発光する。

つまりこの画素回路１００の場合、保持容量 C_{10} に信号線ＤＴＬからの信号電位を各込むことによってドライフトランジスタ T_d のゲート印加電圧を変化させ、これにより有機ＥＬ素子１に流れる電流値をコントロールして発色の階調を得る。

【０００７】

p チャンネルＴＦＴによるドライフトランジスタ T_d のソースは電源 V_{cc} に接続されており、常に飽和領域で動作するように設計されているので、ドライフトランジスタ T_d

10

20

30

40

50

は次の式 1 に示した値を持つ定電流源となる。

$$I_{ds} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{ox} \cdot (V_{gs} - V_{th})^2 \cdots (式 1)$$

但し、 I_{ds} は飽和領域で動作するトランジスタのドレイン・ソース間に流れる電流、 μ は移動度、 W はチャネル幅、 L はチャネル長、 C_{ox} はゲート容量、 V_{th} はトランジスタの閾値電圧を表している。

この式 1 から明らかな様に、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御される。図 12 に示したドライブトランジスタ T_d は、 V_{gs} が一定に保持される為、定電流源として動作し、有機 EL 素子 1 を一定の輝度で発光させることができる。

【0008】

10

ここで図 13 に、有機 EL 素子の電流 - 電圧 ($I - V$) 特性の経時変化を示す。実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機 EL 素子の $I - V$ 特性は、図示するように時間が経過すると劣化してしまう。そして図 12 の画素回路 100 においては、有機 EL 素子 1 の経時変化とともに、ドライブトランジスタ T_d のドレイン電圧が変化してゆく。ところが図 12 の画素回路 100 では上記のようにゲート・ソース間電圧 V_{gs} が一定であるので、有機 EL 素子 1 には一定量の電流が流れ、発光輝度は変化しない。つまり安定した階調制御ができる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

20

ところで図 12 に示した画素回路 100 は、p チャネル型のドライブトランジスタ T_d を用いて構成されているが、n チャネル型の TFT により構成することができれば、TFT 作成において従来のアモルファスシリコン (a-Si) プロセスを用いることが可能になる。これにより、TFT 基板の低コスト化が可能となり、開発が期待されている。

図 14 は、図 12 に示した画素回路 100 の p チャネル TFT であるドライブトランジスタ T_d を n チャネル TFT に置き換えた構成を示す回路図である。図示する様に、この場合の画素回路 100 は、n チャネル型の TFT としてサンプリングトランジスタ T_s 、ドライブトランジスタ T_d 、保持容量 C_{10} 、有機 EL 素子 1 で構成されている。

この画素回路 100 では、ドライブトランジスタ T_d のドレイン側が電源電位 V_{cc} に接続され、ソースは有機 EL 素子 1 のアノードに接続されており、ソースフォロワ回路を形成している。

30

【0010】

ところが、このようにドライブトランジスタ T_d を n チャネル TFT に置き換えた場合は、ソースが有機 EL 素子 1 に接続されてしまうため、図 13 に示したような有機 EL 素子 1 の経時変化とともにゲート・ソース間電圧 V_{gs} が変化してしまう。これにより、有機 EL 素子 1 に流れる電流量が変化し、その結果発光輝度は変化してしまう。つまり適切な階調制御ができなくなる。

また、アクティブマトリクス型の有機 EL ディスプレイは、有機 EL 素子 1 の特性変動に加え、画素回路 100 を構成する n チャネル型 TFT の閾値電圧も経時的に変化する。前述の式 1 から明らかな様に、ドライブトランジスタ T_d の閾値電圧 V_{th} が変動すると、ドレイン電流 I_{ds} が変化してしまう。これにより、同じゲート電圧 V_{gs} を与えても、閾値電圧 V_{th} の変動により発光輝度が変化してしまう。このため発光輝度も画素ごとに変化してしまう。

40

n チャネル TFT により画素回路 100 を構成した場合、以上のように有機 EL 素子 1 の経時劣化やドライブトランジスタ T_d の閾値電圧の変動やバラツキにより電流量が変動してしまうことで、表示画像として高品質な画像表示が実現できないという課題があった。

【課題を解決するための手段】

【0011】

そこで本発明では、n チャネル TFT による画素回路を用いても、高品質な画像表示が

50

可能な表示装置、表示方法を実現することを目的とする。そしてさらに、回路構成を効率化することも目的とする。

【0012】

本発明の表示装置は、信号線と所要数の走査線が交差する部分に形成される画素回路がマトリクス状に配置された画素アレイを有する表示装置であって、各画素回路は、有機エレクトロルミネッセンス素子と、保持容量と、サンプリングトランジスタ、ドライブトランジスタ、第1、第2の検知トランジスタ、及びスイッチングトランジスタからなる5個のnチャネル薄膜トランジスタとを備える。この画素回路においては、上記ドライブトランジスタのソースとゲートとの間に上記保持容量が接続され、上記ドライブトランジスタのソースと所定のカソード電位との間に上記有機エレクトロルミネッセンス素子が接続され、上記ドライブトランジスタのソースと第1の固定電位との間に上記第1の検知トランジスタが接続され、上記ドライブトランジスタのゲートと第2の固定電位との間に上記第2の検知トランジスタが接続され、上記ドライブトランジスタのゲートと上記信号線との間に上記サンプリングトランジスタが接続され、上記ドライブトランジスタのドレインと所定の電源電位との間に上記スイッチングトランジスタが接続される。そして上記サンプリングトランジスタ、上記第1、第2の検知トランジスタ、及び上記スイッチングトランジスタは、それぞれ対応する走査線によって導通制御されるように構成されているとともに、各行の各画素回路における上記サンプリングトランジスタを導通制御する走査線は、それぞれその行から所定行数だけ離れた他の行の各画素回路における上記第1の検知トランジスタを導通制御する走査線と共用されている。

10

20

【0013】

また、上記画素回路は、発光期間と非発光期間から成る上記有機エレクトロルミネッセンス素子の1発光サイクルにおける上記非発光期間において、上記スイッチングトランジスタが導通された状態で、上記第1、第2の検知トランジスタが導通された後、上記第1の検知トランジスタが非導通とされることで、上記ドライブトランジスタの閾値電圧を検知し、その検知した電位を上記保持容量に保持する閾値検出動作が開始され、上記閾値検出動作が終了された後、上記サンプリングトランジスタのみが導通されることで、上記信号線からの入力信号を上記保持容量にサンプリングする書込動作が開始されるように動作する。この場合に上記所定行数とは、上記閾値検出動作が開始されてから、上記書込動作が開始されるまでの期間の水平周期数に相当する行数に1を加えた行数である。

30

また、上記サンプリングトランジスタ及び上記第1の検知トランジスタに対して設けられている上記走査線は、上記画素アレイの両側に介された一对の走査線駆動手段によって、走査線配線の両側から同一の走査パルスが印加されるようにする。

【0014】

即ち本発明では画素回路は、有機EL素子と、1個の保持容量と、サンプリングトランジスタ、ドライブトランジスタ、スイッチングトランジスタ、第1及び第2の検知トランジスタからなる5個のnチャネル薄膜トランジスタとで構成されている。そしてこの画素回路は、ドライブトランジスタの閾値電圧の変動と有機EL素子の経時劣化を補償する保持容量のブートストラップ機能（特性変動補償機能）を備えることになるため、電流駆動型の有機EL素子のI-V特性が経時変化しても、発光輝度を一定に保持することができる。また、第1及び第2の検知トランジスタでドライブトランジスタの閾値電圧を検出し、その経時変化を回路的に補償することで、安定して有機EL素子を駆動できる。

40

そのうえで、上記サンプリングトランジスタの導通制御を行う走査線（サンプリングトランジスタのゲートライン）と、所定行数離れた画素回路における上記第1の検知トランジスタを導通制御する走査線（第1の検知トランジスタのゲートライン）とが共用される。これにより、上記第1の検知トランジスタのゲートラインを独立して設ける必要がなくなる。

【発明の効果】

【0015】

本発明によれば、画素回路を有機EL素子と、1個の保持容量と、サンプリングトラン

50

ジスタ、ドライブトランジスタ、スイッチングトランジスタ、第1及び第2の検知トランジスタからなる5個のnチャネル薄膜トランジスタとで構成し、この画素回路にブートストラップ機能を備えることで、有機EL素子の経時劣化やドライブトランジスタの閾値電圧変動によっても安定して有機EL素子を駆動でき、nチャネルTFTによる画素回路を用いた表示装置として、表示画像の高画質化を実現できる。

また、それにより、トランジスタを全てnチャネルTFTで構成し、ソースフォロワーが可能となり、アノード接続のできる回路構成を実用化できる。このため一般的なアモルファスシリコンのプロセスを導入することが可能となり、低コスト化が促進できる。

【0016】

また本発明では、マトリクス状の画素アレイを構成する画素回路において、サンプリングトランジスタの導通制御を行う走査線と、第1の検知トランジスタの導通制御を行う走査線とが共用される構成としている。つまり、或る行の画素回路におけるサンプリングトランジスタのゲートラインとなる走査線は、所定行数離れた行の画素回路における第1の検知トランジスタのゲートラインともされている。

この構成により、画素アレイに対して配される走査線の数的大幅に低減することが可能となり、画素アレイの構成の簡易化、表示パネルの低コスト化、小型化、又は高歩留まり化が実現できる。

また、サンプリングトランジスタ用の走査線駆動回路と第1の検知トランジスタ用の走査線駆動回路が共通化されるため、走査線駆動回路構成も削減でき、これによっても回路の簡易化、低コスト化、高歩留まり化が促進される。

【0017】

また逆に、画素アレイの両側に、上記サンプリングトランジスタ及び上記第1の検知トランジスタに対する走査線の走査線駆動回路を配し、その走査線に両側から同一の走査パルスが印加されるようにすると、ゲートライン上での走査パルスの遅延による画質不良を防止できる。特に大型の表示装置のように走査線が長く遅延の影響が顕著となる場合は、このような手法を採ることが好適であり、表示装置の大画面化、高精細化に有用である。

【発明を実施するための最良の形態】

【0018】

以下、本発明の表示装置の実施の形態を説明するが、説明の都合上、まず本発明に相当しない参考例としての表示装置構成及び画素回路を説明し、その後、本発明の実施の形態の表示装置と画素回路を説明する。即ち以下の順序で説明する。

[1. 参考例としての表示装置]

[2. 第1の実施の形態の表示装置]

[3. 第2の実施の形態の表示装置]

【0019】

[1. 参考例としての表示装置]

図6～図10で参考例としての表示装置の構成及び動作を説明する。なお、この参考例での表示装置及び画素回路の構成は、実施の形態の構成と異なるが、ここで説明する参考例の画素回路の動作は、後述する実施の形態の画素回路の動作と基本的に同様である。

【0020】

図6に参考例の表示装置の構成を示す。この表示装置は後述するように、発光素子である有機EL素子の特性変動及びドライブトランジスタの閾値電圧変動に対する補償機能であるブートストラップ機能を備えた画素回路を含むものである。

図6に示すように、この表示装置は、画素回路10がm行×n列のマトリクス状に配列された画素アレイ部20、水平セレクタ11、ドライブスキャナ12、ライトスキャナ13、第1AZスキャナ14、第2AZスキャナ15を備える。

また水平セレクタ11により選択され、輝度情報に応じた映像信号を画素回路10に対する入力信号として供給する信号線DTL-1、DTL-2・・・が、画素アレイ部20に対して列方向に配されている。信号線DTL-1、DTL-2・・・は、画素アレイ部20

10

20

30

40

50

においてマトリクス配置された画素回路 10 の列数分だけ配される。

また画素アレイ部 20 に対して、行方向に走査線 $W S L - 1$, $W S L - 2 \cdots$ 、走査線 $D S L - 1$, $D S L - 2 \cdots$ 、走査線 $A Z L 1 - 1$, $A Z L 1 - 2 \cdots$ 、走査線 $A Z L 2 - 1$, $A Z L 2 - 2 \cdots$ 、が配されている。これらの走査線はそれぞれ、画素アレイ部 20 においてマトリクス配置された画素回路 10 の行数分だけ配される。

走査線 $W S L$ ($W S L - 1$, $W S L - 2 \cdots$) はライトスキャナ 13 により選択駆動される。

走査線 $D S L$ ($D S L - 1$, $D S L - 2 \cdots$) はドライブスキャナ 12 により選択駆動される。

走査線 $A Z L 1$ ($A Z L 1 - 1$, $A Z L 1 - 2 \cdots$) は第 1 $A Z$ スキャナ 14 により選択駆動される。 10

走査線 $A Z L 2$ ($A Z L 2 - 1$, $A Z L 2 - 2 \cdots$) は第 2 $A Z$ スキャナ 15 により選択駆動される。

ドライブスキャナ 12、ライトスキャナ 13、第 1 $A Z$ スキャナ 14、第 2 $A Z$ スキャナ 15 は、それぞれ入力されるスタートパルス $s p$ とクロック $c k$ を基準として、設定された所定のタイミングで各走査線に選択パルス (走査パルス) を与える。

【0021】

このような表示装置における画素回路 10 の構成例を図 7 で説明する。

図 7 では簡略化のため、信号線 $D T L$ と、走査線 $W S L$, $D S L$, $A Z L 1$, $A Z L 2$ が交差する部分に配される 1 つの画素回路 10 のみを示している。 20

この画素回路 10 は、発光素子である有機 $E L$ 素子 1 と、1 個の保持容量 $C 1$ と、サンプリングトランジスタ $T 1$ 、ドライブトランジスタ $T 5$ 、スイッチングトランジスタ $T 3$ 、第 1 の検知トランジスタ $T 4$ 、第 2 の検知トランジスタ $T 2$ からなる 5 個の n チャンネル薄膜トランジスタとで構成されている。

【0022】

保持容量 $C 1$ は、一方の端子がドライブトランジスタ $T 5$ のソースに接続され、他方の端子が同じくドライブトランジスタ $T 5$ のゲートに接続されている。図では、ドライブトランジスタ $T 5$ のソースノードをノード $N d 1$ 、ドライブトランジスタ $T 5$ のゲートノードをノード $N d 2$ として示している。従って、保持容量 $C 1$ はノード $N d 1$ とノード $N d 2$ の間に接続されていることになる。 30

画素回路 10 の発光素子は例えばダイオード構造の有機 $E L$ 素子 1 とされ、アノードとカソードを備えている。有機 $E L$ 素子 1 のアノードはドライブトランジスタ $T 5$ のソース (ノード $N d 1$) に接続され、カソードは所定のカソード電位 $V c a t$ に接続されている。なお、有機 $E L$ 素子 1 はアノード / カソード間に容量成分を含んでおり、後述する図では、この容量成分を $C e 1$ として示す場合がある。

【0023】

第 1 の検知トランジスタ $T 4$ は、そのソースが第 1 の固定電位 $V s s$ に接続され、そのドレインがドライブトランジスタ $T 5$ のソース (ノード $N d 1$) に接続され、ゲートが走査線 $A Z L 1$ に接続されている。

第 2 の検知トランジスタ $T 2$ は、そのソースが第 2 の固定電位 $V o f s$ に接続され、そのドレインがドライブトランジスタ $T 5$ のゲート (ノード $N d 2$) に接続され、そのゲートは走査線 $A Z L 2$ に接続されている。 40

サンプリングトランジスタ $T 1$ は、その一端が信号線 $D T L$ に接続され、他端がドライブトランジスタ $T 5$ のゲート (ノード $N d 2$) に接続され、そのゲートが走査線 $W S L$ に接続されている。

スイッチングトランジスタ $T 3$ は、そのドレインが電源電位 $V c c$ に接続され、そのソースがドライブトランジスタ $T 5$ のドレインに接続され、そのゲートが走査線 $D S L$ に接続されている。

【0024】

サンプリングトランジスタ $T 1$ は走査線 $W S L$ によって選択されたときに動作し、信号 50

線 D T L からの入力信号 V_{sig} をサンプリングしてノード N d 2 を介し保持容量 C 1 に保持させる。

ドライブトランジスタ T 5 は、保持容量 C 1 に保持された信号電位に応じて有機 E L 素子 1 を電流駆動する。

スイッチングトランジスタ T 3 は走査線 D S L によって選択されたときに導通して電源電位 V_{cc} からドライブトランジスタ T 5 に電流を供給する。

第 1, 第 2 の検知トランジスタ T 4, T 2 は、それぞれ走査線 A Z L 1, A Z L 2 によって所定のタイミングで選択されることで導通される。この第 1, 第 2 の検知トランジスタ T 4, T 2 のオン/オフは、有機 E L 素子 1 の電流駆動に先立ってドライブトランジスタ T 5 の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルする為に該検知した閾値電圧を保持容量 C 1 に保持する動作 (閾値検出動作) に関連して実行される。 10

【 0 0 2 5 】

この画素回路 1 0 の正常な動作を保証する為の条件として、固定電位 V_{ss} は、固定電位 V_{ofs} からドライブトランジスタ T 5 の閾値電圧 V_{th} を差し引いたレベルよりも低く設定されている。すなわち、 $V_{ss} < V_{ofs} - V_{th}$ である。

また固定電位 V_{ss} は、有機 E L 素子 1 の閾値電圧 V_{el} と、カソード電位 V_{cat} の和より小さく設定されている ($V_{ss} < V_{thel} + V_{cat}$) 。

また固定電位 V_{ofs} は、ドライブトランジスタ T 5 の閾値電圧 V_{th} と、有機 E L 素子 1 の閾値電圧 V_{thel} と、カソード電圧 V_{cat} の和よりも小さく設定されている ($V_{ofs} < V_{th} + V_{thel} + V_{cat}$) 。

例えば固定電位 V_{ofs} はグランド電位、固定電位 V_{ss} は負電位とされ、上記各条件を満たすようにされる。

【 0 0 2 6 】

この図 7 の画素回路 1 0 の構成において実行される動作を図 8 ~ 図 1 0 で説明する。

図 8 に走査線 A Z L 1, A Z L 2, D S L, W S L のタイミングチャートを示している。これは上記構成からわかるように、それぞれ検知トランジスタ T 4, 検知トランジスタ T 2, スwitchングトランジスタ T 3, サンプリングトランジスタ T 1 のオン/オフタイミングとなる。またこの図 8 には、ドライブトランジスタ T 5 のゲート電圧 (ノード N d 2)、ソース電圧 (ノード N d 1) の変化を示している。また、図 9, 図 1 0 は各時点の等価回路を示している。 30

【 0 0 2 7 】

図 8 のタイミングチャートは、発光素子である有機 E L 素子 1 が発光駆動される 1 サイクル、つまり画像表示の 1 フレーム期間を表している。1 フレーム期間は、有機 E L 素子 1 の非発光期間と発光期間から成り、例えば時点 t_{m11} が、前回の 1 フレームの終了タイミング、かつ今回の 1 フレームの開始タイミングとしている。

【 0 0 2 8 】

時点 t_{m11} に至るまでの期間、つまり前のフレームの終了直前の期間では、走査線 A Z L 1, A Z L 2, W S L がローレベルにある一方、走査線 D S L がハイレベルにある。従って図 9 (a) に示すように、スイッチングトランジスタ T 3 がオン状態にある一方、サンプリングトランジスタ T 1、及び検知トランジスタ T 2, T 4 はオフ状態にある。 40

このときドライブトランジスタ T 5 はノード N d 2、N d 1 間の電圧に応じて駆動電流 I_{ds} を流し、有機 E L 素子 1 を発光させている。このときドライブトランジスタ T 5 のソース電位 (ノード N d 1 の電位) は所定の動作点に保持されている。

ドライブトランジスタ T 5 は飽和領域で動作するように設定されているため、有機 E L 素子 1 に流れる電流 I_{ds} はドライブトランジスタ T 5 のゲート・ソース間電圧 V_{gs} に応じて、上述した式 1 に示される値をとる。

【 0 0 2 9 】

時点 t_{m11} から 1 フレーム期間が開始される。このとき、走査線 A Z L 1, A Z L 2 が共にローレベルからハイレベルに立ち上がる。この結果、図 9 (b) に示すように、検知トランジスタ T 4, T 2 が共にオフ状態からオン状態に切り替わる。 50

これによりノードN d 2は急速に固定電位V o f sまで下がり、ノードN d 1も急速に固定電位V s sまで下がる。つまりドライブトランジスタT 5のゲート電圧はV o f s、ソース電圧はV s sという値に充電される。上記のように、 $V s s < V o f s - V t h$ に設定されている為、ドライブトランジスタT 5はオン状態を維持し、ドレイン電流I d s'が流れる。

そしてこのときドライブトランジスタT 5のゲート・ソース間電圧V g sは、 $V o f s - V s s$ という値をとり、それに応じた電流I d s'が、図9 (b)に破線で示すように、電源V c c側から固定電位V s s側に流れることになる。

また、有機E L素子1を非発光とするために、上述のように有機E L素子1にかかる電圧V e l (= ノードN d 1電位)が、有機E L素子1の閾値電圧V t h e lとカソード電圧V c a tの和より小さくなるように固定電位V o f s、V s sの電圧値が設定されているため、有機E L素子1には電流は流れず、従って、非発光状態になる。

なお、この時点t m 1 1となった後、検知トランジスタT 2、T 4はどちらが先にオンしてもよい。

【0030】

時点t m 1 2では、ブートストラップ機能のための閾値検出動作が開始される。このため走査線A Z L 1がハイレベルからローレベルに戻され図9 (c)のように検知トランジスタT 4がオフ状態とされる。

そして有機E L素子1の等価回路はダイオードと容量で表されるため、 $V e l = V c a t + V t h e l$ (有機E L素子1のリーク電流がドライブトランジスタT 5に流れる電流よりもかなり小さい)である限り、ドライブトランジスタT 5の電流は保持容量C 1と有機E L素子1の容量C e lを充電するために使われる。

このときドライブトランジスタT 5を流れるドレイン電流I d s'の電流路が遮断される為、有機E L素子1にかかる電圧V e l (= ノードN d 1電位)は図10 (d)のように時間と共に上昇してゆく。

一定時間経過後、ドライブトランジスタT 5のゲート・ソース間電圧V g sは閾値電圧V t hをとる。このとき有機E L素子1にかかる電圧 $V e l = V o f s - V t h - V c a t + V t h e l$ となっている。

このときに、ノードN d 1とノードN d 2の間に現われた電位差V t hは保持容量C 1に保持されることになる。つまり閾値検出動作として、ドライブトランジスタT 5の閾値電圧V t hを検知し、これを保持容量C 1に保持する。

【0031】

次に時点t m 1 3において、走査線D S Lがローレベルとされ、図9 (d)のようにスイッチングトランジスタT 3がオフとされる。これによって電流I d s'が流れなくなり、この時点で閾値検出動作が終了される。

その後、時点t m 1 4で走査線A Z L 2がローレベルとされ、図10 (a)のように検知トランジスタT 2がオフとされる。

【0032】

次に時点t m 1 5では、走査線W S Lがハイレベルとされ、図10 (b)のようにサンプリングトランジスタT 1がオンとされて信号線D T Lからの信号電圧V s i gの保持容量C 1への書込が行われる。これによりドライブトランジスタT 5のゲート電圧が信号線D T Lからの信号電圧V s i gとされる。

このとき、ドライブトランジスタT 5のゲート・ソース間電圧V g sは保持容量C 1、有機E L素子1の寄生容量C e l、ドライブトランジスタT 5の寄生容量C 2によって式2のように決定される。

$$V g s = (C e l / (C e l + C 1 + C 2)) \cdot (V s i g - V o f s) + V t h \quad \cdots (式 2)$$

ただし、寄生容量C e lは容量C 1、C 2に比べて大きいために、ドライブトランジスタT 5のゲート・ソース間電圧V g sは、ほぼ $V s i g + V t h$ となる。

【0033】

10

20

30

40

50

信号線 DTL からの信号電圧 V_{sig} の書込が終了した時点 t_{m16} の後に、時点 t_{m17} で走査線 DSL がハイレベルとされ、図 10 (c) のようにスイッチングトランジスタ T3 がオンとされることで、ドライブトランジスタ T5 のドレイン電圧が電源電圧まで上昇される。

保持容量 C1 の作用によりドライブトランジスタ T5 のゲート・ソース間電圧 V_{gs} は一定であるので、ドライブトランジスタ T5 は一定電流 I_{ds} を有機 EL 素子 1 に流し、ノード Nd1 の電位は有機 EL 素子 1 に電流が流れる電圧まで上昇し、これにより有機 EL 素子 1 は発光する。つまり今回のフレームにおける発光期間が開始される。

【0034】

図 2 の参考例としての画素回路 10 の動作は以上のようなになるが、この図 2 の画素回路 10 においても、有機 EL 素子 1 は発光時間が長くなるとその I-V 特性は変化してしまう。そのためノード Nd1 の電位も変化する。

しかしながら、上記動作の場合、ドライブトランジスタ T5 のゲート・ソース間電圧 V_{gs} は一定値に保たれているので有機 EL 素子 1 に流れる電流は変化しない。よって有機 EL 素子 1 の I-V 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、有機 EL 素子 1 の輝度が変化することはない。このため、n チャンネル TFT による画素回路を用いた表示装置として、表示画像の高画質化を実現できる。

【0035】

但し、次のように回路構成上、不利な点がある。

画素回路 10 に対して配される走査線について考える。画素アレイ部 20 内の各画素回路 10 には、それぞれ走査線 WSL, DSL, AZL1, AZL2 の 4 つの走査線が配される。画素回路 10 が m 行 × n 列のマトリクス状に設けられている画素アレイ部 20 の全体で考えると、走査線の数 $(4 \times m)$ 個となる。

また、図 6 に示したように 4 種類の走査線 (ゲートライン) を駆動するために、ドライブスキャナ 12, ライトスキャナ 13, 第 1 AZ スキャナ 14, 第 2 AZ スキャナ 15 という 4 つの走査線駆動回路が必要になる。

これらのことは、回路構成の簡易化、コストダウン、歩留まりの向上などの観点からは不利となる。

【0036】

[2. 第 1 の実施の形態の形態の表示装置]

そこで本発明の実施の形態としては、走査線数や走査線駆動回路を削減つつ、上記参考例と同様の効果を得る表示装置を実現する。

【0037】

図 1 に実施の形態の表示装置の構成を示す。この表示装置も、発光素子である有機 EL 素子の特性変動及びドライブトランジスタの閾値電圧変動に対する補償機能であるブートストラップ機能を備えた画素回路を含むことは上記参考例と同様である。

そして図 1 に示すように、この表示装置は、画素回路 10 が m 行 × n 列のマトリクス状に配列された画素アレイ部 20、水平セクタ 11、ドライブスキャナ 12、ライトスキャナ 13、AZ スキャナ 16 を備える。

この図 1 では、画素アレイ部 20 においてマトリクス状に配されている画素回路 10 としては、その符号に行番号を付している。即ち 1 行目の n 個の画素回路を画素回路 10-1、x 行目の n 個の画素回路を画素回路 10-x、y 行目の n 個の画素回路を画素回路 10-y、最終行である m 行目の n 個の画素回路を画素回路 10-m として示している。

【0038】

水平セクタ 11 により選択され、輝度情報に応じた映像信号を画素回路 10 に対する入力信号として供給する信号線 DTL としては、上述した図 6 と同様に、信号線 DTL-1...DTL-n が、画素アレイ部 20 に対して列方向に配されている。

この図 1 の場合、画素アレイ部 20 に対して行方向に配される走査線としては、走査線 WSL、DSL、AZL の 3 系統となる。

10

20

30

40

50

即ちドライブスキャナ 12 により選択駆動される走査線 D S L として、走査線 D S L - 1 . . . D S L - m が配される。

またライトスキャナ 13 により選択駆動される走査線 W S L として、走査線 W S L - 1 . . . W S L - m が配される。

また A Z スキャナ 16 により選択駆動される走査線 A Z L として、走査線 A Z L - 1 . . . A Z L - m が配される。なお、A Z スキャナ 16 は、図 6 の例の第 2 A Z スキャナに相当し、また図 1 の走査線 A Z L は、図 6 の例の走査線 A Z L 2 に相当するものとなっている。

【0039】

ドライブスキャナ 12、ライトスキャナ 13、A Z スキャナ 16 は、それぞれ入力されるスタートパルス s p とクロック c k を基準として、設定された所定のタイミングで各走査線に選択パルス（走査パルス）を与える。

【0040】

この図 1 の実施の形態の構成では、図 6 の参考例と比較して、第 1 A Z スキャナ 14 及び走査線 A Z L 1 に相当する独立した走査線駆動回路及び走査線が設けられない。

ここで図 1 に示すように、第 1 行目の各画素回路 10 - 1 に対する走査線 W S L - 1 は、第 x 行目の各画素回路 10 - x にも導入されている。これが第 x 行目の各画素回路 10 - x に対しての、図 6、図 7 で説明した走査線 A Z L 1 として機能する。

なお、第 x 行目の「x」とは、 $x = 1 + q$ とする。つまり第 1 行目からみて q 行離れた行が第 x 行であるとする。

図 3 で述べるが、第 1 行と第 x 行の間には、r 個の行が配置されているものとし、 $q = r + 1$ としている。

【0041】

また第 x 行目の各画素回路 10 - x に対する走査線 W S L - x は、第 y 行目の各画素回路 10 - y にも導入されている。これが第 y 行目の各画素回路 10 - y に対しての、図 6、図 7 で説明した走査線 A Z L 1 として機能する。 $y = x + q$ である。

第 y 行目の各画素回路 10 - y に対する走査線 W S L - x は、図示しない第 $(y + q)$ 行目の各画素回路 10 - $(y + q)$ にも導入される。これが第 $(y + q)$ 行目の各画素回路 10 - $(y + q)$ に対しての、図 6、図 7 で説明した走査線 A Z L 1 として機能する。

最終行である第 m 行目の各画素回路 10 - m に対しては、図示しない第 $(m - q)$ 行目の画素回路 10 - $(m - q)$ に対する走査線 W S L - $(m - q)$ が、図 6、図 7 で説明した走査線 A Z L 1 として機能するように導入されている。

また第 1 行目の各画素回路 10 - 1 に対しては、図示しない第 $(m + 1 - q)$ 行目の画素回路 10 - $(m + 1 - q)$ に対する走査線 W S L - $(m + 1 - q)$ が、図 6、図 7 で説明した走査線 A Z L 1 として機能するように導入されている。

【0042】

即ち本例では、或る行に対する走査線 W S L が、q 行離れた行における図 6、図 7 の参考例で説明した走査線 A Z L 1 に相当する走査線として共用されるものである。

【0043】

図 2 に、第 x 行の 1 つの画素回路 10 - x を示している。

この画素回路 10 - x は、発光素子である有機 E L 素子 1 と、1 個の保持容量 C 1 と、サンプリングトランジスタ T 1、ドライブトランジスタ T 5、スイッチングトランジスタ T 3、第 1、第 2 の検知トランジスタ T 2、T 4 からなる 5 個の n チャネル薄膜トランジスタとで構成されており、この構成自体は図 7 で示した参考例の場合と同様である。

但し、第 1 の検知トランジスタ T 4 のゲートは、第 1 行目の各画素回路 10 - 1 に対して設けられている走査線 W S L - 1 に接続されている。

また、サンプリングトランジスタ T 1 のゲートラインとなる走査線 W S L - x は、第 y 行の画素回路 10 - y における検知トランジスタ T 4 のゲートラインともなっている。

【0044】

即ち実施の形態の画素回路 10 の構成は、次のようになる。

10

20

30

40

50

保持容量 C_1 は、一方の端子がドライブトランジスタ T_5 のソース（ノード N_{d1} ）に接続され、他方の端子が同じくドライブトランジスタ T_5 のゲート（ノード N_{d2} ）に接続される。

発光素子である有機 EL 素子 1 のアノードはドライブトランジスタ T_5 のソース（ノード N_{d1} ）に接続され、カソードは所定のカソード電位 V_{cat} に接続されている。

第 1 の検知トランジスタ T_4 は、そのソースが第 1 の固定電位 V_{ss} に接続され、そのドレインがドライブトランジスタ T_5 のソース（ノード N_{d1} ）に接続され、ゲートが、 q 行前の行の走査線 W_{SL} に接続されている。

第 2 の検知トランジスタ T_2 は、そのソースが第 2 の固定電位 V_{ofs} に接続され、そのドレインがドライブトランジスタ T_5 のゲート（ノード N_{d2} ）に接続され、そのゲートは走査線 A_{ZL} に接続されている。

10

サンプリングトランジスタ T_1 は、その一端が信号線 D_{TL} に接続され、他端がドライブトランジスタ T_5 のゲート（ノード N_{d2} ）に接続され、そのゲートが、その行に対して設けられた走査線 W_{SL} に接続されている。

スイッチングトランジスタ T_3 は、そのドレインが電源電位 V_{cc} に接続され、そのソースがドライブトランジスタ T_5 のドレインに接続され、そのゲートが走査線 D_{SL} に接続されている。

【0045】

図 2 の画素回路 10-x の例でいえば、この画素回路 10-x の動作は、サンプリングトランジスタ T_1 は走査線 W_{SL-x} によって選択されたときに動作し、信号線 D_{TL} から

20

の入力信号 V_{sig} をサンプリングしてノード N_{d2} を介し保持容量 C_1 に保持させる。

ドライブトランジスタ T_5 は、保持容量 C_1 に保持された信号電位に応じて有機 EL 素子 1 を電流駆動する。

スイッチングトランジスタ T_3 は走査線 D_{SL-x} によって選択されたときに導通して電源電位 V_{cc} からドライブトランジスタ T_5 に電流を供給する。

第 1、第 2 の検知トランジスタ T_4 、 T_2 は、それぞれ走査線 A_{ZL-x} 、 W_{SL-1} によって所定のタイミングで選択されることで導通される。この第 1、第 2 の検知トランジスタ T_4 、 T_2 のオン/オフは、有機 EL 素子 1 の電流駆動に先立ってドライブトランジスタ T_5 の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルする為に該検知した閾値電圧を保持容量 C_1 に保持する動作（閾値検出動作）に関連して実行される。

30

【0046】

このような実施の形態の各画素回路 10 の動作の詳細は、図 3、図 4、図 5 で説明したものと基本的に同様となるため、重複説明は避け、ここではトランジスタ T_4 のゲートラインを走査線 W_{SL} で共用している点について図 3 で説明する。

図 3 (a) (b) (c) は、それぞれ画素回路 10-1、画素回路 10-x、画素回路 10-y の各トランジスタ T_4 、 T_2 、 T_3 、 T_1 に対する走査パルスを示している。この走査パルス波形は図 8 で説明した各トランジスタ T_4 、 T_2 、 T_3 、 T_1 に対する走査パルスと同様である。

画素回路 10-1、画素回路 10-x、画素回路 10-y は、それぞれ図 3 (a) (b) (c) の走査パルスによってトランジスタ T_4 、 T_2 、 T_3 、 T_1 が制御され、それぞれ

40

【0047】

ここで、図 3 (a) に示すように画素回路 10-1 が書込動作を行うためにサンプリングトランジスタ T_1 を導通させる走査線 W_{SL-1} のパルスは、そのまま図 3 (b) の画素回路 10-x の検知トランジスタ T_4 を導通させるパルスとなる。

また図 3 (b) の画素回路 10-x が書込動作を行うためにサンプリングトランジスタ T_1 を導通させる走査線 W_{SL-x} のパルスは、そのまま図 3 (c) の画素回路 10-y の検知トランジスタ T_4 を導通させるパルスとなる。

図 3 (a) の画素回路 10-1 における検知トランジスタ T_4 を導通させるパルスは、第 $(m+1-q)$ 行目の画素回路 10- $(m+1-q)$ においてサンプリングトランジス

50

タ T 1 を導通させる走査線 W S L - (m + 1 - q) のパルスが用いられる。

【 0 0 4 8 】

ここで、図 3 に示す期間 r H のうち、「 H 」は 1 水平期間を表し、従って「 r 」は或る画素回路 1 0 において検知トランジスタ T 4 がオフしてから、書込動作が開始されるまでの期間の水平周期数である。

閾値検出動作が開始されるのは、本例では検知トランジスタ T 4 がオフとなる時点である。書込動作が開始されるのはサンプリングトランジスタ T 1 がオンとなる時点である。

そして q は、 $q = r + 1$ であり、つまり期間 q H とは、或る画素回路 1 0 において閾値検出動作が開始されてから、書込動作が開始されるまでの期間に 1 H を加えた水平期間である。従って「 q 」は、閾値検出動作が開始されてから書込動作が開始されるまでの期間の水平周期数に相当する数に 1 を加えた数となる。

10

つまり、上述してきた行数としての「 q 」とは、或る画素回路 1 0 において閾値検出動作が開始されてから書込動作が開始されるまでの期間の水平周期数に 1 を加えた数となる行数である。

このように、或る画素回路において検知トランジスタ T 4 のオフタイミングとサンプリングトランジスタ T 1 のオンタイミングの間が、図 3 に示す期間 r H (H は 1 水平期間) であるとする、或る行のサンプリングトランジスタ T 1 の導通期間と、 q 行 ($q = r + 1$) だけ離れた行の検知トランジスタ T 4 の導通期間は時間的に一致する。例えば第 x 行のサンプリングトランジスタ T 1 の導通期間と、 q 行離れた第 y 行 ($y = x + q$) の検知トランジスタ T 4 の導通期間は時間的に一致する。

20

このことが図 3 に表されており、従って上述したように、或る画素回路 1 0 のサンプリングトランジスタ T 1 のゲートライン (W S L) は、 q 行離れた画素回路 1 0 の検知トランジスタ T 4 のゲートラインとして共用できるものである。

【 0 0 4 9 】

なお、サンプリングトランジスタ T 1 は書込期間として 1 H 期間オンするトランジスタである。検知トランジスタ T 4 は、図 3 で説明したように閾値検出期間の直前にドライブトランジスタ T 5 のソース電位を電位 V s s に充電するトランジスタであり、検知トランジスタ T 4 のオン期間は 1 フレーム内の 1 H 期間として問題ない。このため、上記のようにゲートラインを共用することに問題ない。

【 0 0 5 0 】

30

そして、このような実施の形態によれば、画素アレイ部 2 0 の外部から入力する走査線 (ゲートライン) の数を大幅に削減でき、また図 6 に示した第 1 A Z スキャナ 1 4 に相当する走査線駆動回路も不要となるため、走査線駆動回路の数も削減できる。

従って実施の形態の例では、上記参考例と同様の効果を得た上で、表示装置としての低コスト化、高歩留まり化を実現できる。

【 0 0 5 1 】

[3 . 第 2 の実施の形態の表示装置]

第 2 の実施の形態について説明する。

上述したように走査線 W S L を、サンプリングトランジスタ T 1 のゲートラインと検知トランジスタ T 4 のゲートラインとして共用するようにすると、走査線 W S L の負荷が大きくなってしまふ。また縦横サイズの大きい大型の表示パネルを備えた表示装置を考えた場合、走査線の長さが長くなる。

40

このような事情においては、走査線 W S L の負荷による走査パルスの信号遅延が画質に影響を与えやすいものとなる。

例えば図 4 (a) (b) には走査線 W S L 上の走査パルスを示している。この図において入力側として示す波形は、図 1 のように走査線 W S L を駆動するライトスキャナ 1 3 が画素アレイ部 2 0 の左側に配置されるとしたときに、画素アレイ部 2 0 の左端の画素に入力される走査パルス波形であり、入力逆側として示す波形は、画素アレイ部 2 0 の右端の画素に入力される走査パルス波形としている。

50

いずれにしても、図 4 (a) のように走査線 W S L 上の走査パルスは、遅延に inputs 逆側の波形が鈍ってしまうことは避けられないが、負荷が大きく、遅延量が大きくなると、図 4 (b) のように走査パルスの波形鈍りが顕著になり、例えばトランジスタ T 1 の導通による書込動作が正常に実行できなくなる。これによってゴーストなどの画質不良が発生する。

【 0 0 5 2 】

そこで第 2 の実施の形態としては、図 5 に示すようにライトスキャナ 1 3 の反対側、つまり画素アレイ部 2 0 の右側にライトスキャナ 1 7 を設ける。ライトスキャナ 1 7 は、ライトスキャナ 1 3 と共通にクロック c k 及びスタートパルス s p が供給される。そして走査線 W S L - 1 ・ ・ ・ W S L - m は、その左右両端から、ライトスキャナ 1 3 、 1 7 によっ

10

て走査パルスが与えられる。このようにすることで、例えば画素アレイ部 2 0 の右端の画素回路も走査パルスの入力側となり、図 4 (b) のような鈍りの大きい走査パルスが入力されることにはならない。

つまり走査線 W S L を両側のライトスキャナ 1 3 、 1 7 によって駆動することで、どの画素回路 1 0 に対しても走査パルスの大きな遅延が生じないようにすることができ、これによって正常な画素回路動作を実行させることができるため、画質不良を解消することができる。これによって大画面化、高精細化の観点からも、サンプリングトランジスタ T 1 と検知トランジスタ T 4 のゲートラインを共用する手法を適切なものとすることができる。

【 図面の簡単な説明 】

20

【 0 0 5 3 】

【 図 1 】 本発明の第 1 の実施の形態の表示装置のブロック図である。

【 図 2 】 実施の形態の画素回路の回路図である。

【 図 3 】 実施の形態の走査パルスの説明図である。

【 図 4 】 走査パルスの遅延の説明図である。

【 図 5 】 本発明の第 2 の実施の形態の表示装置のブロック図である。

【 図 6 】 参考例の表示装置のブロック図である。

【 図 7 】 参考例の画素回路の回路図である。

【 図 8 】 実施の形態及び参考例としての動作の説明図である。

【 図 9 】 実施の形態及び参考例の動作における各時点の等価回路図である。

30

【 図 1 0 】 実施の形態及び参考例の動作における各時点の等価回路図である。

【 図 1 1 】 従来の有機 E L 表示装置のブロック図である。

【 図 1 2 】 従来の有機 E L 表示装置の画素回路の回路図である。

【 図 1 3 】 有機 E L 表示の経時変化の説明図である。

【 図 1 4 】 従来の有機 E L 表示装置の画素回路の回路図である。

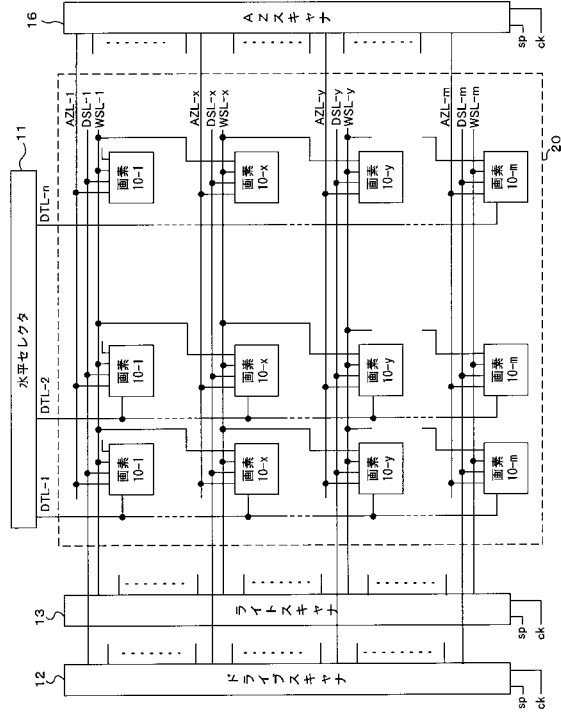
【 符号の説明 】

【 0 0 5 4 】

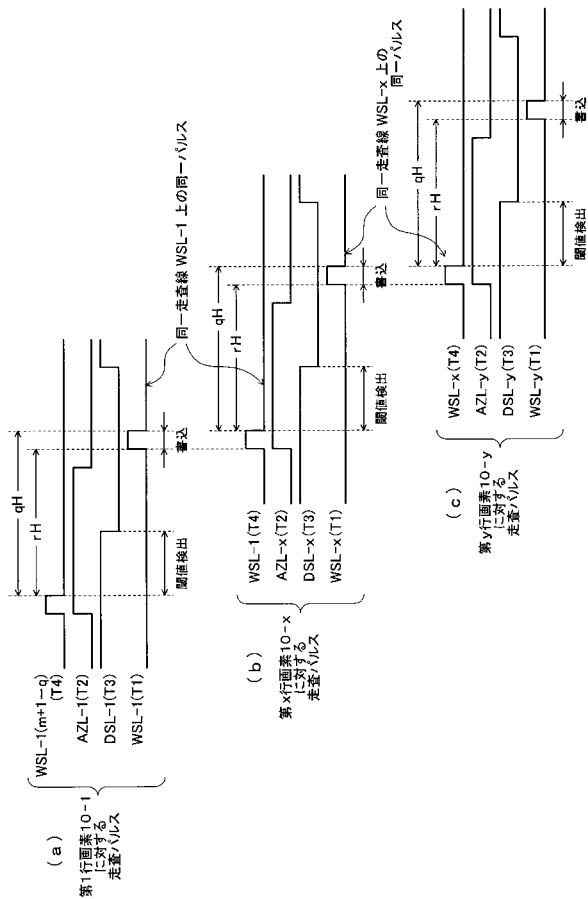
1 有機 E L 素子、 1 0 画素回路、 1 1 水平セレクタ、 1 2 ドライブスキャナ、 1 3 , 1 7 ライトスキャナ、 1 6 A Z スキャナ、 C 1 保持容量、 T 1 サンプリングトランジスタ、 T 2 , T 4 検知トランジスタ、 T 3 スイッチングトランジスタ、 T 5 ドライブトランジスタ、 W S L , D S L , A Z L 走査線、 D T L 信号線

40

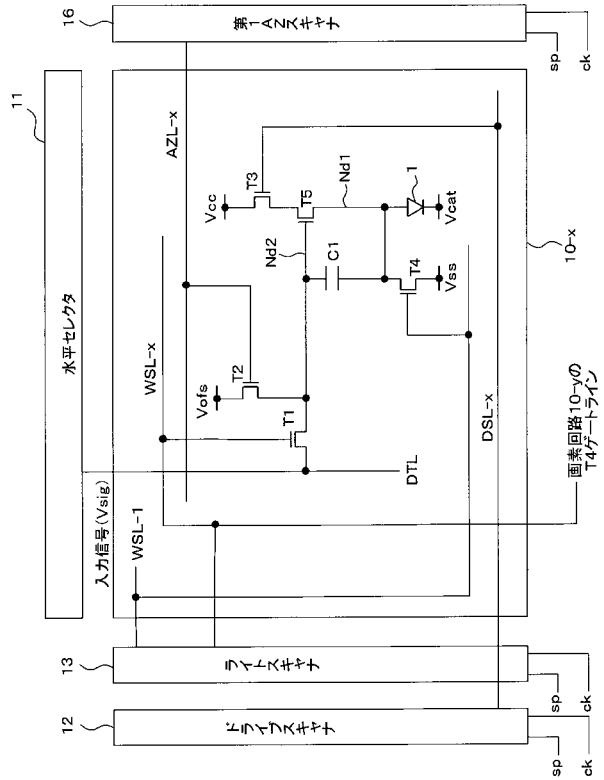
【図 1】



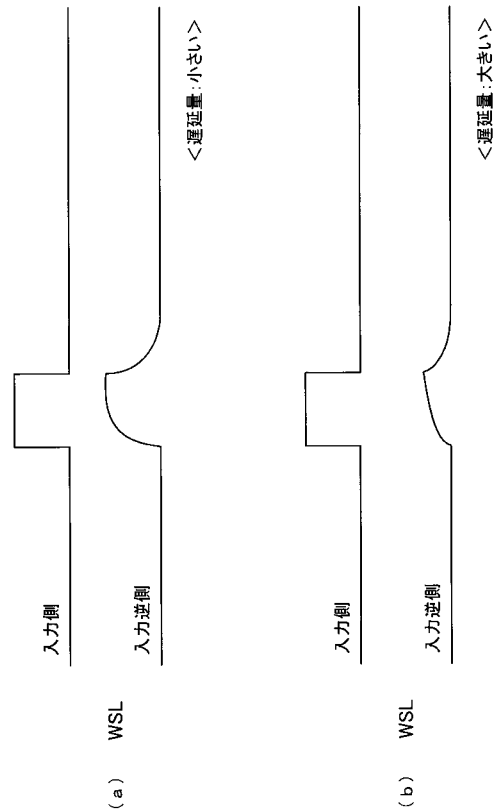
【図 3】



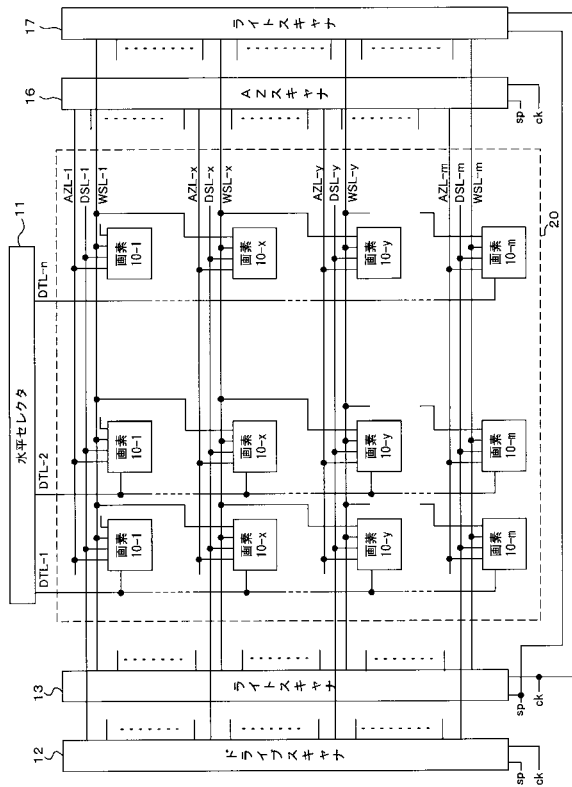
【図 2】



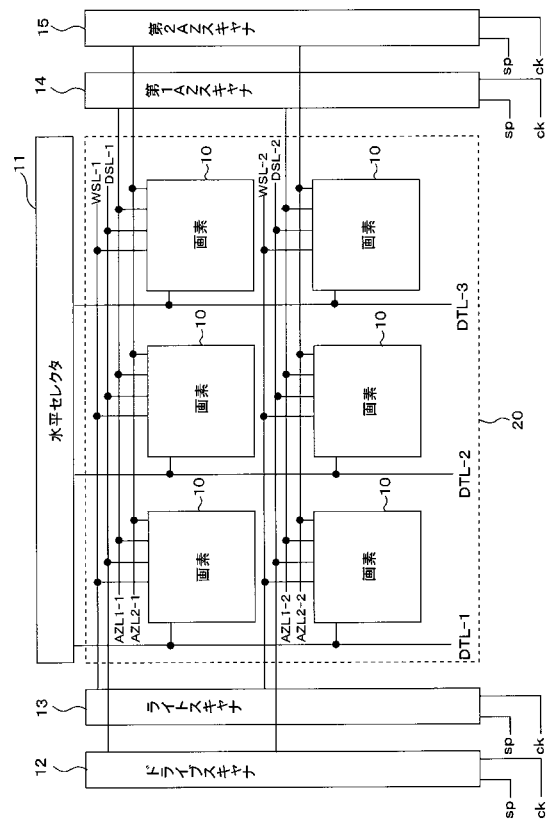
【図 4】



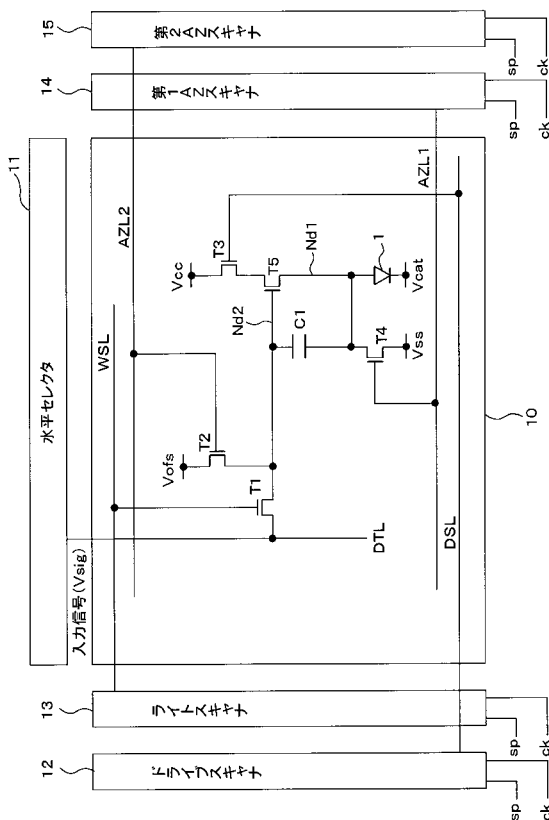
【図 5】



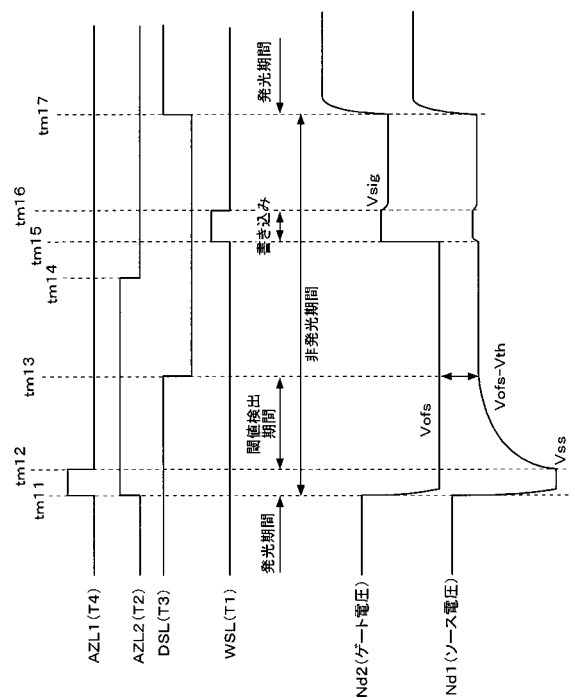
【図 6】



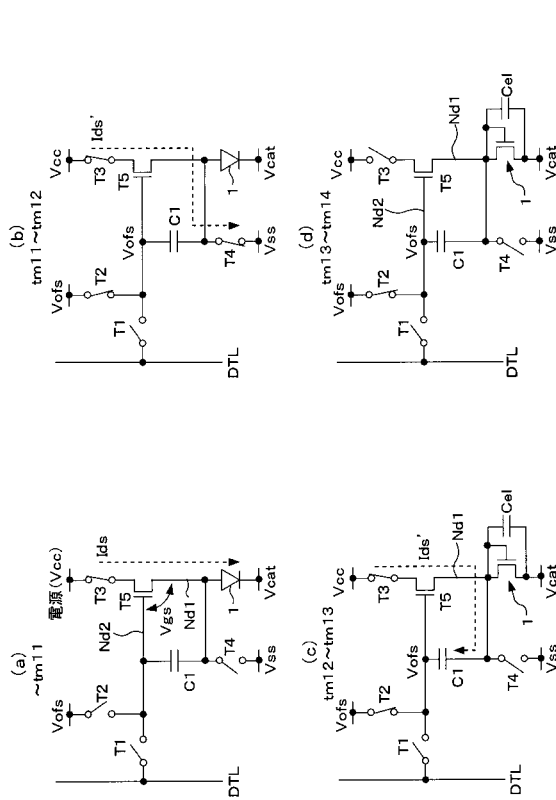
【図 7】



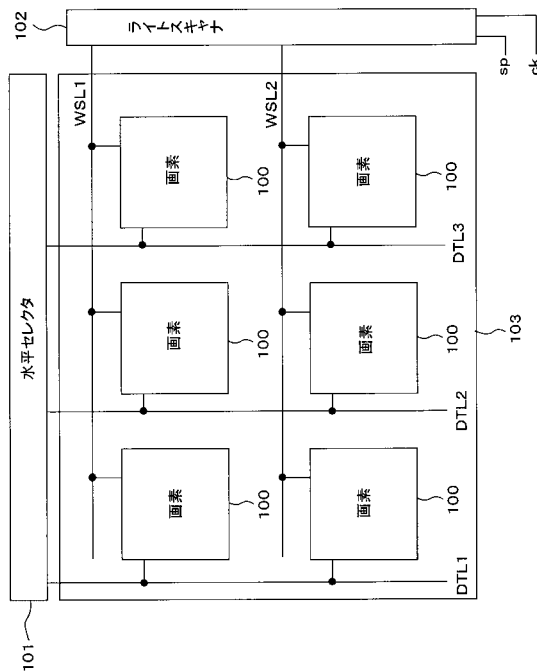
【図 8】



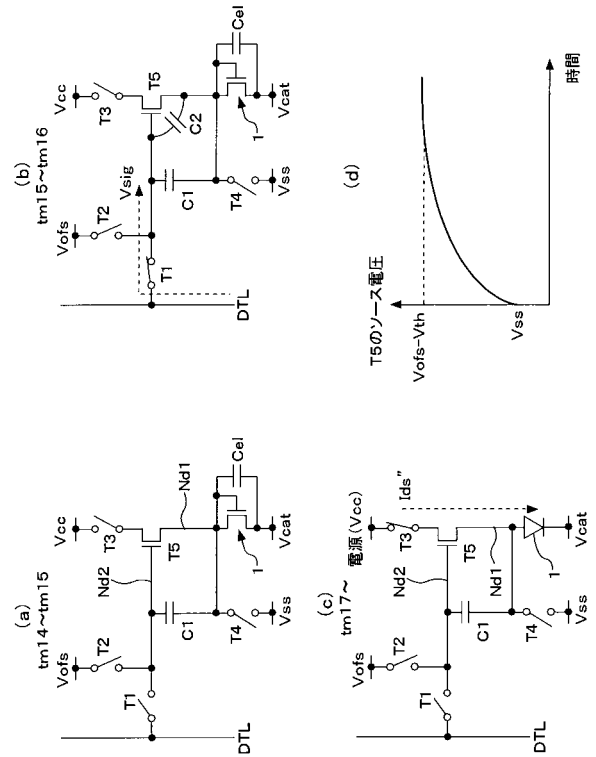
【図 9】



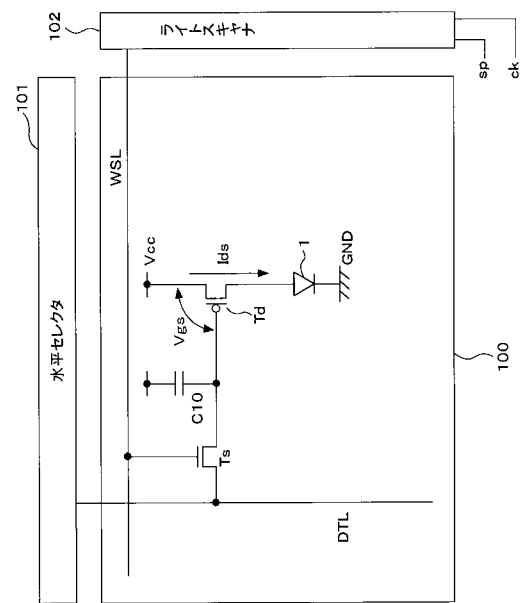
【図 11】



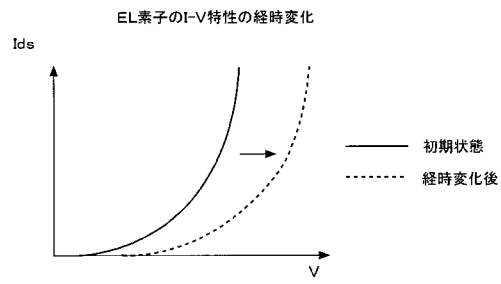
【図 10】



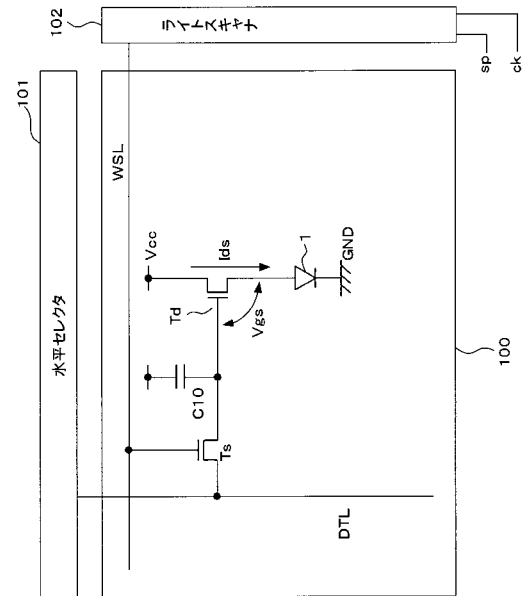
【図 12】



【図 1 3】



【図 1 4】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 A
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 7 0 J
	H 0 5 B 33/14	A

(72)発明者 山下 淳一

東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

F ターム(参考) 3K007 AB17 AB18 BA06 DB03 GA04

5C080 AA06 BB05 DD03 DD23 DD27 DD29 EE28 EE29 FF11 JJ02

JJ03 JJ04 JJ05

专利名称(译)	表示装置		
公开(公告)号	JP2006243525A	公开(公告)日	2006-09-14
申请号	JP2005061116	申请日	2005-03-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/30.H G09G3/30.J G09G3/20.611.H G09G3/20.621.A G09G3/20.622.A G09G3/20.624.B G09G3/20.641.D G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD23 5C080/DD27 5C080/DD29 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AC04 5C380/AC05 5C380/BA12 5C380/BA28 5C380/BA29 5C380/BA37 5C380/BA39 5C380/BD01 5C380/BD03 5C380/CA12 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC65 5C380/CD012 5C380/CD015 5C380/DA02 5C380/DA06		
代理人(译)	铃木信夫		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过n沟道TFT在像素电路实现高质量的图像显示，并降低成本并提高良率。[解决方案] 像素电路包括有机EL元件，一个存储电容器和五个N沟道薄膜晶体管，该五个N沟道薄膜晶体管包括采样晶体管，驱动晶体管，开关晶体管以及第一和第二检测晶体管。该像素电路具有用于存储电容器的自举功能（特征变化补偿功能），该自举功能补偿驱动晶体管的阈值电压的波动和有机EL元件随时间的劣化以及电流驱动的有机EL元件的IV特性。补偿驱动晶体管的变化和阈值电压波动。另外，控制采样晶体管的导通的扫描线（采样晶体管的栅极线WSL）作为像素电路的第一检测晶体管T4的栅极线被共享，该像素电路在以预定数量的行隔开的行中。[选择图]图2

