

【特許請求の範囲】

【請求項 1】

有機発光ダイオード（OLED）と、
前記 OLED の動作状態を表わすデータを格納するスタティック・メモリと
を備えた
画素回路。

【請求項 2】

さらに、
前記スタティック・メモリに前記データを表わす信号を入力し、前記スタティック・メモリから前記データを表わす信号を出力する単線のビット線
を備えた
請求項 1 に記載の画素回路。

10

【請求項 3】

さらに、
前記データを前記スタティック・メモリに書き込むのを可能にする第 1 の入力と、
前記データを前記スタティック・メモリから読み取るのを可能にする第 2 の入力と
を備えた
請求項 1 に記載の画素回路。

【請求項 4】

前記スタティック・メモリが、
データ信号を結合してソース信号を供給する際に依拠する第 1 の構成要素と、
前記ソース信号を前記第 1 の構成要素から受け取る入力を備え、前記格納したデータを表わす出力を生成する状態に駆動される第 2 の構成要素と、
前記第 2 の構成要素の前記出力に結合された入力と、前記第 2 の構成要素の前記入力に結合された出力とを備え、前記ソース信号の除去後に前記第 2 の構成要素の前記状態を維持するラッチ信号を供給する第 3 の構成要素と
を備えている、
請求項 1 に記載の画素回路。

20

【請求項 5】

前記第 1 の構成要素が第 1 の駆動電流を供給し、
前記第 3 の構成要素が前記第 1 の駆動電流よりも小さい第 2 の駆動電流を供給する、
請求項 4 に記載の画素回路。

30

【請求項 6】

さらに、
前記 OLED を制御する CMOS 回路と、
前記 CMOS 回路を過電圧破壊から保護する保護回路と
を備えた、
請求項 1 に記載の画素回路。

【請求項 7】

前記 CMOS 回路が、
電流源と、
前記 CMOS 回路の出力段に設けられたカスコード・デバイスと
を備えている、
請求項 6 に記載の画素回路。

40

【請求項 8】

前記カスコード・デバイスがフローティング・ウエルで構成されている、
請求項 7 に記載の画素回路。

【請求項 9】

前記保護回路が前記 CMOS 回路を流れる電流を所定値に制限する、
請求項 6 に記載の画素回路。

50

【請求項 10】

前記保護回路が前記 CMOS 回路両端の電圧を所定値に制限する、
請求項 6 に記載の画素回路。

【請求項 11】

さらに、
前記 OLED と直列に接続された電流制限抵抗器
を備えた、
請求項 6 に記載の画素回路。

【請求項 12】

前記抵抗器が薄膜から成る、
請求項 11 に記載の画素回路。

10

【請求項 13】

前記抵抗器がアンドープのポリシリコンから成る、
請求項 11 に記載の画素回路。

【請求項 14】

前記 CMOS 回路が、
前記 OLED を逆バイアスして前記 OLED から捕獲された電荷を除去する回路
を備えている、
請求項 6 に記載の画素回路。

【請求項 15】

前記 OLED を逆バイアスする前記回路が、
前記 OLED と直列に接続された n 型 MOS (NMOS) トランジスタと、
前記 NMOS トランジスタと直列に接続された p 型 MOS (PMOS) トランジスタと
を備え、
前記 NMOS トランジスタおよび前記 PMOS トランジスタが前記 OLED のアノードか
ら接地に至る逆バイアス電流経路を実現している、
請求項 14 に記載の画素回路。

20

【請求項 16】

前記 CMOS 回路が、
前記 OLED を通過する平均電流を制御するデューティ・ファクタ回路
を備えている、
請求項 6 に記載の画素回路。

30

【請求項 17】

前記デューティ・ファクタ回路が前記 OLED を逆バイアスし、捕獲されている電荷を前
記 OLED から除去するのを可能にする、
請求項 16 に記載の画素回路。

【請求項 18】

前記 CMOS 回路が、
電界効果トランジスタ (FET) 電流源
を備えている、
請求項 6 に記載の画素回路。

40

【請求項 19】

前記 FET の静的ゲート - ソース電圧が前記 FET のしきい電圧よりも大きい、
請求項 18 に記載の画素回路。

【請求項 20】

前記 FET のチャンネル長が前記 FET のチャンネル幅よりも大きい、
請求項 18 に記載の画素回路。

【請求項 21】

前記 CMOS 回路が、
前記画素の最大輝度を設定する第 1 の入力と、

50

前記画素のデューティ・ファクタを制御して前記画素の輝度を前記最大輝度未満に設定する第2の入力と
を備えている、
請求項6に記載の画素回路。

【請求項22】

前記画素回路が基板上に設けられた材料を備え、
前記材料が、単結晶シリコン、非晶質シリコン、ポリシリコン、微結晶シリコン、有機材料、および高分子材料から成る群から選択されており、
前記基板が、シリコン、ガラス、プラスチック、セラミック、およびサファイア (Al_2O_3) から成る群から選択されている、
請求項1～6のうちの1項に記載の画素回路。

10

【請求項23】

前記保護回路が、前記OLEDを点灯させるために前記OLED用に順方向バイアス経路を実現しうる、
請求項6に記載の画素回路。

【請求項24】

請求項1に記載の画素回路から成るアレイを備えたディスプレイ。

【請求項25】

各前記OLEDが電極を備え、
前記OLEDが前記アレイ全体で均一なピッチで互いに分離されており、
前記画素回路が前記アレイ全体で均一でないピッチで互いに分離されている、
請求項24に記載のディスプレイ。

20

【請求項26】

さらに、
前記OLEDをすべて均一な動作状態に同時に設定する回路
を備えた、
請求項24に記載のディスプレイ。

【請求項27】

前記均一な動作状態がOFFであり、
前記ディスプレイを、前記OLEDうちの選択したものを引き続いてONにするプロセッサが制御する、
請求項26に記載のディスプレイ。

30

【請求項28】

プロセッサがメモリ・バイアスを経由して前記回路にアドレスする、
請求項26に記載のディスプレイ。

【請求項29】

プロセッサがメモリ・バイアスを経由して前記画素回路の各々にアドレスする、
請求項24に記載のディスプレイ。

【請求項30】

前記アレイが電子時計の構成要素である、
請求項24に記載のディスプレイ。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に画素回路に関し、特にCMOS (complementary metal oxide semiconductor) 技術を用いた低電力有機発光ダイオード (organic light emitting diode: OLED) 画素回路に関する。

【0002】

【従来の技術】

50

OLED画素には、電流を印加すると発光する様々な有機材料のうちの任意のものを用いる。OLEDディスプレイはアレイ状に構成された複数個のOLED画素を備えている。

【0003】

OLED画素の照度は定電流源または定電圧源を備えた画素回路によって制御する。一般的な認識によれば、定電流源を用いた方がアレイ中の画素間の照度の均一性が高くなる。その理由は、電流に対する照度の依存性には均一になるようとする傾向があるのに対して、様々な画素における所定電流下でのOLED両端の電圧には均一さから遠ざかるようとする傾向があるからである。ハワード(Howard)らの米国特許第6023259号には、OLEDにパッシブ(受動)マトリクス駆動電流を供給する電流ドライバが記載されている。ディスプレイの普通の明るさの場合、パッシブ・マトリクス駆動動作ではOLEDの電力効率が低下してしまうとともに、フリッカ(ちらつき)を避けるには60Hz以上のリフレッシュ速度が必要となる。

10

【0004】

アクティブ(能動)マトリクス・ディスプレイでは一般に、画素の状態を記憶させるための手段を各画素回路内に設けている。これは通常、各画素回路に画素の状態をキャパシタ両端の電圧として格納するダイナミックRAMセル等価物を備えることにより行っている。このような構成の欠点は電圧がキャパシタから短時間で消失してしまう点である。その結果、ディスプレイに表示している画像はすべて定期的にはリフレッシュしなければならない。画像をリフレッシュするこの動作は大量の電力を消費する。したがって、ダイナミックRAMの既存の使用法とは別の方法を見いだすのが望ましい。

20

【0005】

「オン」画素の照度の制御は通常、当該画素に印加する電圧または電流を決めるアナログ電圧の大きさを制御することにより行っている。アナログ制御回路は余分な電力の消費源である。したがって、アナログ制御回路の既存の使用法とは別の使用法を見いだすのが望ましい。

【0006】

OLEDディスプレイは有機材料の薄層群から構成されている。この薄層群中では、個々のOLED画素が当該OLEDのアノード(陽極)と当該OLEDの対向電極との間で偶発的に短絡することがある。このような短絡によって、回路中に余分な電流が流れ、画素回路の両端に余分な電圧が発生する結果、余分な電力消費がなされる。短絡した画素が出す熱によって、当該短絡した画素近傍の良好な画素が破壊される可能性があるし、余分な電流によって電力供給電圧が変動する可能性もある。

30

【0007】

OLEDディスプレイの動作中、有機材料の薄層群は電荷を捕獲する傾向がある。それにより、OLED両端の電圧降下が大きくなる。その結果、照度が不均一になるとともに画像が焼きつく可能性がある。捕獲された電荷はOLEDを逆バイアスすることにより取り除くことができる。

【0008】

OLED自体はオン時に十分な照度を提供するとともに逆バイアス時に、捕獲された電荷を除去するするのに+/-6ボルト程度の電圧を必要とする。既存のCMOS集積回路技術では、4ボルト未満の電圧で動作するトランジスタを使用している。したがって、CMOS技術では通常、OLEDを駆動できない。また、OLED画素回路中のCMOSデバイスは4ボルト超の電圧に起因する破壊の影響を受けやすい。

40

【0009】

表示画像を変化させる既存の方法は、ディスプレイの各画素に定期的かつ個別にアドレスし必要に応じてそれらを「オン(ON)」したり「オフ(OFF)」したりするディスプレイ・コントローラのメモリをプロセッサが更新するというものである。ディスプレイが大量の画素、たとえば10万画素、100万画素、あるいはそれ以上の画素を備えている場合、この動作はきわめて大量の電力を消費するとともにプロセッサに負荷をかけること

50

になる。

【0010】

複数の画素回路をディスプレイに組み込む際に生じる別の課題は、ディスプレイの全構成要素を物理的分散させる方法に関するものである。すなわち、ディスプレイの面積は限られており、その中に画素とそれに付随する回路を配置する。さらに均一な画像を得るために画素間のピッチを一定に保つ必要もある。

【0011】

上述した欠点ゆえに、OLEDディスプレイは既存の他の多くのディスプレイ技術の場合と異なり、設計者が容易に採用するに至っていない。ダイナミックRAMとそれに対応する画像リフレッシュに必要な回路、および電力消費に関する課題があるので、電池駆動の装置やハンドヘルド装置または腕時計などの小型ディスプレイでOLEDを採用するのは難しい。また、OLEDは駆動電圧が高いので、OLED画素回路中でCMOS回路を使うのは難しい。さらに、アレイ中の画素にすべて定期的にアドレスする必要があるので、大型ディスプレイでOLEDを採用するのは難しい。また、画素間のピッチを一定に保つことは、すべてのディスプレイにおける重要な考慮事項である。

10

【0012】

【課題を解決するための手段】

本発明の第1の実例によれば、画素回路は有機発光ダイオード(OLED)と、OLEDの動作状態を表わすデータを格納するスタティック・メモリとを備えている。

【0013】

本発明の第2の実例によれば、画素回路はOLEDと、OLEDを制御するCMOS回路と、CMOS回路を過電圧状態から保護する保護回路とを備えている。

20

【0014】

本発明の第3の実例によれば、画素回路はOLEDと、OLEDを制御するCMOS回路とを備えている。このCMOS回路は電界効果トランジスタ(FET)を用いて構築された電流源を備えている。ただし、上記FETの静的ゲート・ソース電圧は上記FETのしきい電圧よりも高い。

【0015】

本発明の第4の実例によれば、ディスプレイは画素回路から成るアレイを備えている。各画素回路はOLEDと、OLEDの動作状態を表わすデータを格納するスタティック・メモリとを備えている。

30

【0016】

【発明の実施の形態】

ここに示す本発明の好適な実施形態に係る教示は、アクティブ・マトリクス型OLEDディスプレイに関する。そのようなディスプレイは超小型ディスプレイとして構成され、電子腕時計などの小型で電池駆動の装置に組み込まれる。しかしながら、この特定の利用・応用分野はいかなる点でも本発明の教示の実施を限定するものと解釈してはならない。

【0017】

図1(a)はOLED構造体、たとえば画素(ピクセル)または発光素子から成るアレイ100の上面図である。図1(b)は図1(a)の1B-1B線で切り取ったアレイ100の側面図である。アレイ100の各OLED構造体は1つのOLEDと該OLEDの動作状態を表わすデータを格納するスタティック・メモリとを備えた画素回路を備えるように構成されている。

40

【0018】

アレイ100は一般に $n \times m$ 画素の規則正しいアレイであると考えられる。ただし、 n と m は等しい場合もあるし、等しくない場合もある。

【0019】

アレイ100は複数のOLED構造体を備えている。各OLED構造体はアノード電極105を備えている。アノード電極105は2次元に配置されており、それにより平面ディスプレイを形成している。図1(b)に示す側面図は、たとえばその上にアノード電極1

50

05がパターンニングされたシリコン・チップ101上に形成されたアレイ100の垂直構造を示している。アノード電極105の下には、OLED光または外光が下に形成された回路に到達するのを防ぐ遮光層(図示せず)が配置されている。アノード電極105の上には、有機層102と透明カソード対向電極が配置されている。

【0020】

透明アノードを備えた一部のOLEDディスプレイではアノード電極105を通してOLEDを見ることができるが、好適な実施形態ではカソード対向電極103を通してOLEDを見ることができる。この理由は、シリコン基板101が透明ではなく不透明だからである。

【0021】

シリコン・チップ101のカソード電極層103の上には保護カバー・ガラス104が取り付けられており、OLED構造体を外部環境から保護している。また、カバー・ガラス・シリコン基板から成る封止体の内部であってアレイ100の境界外の部分に、湿気を吸収するのに好適なゲッタが配置されている。

【0022】

アクティブ・マトリクス方式のディスプレイ・アドレッシングでは、画素の状態(すなわち画素がON[すなわち明るい]かOFF[すなわち暗い]か)を示すデータをダイナミック・メモリ構造体またはスタティック・メモリ構造体書き込んで格納しておく。そのように構成されている場合(たとえば電氣的な試験用のため)、格納しているデータは上記メモリ構造体から読み出すこともできる。ダイナミック・メモリ・アレイでは、データをキャパシタに格納しているが、定期的リフレッシュする必要がある。これは電力を消費する動作である。スタティック・メモリでは、データをCMOS回路から成る電子ラッチに格納するので、データを保持するのにほとんど電力を消費しない。本発明の好適な実施形態に係るOLEDディスプレイ装置では、スタティック・メモリを用いて低消費電力化を図っている。

【0023】

ここに示す教示に係るアクティブ・マトリクス型ディスプレイでは、下に形成された回路の画素電極と対向電極との間に有機材料が挟まれている。画素電極は通常、発光ダイオードのアノードであり、対向電極は通常、カソードである。ディスプレイは表示する画像の必要に応じてON/OFFする画素から成る矩形のアレイとして形成されている。各画素は画素アノード電極と、対向電極に対してアノードの電氣的状態を制御する画素回路とを備えている。

【0024】

画素回路は絶縁基板上に形成された薄膜を用いて構成されている、あるいは、(好ましくはシリコンを基にした)集積回路技術を用いて構成されている。一般に、画素回路は、(1)任意の適切な材料、たとえば単結晶シリコン、非晶質シリコン、ポリシリコン、微結晶シリコン、有機半導体すなわち高分子半導体などを、(2)たとえばシリコン、ガラス、プラスチック、セラミック、サファイア(Al_2O_3)などから成る基板上に配置することにより形成することができる。絶縁(誘電体)基板上に形成した薄膜回路には低コストであること、および大型のディスプレイを製造するという利点がある。一般に、単結晶シリコン・デバイスを用いるとアレイを小さな面積に画定するが、その回路は薄膜回路よりも性能が高く製造密度も高い。ここに示す教示に係るOLED回路は様々な製造方法を用いて実現するのに適しているが、単結晶シリコン技術が好適な実施形態である。シリコン基板は可視光に対して不透明であるから、発光は対向電極を通して行うのが望ましい。対向電極はたとえばインジウム錫(すず)酸化物などの透明導電材料から成る連続シートとして形成するのが望ましい(たとえば対向電極103を参照)。

【0025】

以下の記述においては、「アレイ」なる用語は画素から成るアレイに加えアノードから成るアレイを指すのにも使用する。

【0026】

10

20

30

40

50

図2は複数のデータ記憶デバイスまたはデータ記憶ユニット(ここではワード構造体とも呼ぶ)205を備えたOLEDアレイ200のブロック図である。各ワード構造体205はたとえば16ビットのスタティック・ランダム・アクセス・メモリ(SRAM)である。16ビットはアレイ200の1行に並んだ16個の画素に対応している。この実施形態では、アレイに対して一度に16ビットずつデータを読み書きする。

【0027】

各ワード構造体205に対する入力は列ブロック・セレクト204、ビット線203、ワード線リード202、およびワード線ライト201である。ビット線203からワード構造体205にデータが書き込まれるのは、ワード線ライト201線と列ブロック・セレクト204線を駆動したとき、たとえば“H”状態に切り換えたときである。ワード構造体205からビット線203上にデータが読み出されるのは、ワード線リード202線と列ブロック・セレクト204線の双方を駆動したときである。ワード線リード202線とワード線ライト201線の双方を駆動した場合の動作は定義されていない。

10

【0028】

留意点を挙げると、列ブロック・セレクト204は各々アレイ200の1つの列に関係しており、一方、ワード線ライト201とワード線リード202は各々アレイ200の1つの行に関係している。列ブロック・セレクト204とワード線ライト201とワード線リード202とを適切に組み合わせると、アレイ200中の任意のワード構造体205に対してデータを読み書きすることができる。

【0029】

ビット線203の合計本数はアレイ200中の画素から成る列の個数に対応している。各ワード構造体205は16画素を表わしているから、列ブロック・セレクト204の本数はアレイ200中の画素から成る列の個数を16で除算したのに対応している。

20

【0030】

既存のSRAMは通常、相補型ビット線、すなわち1ビット当り2本のビット線を使用している。これに対して本発明では、1画素列当り1本のビット線しか使用していない。この結果、既存の構成と比べて電力消費が少ない。たとえば、データ・ビット1~16を表わすビット線203の組は、16本の単線として構成してある。

【0031】

システムの観点からは、ディスプレイのメモリ・セルからデータを読み取るのは、システム・メモリから外部のディスプレイにデータを読み出すのよりも効率が悪い。なぜなら、ディスプレイからの読み取りは通常、電力多消費かつ低速度だからである。しかし、ディスプレイのメモリ・セルからデータを読み取ることは、当該ディスプレイを電氣的に試験する場合には有益である。それにもかかわらず、ここではディスプレイからの読み取りよりもディスプレイへの書き込みの方を重視する。したがって、読み取りを容易にする既存のSRAM構成手法、たとえばパルス化ワード線アドレッシング、ビット線等化、ビット線センス回路などは必要としない。

30

【0032】

図3はOLED画素ワード構造体205のブロック図である。ワード構造体205はワード・セレクト回路300と16個の画素回路を備えている。ワード・セレクト回路300への入力は列ブロック・セレクト204、ワード線リード202、およびワード線ライト201である。ワード・セレクト回路300の出力はワード・リード404とワード・ライト405である。画素回路400への入力は単線のビット線203、ワード・リード404、およびワード・ライト405である。ワード・リード404およびワード・ライト405はそれぞれ、ワード線リード202およびワード線ライト201をローカルのワード・セレクト用に拡張したものである。ワード・セレクト回路300は一例として画素回路400群の左側に示してある。

40

【0033】

図4はワード・セレクト回路300中の一部の論理の詳細回路を示す図である。ワード・セレクト回路300は2個のANDゲート500、501を備えている。

50

【0034】

ANDゲート500への入力は列ブロック・セレクト204とワード線リード202である。ANDゲート500の出力はワード・リード404である。列ブロック・セレクト204とワード線リード202の双方を“H”(すなわちアクティブ)にすると、ワード・リード404が“H”(すなわちアクティブ)になる。

【0035】

ANDゲート501への入力は列ブロック・セレクト204とワード線ライト201である。ANDゲート501の出力はワード・ライト405である。列ブロック・セレクト204とワード線ライト201の双方を“H”(すなわちアクティブ)にすると、ワード・ライト405が“H”(すなわちアクティブ)になる。

10

【0036】

図5はアレイ200中の画素回路400の主要な機能構成要素の概略図である。画素回路400はSRAMセル10、電圧電力源V1に接続された電流源20、3個のスイッチ30、40、50、nウエルをソース64に接続した(すなわちフローティング・ウエルの)ゲート接地p型MOS(PMOS)トランジスタ60、および電力源V2に接続されたOLED70を備えている。通常動作中、V1は正電位であり、V2は負電位である。

【0037】

SRAMセル10への入力は単線のビット線203、ワード・リード404、およびワード・ライト405である。留意点を挙げると、ビット線203は単線であるが、SRAMセル10にデータを表わす信号を入力し、SRAMセル10からデータを表わす信号を出力するのに使用する。ワード・ライト405によってSRAMセル10へのデータの書き込みが可能になり、ワード・リード404によってSRAMセル10からのデータの読み出しが可能になる。SRAMセル10の出力はビット線203と制御線8である。留意点を挙げると、ビット線203はSRAMセル10の入力であるとともに出力でもある。制御線8はスイッチ40を制御するためのものである。ビット線203とワード・ライト405が“H”状態のとき、SRAMセル10には“H”状態が書き込まれる。SRAMセル10が“H”状態を格納しているとき、制御線8はスイッチ40を閉じる。SRAMセル10が“L”状態を格納しているとき、制御線8はスイッチ40を開ける。

20

【0038】

V1は電流源20に電力を供給する。電流源20はOLED70の所定の最大輝度レベルに対応する出力電流を生成する。

30

【0039】

OLED70を通過する平均電流を制御することによりOLED70の照度を制御するのが望ましい。DUTY FACTOR NOT(デューティ・ファクタ・ノット)6はアレイ200中のすべての画素への共通入力として供給されるパルス幅変調信号である。DUTY FACTOR NOT 6が“L”状態のとき、スイッチ30が閉じる。DUTY FACTOR NOT 6が“H”状態のとき、スイッチ30は開く。DUTY FACTOR NOT 6はOLED70を通過する平均電流を制御してその照度を最大輝度未満のレベルに設定する。

【0040】

REVERSE BIAS(逆バイアス)7はアレイ200中のすべての画素への共通入力である。REVERSE BIAS 7が“H”状態のとき、スイッチ50が閉じる。REVERSE BIAS 7が“L”状態のとき、スイッチ50は開く。

40

【0041】

スイッチ30と40が閉じておりスイッチ50が開いているとき、電流は電流源20から流出し、スイッチ30、40を通り、PMOSトランジスタ60のソース64に流れ込む。PMOSトランジスタ60はカスコード段として動作し、当技術分野で知られているように、電流源20の電圧コンプライアンス範囲を広げる。PMOSトランジスタ60のドレイン62を出た電流はOLED70に流入し、当該OLED70をONさせる。電圧コンプライアンス範囲とは、出力電流が実質的に一定を維持している間における出力電

50

圧の範囲のことである。カスコード段とは、電圧利得を実現することにより電圧コンプライアンス範囲を広げる共通ゲート増幅段のことである。

【0042】

電流がPMOSトランジスタ60を流れているとき、ドレイン62 - ソース64間の電圧は比較的low、たとえば約10ミリボルトである。電流が流れていると、ドレイン62電位は接地電位よりも数ボルト高いか低いが、ソース64電位は接地電位よりも最小限1×しきい電圧だけ高く、ドレイン62電位よりも常に高い。しきい電圧とは、トランジスタを通常の導通動作領域に置いておくのに必要な最小ソース - ゲート間電圧のことである。PMOSトランジスタ60のソース64に電流が流れ込んでいない場合、ソース64電位は接地電位よりも低くならない。

10

【0043】

OLEDの動作中、その有機層群に電荷が捕獲される可能性がある。これにより、所定の電流を流すのに必要なOLEDの順方向バイアス電圧が増大する。捕獲された電荷は定期的にまたは不規則間隔でOLEDを逆バイアスすることにより除去することができる。

【0044】

OLED70を逆バイアスするには、まずスイッチ30を開いて電流源20からの電流の流れを遮断したのち、スイッチ50を閉じてからV2を負電位から正電位に切り換える。スイッチ50を閉じると、PMOSトランジスタ60のソース64とnウェルが接地される。PMOSトランジスタ60のドレイン62はp型拡散領域である。したがって、V2を正電位に切り換えると、電流はV2から流出し、OLED70、PMOSトランジスタ60、およびスイッチ50を通過する。電流がPMOSトランジスタ60と閉じたスイッチ50を通過すると、OLED70のアノード72の電位は接地電位よりも1×ダイオード電圧降下分だけ高くなる。OLED70両端の逆バイアス電圧は、正電位V2 - 1×ダイオード電圧降下分である。

20

【0045】

OLEDの逆バイアスは短い間隔で行う必要はない。それどころか、それは不規則間隔で、またはディスプレイを見ていないときに行えばよい。たとえば、腕時計のディスプレイでは、日中は通常の順方向バイアスでOLEDを駆動し、夜間、ディスプレイ上の画像がOFFになっているときにOLEDの電圧を逆バイアスにすればよい。別の例としては、パルス幅変調輝度制御サイクル中、OLEDがOFFになったときにOLEDを逆バイアスしてもよい。

30

【0046】

図6は図5の画素回路400の詳細を示す図である。この実施形態では、V1を+3Vに設定し、V2を-5Vに設定している。

【0047】

SRAMセル10はn型MOS(NMOS)トランジスタ11、15、およびインバータ12、13、14を備えている。書き込み動作の場合、ワード・ライト入力405を“H”状態にすると、NMOSトランジスタ11がビット線203の論理状態をインバータ12の入力に接続する。

【0048】

インバータ12の出力はその入力を反転させたものである。インバータ12の出力はインバータ13の入力とインバータ14の入力とに接続されている。また、インバータ12は制御線8に信号を供給する。

40

【0049】

インバータ13はインバータ12の入力に接続された出力を有する。留意点を挙げると、インバータ12はその入力を、NMOSトランジスタ11をONにしてビット線203から、あるいはインバータ13の出力から受け取る。NMOSトランジスタ11の電流駆動力は、部分的にはそのチャネル幅対チャネル長の比によって決まる。インバータ12とNMOSトランジスタ11の電流駆動力は比較的強く、たとえばインバータ13の電流駆動力よりも約10倍強い。したがって、ONしたNMOSトランジスタ11からインバータ

50

12への経路によるビット線203からの入力によってSRAMセル10の状態が決まる。NMOSトランジスタ11を通過したデータ・レベルは当初、インバータ12の状態を設定する。次いで、NMOSトランジスタ11が出したデータ・レベルが消失(すなわちNMOSトランジスタ11がOFF)したあとは、インバータ13がインバータ12にフィードバック(すなわちラッチ信号を供給)し、その状態を保持する。したがって、NMOSトランジスタ11と、インバータ12と、インバータ13とはデータ・ラッチを構成している。

【0050】

PMOSトランジスタ40Aは(図5の)スイッチ40の役割を演じる。インバータ12が出力する制御線8はPMOSトランジスタ40Aのゲートに接続されている。

10

【0051】

SRAMセル10からデータを読み取るには、ワード・リード404を“H”状態に設定してNMOSトランジスタ15をONし、インバータ14の出力をビット線203に接続する。インバータ12とインバータ14の二重の反転を通じて、SRAMセル10から読み出したデータの極性は先刻SRAMセル10に書き込んだデータの極性と同じになる。

【0052】

インバータ14を除去しインバータ12の出力をNMOSトランジスタ15に直接に接続すると、SRAMセル10を簡略化することができる。この場合、SRAMセル10から読み出したデータは先刻SRAMセル10に書き込んだデータの極性を反転させたものになる。しかし、それはビット線リード回路(図示せず)で再反転することができる。インバータ14によって、画素回路400をビット線203上のノイズから分離することができるとともに、読み取り動作中におけるビット線203による容量装荷からも画素回路400を分離することができるから、インバータ14を備えておくのが望ましい。

20

【0053】

PMOSトランジスタ20Aは(図5の)電流源20として機能する。PMOSトランジスタ20Aのゲートには基準電位VREF21が接続されている。この基準電位VREF21はアレイ200の他のすべての画素回路中の同様に配置されたPMOSトランジスタにも接続されている。

【0054】

上述した遮光層は、たとえばV1の+3Vを配分するのに使うことができる。遮光層(導電層)はアレイ中に分布・接続されているから、V1電力配分用の低抵抗経路として機能しうる。このように、遮光層は2つの機能を果たす。すなわち、遮光と電力配分とである。

30

【0055】

PMOSトランジスタ20Aは電界効果トランジスタ(FET)であり、チャンネル幅(W)、チャンネル長(L)、ゲート・ソース電圧(V_{gs})によって規定されている。これらは面積制約($\sim W \times L$)内で最適化して、アレイ全体の画素のOLED70を通過する電流の均一性に対するしきい電圧(V_T)とチャンネル幅の変動による影響を最小化している。チャンネル長はドレイン拡散領域とソース拡散領域との分離領域(この上にゲート導体が形成される)によって決まる。チャンネル幅はゲート導体に沿ったドレインまたはソースの

40

($|V_{ds}| > |V_{gs} - V_T|$)

が成り立ち、

ドレイン電流は、

(W/L)($V_{gs} - V_T$)²

に比例する。ただし、 V_{ds} はドレイン・ソース電圧である。VREF21電圧はV1に対して設定し、OLED70の所望の計測最大輝度得られるように調整する。これにより、ディスプレイのすべての最大輝度に対して電流源トランジスタのパラメータとOLEDの効率とが影響するのを排除することができる。

【0056】

50

PMOSトランジスタ20Aの典型的な実装では、チャネル長が2 μ m(79.12ミクロン)、チャネル幅が67nm(2.64ミクロン)、PMOSトランジスタ20Aのゲート-ソース電圧が名目上-1.1Vである。しきい電圧が-0.6Vであるから、PMOSトランジスタ20Aはソース-ドレイン電圧が0.5Vよりも大きい限り飽和領域にある、すなわち定電流を生成し続ける。留意点を挙げると、PMOSトランジスタ20Aの静的なソース-ゲート電圧はしきい電圧よりも大きい。したがって上述した点を換言すると、OLED70を駆動するのに必要な余分の電圧は0.5Vでしかない。この点で、この構成はきわめて電力効率が良い。この実装の場合、PMOSトランジスタ20Aが出力する電流の変動は、ディスプレイ全体の画素において、1.05:1未満である(すなわち5%未満である)。

10

【0057】

PMOSトランジスタ30Aは(図5の)スイッチ30の役割を演じ、NMOSトランジスタ50Aは(図5の)スイッチ50の役割を演じる。この構成により、図5に示すDUTY FACTOR NOT 6とREVERSE BIAS 7を結合させて単一のREVERSE BIAS/DUTY FACTOR NOT 9信号にすることができる。REVERSE BIAS/DUTY FACTOR NOT 9はアレイ200中のすべての画素への共通入力である。

【0058】

OLED70の通常の順方向バイアス動作では、REVERSE BIAS/DUTY FACTOR NOT 9はデューティ・ファクタである。ただし、このデューティ・ファクタはPMOSトランジスタ30Aを迅速にON/OFFさせてOLED70を流れる電流をデューティ・ファクタによって変調させるものである。(デューティ・ファクタとは、パルス持続時間対パルス間隔の比のことである。)OLED70の輝度はこのようにデジタル制御すると、アナログ電圧による制御に比べてより均一になる。PMOSトランジスタ30AがOFFのとき、NMOSトランジスタ50AはREVERSE BIAS/DUTY FACTOR NOT 9によってONする。これにより、トランジスタ20A、30A、40A、50A、60の寄生容量を放電させてパルス幅変調を線形化するのが容易になる。これらの寄生容量を放電させないと、寄生配線容量、ドレイン-基板間容量、ソース-基板間容量、およびFETの電極間容量によって、PMOSトランジスタ30AがOFFの間でも短時間、電流はOLED70に流入し続けることができる。寄生容量はPMOSトランジスタ60のソース64の電位を“H”に保つ傾向があるから、PMOSトランジスタ60はソース64が放電するまで導通し続けることができる。

20

30

【0059】

CMOS回路は降伏電圧(通常3.6V)を超える電圧にさらすと、損傷を受けやすくなる。また、有機層は100より高い温度にさらすと、その寿命が著しく短くなる。OLEDのアノードとカソードとの間が短絡すると、短絡したOLEDの画素回路を通じて過大な電流が流れる。そのような電流によって発熱し、隣接する画素が損傷する。また、ディスプレイ中の他の画素に供給する電圧が妨害される。

【0060】

したがって、画素回路400はPMOSトランジスタ81、82、および、83、ならびに抵抗器84から成る保護回路を備えている。通常動作中、画素がOFF状態になるとOLED70両端の電圧降下が小さくなるから、PMOSトランジスタ60のドレイン62の電位はより負になる。各PMOSトランジスタ81、82、83は約1V電圧降下するから、PMOSトランジスタ60のソース64の電位は接地よりも約3ボルトだけ負に限定される。すなわち、PMOSトランジスタ81、82、83は負(-3V)のクランプを実現し、PMOSトランジスタ60のゲート-ドレイン間電圧が定格3.6Vの降伏電圧を超えないようにしている。PMOSトランジスタ60のドレイン62の電圧を制限することにより、保護回路は画素回路400の他の構成要素を通して流れる電流を効果的に制限している。OLED70がONのとき、ドレイン62の電位は接地よりも約1.75V高い。したがって、OLED70がONのとき、PMOSトランジスタ81、82、8

40

50

3は機能しない。

【0061】

OLED70が短絡した場合には、抵抗器84が流れる電流したがって電力を制限する。そしてPMOSトランジスタ81、82、83もPMOSトランジスタ60のドレイン62の電位を約-3ボルトにクランプするから、抵抗器84両端では余分の電圧降下は生じない。好適な実施形態では、抵抗器84は40000オームの抵抗値を有するようにアンドープのポリシリコンで作製する。

【0062】

PMOSトランジスタ81、82、および、83、ならびに抵抗器84によって、OLED70を試験することも可能になる。また、他の画素回路中の同様に配置された構成要素を通じて、アレイ200中のすべてのOLED画素を試験することが可能になる。これを行うには、V2を接地に対して負電位たとえば-7Vに設定し、V1をフロート（浮遊）または接地に設定する。こうすることにより、PMOSトランジスタ81、82、83から抵抗器84、OLED70、V2に至る電流経路が形成される。PMOSトランジスタ81、82、83は各々、約0.7V電圧降下する。OLED70は順方向バイアスであるから、良品であればONする。この試験が有益なのは、たとえばOLEDを堆積・封止後であってディスプレイの組み立て前に欠陥を特定する場合である。

10

【0063】

電力を節約する上述した教示に加え、画像をディスプレイに書き込む仕方を制御することによっても電力を節約することができる。たとえば、ディスプレイの電力消費は画素の輝度、およびONになっている画素の個数に比例するから、画素の輝度を低くするとともにONになっている画素の個数を少なくする方策を講じることにより、電力を節約することができる。

20

【0064】

たとえば、アレイ200が腕時計用のディスプレイに組み込まれている場合、時計として時を示すのに必要な画素数は全画素数の1~2%である。典型的なテキスト画面では、全画素の10~20%をONしている。画像には全画素の50%を点灯させる必要がある。

【0065】

したがって、グレー・スケールの画像はフレーム順操作ではなく空間ディザリングによって生成する。これにより、フレーム順操作では必要になる、ディスプレイに迅速に書き込むのに要する電力を不要にすることができる。

30

【0066】

通常、ONしている画素数は50%未満であるから、1回の動作でディスプレイをクリアしたのちにディスプレイに新たなデータを書き込むことにより、そして画素をONさせているワード構造体だけに書き込みを行うことにより電力を節約することができる。アレイの外部にあるビット線ドライバとワード線ドライバを使うことにより、ディスプレイ全体をクリアすることができる。ワード線ライト201と列ブロック・セレクト204をすべて“H”にし、すべてのビット線203を“L”データ状態にすると、アレイ200中のすべてのSRAMセル10に“L”レベルのデータが書き込まれるから、ディスプレイ中の画素をすべてOFFにすることができる。腕時計の例では、この機能の制御は時計プロセッサがディスプレイを更新する前に発行する。次いで、新たな表示画面でONする必要のある画素だけにデータを書き込む。

40

【0067】

時計は通常、99%の時間を時の表示に使い、時を示す時計針は高コントラストを必要としないから、時を表示するときの輝度を比較的照度レベルたとえば約30カンデラ/平方メートルに低減することができる。この照度レベルは夜間使用のため、および室内周辺光レベルでの低コントラスト用途のためには十分であろう。室内周辺光状態でテキストや画像を表示する場合でも、100カンデラ/平方メートルで十分であろう。明るい陽光状態下での用途の場合にのみ500カンデラ/平方メートルの照度レベルが必要になる。

【0068】

50

時計システムの待機動作中の電力を節約するには、REVERSE BIAS / DUTY FACTOR NOT 9を“H”状態にする必要がある。また、V2のディスプレイへの接続を開放して、OLEDの短絡に起因してOFF状態のOLEDに流れる電流を無くす必要がある。したがって、画素回路400を通して電流が流れないように、V1とV2との間の電流経路を破壊する。

【0069】

また、V1の電圧を低減すればSRAMセル10から引き出される待機電流を低減できるが、ディスプレイがそのデータを失うほどV1の電圧を低くすることはできない。さらに、供給電圧を低減すればインバータ12、13、14を通る漏れ電流を低減できるから、待機電力を低減できる。腕時計の用途では、待機の制御は時計プロセッサが行う。

10

【0070】

DUTY FACTOR NOT 6、REVERSE BIAS 7、待機、およびクリア用の制御信号は、SRAMワード構造体書き込むことができる。後述するように、SRAMワード構造体はディスプレイ制御レジスタを形成しているが、アレイ200の一部ではなく、その外部に存在する。このように、ディスプレイ制御信号はディスプレイの一部ではあるが時計の中のどこにも存在しないから、ディスプレイへの専用信号線の本数を減らすことができる。

【0071】

制御レジスタの機能の1つはディスプレイを「クリア」すること、すなわち1回の動作ですべての画素をOFFにすることである。すなわち、ディスプレイの個々の画素すべてにアドレスすることなく、表示済みの画像を消去することである。こうすると、プロセッサは新たな画像でONになる画素にのみ書き込むだけでよい。したがって、ディスプレイのすべての画素に書き込むのに比べて、電力消費とプロセッサへの負荷を低減することができる。

20

【0072】

図7はアレイ200に対する読み書きに関する、ディスプレイを構成する機能ブロック群、ディスプレイ制御レジスタ705、およびクリア動作の制御フローを示す図である。プロセッサ(図示せず)はディスプレイ制御レジスタ705にクリア動作専用の1ビットを含むワードを書き込む。図7に示す典型的な実施形態では、1ワードは16ビットである。

30

【0073】

動作中、プロセッサはアドレス、リード/ライト信号、チップ・セレクト信号、および画像データをディスプレイに送る。アドレスとデータ・ワードを受け取るごとに、列ブロック・デコーダ701が列セレクト線204(図2)を1本駆動し、ワード線デコーダ702がワード線リード202またはワード線ライト201を1本駆動し、ビット線リード/ライト・ドライバ703が適切なビット線203(図2)を選択する。また、クリア動作を行う場合には、列ブロック・デコーダ701とワード線デコーダ702がディスプレイ制御レジスタ705を書き込み用にアドレスし、クリア用のデータ・ビットをビット線リード/ライト・ドライバ703に印加したのち、ディスプレイ制御レジスタ705に格納する。次いで、ディスプレイ制御レジスタ705のクリア線出力704を駆動して、列ブロック・デコーダ701、ワード線デコーダ702、およびビット線リード/ライト・ドライバ703にクリア信号を印加する。これにより、アレイ200のすべての画素に「0」が書き込まれるから、すべてのOLEDがOFFする。

40

【0074】

本発明の好適な実施形態に係るディスプレイは画像データをワードの形でディスプレイに送信するマイクロプロセッサのメモリ拡張バスがアドレスしうるように設計されている。ワードは1度に送る数画素分のデータ、たとえば1度に送る16画素分のデータから成る。また、たとえば試験目的でディスプレイのSRAM記憶装置からデータを読み出すこともできる。このときも1度に1ワードずつ読み出す。これを容易にするために、本発明の好適な実施形態に係るディスプレイにはワード・セレクト回路が、たとえば16画素の水

50

平方方向群ごとに1つずつ組み込まれている。この結果、画素ピッチを均一（すなわち一定）に保つために、画素回路と実際の画素との間の結合を周期的にシフトさせることが必要になる。

【0075】

図8はOLED画素ワード構造体205のブロック図であり、OLED画素群の各ノードに対する画素回路400とワード・セレクト回路300の物理的関係を示している。ワード構造体205はアレイ200の行に沿って配置された16個の画素回路400と1個のワード・セレクト回路300から成る。ワード構造体205を16個のOLEDアノード電極105が覆っている。各アノードは導電性ビア（バイア）802によって対応する画素回路400の金属導体801に接続されている。ビア802と導体801は画素回路400からアノード105に至る導電経路、すなわち図6で抵抗器84からOLED70に至る接続の一部を構成している。図8では図を簡明にするためにアノード電極105と画素回路400とが互いに隣接しているように示されているが、実際にはそれらは（少なくとも部分的に）互いにオーバーラップしているということは明らかである。図8の例では、画素回路の行方向の平均寸法とアノード電極のピッチは871nm（34.3ミクロン）であるが、ワード・セレクト回路300の行方向のピッチは203nm（8ミクロン）である。16個の画素回路400と1個のワード・セレクト回路300が16個のアノード電極105と同じ水平方向のスペースを占めるために、各画素回路400の行方向の寸法をアノード電極と比べて12.7nm（0.5ミクロン）だけ小さくする、すなわち871nm（34.3ミクロン）から859nm（33.8ミクロン）にする。ビア802は各アノード電極105の中心に配置するか、各アノード電極105上で少なくとも相対的に同じ場所に配置するのが望ましい。これを行うために、各画素回路400の導体801はビア802のシフト場所を収容しうるように行方向に十分な延長部を有している。この結果、OLEDアノードの接続先の画素回路のピッチが不均一であっても、当該OLEDアノードのピッチはアレイ全体を通じて均一になる。

10

20

【0076】

まとめとして、本発明に係る画素回路には従来技術にまさる利点が多くある。たとえば、アクティブ・マトリクス型OLEDディスプレイを構成する各画素にCMOS回路を組み込むことができる。本発明に係る画素回路は消費電力が小さいから、電池駆動に好適である。本発明に係る画素回路は定電流源を組み込んでいるから、輝度が均一になるとともに輝度のOLEDの特性に対する依存性を低減することができる。本発明に係る画素回路によれば、OLEDが動作するのに要する電圧よりも低い電圧の回路技術を使用することが可能になる。各画素が当該画素の状態（ON/OFF）を制御するSRAMメモリ・セルを組み込んでいるから、周期的なリフレッシュが不要になる。本発明に係る画素回路は時間の経過によるOLEDの劣化を最小にするのに必要になる逆電圧を印加するための備えを有する。本発明に係る画素回路は照度をデューティ・ファクタで制御するための備えを有する。本発明に係る画素回路は短絡した画素の影響を分離する電流制限抵抗器を備えている。本発明に係るディスプレイには、マイクロプロセッサのメモリ拡張バスが数画素長から成るワードの形でアドレスすることができる。本発明に係るディスプレイを構成する画素のアレイには、ワード・アドレスをデコードする回路が組み込まれている。また、1回の動作でディスプレイ画像をクリアする備えを有するから、ONする画素のみをアドレスするだけで新たな画像を表示することができる。

30

40

【図面の簡単な説明】

【図1】（a）本発明の教示による、OLED構造体から成るアレイの上面図である。（b）1B-1B線で切り取った図1（a）のアレイの側面図である。

【図2】各ワードが16画素から成るOLED画素ワード・アレイ構造体のブロック図である。

【図3】OLED画素ワード構造体の一実施形態のブロック図である。

【図4】本発明の教示による、ワード・セレクト回路中の論理回路の概略図である。

【図5】OLED画素回路の一実施形態の単純化した概略図である。

50

【図6】OLED画素回路のより詳細な概略図である。

【図7】OLEDアレイを駆動するディスプレイ接続と制御レジスタ接続とクリア接続のブロック図である。

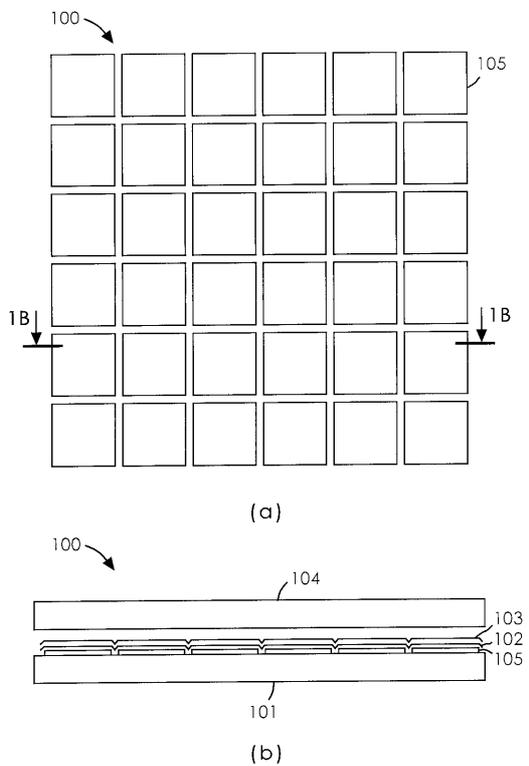
【図8】OLED画素の各アノードに対する画素回路とワード・セレクト回路の物理的関係を示すOLED画素ワード構造体のブロック図である。

【符号の説明】

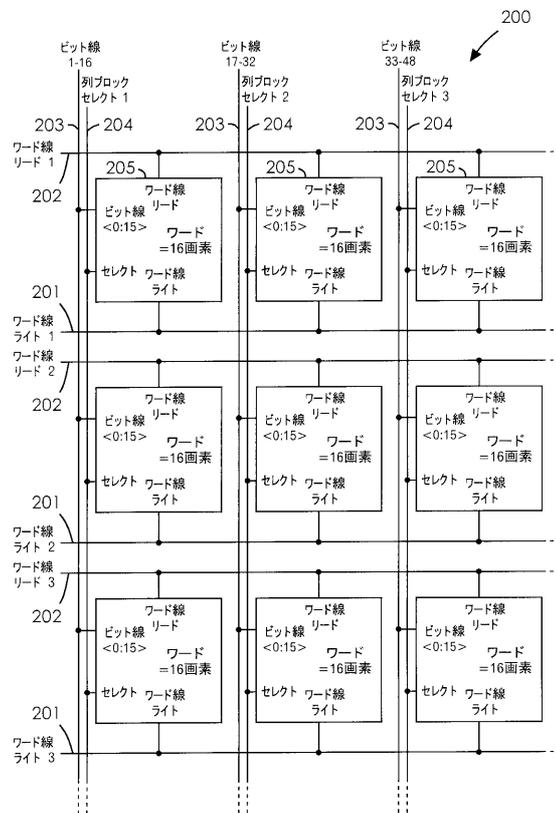
6	DUTY FACTOR NO	
7	REVERSE BIAS	
9	REVERSE BIAS / DUTY FACTOR NOT	
10	SRAMセル	10
11	NMOSトランジスタ	
12	インバータ	
13	インバータ	
14	インバータ	
15	NMOSトランジスタ	
20	定電流源	
20A	PMOSトランジスタ	
30	スイッチ	
30A	PMOSトランジスタ	
40	スイッチ	20
40A	PMOSトランジスタ	
50	スイッチ	
50A	NMOSトランジスタ	
60	PMOSトランジスタ	
62	ドレイン	
64	ソース	
70	OLED	
72	アノード	
81	PMOSトランジスタ	
82	PMOSトランジスタ	30
83	PMOSトランジスタ	
84	抵抗器	
100	アレイ	
101	シリコン・チップ	
102	有機層	
103	カソード電極層	
104	保護カバー・ガラス	
105	アノード電極	
200	アレイ	
201	ワード線ライト	40
202	ワード線リード	
203	ビット線	
204	列ブロック・セレクト	
205	ワード構造体	
300	ワード・セレクト回路	
400	画素回路	
404	ワード・リード	
405	ワード・ライト	
500	ANDゲート	
501	ANDゲート	50

- 7 0 1 列ブロック・デコーダ
- 7 0 2 ワード線デコーダ
- 7 0 3 ビット線リード/ライト・ドライバ
- 7 0 4 クリア線出力
- 7 0 5 ディスプレイ制御レジスタ
- 8 0 1 導体
- 8 0 2 ピア

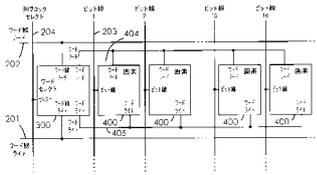
【 図 1 】



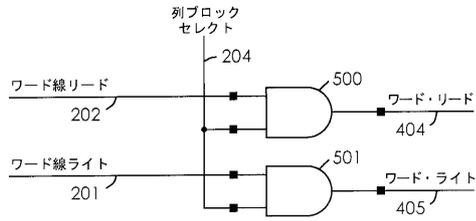
【 図 2 】



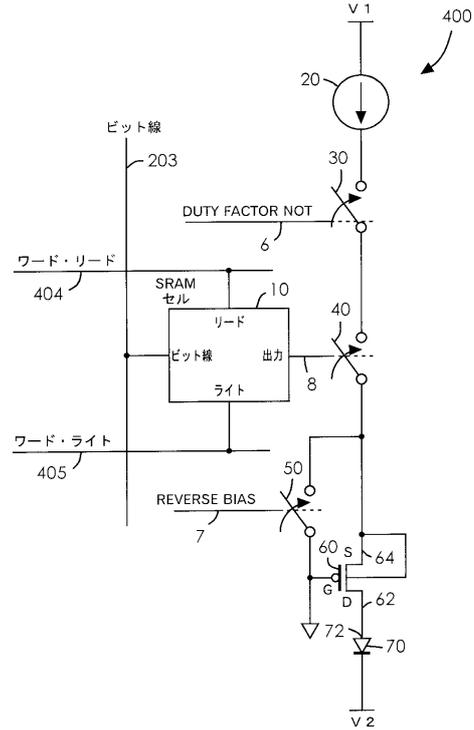
【図3】



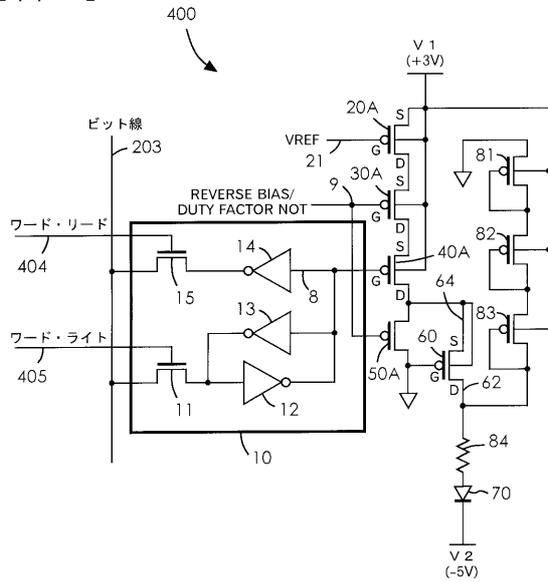
【図4】



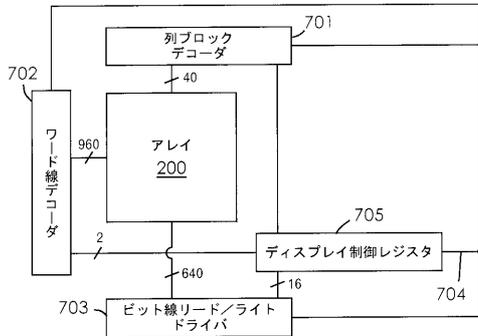
【図5】



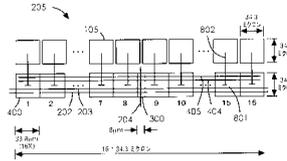
【図6】



【図7】



【図8】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
11 July 2002 (11.07.2002)

PCT

(10) International Publication Number
WO 02/054373 A2

(51) International Patent Classification: G09G
(21) International Application Number: PCT/GB01/05736
(22) International Filing Date: 21 December 2001 (21.12.2001)
(25) Filing Language: English
(26) Publication Language: English
(30) Priority Data: 09/754,489 4 January 2001 (04.01.2001) US
(71) Applicant: INTERNATIONAL BUSINESS MACHINES CORPORATION [US/US]; New Orchard Road, Armonk, NY 10504 (US)

(72) Inventors: SANFORD, James, Lawrence; 2 Fox Run, Hopewell Junction, NY 12533 (US); SCHLIG, Eugene, Stewart; 13 Butler Hill Road, Somers, NY 10589 (US)
(74) Agent: LING, Christopher, John; IBM United Kingdom Limited, Intellectual Property Law, Hursley Park, Winchester, Hampshire SO21 2JN (GB)

(81) Designated States (national): AF, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(71) Applicant (for AG only): IBM UNITED KINGDOM LIMITED [GB/GB]; PO Box 41, North Harbour, Portsmouth, Hampshire PO6 3AU (GB)

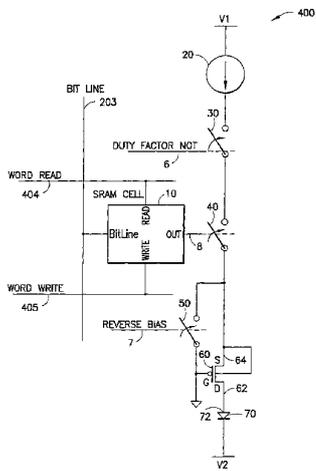
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)

[Continued on next page]

(54) Title: LOW-POWER ORGANIC LIGHT EMITTING DIODE PIXEL CIRCUIT



WO 02/054373 A2



(57) Abstract: A pixel circuit comprises an organic light emitting diode (OLED), and a static memory for storing data that represents an operational state of the OLED. In alternative embodiments, a pixel circuit may include a complementary metal oxide semiconductor (CMOS) circuit for controlling the OLED, a protection circuit for protecting the CMOS circuit from an over-voltage condition, and a current source with a field effect transistor (FET) having a static gate to source voltage that is greater than a threshold voltage of the FET.

WO 02/054373 A2 

European patent (AU, BI, CH, CY, DE, DK, ES, FI, FR, GB, GR, IL, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

Published:
without international search report and to be republished upon receipt of that report

WO 02/054373

PCT/GB01/05736

1

LOW-POWER ORGANIC LIGHT EMITTING DIODE PIXEL CIRCUITFIELD OF THE INVENTION

5 This invention relates generally to a pixel circuit, and, more particularly, to a low-power organic light emitting diode (OLED) pixel circuit utilizing complementary metal oxide semiconductor (CMOS) technology.

BACKGROUND OF THE INVENTION

10 An OLED pixel may utilize any of a variety of organic materials that emit light when an electric current is applied thereto. An OLED display comprises a plurality of OLED pixels organized into an array.

15 Illumination of an OLED pixel is controlled by a pixel circuit that may include either a constant current source or a constant voltage source. It is generally recognized that the constant current source provides a greater uniformity of luminance among the pixels of the array. This is because the dependence of luminance upon current tends to be uniform while the voltage across the OLEDs at a given current in the various pixels tends to be less uniform. US Patent No. 6,023,259 to Howard et al. describes a current driver that provides a passive matrix drive current to an OLED. For typical display brightness, passive matrix drive operation results in lower OLED power efficiency and, in order to avoid flicker, requires a refresh rate greater than or equal to 60 Hz.

20 In an active matrix display, a provision is generally made for storage of the state of a pixel within its respective pixel circuit. This is commonly achieved by incorporating the equivalent of a dynamic RAM cell in each pixel circuit, in which the state is stored as a voltage across a capacitor. A disadvantage of such an arrangement is that the voltage quickly bleeds off the capacitors, and consequently any image represented on the display must be regularly refreshed. This act of refreshing the image consumes a significant quantity of power. It is therefore desirable to find an alternative to the conventional use of dynamic RAMs.

25 Control of the luminance of an "on" pixel is commonly achieved by controlling a magnitude of an analog voltage that determines the voltage or current applied to the pixel. Analog control circuits are another

30

35

40

WO 02/054373

PCT/GB01/05736

2

source of excessive power dissipation. It is therefore desirable to find an alternative to the conventional use of analog control circuitry.

5 The OLED display is constructed of thin layers of organic material in which individual OLED pixels are subject to an occasional short circuit between an anode of the OLED and a counter-electrode of the OLED. Such a short can cause excess current to flow in the circuit, excess voltage across the pixel circuit and excess power dissipation. Good pixels neighboring a shorted pixel may be destroyed by heat from the shorted pixel and the excess current may alter power supply voltages.

10 During operation of the OLED display, the layers of organic material tend to trap charge, causing increases in the voltage drop across the OLED, which can cause a non-uniformity of luminance and a burned-in image. The trapped charge may be removed by reverse-biasing the OLED.

15 The OLED itself typically requires a voltage on the order of +/- 6 volts to develop an adequate luminance when turned ON and to remove trapped charge when reverse-biased. Conventional CMOS integrated circuit technology uses transistors that operate with a voltage of less than 4 volts. Accordingly, CMOS technology is not ordinarily capable of driving an OLED. Furthermore, a CMOS device in an OLED pixel circuit is particularly susceptible to damage from the voltage in excess of 4 volts.

20 A traditional manner of changing a displayed image is for a processor to update the memory of a display controller that periodically and individually addresses each of the pixels of the display, and turn them "on" (ON) and "off" (OFF) as required. If the display included a large number of pixels, for example one hundred thousand, one million, or more, this operation would consume a significant quantity of power and could burden the processor.

25 An additional problem when incorporating a plurality of pixel circuits into a display is that of physically distributing the collective elements of the display. That is, the display is a finite area within which the pixels and their accompanying circuitry are confined, yet a constant pitch between pixels must be maintained in order to provide a uniform image.

30 Because of the aforementioned disadvantages, OLED displays have not been as readily adopted by designers as have many other conventional display technologies. The use of dynamic RAM and its corresponding

40

WO 02/054373

PCT/GB01/05736

3

circuitry required for refreshing an image, and issues relating to power dissipation are an obstacle to an employment of OLEDs in battery operated devices, and in small displays such as those used for hand-held devices or watches. The OLED operating voltages are an obstacle to the use of CMOS circuitry in an OLED pixel circuit. The regular addressing of every pixel in an array is an obstacle to the employment of OLEDs in large displays. The maintenance of a constant pitch between pixels is an important consideration in any display.

DISCLOSURE OF THE INVENTION

In accordance with a first embodiment of this invention, a pixel circuit includes an organic light emitting diode (OLED), and a static memory for storing data that represents an operational state of the OLED.

In accordance with a second embodiment of this invention, a pixel circuit includes an OLED, a complementary metal oxide semiconductor (CMOS) circuit for controlling the OLED, and a protection circuit for protecting the CMOS circuit from over-voltage conditions.

In accordance with a third embodiment of this invention, a pixel circuit includes an OLED, and a CMOS circuit for controlling the OLED. The CMOS circuit contains a current source constructed using a field effect transistor (FET) having a static gate to source voltage that is greater than a threshold voltage of the FET.

In accordance with a fourth embodiment of this invention a display includes an array of pixel circuits. Each of the pixel circuits contains an OLED, and a static memory for storing data that represents an operational state of the OLED.

BRIEF DESCRIPTION OF THE DRAWINGS

The invention will now be described, by way of example only, with reference to the accompanying drawings, in which:

Fig. 1A is an illustration of a top view of an array of OLED structures, in accordance with the teachings of this invention;

Fig. 1B is a side view of the array of Fig. 1A taken through line 1B - 1B;

WO 02/054373

PCT/GB01/05736

4

Fig. 2 is a block diagram of an OLED pixel word array structure, each word being composed of 16 pixels;

Fig. 3 is a block diagram of an embodiment of an OLED pixel word circuit;

Fig. 4 is schematic of logic circuitry in a word select circuit, in accordance with these teachings;

Fig. 5 is a simplified schematic of an embodiment of an OLED pixel circuit;

Fig. 6 is a more detailed schematic of an OLED pixel circuit;

Fig. 7 is a block diagram of display and control register clear connections for driving an OLED array; and

Fig. 8 is a block diagram of an OLED pixel word structure showing a physical relationship of pixel circuits and a word select circuit to respective anodes of OLED pixels.

DETAILED DESCRIPTION OF THE INVENTION

The teachings in accordance with presently preferred embodiments of this invention relate to active matrix OLED displays. Such displays may be configured as micro-displays and incorporated into small, battery-powered devices such as electronic wristwatches. This particular field of use and application should not, however, be construed in any manner as a limitation upon the practice of the teachings of this invention.

Fig. 1A is an illustration of a top view of an array 100 of OLED structures, e.g., picture elements (pixels) or light emitting elements, and Fig. 1B is a side view of array 100 taken through line 1B - 1B of Fig. 1A. Each OLED structure of array 100 is constructed to have a pixel circuit that includes an OLED and a static memory for storing data that represents an operational state of the OLED.

Array 100 may be generally considered to be a regular $n \times m$ array of pixels, where n may or may not be equal to m .

WO 02/054373

PCT/GB01/05736

5

Array 100 includes a plurality of OLED structures, each of which has an anode electrode 105. The anode electrodes 105 are arranged in two dimensions, forming a planar display. The side view shown in Fig. 1B depicts the vertical structure of array 100 on, by example, a silicon chip 101 upon which anode electrodes 105 are patterned. Disposed below anode electrodes 105 may be a light-blocking layer (not shown) to prevent OLED light or external light from reaching underlying circuitry. An organic layer 102 and a transparent cathode counter-electrode layer 103 are disposed above anode electrodes 105.

In some OLED displays with a transparent anode, an observer may view the OLED through its anode electrode 105, but the preferred embodiment involves viewing the OLED through its cathode counter-electrode layer 103. This is because the silicon substrate 101 is not transparent, but is opaque.

A protective cover glass 104 is attached to the silicon chip 101 over cathode electrode layer 103 to provide environmental protection for the OLED structure. A suitable getter for moisture absorption may also be positioned within a cover-glass-to-silicon seal, but outside the boundary of array 100.

In an active matrix scheme of addressing the display, data that defines a state of the pixels, that is, whether the pixel is ON, i.e., luminous, or OFF, i.e., dark, may be written to, and stored, in either a dynamic or static memory structure. The stored data may also be read out from the memory structure, if it is so configured, for example, for purposes of electrical testing. In a dynamic memory array, data is stored on a capacitor and must be refreshed periodically, an operation that dissipates power. In a static memory, data is stored in an electronic latch comprised of CMOS circuits, and virtually no power is dissipated to hold the data. The OLED display apparatus in accordance with the presently preferred embodiments of this invention uses static memory for low power dissipation.

In an active matrix display in accordance with these teachings the organic material is sandwiched between pixel electrodes of the underlying circuit and a counter-electrode. The pixel electrode is typically the anode of the light emitting diode and the counter-electrode is typically the cathode. The display is formed as a rectangular array of pixels that are turned ON or OFF as the displayed image requires. Each pixel has a

WO 02/054373

PCT/GB01/05736

6

pixel anode electrode and pixel circuits that control the electrical state of the anode relative to the counter-electrode.

5 The pixel circuits may be constructed using thin-films formed on an insulating substrate, or they may be constructed using integrated circuit technology, preferably silicon-based. In general, the pixel circuit can be fabricated with (1) any suitable material, such as, for example, crystalline silicon, amorphous silicon, polysilicon, micro crystalline silicon, an organic semiconductor or a polymer semiconductor, and (2) disposed, for example, on a substrate of silicon, glass, plastic, ceramic, or sapphire (Al_2O_3). The thin-film circuits on an insulating (dielectric) substrate have the advantages of lower cost and an ability to be fabricated into large displays. In general, the use of crystalline silicon devices is confined to small area arrays, but the circuits have higher performance and higher fabrication density than the thin-film circuits. The OLED circuitry in accordance with these teachings is suitable for being implemented using a variety of fabrication techniques, but the crystalline silicon technology is the preferred embodiment. Since silicon substrates are opaque to visible light, light emission is preferably through the counter-electrode, which is preferably formed as a continuous sheet of transparent conductive material such as indium tin oxide, e.g., see counter-electrode layer 103.

20 In the description that follows, the term "array" is used to refer to an array of pixels as well as to an array of anodes.

25 Fig. 2 is a block diagram of an OLED array 200 comprising a plurality of data storage devices or units, also referred to herein as word structures 205. Each word structure 205 is a static random access memory (SRAM) of, for example, 16 bits that correspond to sixteen pixels along a row of array 200. In this embodiment data is written into, and read out of, the array 16 bits at a time.

30 The inputs to each word structure 205 are a column block select 204, bit lines 203, a word line read 202 and a word line write 201. Data is written into word structure 205 from bit lines 203 when word line write 201 and column block select 204 lines are both activated, for example by switching them to a high state. Data is read from word structure 205 onto bit lines 203 when word line read 202 and column block select 204 are both activated. No operation is defined for the case where both word line read 202 and word line write 201 lines are active.

WO 02/054373

PCT/GB01/05736

7

Note that each column block select 204 relates to a column of array 200, whereas each word line write 201 and word line read 202 relates to a row of array 200. By using an appropriate combination of column block selects 204, word line writes 201 and word line reads 202, data can be written to, or read from, any of word structures 205 in array 200.

The total number of bit lines 203 corresponds to the number of columns of pixels in array 200. Since each word structure 205 represents 16 pixels, the number of column block selects 204 corresponds to the number of columns of pixels in array 200 divided by 16.

Conventional SRAMs typically use complimentary bit lines, i.e., two lines per bit. The present invention uses a single bit line per pixel column, thus reducing power dissipation as compared to the conventional design. For example, in Fig. 2, a set of bit lines 203 representing data bits 1 - 16 is configured as 16 single lines.

From a system point of view, reading data from the memory cells of a display is less efficient than reading from a system memory external to the display because reading from the display typically has higher power dissipation and lower speed. However, reading data from the memory cells of the display is useful when electrically testing the display. Nonetheless, an emphasis is placed on writing to the display rather than reading from the display. Accordingly, conventional SRAM design techniques such as pulsed word line addressing, bit line equalization and bit line sense circuitry are not required.

Fig. 3 is a block diagram of an OLED pixel word structure 205. Word structure 205 includes a word select circuit 300 and sixteen pixel circuits 400. The inputs to word select circuit 300 are column block select 204, word line read 202 and word line write 201. The outputs of word select circuit 300 are word read 404 and word write 405. The inputs to pixel circuit 400 are a single bit line 203, word read 404 and word write 405. Word read 404 and word write 405 are the local word-selected extensions of word line read 202 and word line write 201, respectively. Word select circuit 300 is shown to the left of pixel circuits 400 by way of example.

FIG. 4 shows the circuit details of some of the logic in word select circuit 300. Word select circuit 300 includes two AND gates 500 and 501.

WO 02/054373

PCT/GB01/05736

8

The inputs to AND gate 500 are column block select 204 and word line read 201. Word read 404 is the output of AND gate 500. When both column block select 204 and word line read 201 are high, i.e., active, word read 404 goes high, i.e., active.

5

The inputs to AND gate 501 are column block select 204 and word line write 201. Word write 405 is the output of AND gate 501. When both column block select 204 and word line write 201 are high, i.e., active, word write 405 goes high, i.e., active.

10

FIG. 5 is a simplified schematic of the major functional elements of pixel circuit 400 in array 200. Pixel circuit 400 includes an SRAM cell 10, a current source 20 connected to a voltage power supply V1, three switches 30, 40 and 50, a grounded gate p-type metal oxide semiconductor (PMOS) transistor 60 with its n-well connected to its source 64, i.e., a floating well, and an OLED 70 connected to a power supply voltage V2. During normal operation V1 is a positive voltage and V2 is a negative voltage.

15

The inputs to SRAM cell 10 are a single bit line 203, word read 404, and word write 405. Note that bit line 203 is a single bit line for inputting a signal that represents data to, and outputting a signal that represents the data from, SRAM cell 10. Word write 405 enables writing of data into SRAM cell 10 and word read 404 enables reading of data from SRAM cell 10. The outputs of SRAM cell 10 are bit line 203, and a control line 8. Note that bit line 203 is both an input and an output of SRAM cell 10. Control line 8 is for controlling switch 40. With high states on both bit line 203 and word write 405, a high state is written into SRAM cell 10. When SRAM cell 10 stores a high state, control line 8 closes switch 40. When SRAM cell 10 stores a low state, control line 8 opens switch 40.

20

25

30

V1 provides power for current source 20. Current source 20 produces an output current corresponding to a predetermined maximum brightness level of OLED 70.

35

It is desirable to control the luminance of OLED 70 by controlling the average current through OLED 70. DUTY FACTOR NOT (6) is a pulse width modulated signal that is provided as an input common to all pixels in array 200. A low state on DUTY FACTOR NOT (6) closes switch 30. A high state on the DUTY FACTOR NOT (6) opens switch 30. The DUTY FACTOR NOT (6) controls the average current through OLED 70 to set its luminance to a level of less than the maximum brightness.

40

WO 02/054373

PCT/GB01/05736

9

A REVERSE BIAS (7) is a signal that is provided as an input common to all pixels in array 200. A high state on REVERSE BIAS (7) closes switch 50. A low state on REVERSE BIAS (7) opens switch 50.

5 When switches 30 and 40 are closed and switch 50 is open, current flows from current source 20, through switches 30 and 40, and into source 64 of PMOS transistor 60. PMOS transistor 60 operates as a cascode stage to provide a greater voltage compliance range for current source 20, as is known in the art. Current out the drain 62 of PMOS transistor 60 flows into OLED 70 turning OLED 70 ON. Voltage compliance range is the range of output voltages over which the output current is essentially constant. A cascode stage is a common gate amplifier stage that improves the voltage compliance range by providing voltage gain.

15 When current is flowing through PMOS transistor 60, it has a relatively low voltage, e.g., approximately 10 millivolts, across its drain 62 and source 64. With current flowing, the voltage on drain 62 can be several volts above or below ground while the voltage on source 64 is at a minimum of one threshold voltage above ground and always higher than the voltage on its drain 62. A threshold voltage is the minimum source to gate voltage required to maintain the transistor in the normal conducting region of operation. When no current is flowing into source 64 of PMOS transistor 60, the voltage on source 64 does not go below ground.

25 During operation of an OLED, charge can be trapped in its organic layers. This increases the forward bias voltage of the OLED required for a given current to flow. The trapped charge can be removed by reverse-biasing the OLED, either periodically or at irregular intervals.

30 OLED 70 is reverse-biased by opening switch 30, thus interrupting flow of current from current source 20, closing switch 50 and switching V2 from a negative voltage to a positive voltage. Closing switch 50 grounds the source 64 and n-well of PMOS transistor 60. The drain 62 of PMOS transistor 60 is a p-diffusion. When V2 is switched to a positive voltage, current flows from V2, through OLED 70 PMOS transistor 60 and switch 50. Through PMOS transistor 60 and closed switch 50, the anode 72 of OLED 70 is held at one diode voltage drop above ground. The reverse-bias voltage across OLED 70 is the positive voltage of V2 minus one diode drop.

40 Reverse biasing of an OLED does not need to be performed at frequent intervals. Instead, it can be performed at irregular intervals or when a display is not being viewed. For example, in a wristwatch display, the

WO 02/054373

PCT/GB01/05736

10

OLED may be driven during the day in a normal forward bias manner, and at night, when the image on the display is OFF, the OLED voltage can be reverse-biased. As another example, the OLED can be reverse-biased during a pulse width modulation brightness control cycle when the OLED is turned OFF.

FIG. 6 shows details of the pixel circuit 400 of FIG. 5. In this embodiment, V1 is set to +3V and V2 is set to -5V.

SRAM cell 10 includes n-type metal oxide semiconductor (NMOS) transistors 11 and 15, and inverters 12, 13 and 14. For the write operation, a high state on word write input 405 causes NMOS transistor 11 to couple the logic state on bit line 203 to the input of inverter 12.

The output of inverter 12 is an inverse of its input. The output of inverter 12 is connected to the input of inverter 13, and the input of inverter 14, and it also provides the signal for control line 8.

Inverter 13 has its output connected to the input of inverter 12. Note that inverter 12 receives its input either from bit line 203 by a turned ON NMOS transistor 11, or from the output of inverter 13. The current drive of NMOS transistor 11 is determined, in part, by a ratio of its channel width to its channel length. The current drives of inverter 12 and NMOS transistor 11 are relatively stronger, e.g., about 10 times stronger, than the drive of inverter 13. Accordingly, the input from bit line 203, by way of a turned ON NMOS transistor 11 to inverter 12, determines the state of SRAM cell 10. A data level through NMOS transistor 11 initially sets the state of inverter 12, and inverter 13 feeds back, i.e., provides a latch signal, into inverter 12 to hold the state after the data level from NMOS transistor 11 is removed. Thus, NMOS transistor 11, and inverters 12 and 13 comprise a data latch.

A PMOS transistor 40A serves the role of switch 40 (Fig. 5). Control line 8, from the output of inverter 12, is connected to the gate of PMOS transistor 40A.

To read data from SRAM cell 10, word read 404 is set high to cause NMOS transistor 15 to couple the output of inverter 14 to bit line 3. Through the inversions of inverter 12 and inverter 14, the polarity of data read out of SRAM cell 10 is the same as that previously written into SRAM cell 10.

WO 02/054373

PCT/GB01/05736

11

SRAM cell 10 may be simplified by eliminating inverter 14 and connecting the output of inverter 12 directly to NMOS transistor 15. In such a case, the data read out of SRAM cell 10 is an inverse of that which was previously written into SRAM cell 10, but it can be re-inverted in a bit line read circuit (not shown). Preferably, inverter 14 is included because it isolates pixel circuit 400 from noise on bit line 203 and from capacitance loading by bit line 203 during the read operation.

A PMOS transistor 20A serves as a current source 20 (Fig. 5). A VREF 21 is connected to the gate of PMOS transistor 20A, and also to a similarly situated PMOS transistor in all of the other pixel circuits of array 200.

The previously mentioned light-blocking layer may, for instance, be used to distribute the +3V power of V1. The light-blocking layer, a conducting layer, is distributed and connected throughout the array providing a low-resistance path for V1 power distribution. In this manner, the light-blocking layer performs two functions, i.e., light-blocking and power distribution.

PMOS transistor 20A is a field effect transistor (FET) with a channel width (W), a channel length (L) and a gate to source voltage (V_{gs}) that are optimized within area constraints ($\sim W \times L$) to minimize effects of threshold voltage (V_t) and channel width variations on the uniformity of current through OLED 70 of the pixels throughout the array. The channel length is determined by the separation of drain and source diffusions as formed by the gate conductor. The channel width is the drain or source dimension along the gate conductor. In saturation

the drain current is proportional to

$$\left(|V_{ds}| > |V_{gs} - V_t| \right),$$

$$(W/L) (V_{gs} - V_t)^2,$$

where V_{ds} is the drain to source voltage. VREF 21 voltage is set relative to V1 and is adjusted to obtain a desired measured maximum brightness of OLED 70, thereby removing the effect of current source transistor parameters and OLED efficiency on the overall maximum brightness of the display.

In an exemplary implementation of PMOS transistor 20A, the channel length is $2\mu\text{m}$ (79.12 microns), the channel width is 67 nm (2.64 microns),

WO 02/054373

PCT/GB01/05736

12

and the gate to source voltage of PMOS transistor 20A is nominally -1.1 V. With a threshold voltage of -0.6V, PMOS transistor 20A remains in saturation, i.e., produces constant current, as long as its source to drain voltage is greater than 0.5V. Note that the static source to gate voltage of PMOS transistor 20A is greater than its threshold voltage. In other words, only 0.5V of overhead voltage is required to drive OLED 70. In this regard, the design is very power efficient. With this implementation, the variation of current from PMOS transistor 20A, in pixels across the display, is less than 1.05:1.

A PMOS transistor 30A serves the role of switch 30 (Fig. 5), and an NMOS transistor 50A serves the role of switch 50 (Fig. 5). This configuration of components allows the DUTY FACTOR NOT (6) and REVERSE BIAS (7) as shown in FIG. 5 to be combined in a single REVERSE BIAS/DUTY FACTOR NOT (9) signal. REVERSE BIAS/DUTY FACTOR NOT (9) is an input common to all pixels in array 200.

In normal forward biased operation of OLED 70, REVERSE BIAS/DUTY FACTOR NOT (9) is duty factor modulated to turn PMOS transistor 30A ON and OFF rapidly, to duty factor modulate the current in OLED 70. This digital control of the brightness of OLED 70 is more uniform than controlling it by means of an analog voltage. NMOS transistor 50A is turned ON by REVERSE BIAS/DUTY FACTOR NOT (9) when PMOS transistor 30A is turned OFF to help linearize the pulse width modulation by discharging parasitic capacitances of transistors 20A, 30A, 40A, 50A and 60. If not discharged, the parasitic wiring, drain to substrate, source to substrate and FET interelectrode capacitances will allow current to continue to flow into the OLED for a short period while PMOS transistor 30A is OFF. The parasitic capacitances would tend to keep the voltage of PMOS transistor 60 source 64 high, allowing PMOS transistor 60 to continue conducting until source 64 is discharged.

CMOS circuitry is susceptible to damage if it is exposed to a voltage exceeding a its breakdown voltage, which is typically 3.6V. Also, the lifespan of the organic layers is significantly shortened when subjected to temperatures greater than 100 degrees centigrade. If an OLED is shorted between its anode and cathode, then an excessive current may flow through the shorted OLED's pixel circuit. Such a current may generate heat and damage an adjacent pixel, and it may also interfere with the voltages supplied to other pixels in the display.

WO 02/054373

PCT/GB01/05736

13

Accordingly, pixel circuit 400 includes a protection circuit comprising PMOS transistors 81, 82 and 83, and a resistor 84. During normal operation, when the pixel is in the OFF state, the voltage drop across OLED 70 is reduced so the voltage at drain 62 of PMOS transistor 60 becomes more negative. Each of PMOS transistors 81, 82 and 83 drops approximately 1V, so that the voltage at source 64 of PMOS transistor 60 is limited to about 3 volts more negative than ground. That is, PMOS transistors 81, 82 and 83 provide a negative (-3V) voltage clamp to assure that the gate to drain voltage of PMOS transistor 60 does not exceed its breakdown voltage rating of 3.6V. By limiting the voltage at drain 62 of PMOS transistor 60, the protection circuit effectively limits the current that can flow through the other components of pixel circuit 400. When OLED 70 is ON, the voltage at drain 62 is about 1.75V above ground. PMOS transistors 81, 82 and 83 have no effect when OLED 70 is ON.

In the case where OLED 70 is shorted, resistor 84 limits the current that can flow, and the power that can be dissipated. PMOS transistors 81, 82 and 83 still clamp the voltage at drain 62 of PMOS transistor 60 to approximately -3 volts, and any excess voltage is dropped across resistor 84. In a preferred embodiment, resistor 84 is manufactured of undoped polysilicon having 40,000 ohms of resistance.

PMOS transistors 81, 82 and 83, and resistor 84 also allow testing of OLED 70, and through similarly situated components in other pixel circuits, all of the OLED pixels in array 200. This is done by setting V2 to a negative voltage, e.g., -7V, with respect to ground, and either allowing V1 to float or setting it to ground. With this arrangement, current path is created from ground through PMOS transistors 81, 82 and 83, resistor 84, OLED 70 to V2. Each of PMOS transistors 81, 82 and 83 drop about 0.7V. OLED 70 is forward biased, and if it is good, then it turns ON. This test is useful, for example, to spot defects after OLED deposition and sealing prior to further assembly of the display.

In addition to the techniques for saving power mentioned above, power can be saved by managing the manner in which images are written to a display. For example, display power dissipation is proportional to the brightness of a pixel, and the number of pixels that are ON, therefore a strategy to reduce the brightness of a pixel and the number pixels that are ON would result in a saving of power.

For example, if array 200 is installed in a display for a wristwatch, then the number of pixels required to show the time as hands

WO 02/054373

PCT/GB01/05736

14

of a clock is between 1 and 2% of the total number of pixels. A typical screen for text might turn ON 10 to 20% of the pixels. Images may require an illumination of 50% of the pixels.

5 Accordingly, gray scale images are produced by spatial dithering as opposed to frame sequential operation to eliminate the power required to write rapidly to the display, as would be required for frame sequential operation.

10 The number of ON pixels is usually less than 50%, and therefore power can be saved by clearing the display in one operation before writing new data to the display and by only writing to word structures that have pixels turned ON. The full display can be cleared using bit line and word line driver circuits outside the array. If all word line writes 201 and column block selects 204 are brought high, with low data states on all bit
15 lines 203, then low level data is written into all SRAM cells 10 in array 200 turning OFF all the pixels in the display. In the example of a wristwatch, the control for this function is issued by the watch processor prior to updating the display. Then, data is written only to pixels that need to be ON in the new displayed screen.
20

Since a watch display typically displays time 99% of the time and since the watch hands that indicate the time do not require high contrast, the brightness when showing time can be reduced to a relatively low
25 luminance level, e.g., about 30 candelas/meter squared. This luminance level should be sufficient for nighttime use and for low contrast applications at room ambient light levels. For showing text and images in room ambient conditions, 100 candelas/meter squared should be sufficient. Only use in bright sunlight conditions require luminance levels of 500
30 candelas/meter squared.

To save power during a watch system standby function, the REVERSE BIAS/DUTY FACTOR NOT (9) should be in a high state. In addition, the connection of V2 to the display should be opened to eliminate any OFF
35 state OLED current or currents due to OLED shorts. Accordingly, the current path between V1 and V2 is broken so that no current flows through pixel circuit 400.

Also, the standby current draw of SRAM cell 10 can be reduced if the voltage of V1 is reduced, but not set so low that the display losses its
40 data. Lowering the supply voltage reduces the leakage current through

WO 02/054373

PCT/GB01/05736

15

inverters 12, 13 and 14, and thus lowers standby power. In the wristwatch application, the control for standby is provided by the watch processor.

5 The control signals for DUTY FACTOR NOT (6), REVERSE BIAS (7), standby and clear can be written into an SRAM word structure that forms a display control register, as described below, that is not part of array 200, but external to it. In this manner, the display control signals are part of the display and not located elsewhere in the watch, thus reducing the number of dedicated signal lines to the display.

10 One function of the control register is to "clear" the display, i.e., turn all pixels OFF in one operation. That is, to clear the displayed image without addressing all of the individual pixels of the display. This is done so that the processor need write only the pixels that will be ON in the new image, thus reducing power dissipation and burden on the processor compared to writing all pixels of the display.

15 FIG. 7 shows the functional blocks of the display involved in writing to and reading from array 200 and a display control register 705, and the control flow for the clear operation. The processor (not shown) writes a word into display control register 705 including one bit that is dedicated to the clear function. In the exemplary embodiment shown in Fig. 7, a word has 16 bits.

25 In operation, the processor sends addresses, a read/write signal, a chip select signal, and image data to the display. For each address and data word received, one column select line 204 (Fig. 2) is activated by a column block decoder 701, one word line read 202 (Fig. 2) or one word line write 201 (Fig. 2) is activated by a word line decoder 702, and appropriate bit lines 203 (Fig. 2) are selected by bit line read/write drivers 703. If a clear operation is to be performed, display control register 705 is addressed for writing by the column block decoder 701 and word line decoder 702, and the data bit for clear is applied to the bit line read/write drivers 703 and stored in display control register 705. A clear line output 704 of display control register 705 is then activated, applying a clear signal to column block decoder 701, word line decoder 702 and bit line read/write drivers 703, which causes a "zero" to be written to all pixels of array 200 simultaneously, turning OFF all OLEDs.

40 The display is designed to be addressed by the memory expansion bus of a microprocessor which transmits image data to the display in the form of words, each comprising the data for several pixels at a time, for

WO 02/054373

PCT/GB01/05736

16

example, 16 pixels at a time. Data may also be read out of the SRAM storage of the display, for instance for testing purposes, also a word at a time. To facilitate this, word select circuits are embedded in the display, for example, one such circuit for every horizontal group of 16 pixels. This necessitates a periodic shifting of the connections between the pixel circuits and the actual pixels to maintain a uniform, or constant, pixel pitch.

Fig. 8 is a block diagram of an OLED pixel word structure 205 showing a physical relationship of pixel circuits 400 and a word select circuit 300 to respective anodes of OLED pixels. Word structure 205 is comprised of 16 pixel circuits 400 and one word select circuit 300 disposed along a row of array 200. 16 OLED anode electrodes 105 overlay word structure 205, each anode being connected by a conductive via 802 to a metal conductor 801 of a corresponding pixel circuit 400. Via 802 and conductor 801 are part of a conductive path from pixel circuit 400 to anode 105, i.e. a connection from resistor 84 to OLED 70 in Fig. 6. Although in Fig. 8 anode electrodes 105 and pixel circuits 400 are shown adjacent to each other for clarity, it will be clear that in practice they overlap each other, at least in part. In the example of Fig. 8, the average row-wise dimension of pixel circuit 400 and the pitch of anode electrode 105 are 871 nm (34.3 microns), while the row-wise pitch of word select circuit 300 is 203 nm (8 microns). In order for the 16 pixel circuits 400 and one word select circuit 300 to occupy the same horizontal space as the 16 anode electrodes 105, the row-wise dimension of each pixel circuit 400 is reduced by 12.7 nm (0.5 microns), i.e., from 871 nm (34.3 microns) to 859 nm (33.8 microns), as compared to the anode electrodes 105. Preferably, via 802 should be centered on each anode electrode 105, or at least be located at the same relative position on each anode electrode 105. To achieve this, conductor 801 of each pixel circuit 400 has a sufficient row-wise extent to accommodate the shifting position of via 802. The result is that the pitch of the OLED anodes is uniform throughout the array even though the pitch of the pixel circuits, to which the OLED anodes are connected, is not uniform.

In summary, the pixel circuits of the present invention offer many advantages over the prior art. For example, CMOS circuits are incorporated into each pixel of an active matrix OLED display. The circuits exhibit low power dissipation for battery operation, incorporate a constant current source for uniformity of brightness and reduced dependence of brightness on the characteristics of the OLED, and permit the use of a lower voltage circuit technology than the voltage which the

WO 02/054373

PCT/GB01/05736

17

OLED requires for operation. Each pixel incorporates an SRAM memory cell to control the state, ON or OFF, of the pixel and so does not require periodic refreshing. The circuit also has a provision for application of reverse voltage when required to minimize deterioration of the OLED over time, a provision for duty factor control of luminance, and a current limiting resistor to isolate the effect of shorted pixels. The display is addressed by the memory expansion bus of a microprocessor in the form of words of several pixels length, and the display data may be read out in the same form. Circuits for decoding the word address are embedded in the array of pixels that comprise the display. Furthermore, a provision is made to clear the display image in one operation so that a new image may be displayed by addressing only the pixels that are turned ON.

WO 02/054373

PCT/GB01/05736

18

CLAIMS

1. A pixel circuit comprising:
an organic light emitting diode (OLED); and
5 a static memory for storing data that represents an operational state of said OLED.
2. A pixel circuit as claimed in claim 1, further comprising a single
bit line for inputting a signal that represents said data to, and
10 outputting a signal that represents said data from, said static memory.
3. A pixel circuit as claimed in claim 1, further comprising:
a first input to enable a writing of said data to said static
memory; and
15 a second input to enable a reading of said data from said static memory.
4. A pixel circuit as claimed in claim 1, wherein said static memory
comprises:
20 a first component through which a data signal is coupled to provide a source signal;
a second component having an input for receiving said source signal
from said first component, and for being driven to a state to produce an
output that represents said stored data; and
25 a third component having an input coupled to said output of said
second component, and an output coupled to said input of said second
component, for providing a latch signal to maintain said state of said
second component after a removal of said source signal.
- 30 5. A pixel circuit as claimed in claim 4,
wherein said first component provides a first drive current, and
wherein said third component provides a second drive current that is
less than said first drive current.
- 35 6. A pixel circuit as claimed in claim 1 further comprising:
a complementary metal oxide semiconductor (CMOS) circuit for
controlling said OLED; and
a protection circuit for protecting said CMOS circuit from
over-voltage damage.
- 40 7. A pixel circuit as claimed in claim 6, wherein said CMOS circuit
comprises:

WO 02/054373

PCT/GB01/05736

19

a current source; and
a cascode device in an output stage of said CMOS circuit.

- 5 8. A pixel circuit as claimed in claim 7, wherein said cascode device is configured with a floating well.
- 10 9. A pixel circuit as claimed in claim 6, wherein said protection circuit limits, to a predetermined value, a current through said CMOS circuit.
- 10 10. A pixel circuit as claimed in claim 6, wherein said protection circuit limits, to a predetermined value, a voltage across said CMOS circuit.
- 15 11. A pixel circuit as claimed in claim 6, further comprising a current limiting resistor in series with said OLED.
- 20 12. A pixel circuit as claimed in claim 11, wherein said resistor comprises thin film.
- 20 13. A pixel circuit as claimed in claim 11, wherein said resistor comprises undoped polysilicon.
- 25 14. A pixel circuit as claimed in claim 6, wherein said CMOS circuit comprises a circuit for reverse biasing said OLED to remove trapped charge from said OLED.
- 30 15. A pixel circuit as claimed in claim 14, wherein said circuit for reverse biasing said OLED comprises:
an n-type metal oxide semiconductor (NMOS) transistor in series with said OLED; and
a p-type metal oxide semiconductor (PMOS) transistor in series with said NMOS transistor,
35 wherein said NMOS transistor and said PMOS transistor provide a reverse bias current path from an anode of said OLED to ground.
- 40 16. A pixel circuit as claimed in claim 6, wherein said CMOS circuit comprises a duty factor circuit for controlling an average current through said OLED.

WO 02/054373

PCT/GB01/05736

20

17. A pixel circuit as claimed in claim 16, wherein said duty factor circuit permits a reverse biasing of said OLED to remove trapped charge from said OLED.
- 5 18. A pixel circuit as claimed in claim 6, wherein said CMOS circuit comprises a field effect transistor (FET) current source.
19. A pixel circuit as claimed in claim 18, wherein said FET has a static gate to source voltage that is greater than a threshold voltage of said FET.
- 10 20. A pixel circuit as claimed in claim 18, wherein said FET has a channel length that is greater than a channel width of said FET.
- 15 21. A pixel circuit as claimed in claim 6, wherein said CMOS circuit comprises:
a first input for setting a maximum brightness of said pixel; and
a second input for controlling a duty factor of said pixel to set a brightness of said pixel to less than said maximum brightness.
- 20 22. A pixel circuit as claimed in claim 1 or claim 6, wherein said pixel circuit comprises a material disposed on a substrate,
wherein said material is selected from the group consisting of crystalline silicon, amorphous silicon, polysilicon, micro crystalline silicon, an organic material and a polymer material, and
25 wherein said substrate is selected from the group consisting of silicon, glass, plastic, ceramic and sapphire (Al_2O_3).
23. A pixel circuit as claimed in claim 6, wherein said protection circuit is capable of providing a forward bias current path for said OLED in order to illuminate said OLED.
- 30 24. A display comprising an array of the pixel circuits of claim 1.
- 35 25. A display as claimed in claim 24, wherein each said OLED comprises an electrode, wherein said OLEDs are separated from one another by a pitch that is uniform throughout said array, and wherein said pixel circuits are separated from one another by a pitch that is not uniform throughout said array.
- 40 26. A display as claimed in claim 24, further comprising a circuit for simultaneously setting all of said OLEDs to a uniform operational state.

WO 02/054373

PCT/GB01/05736

21

27. A display as claimed in claim 26, wherein said uniform operational state of said OLEDs is OFF, and wherein said display is controlled by a processor that subsequently sets selected individuals of said OLEDs ON.

5 28. A display as claimed in claim 26, wherein said circuit is addressed by a processor via a memory bus.

10 29. A display as claimed in claim 24, wherein each of said pixel circuits is addressed by a processor via a memory bus.

30. A display as claimed in claim 24, wherein said array is a component of an electronic watch.

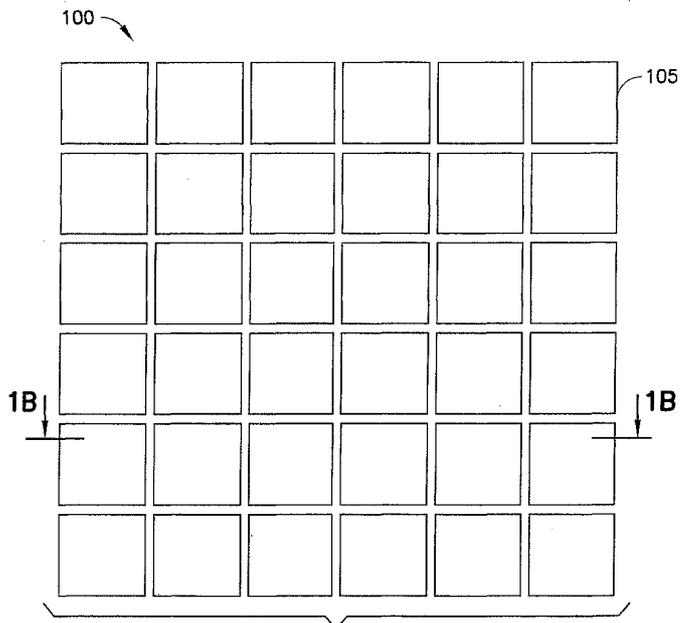


FIG. 1A

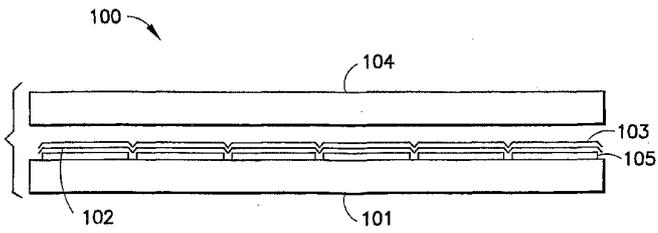


FIG. 1B

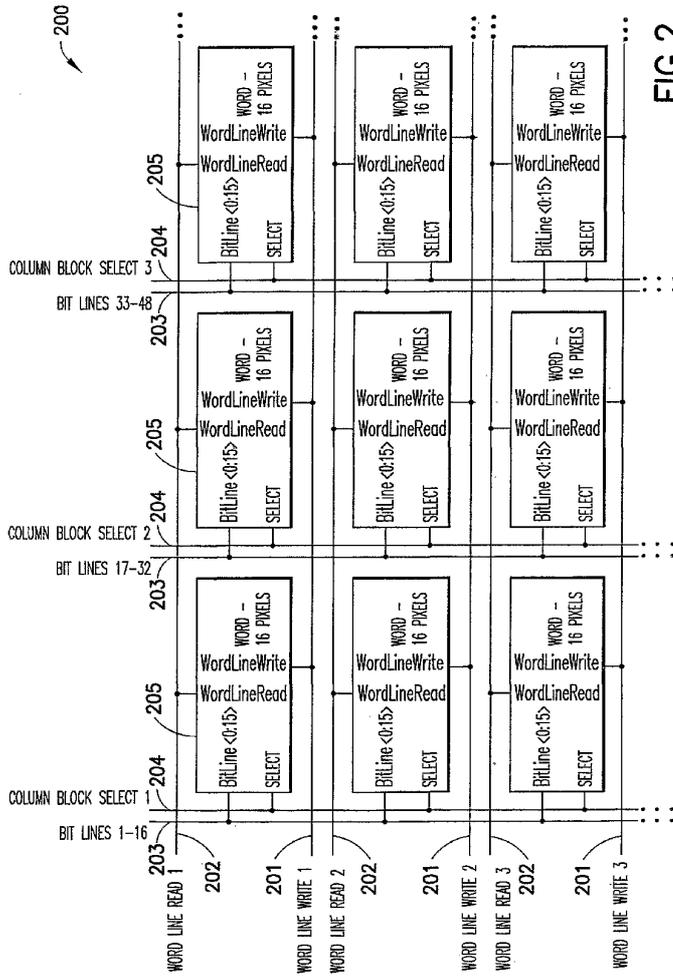


FIG.2

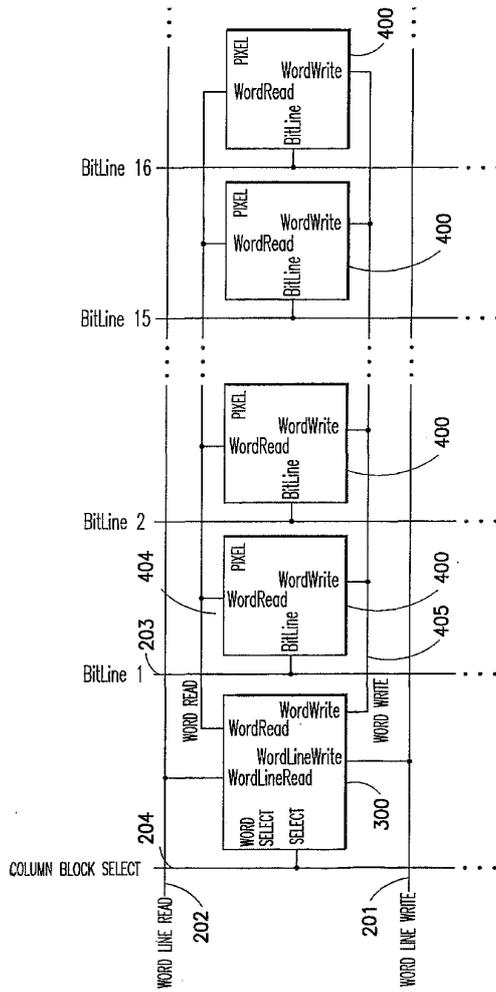


FIG.3

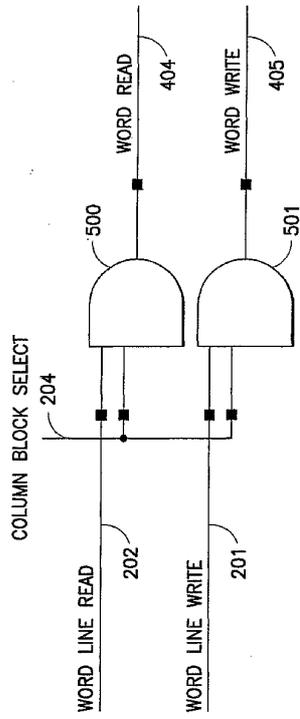


FIG.4

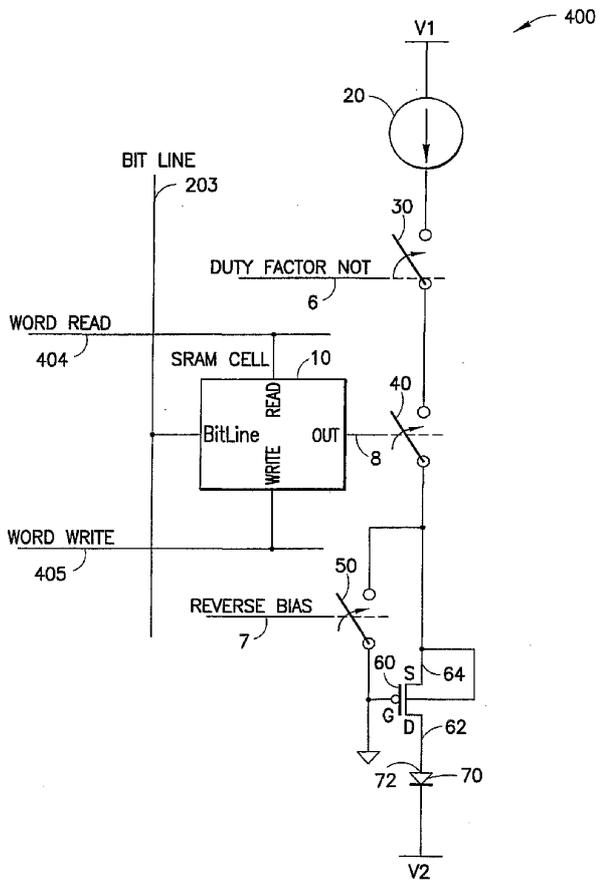


FIG.5

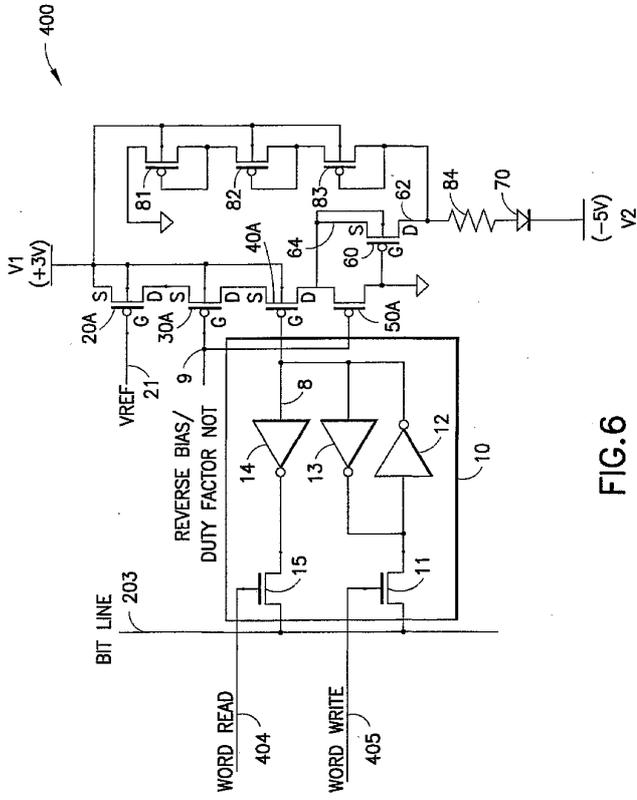


FIG.6

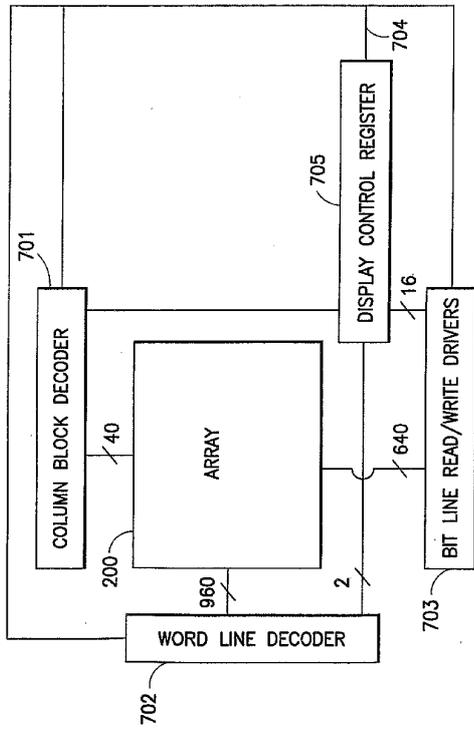


FIG. 7

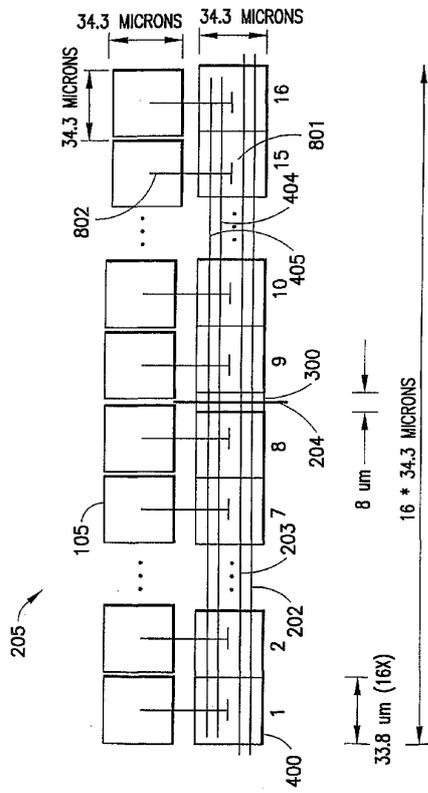


FIG.8

【国際公開パンフレット(コレクション)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
11 July 2002 (11.07.2002)

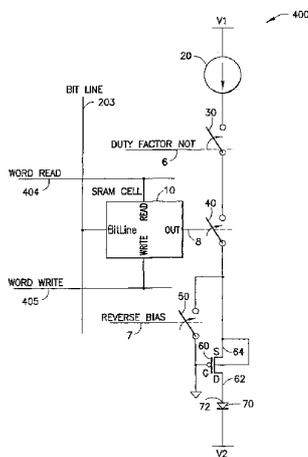
PCT

(10) International Publication Number
WO 02/054373 A3

- (51) International Patent Classification: G09G 3/32
- (71) Applicant (for AG only): IBM UNITED KINGDOM LIMITED (GB/GB); PO Box 41, North Harbour, Portsmouth, Hampshire PO6 3AU (GB).
- (21) International Application Number: PCT/GB01/05736
- (72) Inventors: SANFORD, James, Lawrence; 2 Fox Run, Hopewell Junction, NY 12533 (US); SCHLIG, Eugene, Stewart; 13 Butler Hill Road, Somers, NY 10589 (US).
- (22) International Filing Date: 21 December 2001 (21.12.2001)
- (74) Agent: LING, Christopher, John; IBM United Kingdom Limited, Intellectual Property Law, Hursley Park, Winchester, Hampshire SO21 2JN (GB).
- (25) Filing Language: English
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GI, GM, GR, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (26) Publication Language: English
- (30) Priority Data: 09/754,489 4 January 2001 (04.01.2001) US
- (71) Applicant: INTERNATIONAL BUSINESS MACHINES CORPORATION [US/US]; New Orchard Road, Armonk, NY 10504 (US).

[Continued on next page]

(54) Title: LOW-POWER ORGANIC LIGHT EMITTING DIODE PIXEL CIRCUIT



(57) Abstract: A pixel circuit comprises an organic light emitting diode (OLED), and a static memory for storing data that represents an operational state of the OLED. In alternative embodiments, a pixel circuit may include a complementary metal oxide semiconductor (CMOS) circuit for controlling the OLED, a protection circuit for protecting the CMOS circuit from an over-voltage condition, and a current source with a field effect transistor (FET) having a static gate to source voltage that is greater than a threshold voltage of the FET.



WO 02/054373 A3

WO 02/054373 A3 

(84) Designated States (regional): ARIPO patent (GH, GM, KI, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BI, BJ, CI, CG, CL, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).

before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

(88) Date of publication of the international search report:
14 August 2003

Published:
— with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

【 國際調查報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/GB 01/05736
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 609G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 609G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category ¹	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 365 445 A (EASTMAN KODAK CO) 25 April 1990 (1990-04-25) abstract; figures 1-5 column 4, line 26 -column 4, line 46	1,4 6,18
P, X	EP 1 098 290 A (SEMICONDUCTOR ENERGY LAB) 9 May 2001 (2001-05-09) abstract; figures 3,4 paragraph '0052!; table 58	1,4,11 6
A	WO 98 48403 A (SARNOFF CORP) 29 October 1998 (1998-10-29) page 11, line 12 -page 12, line 16; figure 7 ----- -/-	11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
[*] Special categories of cited documents: ^A document defining the general state of the art which is not considered to be of particular relevance ^E earlier document but published on or after the international filing date ^L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) ^O document referring to an oral disclosure, use, exhibition or other means ^P document published prior to the international filing date but later than the priority date claimed ^T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention ^X document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ^Y document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art ^Z document member of the same patent family		
Date of the actual completion of the international search 22 May 2003		Date of mailing of the international search report 05/06/2003
Name and mailing address of the ISA European Patent Office, P.O. Box 5516 Patentstr. 2 NL - 2280 HV Rijswijk Tel. (+31-70) 840-2340, TX 31 051 epo nl, Fax: (+31-70) 840-2016		Authorized officer Van Roost, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/GB 01/05736

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 023 259 A (PRACHE OLIVIER ET AL.) 8 February 2000 (2000-02-08) column 4, line 25 -column 4, line 36 column 6, line 12 -column 6, line 40 column 8, line 49 -column 9, line 6 -----	6, 14, 16-18

Form PCT/ISA210 (continuation of record sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/GB 01/05736

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0365445	A	25-04-1990	US 4996523 A 26-02-1991
			DE 68914389 D1 11-05-1994
			DE 68914389 T2 13-10-1994
			EP 0365445 A2 25-04-1990
			JP 2146687 A 07-06-1990
			JP 2729089 B2 18-03-1998
EP 1098290	A	09-05-2001	CN 1303084 A 11-07-2001
			EP 1098290 A2 09-05-2001
			JP 2001222256 A 17-08-2001
			TW 484117 B 21-04-2002
WO 9848403	A	29-10-1998	US 6229506 B1 08-05-2001
			EP 0978114 A1 09-02-2000
			JP 2002514320 T 14-05-2002
			WO 9848403 A1 29-10-1998
US 6023259	A	08-02-2000	NONE

フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 A
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 7 0 M
	G 0 9 G 3/20	6 8 0 W
	H 0 5 B 33/14	A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

(72) 発明者 サンフォード、ジェームズ、ローレンス
 アメリカ合衆国 ニューヨーク州 1 2 5 3 3、ホープウエル ジャンクション、フォックス ラ
 ン 2

(72) 発明者 シュリック、ユージン、スチュワート
 アメリカ合衆国 ニューヨーク州 1 0 5 8 9、ソマーズ、バトラー ヒル ロード 1 3

Fターム(参考) 3K007 AB05 AB11 AB17 BA06 DB03 GA00
 5C080 AA06 BB05 DD18 DD19 DD26 DD29 EE28 FF01 FF11 GG12
 GG15 GG17 HH09 JJ02 JJ03 JJ06 KK49
 5C094 AA07 AA22 AA24 AA31 AA53 AA55 AA56 BA03 BA09 BA27
 CA19 CA25 DA09 DB01 DB04 EA04 EA05 EA07 EB05 FB01
 FB20

专利名称(译)	画素回路		
公开(公告)号	JP2004517363A	公开(公告)日	2004-06-10
申请号	JP2002555396	申请日	2001-12-21
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
[标]发明人	サンフォードジェームズローレンス シュリックユージンスチュワート		
发明人	サンフォード、ジェームズ、ローレンス シュリック、ユージン、スチュワート		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 G11C11/419 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G3/006 G09G3/2014 G09G3/3291 G09G2300/0809 G09G2300/0857 G09G2300/0861 G09G2310/0254 G09G2310/0256 G09G2310/063 G09G2320/0233 G09G2320/043 G09G2320/046 G09G2320/0626 G09G2320/0633 G09G2320/064 G09G2330/021 G09G2330/022 G09G2330/04 G11C11/419 H01L27/32		
FI分类号	G09G3/30.J G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.641.A G09G3/20.641.D G09G3/20.670.K G09G3/20.670.M G09G3/20.680.W H05B33/14.A		
F-TERM分类号	3K007/AB05 3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD18 5C080/DD19 5C080/DD26 5C080/DD29 5C080/EE28 5C080/FF01 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK49 5C094/AA07 5C094/AA22 5C094/AA24 5C094/AA31 5C094/AA53 5C094/AA55 5C094/AA56 5C094/BA03 5C094/BA09 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EB05 5C094/FB01 5C094/FB20		
代理人(译)	坂口 博 上野武		
优先权	09/754489 2001-01-04 US		
其他公开文献	JP4038125B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够使用CMOS技术的低功耗有机发光二极管像素电路。根据本发明的像素电路400包括有机发光二极管 (OLED) 70和用于存储表示OLED 70的操作状态的数据的静态存储器10。在另一示例中，像素电路400包括控制OLED的CMOS电路，防止该CMOS电路过压情况的保护电路以及具有场效应晶体管 (FET) 的电流源。但是，FET的静态栅极-源极电压高于FET的阈值电压。[选择图]图5

