

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5171807号
(P5171807)

(45) 発行日 平成25年3月27日 (2013.3.27)

(24) 登録日 平成25年1月11日 (2013.1.11)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 2 0 (2006.01)

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 4 2 A

請求項の数 8 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2009-502428 (P2009-502428)
 (86) (22) 出願日 平成19年10月1日 (2007.10.1)
 (86) 国際出願番号 PCT/JP2007/069184
 (87) 国際公開番号 W02008/108024
 (87) 国際公開日 平成20年9月12日 (2008.9.12)
 審査請求日 平成21年5月11日 (2009.5.11)
 (31) 優先権主張番号 特願2007-58021 (P2007-58021)
 (32) 優先日 平成19年3月8日 (2007.3.8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (72) 発明者 岸 宣孝
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

電流駆動型の表示装置であって、
 複数の走査線と複数のデータ線との各交差点に対応して配置された複数の画素回路と、
 走査信号出力回路と、
 表示信号出力回路とを備え、
 前記画素回路は、それぞれ、
 2本の電源配線間に設けられた電気光学素子と、
 前記電気光学素子と共に前記電源配線間に直列に設けられた駆動素子と、
 前記駆動素子の制御端子と前記データ線とに接続され、前記走査線に接続された制御
 端子を有する第1のスイッチング素子と、
 前記駆動素子の制御端子と一方の導通端子との間に設けられた第2のスイッチング素
 子と、
 前記電気光学素子および前記駆動素子と共に前記電源配線間に直列に設けられた第3
 のスイッチング素子と、
 一端が前記駆動素子の制御端子に接続された容量とを含み、
 前記表示信号出力回路は、複数のアナログバッファと、前記データ線ごとに設けられた
 複数の補正用容量および複数のスイッチ回路とを含み、
 前記走査信号出力回路は、書き込み対象の画素回路について、閾値補正期間において、
 前記第1および第2のスイッチング素子を導通状態、前記第3のスイッチング素子を非導

10

20

通状態に設定することにより、前記駆動素子の閾値電圧に前記駆動素子の制御端子の電圧を近づけて当該電圧を前記データ線に出力させ、次に前記第2のスイッチング素子を非導通状態に変化させ、さらに前記第1のスイッチング素子を非導通状態、前記第3のスイッチング素子を導通状態に変化させる制御を行い、

前記スイッチ回路を用いて、前記補正用容量の一方の電極を前記データ線に接続し、他方の電極に所定の固定電圧を印加するか、前記補正用容量の一方の電極を前記アナログバッファを介して前記データ線に接続し、他方の電極に表示データに対応したデータ電圧を印加するかを切り替えることにより、前記表示信号出力回路は、前記第2のスイッチング素子が導通状態にあるときの前記データ線の電圧に基づき、前記第2のスイッチング素子が非導通状態に変化した後に、前記データ電圧に前記駆動素子の閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加し、

10

前記閾値補正期間は、前記駆動素子の制御端子の電圧が前記駆動素子の閾値電圧に到達する前に終了することを特徴とする、表示装置。

【請求項2】

前記駆動素子および前記第1～第3のスイッチング素子は薄膜トランジスタであり、

前記第1および第3のスイッチング素子のうち一方はPチャネル型、他方はNチャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする、請求項1に記載の表示装置。

【請求項3】

前記駆動素子および前記第1～第3のスイッチング素子は薄膜トランジスタであり、

20

前記第2および第3のスイッチング素子のうち一方はPチャネル型、他方はNチャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする、請求項1に記載の表示装置。

【請求項4】

前記駆動素子はPチャネル型のエンハンスメント型トランジスタであり、

前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち高いほうから前記補正電圧の絶対値を減算した電圧を前記データ線に出力することを特徴とする、請求項1に記載の表示装置。

【請求項5】

前記駆動素子はNチャネル型のエンハンスメント型トランジスタであり、

30

前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち低いほうに前記補正電圧の絶対値を加算した電圧を前記データ線に出力することを特徴とする、請求項1に記載の表示装置。

【請求項6】

前記表示信号出力回路は、前記第1のスイッチング素子の導通期間の一部において、前記データ線に所定の固定電圧を印加することを特徴とする、請求項1に記載の表示装置。

【請求項7】

前記アナログバッファは、複数の前記データ線ごとに設けられていることを特徴とする、請求項1に記載の表示装置。

【請求項8】

40

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが、2本の電源配線間に設けられた電気光学素子と、前記電気光学素子と共に前記電源配線間に直列に設けられた駆動素子と、前記駆動素子の制御端子と前記データ線とに接続され、前記走査線に接続された制御端子を有する第1のスイッチング素子と、前記駆動素子の制御端子と一方の導通端子との間に設けられた第2のスイッチング素子と、前記電気光学素子および前記駆動素子と共に前記電源配線間に直列に設けられた第3のスイッチング素子と、一端が前記駆動素子の制御端子に接続された容量とを含む複数の画素回路を備えた表示装置の駆動方法であって、

書き込み対象の画素回路について、閾値補正期間において、前記第1および第2のスイッチング素子を導通状態、前記第3のスイッチング素子を非導通状態に設定することによ

50

り、前記駆動素子の閾値電圧に前記駆動素子の制御端子の電圧を近づけて当該電圧を前記データ線に出力させ、次に前記第2のスイッチング素子を非導通状態に変化させ、さらに前記第1のスイッチング素子を非導通状態、前記第3のスイッチング素子を導通状態に変化させるステップと、

複数のアナログバッファと、前記データ線ごとに設けられた複数の補正用容量および複数のスイッチ回路とを含む表示信号出力回路において、前記スイッチ回路を用いて、前記補正用容量の一方の電極を前記データ線に接続し、他方の電極に所定の固定電圧を印加するか、前記補正用容量の一方の電極を前記アナログバッファを介して前記データ線に接続し、他方の電極に表示データに対応したデータ電圧を印加するかを切り替えることにより、前記第2のスイッチング素子が導通状態にあるときの前記データ線の電圧に基づき、前記第2のスイッチング素子が非導通状態に変化した後に、前記データ電圧に前記駆動素子の閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加するステップとを備え、

10

前記閾値補正期間は、前記駆動素子の制御端子の電圧が前記駆動素子の閾値電圧に到達する前に終了することを特徴とする、表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機ELディスプレイやFEDなどの電流駆動素子を用いた表示装置およびその駆動方法に関する。

20

【背景技術】

【0002】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) に関する研究開発が活発に行われている。

【0003】

有機ELディスプレイに含まれる有機EL素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機EL素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機ELディスプレイに電圧制御型の駆動方式を適用すると、有機EL素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機EL素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機ELディスプレイには電流制御型の駆動方式を適用することが好ましい。

30

【0004】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成されたTFT (Thin Film Transistor: 薄膜トランジスタ) を用いて構成される。ところが、TFTの特性 (例えば、閾値電圧や移動度) には、ばらつきが生じやすい。そこで、有機ELディスプレイの画素回路にはTFTの特性のばらつきを補償する回路が設けられ、この回路の作用により有機EL素子の輝度のばらつきが抑えられる。

40

【0005】

電流駆動型の駆動方式においてTFTの特性のばらつきを補償する方式は、駆動用TFTに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

【0006】

ところが、電流プログラム方式には、第1に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方

50

式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTFT作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

【0007】

電流駆動型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図11は、特許文献1に記載された画素回路の回路図である。図11に示す画素回路90は、駆動用TFT91、スイッチ用TFT92~94、コンデンサ95、96、および、有機EL素子97(OLED:Organic Light Emitting Diodeともいう)を備えている。画素回路90に含まれるTFTは、いずれもPチャネル型である。

10

【0008】

画素回路90では、電源配線Vp(電位はVDD)と共通陰極(GND)との間に、駆動用TFT91、スイッチ用TFT94および有機EL素子97が、この順序で直列に設けられている。駆動用TFT91のゲート端子とデータ線Sjとの間には、コンデンサ95とスイッチ用TFT92がこの順序で直列に設けられている。駆動用TFT91のゲート端子とドレイン端子との間にはスイッチ用TFT93が設けられ、駆動用TFT91のゲート端子と電源配線Vpとの間にはコンデンサ96が設けられている。スイッチ用TFT92、93、94のゲート端子は、それぞれ、走査線Gi、オートゼロ線AZiおよび照明線ILIに接続されている。

20

【0009】

図12は、画素回路90に対するデータ書き込み時のタイミングチャートである。時刻t0より前では、走査線Giとオートゼロ線AZiの電位はハイレベルに、照明線ILIの電位はローレベルに、データ線Sjの電位は基準電位Vstdに制御される。時刻t0において走査線Giの電位がローレベルに変化すると、スイッチ用TFT92が導通状態に変化する。次に時刻t1においてオートゼロ線AZiの電位がローレベルに変化すると、スイッチ用TFT93が導通状態に変化する。これにより、駆動用TFT91のゲート端子とドレイン端子は同電位となる。

【0010】

次に時刻t2において照明線ILIの電位がハイレベルに変化すると、スイッチ用TFT94が非導通状態に変化する。このとき、電源配線Vpから駆動用TFT91とスイッチ用TFT93を経由して駆動用TFT91のゲート端子に電流が流れ込み、駆動用TFT91のゲート端子電位は駆動用TFT91が導通状態である間は上昇する。駆動用TFT91は、ゲート-ソース間電圧が閾値電圧Vth(負の値)になる(すなわち、ゲート端子電位が(VDD+Vth)になると、非導通状態に変化する。したがって、駆動用TFT91のゲート端子電位は(VDD+Vth)まで上昇する。

30

【0011】

次に時刻t3においてオートゼロ線AZiの電位がハイレベルに変化すると、スイッチ用TFT93が非導通状態に変化する。このときコンデンサ95には、駆動用TFT91のゲート端子とデータ線Sjとの電位差(VDD+Vth-Vstd)が保持される。

40

【0012】

次に時刻t4においてデータ線Sjの電位が基準電位Vstdからデータ電位Vdataに変化すると、駆動用TFT91のゲート端子電位は、同じ量(Vdata-Vstd)だけ変化して(VDD+Vth+Vdata-Vstd)となる。次に時刻t5において走査線Giの電位がハイレベルに変化すると、スイッチ用TFT92が非導通状態に変化する。このときコンデンサ96には、駆動用TFT91のゲート-ソース間電圧(Vth+Vdata-Vstd)が保持される。次に時刻t6において、データ線Sjの電位がデータ電位Vdataから基準電位Vstdに変化する。

【0013】

次に時刻t7において照明線ILIの電位がローレベルに変化すると、スイッチ用TFT

50

T 9 4 が導通状態に変化する。これにより、電源配線 V p から駆動用 T F T 9 1 とスイッチ用 T F T 9 4 を経由して有機 E L 素子 9 7 に電流が流れる。駆動用 T F T 9 1 を流れる電流の量はゲート端子電位 ($V_{DD} + V_{th} + V_{data} - V_{std}$) に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 ($V_{data} - V_{std}$) が同じであれば電流量は同じである。したがって、閾値電圧 V_{th} の値にかかわらず、有機 E L 素子 9 7 には電位 V_{data} に応じた量の電流が流れ、有機 E L 素子 9 7 はデータ電位 V_{data} に応じた輝度で発光する。

【 0 0 1 4 】

これ以外にも有機 E L ディスプレイについては、閾値補正回路を画素回路の外部に設ける方法や、閾値補正期間を画素回路の選択期間よりも長くする方法が知られている。例えば、特許文献 2 には、駆動素子の電流能力を測定して画素回路の外部に設けたメモリに記憶し、パネルに供給する電圧を記憶した電流能力に応じて変化させる方法が記載されている(図 1 3 を参照)。また、特許文献 3 には、閾値補正期間を選択期間よりも長くするために、カップリング容量の一端に初期電圧を与えるためのスイッチを設ける方法が記載されている。

【特許文献 1】国際公開第 9 8 / 4 8 4 0 3 号パンフレット

【特許文献 2】日本国特開 2 0 0 2 - 2 7 8 5 1 3 号公報

【特許文献 3】日本国特開 2 0 0 4 - 1 3 3 2 4 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 5 】

上述したように、図 1 1 に示す画素回路 9 0 を用いれば、駆動用 T F T 9 1 の閾値電圧のばらつきを補償し、有機 E L 素子 9 7 を所望の輝度で発光させることができる。しかしながら、この画素回路(以下、従来の画素回路という)には、以下に示す問題点がある。

【 0 0 1 6 】

第 1 の問題点は、データ電圧の振幅を効率よく利用できないことである。従来の画素回路では、容量カップリングによるデータ書き込みが行われるので、画素回路の外部からあるデータ電圧を書き込んでも、オーバードライブ電圧として実際に駆動用 T F T に印加される電圧は、その $C_c / (C_c + C_s + C_{gs})$ 倍になる(ただし、 C_c はコンデンサ 9 5 の容量、 C_s はコンデンサ 9 6 の容量、 C_{gs} は駆動用 T F T 9 1 のゲート - ソース間容量)。このようにデータ電圧を効率よく利用できないので、データドライバ回路の消費電力が増大する。カップリング容量 C_c を極めて大きくすれば、データ電圧の振幅を効率よく利用できるが、そうすると画素回路の面積が増大する。また、高い精度で制御できない寄生容量 C_{gs} が駆動電圧に影響を及ぼすことも問題となる。

【 0 0 1 7 】

第 2 の問題点は、閾値補正の精度が低いことである。上述したように、実際の駆動電圧は外部から与えた電圧の $C_c / (C_c + C_s + C_{gs})$ 倍になるので、閾値補正の効果も $C_c / (C_c + C_s + C_{gs})$ 倍になる。このため、閾値電圧を完全に補正することは困難である。

【 0 0 1 8 】

第 3 の問題点は、画素回路の規模が大きくなることである。上述したように、寄生容量対策としてカップリング容量 C_c を大きくすると、画素回路のレイアウトにおいてコンデンサ 9 5 の占める面積が大きくなる。このため、光を基板下部から取り出すボトムエミッション構成の有機 E L ディスプレイでは、開口率が低下する。また、回路面積の増大は製造時の歩留まり低下の要因になるので、画素回路の面積や素子数を削減する必要がある。

【 0 0 1 9 】

第 4 の問題点は、製造時の検査が困難になることである。従来の画素回路では、駆動用 T F T のゲート端子はコンデンサを介してデータ線に接続されているので、データ線経由で駆動用 T F T の電流を検査することは困難である。このため、検査で歩留まりを向上させることが困難になる。

【 0 0 2 0 】

第5の問題点は、閾値補正期間が短い時間に制限されることである。従来の画素回路では、画素回路の選択期間内に閾値補正とデータ書き込みを行う必要がある。閾値補正には、ダイオード接続された駆動素子のゲート・ソース間電圧が閾値電圧に十分に近づくまでの時間を必要とする。ところが、高精細の表示装置では、選択期間の長さは極めて短くなる。例えば、解像度がVGAのパネルを60フレーム/sで駆動した場合、選択期間は約30 μ sとなる。このような短時間のうちに閾値補正とデータ書き込みを完了することは困難である。

【 0 0 2 1 】

特許文献2に記載された方法によれば、上記第3の問題点を解決できるが、各駆動素子の電流能力を記憶するメモリを設けるために周辺回路のコストやレイアウト面積が増大する。また、特許文献3に記載された方法によれば、上記第5の問題を解決できるが、初期電圧を与えるスイッチを設けるために画素回路の規模がさらに大きくなる。

10

【 0 0 2 2 】

それ故に、本発明は、画素回路の規模を増大させずに、データ電圧の振幅を効率よく利用し、高い精度で閾値補正を行う表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 3 】

本発明の第1の局面は、電流駆動型の表示装置であって、
複数の走査線と複数のデータ線との各交差点に対応して配置された複数の画素回路と、
走査信号出力回路と、
表示信号出力回路とを備え、
前記画素回路は、それぞれ、

20

2本の電源配線間に設けられた電気光学素子と、

前記電気光学素子と共に前記電源配線間に直列に設けられた駆動素子と、

前記駆動素子の制御端子と前記データ線とに接続され、前記走査線に接続された制御端子を有する第1のスイッチング素子と、

前記駆動素子の制御端子と一方の導通端子との間に設けられた第2のスイッチング素子と、

前記電気光学素子および前記駆動素子と共に前記電源配線間に直列に設けられた第3のスイッチング素子と、

30

一端が前記駆動素子の制御端子に接続された容量とを含み、

前記表示信号出力回路は、複数のアナログバッファと、前記データ線ごとに設けられた複数の補正用容量および複数のスイッチ回路とを含み、

前記走査信号出力回路は、書き込み対象の画素回路について、閾値補正期間において、前記第1および第2のスイッチング素子を導通状態、前記第3のスイッチング素子を非導通状態に設定することにより、前記駆動素子の閾値電圧に前記駆動素子の制御端子の電圧を近づけて当該電圧を前記データ線に出力させ、次に前記第2のスイッチング素子を非導通状態に変化させ、さらに前記第1のスイッチング素子を非導通状態、前記第3のスイッチング素子を導通状態に変化させる制御を行い、

40

前記スイッチ回路を用いて、前記補正用容量の一方の電極を前記データ線に接続し、他方の電極に所定の固定電圧を印加するか、前記補正用容量の一方の電極を前記アナログバッファを介して前記データ線に接続し、他方の電極に表示データに対応したデータ電圧を印加するかを切り替えることにより、前記表示信号出力回路は、前記第2のスイッチング素子が導通状態にあるときの前記データ線の電圧に基づき、前記第2のスイッチング素子が非導通状態に変化した後に、前記データ電圧に前記駆動素子の閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加し、

前記閾値補正期間は、前記駆動素子の制御端子の電圧が前記駆動素子の閾値電圧に到達する前に終了することを特徴とする。

【 0 0 2 6 】

50

本発明の第2の局面は、本発明の第1の局面において、
前記駆動素子および前記第1～第3のスイッチング素子は薄膜トランジスタであり、
前記第1および第3のスイッチング素子のうち一方はPチャネル型、他方はNチャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする。

【0027】

本発明の第3の局面は、本発明の第1の局面において、
前記駆動素子および前記第1～第3のスイッチング素子は薄膜トランジスタであり、
前記第2および第3のスイッチング素子のうち一方はPチャネル型、他方はNチャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする。

【0028】

本発明の第4の局面は、本発明の第1の局面において、
前記駆動素子はPチャネル型のエンハンスメント型トランジスタであり、
前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち高いほうから前記補正電圧の絶対値を減算した電圧を前記データ線に出力することを特徴とする。

【0029】

本発明の第5の局面は、本発明の第1の局面において、
前記駆動素子はNチャネル型のエンハンスメント型トランジスタであり、
前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち低いほうに前記補正電圧の絶対値を加算した電圧を前記データ線に出力することを特徴とする。

【0030】

本発明の第6の局面は、本発明の第1の局面において、
前記表示信号出力回路は、前記第1のスイッチング素子の導通期間の一部において、前記データ線に所定の固定電圧を印加することを特徴とする。

【0032】

本発明の第7の局面は、本発明の第1の局面において、
前記アナログバッファは、複数の前記データ線ごとに設けられていることを特徴とする。

【0033】

本発明の第8の局面は、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが、2本の電源配線間に設けられた電気光学素子と、前記電気光学素子と共に前記電源配線間に直列に設けられた駆動素子と、前記駆動素子の制御端子と前記データ線とに接続され、前記走査線に接続された制御端子を有する第1のスイッチング素子と、前記駆動素子の制御端子と一方の導通端子との間に設けられた第2のスイッチング素子と、前記電気光学素子および前記駆動素子と共に前記電源配線間に直列に設けられた第3のスイッチング素子と、一端が前記駆動素子の制御端子に接続された容量とを含む複数の画素回路を備えた表示装置の駆動方法であって、

書き込み対象の画素回路について、閾値補正期間において、前記第1および第2のスイッチング素子を導通状態、前記第3のスイッチング素子を非導通状態に設定することにより、前記駆動素子の閾値電圧に前記駆動素子の制御端子の電圧を近づけて当該電圧を前記データ線に出力させ、次に前記第2のスイッチング素子を非導通状態に変化させ、さらに前記第1のスイッチング素子を非導通状態、前記第3のスイッチング素子を導通状態に変化させるステップと、

複数のアナログバッファと、前記データ線ごとに設けられた複数の補正用容量および複数のスイッチ回路とを含む表示信号出力回路において、前記スイッチ回路を用いて、前記補正用容量の一方の電極を前記データ線に接続し、他方の電極に所定の固定電圧を印加するか、前記補正用容量の一方の電極を前記アナログバッファを介して前記データ線に接続し、他方の電極に表示データに対応したデータ電圧を印加するかを切り替えることにより、前記第2のスイッチング素子が導通状態にあるときの前記データ線の電圧に基づき、前

10

20

30

40

50

記第2のスイッチング素子が非導通状態に変化した後に、前記データ電圧に前記駆動素子の閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加するステップとを備え、

前記閾値補正期間は、前記駆動素子の制御端子の電圧が前記駆動素子の閾値電圧に到達する前に終了することを特徴とする。

【発明の効果】

【0034】

本発明の第1または第8の局面によれば、選択された画素回路から駆動素子の制御端子の電圧（駆動素子の閾値電圧に近づいているが、まだ駆動素子の閾値電圧に到達していない電圧）を読み出し、読み出した電圧に基づき、データ電圧に補正電圧（駆動素子の閾値電圧に対応した電圧）を加算または減算した電圧を駆動素子の制御端子に与えることができる。したがって、駆動素子の閾値電圧を検出して閾値電圧のばらつきを補償し、電気光学素子を所望の輝度で発光させることができる。また、閾値補正回路を画素回路の外部に設け、データ線を用いて閾値電圧を検出することにより、画素回路の規模や面積を縮小することができる。また、閾値電圧を電圧信号として検出することにより、電圧信号を帰還する場合とは異なり電圧電圧変換素子が不要になるので、補正効果のばらつきを抑えることができる。また、カップリング容量を介さずに駆動素子の制御端子に所望の電圧を与えられるので、データ電圧の振幅を有効に利用し、消費電力を低減することができる。

【0035】

また、閾値補正に使用する容量を削減し、開口率と歩留まりを向上させ、消費電力を削減することができる。

【0036】

また、画素回路の選択期間を閾値電圧を検知する期間と補正後のデータ電圧を書き込む期間とに分け、閾値電圧を読み出すための帰還線とデータを書き込むためのデータ線とを共通化することができる。

また、表示信号出力回路は、データ線の電圧に「データ電圧と固定電圧の差」を加算した電圧をデータ線に印加することができる。したがって、固定電圧を好適に決定すれば、画素回路からデータ線に出力された電圧に基づき、データ電圧に補正電圧（駆動素子の閾値電圧に対応した電圧）を加算または減算した電圧をデータ線に印加することができる。また、この加算または減算を画素回路の外部で行うことにより、画素回路の規模を小さくすることができる。また、補正用容量とデータ線との間にアナログバッファを設けることにより、補正用容量に保持された電圧のカップリングによる減衰を抑え、高画質化を実現することができる。

【0037】

本発明の第2または第3の局面によれば、第1～第3のスイッチング素子の制御端子に接続される配線を共通化して配線数を減らし、画素の開口率をさらに高くすることができる。

【0038】

本発明の第4の局面によれば、Pチャネル型の駆動素子では閾値電圧の絶対値を減算した電圧を制御端子に与えれば閾値電圧のばらつきを補償できるので、選択された画素回路から出力された電圧を用いて駆動素子の閾値電圧のばらつきを補償することができる。

【0039】

本発明の第5の局面によれば、Nチャネル型の駆動素子では閾値電圧の絶対値を加算した電圧を制御端子に与えれば閾値電圧のばらつきを補償できるので、選択された画素回路から出力された電圧を用いて駆動素子の閾値電圧のばらつきを補償することができる。

【0040】

本発明の第6の局面によれば、駆動素子の制御端子に好適な固定電圧を与えることにより、駆動素子の閾値電圧に応じた電圧がデータ線に出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

【 0 0 4 2 】

本発明の第 7 の局面によれば、データ線ごとに配置するには回路規模が大きいアナログバッファを複数のデータ線ごとに配置し、高精細の表示パネルを実現することができる。

【図面の簡単な説明】

【 0 0 4 3 】

【図 1】本発明の第 1 ～ 第 3 の実施形態に係る表示装置の構成を示すブロック図である。

【図 2】本発明の第 1 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図 3】本発明の第 1 の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

10

【図 4】ダイオード接続された T F T におけるゲート - ソース間電圧の時間的变化の例を示す図である。

【図 5 A】オフセットキャンセル機能を有するバッファの回路図である。

【図 5 B】図 5 A に示すバッファのタイミングチャートである。

【図 5 C】図 5 A に示すバッファの動作を説明するための図である。

【図 5 D】図 5 A に示すバッファの動作を説明するための図である。

【図 6 A】本発明の第 1 の実施形態の第 1 変形例に係る表示装置に含まれる画素回路の回路図である。

【図 6 B】本発明の第 1 の実施形態の第 2 変形例に係る表示装置に含まれる画素回路の回路図である。

20

【図 7】本発明の第 2 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図 8】本発明の第 2 の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図 9】本発明の第 3 の実施形態に係る表示装置に含まれる閾値補正回路の回路図である。

【図 1 0】本発明の第 3 の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図 1 1】従来の表示装置に含まれる画素回路の回路図である。

【図 1 2】図 1 1 に示す画素回路に対するデータ書き込み時のタイミングチャートである。

30

【図 1 3】従来の表示装置の構成を示すブロック図である。

【符号の説明】

【 0 0 4 4 】

1 ... 表示装置

2 ... 表示制御回路

3 ... ゲートドライバ回路

4 ... ソースドライバ回路

5 ... シフトレジスタ

6 ... レジスタ

40

7 ... ラッチ

8 ... D / A 変換器

9、2 0、5 0、6 0 ... 閾値補正回路

A i j、1 0、1 7、1 8、4 0 ... 画素回路

1 1、4 1 ... 駆動用 T F T

1 2 ~ 1 4、4 2 ~ 4 4 ... スイッチ用 T F T

1 5、4 5 ... 有機 E L 素子

1 6、2 6、4 6 ... コンデンサ

2 1 ~ 2 5、6 1 ... スイッチ

2 7 ... アナログバッファ

50

【発明を実施するための最良の形態】

【0045】

図1～図10を参照して、本発明の第1～第3の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコンTFTやCGシリコンTFTやアモルファスシリコンTFTなどで構成することができる。これらTFTの構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機EL素子であるとする。有機EL素子の構成も公知であるので、ここではその説明を省略する。以下、第1～第3の実施形態に共通する表示装置の全体構成について説明し、その後、各実施形態に係る表示装置の画素回路と閾値補正回路について説明する。

10

【0046】

(表示装置の全体構成)

図1は、本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置1は、複数の画素回路 A_{ij} (i は1以上 n 以下の整数、 j は1以上 m 以下の整数)、表示制御回路2、ゲートドライバ回路3、および、ソースドライバ回路4を備えている。ゲートドライバ回路3は走査信号出力回路として機能し、ソースドライバ回路4は表示信号出力回路として機能する。

【0047】

表示装置1には、互いに平行な複数の走査線 G_i と、これに直交する互いに平行な複数のデータ線 S_j とが設けられる。画素回路 A_{ij} は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 G_i と平行に、互いに平行な複数の制御線 W_i 、 R_i が配置されている。走査線 G_i と制御線 W_i 、 R_i はゲートドライバ回路3に接続され、データ線 S_j はソースドライバ回路4に接続されている。さらに、画素回路 A_{ij} の配置領域には、図示しない電源配線 V_p と共通陰極 V_{com} が配置されている。なお、共通陰極 V_{com} に代えて、陰極配線 CA_i を配置してもよい。

20

【0048】

表示制御回路2は、ゲートドライバ回路3に対してタイミング信号OE、スタートパルスYIおよびクロックYCKを出力し、ソースドライバ回路4に対してスタートパルスSP、クロックCLK、表示データDA、および、ラッチパルスLPを出力する。また、表示制御回路2は、ソースドライバ回路4の制御線SCAN1～SCAN3の電位を制御する。

30

【0049】

ゲートドライバ回路3は、シフトレジスタ回路、論理演算回路およびバッファ(いずれも図示せず)を含んでいる。シフトレジスタ回路は、クロックYCKに同期してスタートパルスYIを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i と制御線 W_i 、 R_i に与えられる。1本の走査線 G_i には m 個の画素回路 A_{ij} が接続されており、画素回路 A_{ij} は走査線 G_i を用いて m 個ずつ一括して選択される。

40

【0050】

ソースドライバ回路4は、 m ビットのシフトレジスタ5、レジスタ6、ラッチ7、 m 個のD/A変換器8、および、 m 個の閾値補正回路9を含み、1行分の画素回路 A_{ij} にデータを同じタイミングで送信する線順次走査を行う。より詳細には、シフトレジスタ5は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルスSPをクロックCLKに同期して転送し、各段のレジスタからタイミングパルスDLPを出力する。タイミングパルスDLPの出力タイミングに合わせて、レジスタ6には表示データDAが供給される。レジスタ6は、タイミングパルスDLPに従い、表示データDAを記憶する。レジスタ6に1行分の表示データDAが記憶されると、表示制御回路2はラッチ7に対してラッチパルスLPを出力する。ラッチ7は、ラッチパルスLPを受け取ると

50

、レジスタ 6 に記憶された表示データを保持する。

【 0 0 5 1 】

D / A 変換器 8 と閾値補正回路 9 は、データ線 S_j に対応して設けられる。D / A 変換器 8 は、ラッチ 7 に保持された表示データをアナログ信号電圧に変換し、対応する閾値補正回路 9 に出力する。閾値補正回路 9 は、ゲートドライバ回路 3 によって選択された画素回路 A_{ij} から出力された電圧（駆動用 T F T の閾値電圧に応じた電圧）をデータ線 S_j 経由で受け取り、当該電圧に基づき、D / A 変換器 8 の出力電圧に駆動用 T F T の閾値電圧に対応した補正電圧を加算または減算した電圧をデータ線 S_j に印加する。閾値補正回路 9 の作用により、画素回路 A_{ij} に含まれる駆動用 T F T の閾値電圧のばらつきを補償することができる（詳細は後述）。

10

【 0 0 5 2 】

なお、ソースドライバ回路 4 は、線順次走査に代えて、各画素回路に 1 つずつ順にデータを送信する点順次走査を行ってもよい。点順次走査を行うときには、ある走査線 G_i が選択されている間、データ線 S_j の電圧はデータ線 S_j の容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

【 0 0 5 3 】

（第 1 の実施形態）

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。図 2 に示す画素回路 10 と閾値補正回路 20 は、図 1 では画素回路 A_{ij} と閾値補正回路 9 に相当する。図 2 に示すように、画素回路 10 は、駆動用 T F T 11、スイッチ用 T F T 12 ~ 14、有機 E L 素子 15、および、コンデンサ 16 を備えている。駆動用 T F T 11 は P チャネル型のエンハンスメント型、スイッチ用 T F T 12、13 は N チャネル型、スイッチ用 T F T 14 は P チャネル型である。

20

【 0 0 5 4 】

画素回路 10 は、電源配線 V_p 、共通陰極 V_{com} 、走査線 G_i 、制御線 W_i 、 R_i 、および、データ線 S_j に接続されている。以下、電源配線 V_p の電位を V_{DD} 、共通陰極 V_{com} の電位を V_{SS} （ただし、 $V_{DD} > V_{SS}$ ）とする。共通陰極 V_{com} は、表示装置内のすべての有機 E L 素子 15 の共通電極となる。

【 0 0 5 5 】

画素回路 10 では、電源配線 V_p と共通陰極 V_{com} との間に、電源配線 V_p 側から順に、駆動用 T F T 11、スイッチ用 T F T 14 および有機 E L 素子 15 が直列に設けられている。駆動用 T F T 11 のゲート端子とデータ線 S_j との間には、スイッチ用 T F T 12 が設けられている。駆動用 T F T 11 のゲート端子とドレイン端子の間にはスイッチ用 T F T 13 が設けられ、駆動用 T F T 11 のゲート端子と電源配線 V_p との間にはコンデンサ 16 が設けられている。スイッチ用 T F T 12 ~ 14 のゲート端子は、それぞれ、走査線 G_i 、制御線 W_i および制御線 R_i に接続されている。走査線 G_i および制御線 W_i 、 R_i の電位はゲートドライバ回路 3 によって制御され、データ線 S_j の電位はソースドライバ回路 4 によって制御される。以下、駆動用 T F T 11 のゲート端子が接続される節点を A という。

30

【 0 0 5 6 】

閾値補正回路 20 は、スイッチ 21 ~ 25、コンデンサ 26、および、アナログバッファ 27 を備え、データ線 S_j に接続されている。スイッチ 21 ~ 25 はいずれも N チャネル型のトランジスタであり、アナログバッファ 27 はボルテージホロウ回路（ユニティゲインアンプ）である。

40

【 0 0 5 7 】

コンデンサ 26 の一方の電極（図 2 で右側に描かれた電極）が接続される節点を B、他方の電極が接続される節点を C という。スイッチ 21 はデータ線 S_j と節点 C との間に設けられ、スイッチ 22 は節点 B と電源配線 V_p との間に設けられている。スイッチ 23 の一端は節点 B に接続され、節点 C とデータ線 S_j との間には、節点 C 側から順に、アナログバッファ 27 とスイッチ 24 が直列に設けられている。スイッチ 25 の一端は、データ

50

線 S_j に接続されている。

【0058】

スイッチ 23 の他端には D/A 変換器 8 から出力されたデータ電圧 V_{data} が与えられ、スイッチ 25 の他端には初期電圧 V_{reset} (詳細は後述) が与えられる。スイッチ 21、22 のゲート端子は制御線 $SCAN_2$ に接続され、スイッチ 23、24 のゲート端子は制御線 $SCAN_1$ に接続され、スイッチ 25 のゲート端子は制御線 $SCAN_3$ に接続されている。

【0059】

以下、駆動用 TFT 11 の閾値電圧を V_{th} (負の値) とする。後述するように、コンデンサ 26 は、駆動用 TFT 11 の閾値電圧 V_{th} に対応した補正電圧 V_x を保持する補正容量として機能する。また、スイッチ 21 ~ 24 は、コンデンサ 26 の一方の電極をデータ線 S_j に接続し、他方の電極に固定電圧 V_{DD} を印加するか、コンデンサ 26 の一方の電極をアナログバッファ 27 を介してデータ線 S_j に接続し、他方の電極にデータ電圧 V_{data} を印加するかを切り替えるスイッチ回路として機能する。

10

【0060】

図 3 は、画素回路 10 に対するデータ書き込み時のタイミングチャートである。以下、図 3 を参照して、走査線 G_i とデータ線 S_j に接続された画素回路 10 にデータ電圧 V_{data} を書き込むときの動作を説明する。図 3 では、時刻 t_0 から時刻 t_4 までは画素回路 10 の選択期間となる。時刻 t_2 より前では、駆動用 TFT 11 の閾値電圧を検知する処理が行われ、時刻 t_2 より後では、補正後のデータ電圧を書き込む処理が行われる。

20

【0061】

時刻 t_0 より前では、走査線 G_i と制御線 W_i 、 R_i の電位はローレベルに制御されており、スイッチ用 TFT 12、13 は非導通状態、スイッチ用 TFT 14 は導通状態にある。このとき駆動用 TFT 11 は導通状態にあり、電源配線 V_p から駆動用 TFT 11 とスイッチ用 TFT 14 を経由して有機 EL 素子 15 に電流が流れ、有機 EL 素子 15 は発光する。

【0062】

時刻 t_0 において走査線 G_i と制御線 R_i 、 W_i 、 $SCAN_3$ の電位がハイレベルに変化すると、スイッチ用 TFT 12、13 およびスイッチ 25 は導通状態に変化し、スイッチ用 TFT 14 は非導通状態に変化する。これにより、データ線 S_j には初期電圧 V_{reset} が印加され、データ線 S_j と節点 A の電位は V_{reset} となる。時刻 t_0 以降、駆動用 TFT 11 を通過した電流は、スイッチ用 TFT 13 経由で接点 A に流れ込む。

30

【0063】

次に時刻 t_1 において制御線 $SCAN_3$ の電位がローレベルに変化すると、スイッチ 25 は非導通状態に変化する。時刻 t_1 以降も、駆動用 TFT 11 を通過した電流は、スイッチ用 TFT 13 経由で節点 A に流れ込み、節点 A の電位 (駆動用 TFT 11 のゲート端子電位) は駆動用 TFT 11 が導通状態にある間は上昇する。このときスイッチ用 TFT 12 は導通状態にあるので、データ線 S_j の電位は節点 A の電位に等しい。

【0064】

時刻 t_0 から時刻 t_2 までの間、制御線 $SCAN_1$ の電位はローレベルに、制御線 $SCAN_2$ の電位はハイレベルに制御される。このため、スイッチ 21、22 は導通状態、スイッチ 23、24 は非導通状態となり、節点 B は電源配線 V_p に、節点 C はデータ線 S_j に接続される。したがって、このとき節点 B の電位は V_{DD} であり、節点 C の電位は節点 A およびデータ線 S_j の電位に等しい。

40

【0065】

次に時刻 t_2 において制御線 W_i 、 $SCAN_2$ の電位がローレベルに変化すると、スイッチ用 TFT 13 およびスイッチ 21、22 は非導通状態に変化する。時刻 t_2 における節点 A の電位を $(V_{DD} + V_x)$ (ただし、 V_x は負の値で、 V_x の絶対値は V_{th} の絶対値よりも大きい) とする。時刻 t_2 では接点 C の電位も $(V_{DD} + V_x)$ であるので、時刻 t_2 においてスイッチ 21、22 が非導通状態に変化すると、コンデンサ 26 には電

50

圧 V_x が保持される。

【 0 0 6 6 】

上述したように、節点 A の電位は、駆動用 T F T 1 1 が導通状態にある間は上昇する。したがって、十分な時間があれば、節点 A の電位は、駆動用 T F T 1 1 のゲート - ソース間電圧が閾値電圧 V_{th} (負の値) になるまで上昇し、最終的には $(V_{DD} + V_{th})$ に到達する。時刻 t_2 における節点 A の電位 $(V_{DD} + V_x)$ は、 $(V_{DD} + V_{th})$ よりも低い。また、電圧 V_x は閾値電圧 V_{th} に応じて変化し、電圧 V_x の絶対値は閾値電圧 V_{th} の絶対値が大きいほど大きい。

【 0 0 6 7 】

次に時刻 t_3 において制御線 S C A N 1 の電位がハイレベルに変化すると、スイッチ 2 3、2 4 は導通状態に変化する。時刻 t_3 以降、節点 B には D / A 変換器 8 から出力されたデータ電圧 V_{data} が印加され、節点 C はアナログバッファ 2 7 を介してデータ線 S j に接続される。コンデンサ 2 6 が電圧 V_x を保持している間に節点 B の電位が V_{DD} から V_{data} に変化すると、節点 C の電位も同じ量 $(V_{data} - V_{DD})$ だけ変化して $(V_{DD} + V_x) + (V_{data} - V_{DD}) = (V_{data} + V_x)$ となる。

【 0 0 6 8 】

このときスイッチ 2 4 は導通状態にあり、アナログバッファ 2 7 の入力電圧と出力電圧は等しいので、データ線 S j の電位は節点 C と同じく $(V_{data} + V_x)$ となる。また、このときスイッチ用 T F T 1 2 も導通状態にあるので、節点 A の電位もデータ線 S j と同じく $(V_{data} + V_x)$ となる。

【 0 0 6 9 】

次に時刻 t_4 において走査線 G i および制御線 R i、S C A N 1 の電位がローレベルに変化すると、スイッチ用 T F T 1 2 およびスイッチ 2 3、2 4 は非導通状態、スイッチ用 T F T 1 4 は導通状態に変化する。このときコンデンサ 1 6 には、駆動用 T F T 1 1 のゲート - ソース間電圧 $(V_{DD} - V_{data} - V_x)$ が保持される。なお、制御線 R i に与えられるオン電位 (ローレベル電位) は、スイッチ用 T F T 1 4 が線形領域で動作するように決定される。

【 0 0 7 0 】

時刻 t_4 以降、コンデンサ 1 6 に保持された電圧は変化しないので、節点 A の電位は $(V_{data} + V_x)$ のままである。したがって、時刻 t_4 以降、次に制御線 R i の電位がハイレベルとなるまで、電源配線 V p から駆動用 T F T 1 1 とスイッチ用 T F T 1 4 を経由して有機 E L 素子 1 5 に電流が流れ、有機 E L 素子 1 5 は発光する。このとき駆動用 T F T 1 1 を流れる電流の量は節点 A の電位 $(V_{data} + V_x)$ に応じて増減するが、以下に示すように、閾値電圧 V_{th} が異なっても電位 V_{data} が同じであれば電流量を同じにすることができる。

【 0 0 7 1 】

駆動用 T F T 1 1 を飽和領域で動作させたとき、ドレイン - ソース間を流れる電流 I_{EL} は、チャネル長変調効果を無視すれば、次式 (1) で与えられる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu (V_g - V_{DD} - V_{th})^2 \quad \dots (1)$$

ただし、上式 (1) において、 W/L は駆動用 T F T 1 1 のアスペクト比、 C_{ox} はゲート容量、 μ は移動度、 V_g はゲート端子電位 (節点 A の電位) である。

【 0 0 7 2 】

式 (1) に示す電流 I_{EL} は、一般には、閾値電圧 V_{th} に応じて変動する。本実施形態に係る表示装置では、ゲート端子電位 V_g が $(V_{data} + V_x)$ となるので、電流 I_{EL} は次式 (2) に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \{V_{data} - V_{DD} + (V_x - V_{th})\}^2 \quad \dots (2)$$

式 (2) において電圧 V_x が閾値電圧 V_{th} に一致すれば、電流 I_{EL} は閾値電圧 V_{th} には依存しない。また、電圧 V_x が閾値電圧 V_{th} に一致しなくても、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th} には依存しない。

【 0 0 7 3 】

本実施形態に係る表示装置では、2つのTFT間で電圧 V_x の差が閾値電圧 V_{th} の差とほぼ同じになるように、閾値補正期間（時刻 t_1 から時刻 t_2 までの期間）の長さや初期電圧 V_{reset} のレベルが決定される。このため、式（2）に含まれる電圧差（ $V_x - V_{th}$ ）はほぼ一定になる。したがって、閾値電圧 V_{th} の値にかかわらず、有機EL素子15にはデータ電圧 V_{data} に応じた量の電流が流れ、有機EL素子15はデータ電圧 V_{data} に応じた輝度で発光する。本実施形態に係る表示装置では、閾値補正は画素回路10の外部に設けられた閾値補正回路20によって行われるが、閾値補正回路20には複雑な論理回路やメモリなどを設ける必要がない。

【 0 0 7 4 】

10

ここで、初期電圧 V_{reset} について説明する。図3に示す時刻 t_0 でスイッチ用TFT13が導通状態になると、駆動用TFT11はダイオード接続された状態になる。従来の有機ELディスプレイでは、駆動用TFTがダイオード接続されてから、駆動用TFTのゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} に十分に近づくまでの期間が、閾値補正期間となる。電圧 V_{gs} が閾値電圧 V_{th} に十分に近づけば、2つの駆動用TFT間の閾値電圧の差を検出できるからである。

【 0 0 7 5 】

ところが、高精細の表示装置では、画素回路の選択期間が短く、選択期間内に電圧 V_{gs} を閾値電圧 V_{th} に十分に近づけられないことがある。特に、本実施形態に係る表示装置では、駆動用TFT11の閾値電圧 V_{th} を検知するときに、コンデンサ26とデータ線 S_j の寄生容量を充電する必要があるので、選択期間内に閾値電圧を検知する処理と補正後のデータ電圧を書き込む処理を行うためには工夫が必要である。

20

【 0 0 7 6 】

そこで、本実施形態に係る表示装置では、補正後のデータ電圧を書き込む処理を開始する前に閾値電圧 V_{th} のばらつきを検知するために、スイッチ25の作用によりデータ線 S_j に固定の初期電圧 V_{reset} が与えられる。これにより、駆動用TFT11の閾値電圧 V_{th} に応じた電圧（ $V_{DD} + V_x$ ）がデータ線 S_j に出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

【 0 0 7 7 】

30

初期電圧 V_{reset} は、閾値補正期間の長さや閾値補正に要求される精度などに基づき決定される。スイッチ用TFT13が導通状態にあり、駆動用TFT11がダイオード接続されているとき、駆動用TFT11の電流バランスに関して次式（3）が成立する。

【数1】

$$k(V_{gs}(t) - V_{th})^2 = -C \frac{dV_{gs}(t)}{dt} \quad \cdots (3)$$

ただし、式（3）において、 k は定数、 C は保持容量と信号線容量の和である。

【 0 0 7 8 】

40

この微分方程式を解くと、次式（4）が得られる。

【数2】

$$V_{gs}(t) = \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} + V_{th} \quad \cdots (4)$$

ただし、式（4）において、 V_{gs0} は電圧 V_{gs} の初期値である。

【 0 0 7 9 】

閾値電圧が V_{th} だけ異なる2つのTFTを考えたとき、所定時間経過後に2つのT

50

F T間で電圧 V_{gs} の差が V_{th} に近ければ、各 T F T の閾値電圧を検出できたと言える。電圧 V_{gs} の差は、次式 (5) で与えられる。

【数 3】

$$\Delta V_{gs}(t) = \Delta V_{th} + \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th} - \Delta V_{th}}} - \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} \quad \dots (5)$$

したがって、許容時間内に式 (5) に示す $V_{gs}(t)$ が V_{th} に十分に近づくように電圧 V_{gs} の初期値 V_{gs0} を決定し、それに応じて初期電圧 V_{reset} を求めればよい。

10

【 0 0 8 0 】

図 4 は、ダイオード接続された駆動用 T F T のゲート - ソース間電圧 V_{gs} の時間的変化の例を示す図である。図 4 には、閾値電圧が異なる 2 つの T F T ($V_{th} = - 0.8 V$ と $V_{th} = - 1.0 V$) に対して、2 種類の初期電圧 V_{gs0} ($V_{gs0} = - 5 V$ と $V_{gs0} = - 1.5 V$) を与えたときの結果が記載されている。

【 0 0 8 1 】

2 つの T F T に対して初期電圧 V_{gs0} を与え、 $30 \mu s$ 経過後の電圧 V_{gs} を比較する。 $V_{gs0} = - 5 V$ の場合には、 $30 \mu s$ 後に、2 つの電圧はそれぞれの最終値 ($- 0.8 V$ と $- 1.0 V$) から離れているが、両者の差は既に最終値 ($0.2 V$) にほぼ等しくなっている。これに対して、 $V_{gs0} = - 1.5 V$ の場合には、 $30 \mu s$ 後に、2 つの電圧はそれぞれの最終値に接近しているが、両者の差は依然として最終値から離れている。

20

【 0 0 8 2 】

このように、初期電圧 V_{gs0} の絶対値が大きいほど、電圧 V_{gs} の差は速く増大するので、閾値補正期間を短くすることができる。したがって、高い精度で閾値補正を行うためには、初期電圧 V_{gs0} の絶対値を大きくすることが好ましい。一方、初期電圧 V_{gs0} の絶対値を大きくすると、データ線 S_j とコンデンサ 26 の充放電によって消費電力が増加する。したがって、プロセスによる閾値電圧のばらつきの程度や仕様を考慮して、初期電圧 V_{reset} を決定すればよい。

【 0 0 8 3 】

次に、アナログバッファ 27 について説明する。データ線 S_j の容量がコンデンサ 26 の容量と比べて無視できる程度に小さい場合には、閾値補正回路 20 にアナログバッファ 27 を設ける必要はない。一方、数インチ以上の表示パネルでは、データ線 S_j の容量は数 p F 以上になる場合が多いので、このような場合にはアナログバッファ 27 を設ける必要がある。この場合、アナログバッファ 27 としてボルテージホロワ回路 (ユニティゲインアンプ) を用いれば、回路規模の増大を最小限に抑えながら駆動能力を高めることができる。

30

【 0 0 8 4 】

また、アナログバッファ 27 に一般的な差動増幅器を用いた場合、差動対を形成するトランジスタの特性がばらつき、アナログバッファ 27 の特性がばらつくことがある。このようなばらつきが発生すると、表示画面には筋状のむらが現れ、表示品位が低下する。そこで、この不具合を防止するためには、アナログバッファ 27 を表示パネル上に形成せずに、表示パネル外の周辺 IC に内蔵すればよい。周辺 IC に内蔵される回路は、典型的には単結晶シリコンによるトランジスタで形成される。したがって、周辺 IC に内蔵すれば、特性のばらつきが極めて小さいアナログバッファ 27 を得ることができる。

40

【 0 0 8 5 】

また、上記の不具合を防止するために、アナログバッファ 27 として、オフセットキャンセル機能を有するバッファ (図 5 A ~ 図 5 D を参照) を用いてもよい。図 5 A に示すバッファでは、差動増幅器 31 の正側入力端子、負側入力端子および出力端子は、それぞれ、バッファの入力端子、コンデンサ 32 の一方の電極、および、バッファの出力端子に接

50

続されている。コンデンサ 32 の他方の電極とバッファの入力端子との間には、スイッチ 33 が設けられている。差動増幅器 31 の負側入力端子と出力端子との間には、スイッチ 34 が設けられている。コンデンサ 32 の他方の電極と差動増幅器 31 の出力端子との間には、スイッチ 35 が設けられている。スイッチ 33、34 は制御信号 SC_A によって制御され、スイッチ 35 は制御信号 SC_B によって制御される。

【0086】

制御信号 SC_A 、 SC_B は、図 5 B に示すように排他的にスイッチを導通状態にするレベル（ここでは、ハイレベルとする）になる。制御信号 SC_A がハイレベルである間（図 5 C を参照）、スイッチ 33、34 は導通状態、スイッチ 35 は非導通状態となる。このとき、差動増幅器 31 の正側入力端子と負側入力端子の間には、差動増幅器 31 のオフセット電圧 V_{off} が現れる。オフセット電圧 V_{off} は、コンデンサ 32 に保持される。

10

【0087】

制御信号 SC_B がハイレベルである間（図 5 D を参照）、スイッチ 33、34 は非導通状態、スイッチ 35 は導通状態となる。これに伴い、差動増幅器 31 の負側入力電圧はオフセット電圧 V_{off} だけ変化し、差動増幅器 31 の出力電圧（バッファの出力電圧）も同じ量だけ変化して入力電圧 V_{in} に等しくなる。このように、図 5 A に示すバッファを用いれば、差動増幅器 31 のオフセット電圧をキャンセルすることができる。なお、オフセットキャンセル機能を有するバッファを表示パネル外の周辺 IC に内蔵してもよい。

【0088】

20

以下、本実施形態に係る表示装置の効果を説明する。本実施形態に係る表示装置によれば、ゲートドライバ回路 3 によって選択された画素回路 10 から駆動用 TFT 11 の閾値電圧 V_{th} に応じた電圧（ $V_{DD} + V_x$ ）を読み出し、データ電圧 V_{data} に補正電圧 V_x （閾値電圧 V_{th} に対応した電圧）を加算した電圧（ $V_{data} + V_x$ ）を駆動用 TFT 11 のゲート端子に与えることができる。一般に、Pチャネル型の駆動用 TFT では、閾値電圧の絶対値を減算した電圧をゲート端子に与えれば、閾値電圧のばらつきを補償することができる。したがって、本実施形態に係る表示装置によれば、駆動用 TFT 11 の閾値電圧を検出して閾値電圧のばらつきを補償し、有機 EL 素子 15 を所望の輝度で発光させることができる。

【0089】

30

また、閾値補正回路 20 を画素回路の外部に設け、データ線 S_j を用いて閾値電圧を検出することにより、画素回路 10 の規模や面積を縮小することができる。また、閾値電圧を電圧信号として検出することにより、電圧信号を帰還する場合とは異なり電圧電圧変換素子が不要になるので、補正効果のばらつきを抑えることができる。また、閾値電圧に対応した補正電圧 V_x をそのままデータ電圧 V_{data} に加算することにより、高い精度で閾値補正を行うことができる。また、カップリング容量を介さずに駆動用 TFT 11 のゲート端子に所望の電圧を与えられるので、データ電圧 V_{data} の振幅を有効に利用し、消費電力を低減することができる。また、データ線 S_j と駆動用 TFT 11 との間に容量が設けられていないので、駆動用 TFT 11 を容易に検査することができる。駆動用 TFT 11 を検査するときには、電源配線 V_p から駆動用 TFT 11 のドレイン端子とゲート端子を経由してデータ線 S_j に電流を流せばよい。

40

【0090】

なお、本実施形態に係る表示装置は、画素回路 10 に代えて、図 6 A や図 6 B に示す画素回路を備えていてもよい。図 6 A に示す画素回路 17 は、画素回路 10 に対して、スイッチ用 TFT 14 を走査線 G_i に接続し、走査線 G_i と制御線 R_i を共通化する変更を施したものである。画素回路 17 では、スイッチ用 TFT 12、14 は排他的に導通状態となる。また、図 6 B に示す画素回路 18 は、画素回路 10 に対して、スイッチ用 TFT 13 を制御線 R_i に接続し、制御線 R_i と制御線 W_i を共通化する変更を施したものである。画素回路 18 では、スイッチ用 TFT 13、14 は排他的に導通状態となる。

【0091】

50

これら変形例に係る表示装置は、画素回路10を備えた表示装置と同様に動作し、同様の効果を奏する。これに加えて、スイッチ用TFT12~14の制御端子に接続される配線を共通化して配線数を3本から2本に減らし、画素の開口率をさらに高くして、画面を明るくすることができる。

【0092】

(第2の実施形態)

図7は、本発明の第2の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。図7に示す画素回路40と閾値補正回路50は、図1では画素回路A_{ij}と閾値補正回路9に相当する。図7に示すように、画素回路40は、駆動用TFT41、スイッチ用TFT42~44、有機EL素子45、および、コンデンサ46を備えている。駆動用TFT41はNチャンネル型のエンハンスメント型、スイッチ用TFT42~44はNチャンネル型である。

10

【0093】

画素回路40では、電源配線V_pと共通陰極V_{com}との間に、電源配線V_p側から順に、有機EL素子45、スイッチ用TFT44および駆動用TFT41が直列に設けられている。駆動用TFT41のゲート端子とデータ線S_jとの間には、スイッチ用TFT42が設けられている。駆動用TFT41のゲート端子とドレイン端子との間にはスイッチ用TFT43が設けられ、駆動用TFT41のゲート端子と共通陰極V_{com}との間にはコンデンサ46が設けられている。スイッチ用TFT42~44のゲート端子は、それぞれ、走査線G_iおよび制御線W_i、R_iに接続されている。

20

【0094】

閾値補正回路50は、第1の実施形態に係る閾値補正回路20と同じ構造を有する。ただし、閾値補正回路50では、スイッチ22は、接点Bと共通陰極V_{com}の間に設けられている。それ以外の点では、閾値補正回路50は閾値補正回路20と同じである。

【0095】

図8は、画素回路40に対するデータ書き込み時のタイミングチャートである。本実施形態に係る表示装置は、第1の実施形態に係る表示装置と同様に動作し、同様の効果を奏する。なお、一般に、Nチャンネル型の駆動用TFTでは、閾値電圧の絶対値を加算した電圧をゲート端子に与えれば、閾値電圧のばらつきを補償することができる。また、本実施形態についても、第1の実施形態と同様に、スイッチ用TFT42~44の制御端子に接続される配線を共通化した変形例を構成することができる。

30

【0096】

このように駆動用TFT41とスイッチ用TFT42~44をすべてNチャンネル型とした画素回路40は、アモルファスシリコンを用いた表示パネルに適用できる。

【0097】

(第3の実施形態)

第1および第2の実施形態に係る表示装置では、アナログバッファ27はデータ線S_jごとに設けられている。ところが、例えば2インチQVGAフルカラーパネル(RGBサブ画素を備える)では、サブ画素のピッチは約42μmとなる。駆動用TFTの閾値電圧に応じた補正電圧V_xを保持するコンデンサ26はこのピッチで配置できるが、高性能のアナログバッファ27はこのピッチで配置できないことがある。そこで、第3の実施形態では、アナログバッファ27の数を減らした表示装置について説明する。

40

【0098】

図9は、本発明の第3の実施形態に係る表示装置に含まれる閾値補正回路の回路図である。図9に示す閾値補正回路60_r、60_g、60_bは、図1では閾値補正回路9に相当する。また、図9に示すデータ線S_j—R、S_j—G、S_j—Bは、図1ではデータ線S_jに相当する。

【0099】

図9に示すように、アナログバッファ27は、3本のデータ線S_j—R、S_j—G、S_j—Bに対応して設けられている。閾値補正回路60_rは、第1の実施形態に係る閾値補

50

正回路 20 (図 2) に、アナログバッファ 27 を共有する機能を追加したものである。具体的には、閾値補正回路 60r には、コンデンサ 26 の一方の電極 (図 9 で上側に描かれた電極) とアナログバッファ 27 の入力端子との間にスイッチ 61 が設けられている。また、スイッチ 23、24、61 のゲート端子は、制御線 SCAN1__R に接続されている。閾値補正回路 60g、60b の構成も、これと同様である。

【0100】

図 10 は、本実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。以下、図 10 を参照して、走査線 Gi とデータ線 Sj__R、Sj__G、Sj__B に接続された 3 個の画素回路にデータを書き込むときの動作を説明する。図 10 では、時刻 t0 から時刻 t4 まだが 3 個の画素回路の選択期間となる。時刻 t2 10
より前では、3 個の画素回路の駆動用 TFT の閾値電圧を並列に検知する処理が行われ、時刻 t2 より後では、3 個の画素回路に対して順に補正後のデータ電圧を書き込む処理が行われる。なお、ここでは、表示装置は図 6B に示す画素回路 18 を備えることとしたが、画素回路の種類は任意でよい。

【0101】

時刻 t0 より前では、走査線 Gi と制御線 Ri の電位はローレベルに制御されている。時刻 t0 において走査線 Gi と制御線 Ri、SCAN3 の電位がハイレベルに変化すると、データ線 Sj__R、Sj__G、Sj__B の電位と、3 個の画素回路の駆動用 TFT のゲート端子電位は Vreset となる。

【0102】

次に時刻 t1 において制御線 SCAN3 の電位がローレベルに変化すると、データ線 Sj__R、Sj__G、Sj__B の電位はいずれも上昇する。時刻 t0 から時刻 t2 までの間、制御線 SCAN1__R、SCAN1__G、SCAN1__B の電位はローレベルに、制御線 SCAN2 の電位はハイレベルに制御される。

【0103】

時刻 t2 における 3 個の画素回路の駆動用 TFT のゲート端子電位を ($V_{DD} + V_{x_r}$)、($V_{DD} + V_{x_g}$)、($V_{DD} + V_{x_b}$) とする (ただし、 V_{x_r} 、 V_{x_g} および V_{x_b} は負の値)。時刻 t2 において制御線 Ri、SCAN2 の電位がローレベルに変化すると、閾値補正回路 60r、60g、60b のコンデンサ 26 には、それぞれ、電圧 V_{x_r} 、 V_{x_g} 、 V_{x_b} が保持される。

【0104】

次に時刻 t3 から時刻 t4 までの間に、制御線 SCAN1__R、SCAN1__G、SCAN1__B の電位が所定時間ずつハイレベルとなり、これに同期して、D/A 変換器 8 から出力されるデータ電圧 Vdata も、 V_{d_r} 、 V_{d_g} 、 V_{d_b} と変化する。これにより、まず、データ線 Sj__R に接続された画素回路の駆動用 TFT のゲート端子電位が ($V_{d_r} + V_{x_r}$) となり、次に、データ線 Sj__G に接続された画素回路の駆動用 TFT のゲート端子電位が ($V_{d_g} + V_{x_g}$) となり、最後に、データ線 Sj__B に接続された画素回路の駆動用 TFT のゲート端子電位が ($V_{d_b} + V_{x_b}$) となる。

【0105】

次に時刻 t4 において走査線 Gi の電位がローレベルに変化すると、3 個の画素回路のコンデンサには、それぞれ、電圧 ($V_{DD} - V_{d_r} - V_{x_r}$)、($V_{DD} - V_{d_g} - V_{x_g}$)、($V_{DD} - V_{d_b} - V_{x_b}$) が保持される。

【0106】

時刻 t4 以降、3 個の画素回路の駆動用 TFT のゲート端子電位は、それぞれ、($V_{d_r} + V_{x_r}$)、($V_{d_g} + V_{x_g}$)、($V_{d_b} + V_{x_b}$) のままである。このとき各駆動用 TFT を流れる電流の量はこれらの電位に応じて増減するが、閾値電圧が異なっても、データ電圧が同じであれば電流量は同じになる。したがって、閾値電圧の値にかかわらず、各画素回路の有機 EL 素子にはデータ電圧 Vdata に応じた量の電流が流れ、有機 EL 素子はデータ電圧 Vdata に応じた輝度で発光する。

10

20

30

40

50

【 0 1 0 7 】

なお、以上の説明では、3本のデータ線 S_j_R 、 S_j_G 、 S_j_B に対応してアナログバッファを設けることとしたが、アナログバッファを p 本 (p は2以上の任意の整数) 本のデータ線に対応して設けてもよい。

【 0 1 0 8 】

このように本実施形態に係る表示装置によれば、データ線ごとに配置するには回路規模が大きいアナログバッファを複数のデータ線ごとに配置し、高精細の表示パネルを実現することができる。

【 0 1 0 9 】

なお、以上に述べた各実施形態では、画素回路は電気光学素子として有機EL素子を含むこととしたが、有機EL素子以外の電流駆動型の電気光学素子(例えば、半導体LEDやFEDの発光部など)を含んでいてもよい。また、画素回路は、電気光学素子の駆動素子として、ガラス基板などの絶縁基板上に形成されたMOSトランジスタ(シリコンゲートMOS構造を含む)であるTFTを含むこととしたが、閾値電圧を有する任意の電圧制御型の素子(すなわち、制御端子に印加された制御電圧に応じて出力電流が変化し、制御電圧が所定値以上または以下になると出力電流を遮断する素子)を含んでいてもよい。したがって、画素回路は、駆動素子として、半導体基板上に形成されるMOSトランジスタなども含む、一般の絶縁ゲート型電界効果トランジスタを含んでいてもよい。

10

【 0 1 1 0 】

また、第1の実施形態では、スイッチ用TFT12が導通状態に変化するのとはほぼ同じときに、スイッチ用TFT13が導通状態に変化し、スイッチ用TFT14が非導通状態に変化することとした。これに代えて、スイッチ用TFT12が導通状態に変化するよりも前に、スイッチ用TFT13が導通状態に変化し、スイッチ用TFT14が非導通状態に変化してもよい。第2および第3の実施形態でも、これと同様である。

20

【 0 1 1 1 】

また、本発明は上述した各実施形態に限定されるものではなく、種々の変更が可能である。異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態も、本発明の技術的範囲に含まれる。

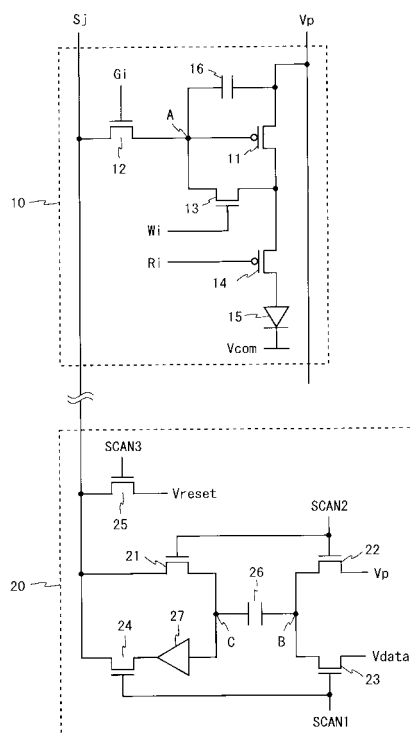
【 産業上の利用可能性 】

【 0 1 1 2 】

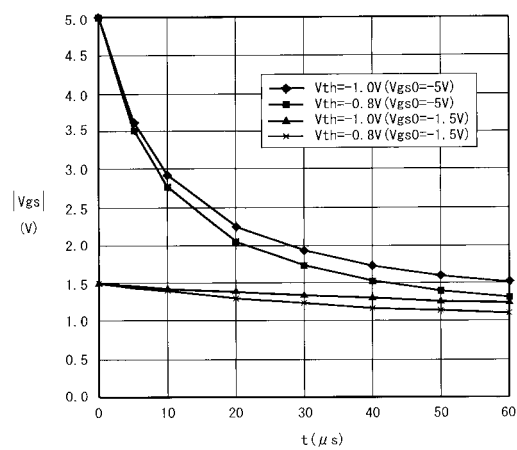
本発明の表示装置は、画素回路の規模を増大させずに、データ電圧の振幅を効率よく利用し、高い精度で閾値補正を行えるという効果を奏するので、各種の電子機器の表示装置として利用することができる。

30

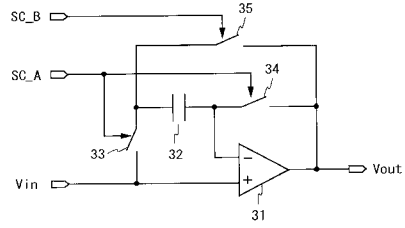
【圖 2】



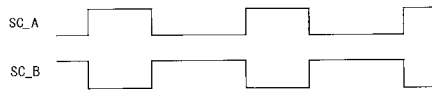
【图 4】



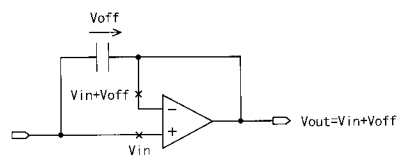
【図 5 A】



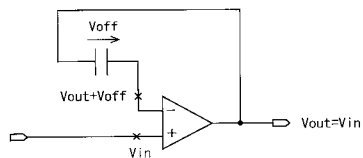
【図 5 B】



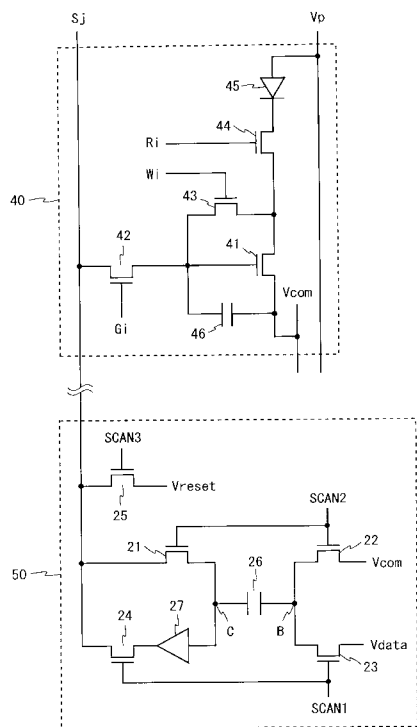
【図 5 C】



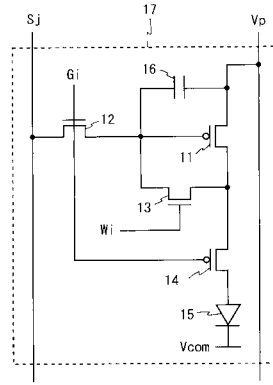
【図 5 D】



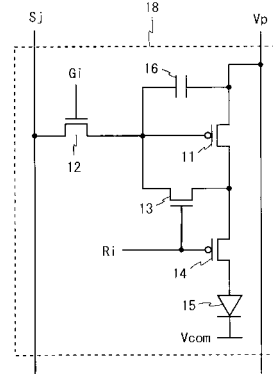
【図 7】



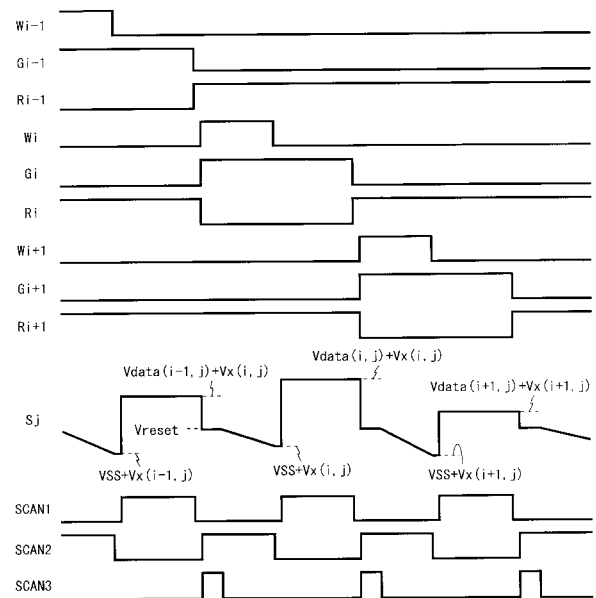
【図 6 A】



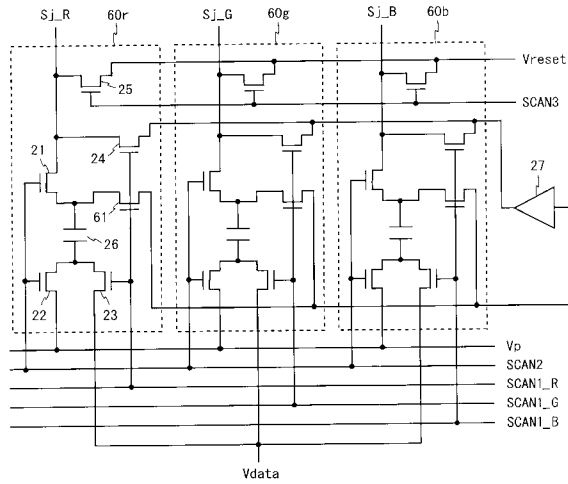
【図 6 B】



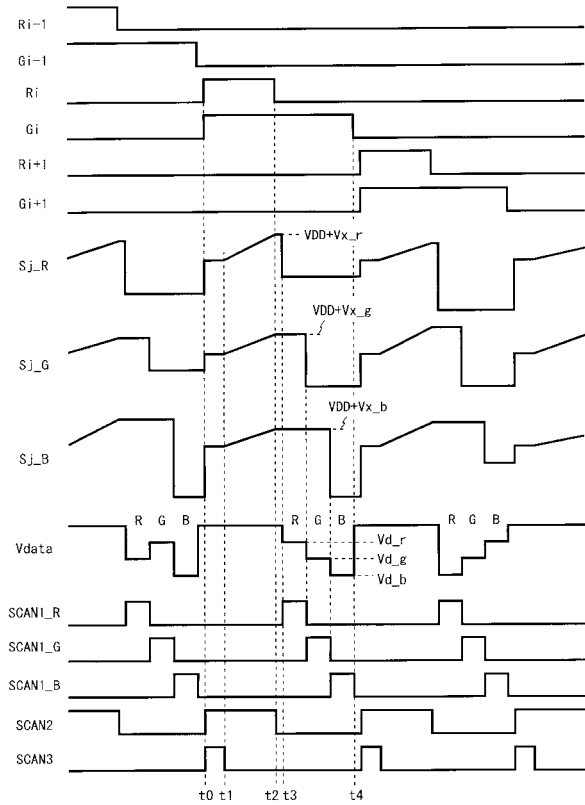
【図 8】



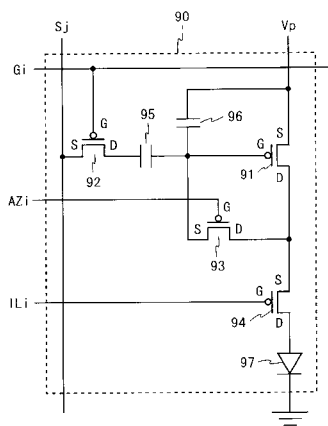
【図 9】



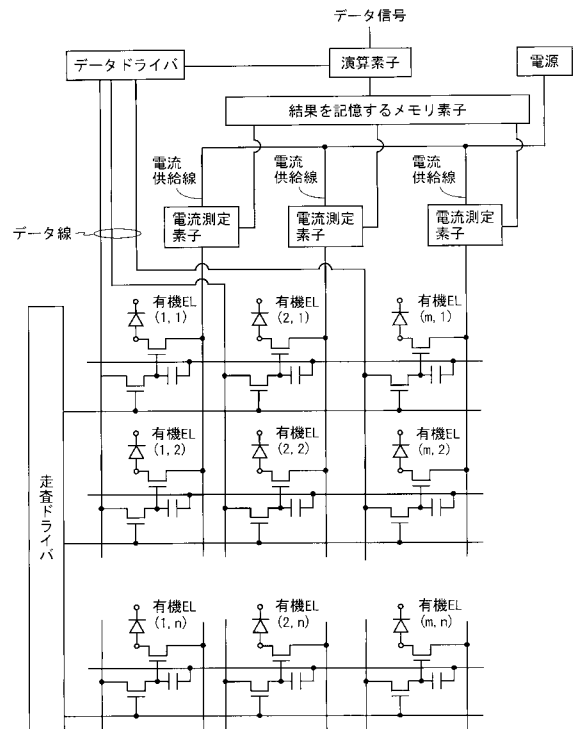
【図 10】



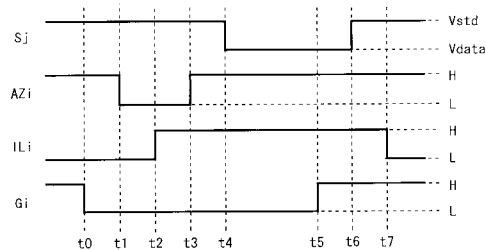
【図 11】



【図 13】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 P
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 5 - 3 5 2 4 1 1 (J P , A)
特開 2 0 0 6 - 3 0 1 2 5 0 (J P , A)
特開 2 0 0 6 - 0 8 4 8 9 9 (J P , A)
特開 2 0 0 5 - 1 2 8 5 2 1 (J P , A)
特開 2 0 0 4 - 2 5 2 1 1 0 (J P , A)
国際公開第 2 0 0 5 / 0 1 3 2 5 0 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30

G09G 3/20

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5171807B2	公开(公告)日	2013-03-27
申请号	JP2009502428	申请日	2007-10-01
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2320/0233 G09G2320/0295		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.642.P H05B33/14.A		
代理人(译)	岛田彰 川原贤治		
审查员(译)	福村 拓		
优先权	2007058021 2007-03-08 JP		
其他公开文献	JPWO2008108024A1		
外部链接	Espacenet		

摘要(译)

在像素电路10中，TFT12和13接通，同时TFT14截止，并且取决于驱动TFT11的阈值电压 V_{th} 的电压（ $V_{DD} + V_x$ ）被读取到数据线 S_j 上。此外，源极驱动器电路中的开关21和22导通，并且电压 V_x 保持在电容器26。接着，TFT 13截止，开关21至24的状态被切换，并且电压（ $V_{data} + V_x$ ）被应用于数据线 S_j 。此外，TFT 14在TFT 14导通时截止。在TFT 14导通之后流过有机EL元件15的电流由驱动TFT 11的栅极端子的电压（ $V_{data} + V_x$ ）确定。因此，可以有效地利用在不增加像素电路10的比例的情况下，以高精度补偿数据电压的幅度并补偿驱动TFT 11的阈值电压的变化。

$$(V_{gs}(t) - V_{th})^2 = -C \frac{dV_{gs}(t)}{dt} \quad \dots (3)$$