

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4700915号
(P4700915)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.	F I
H05B 33/22 (2006.01)	H05B 33/22 Z
H05B 33/10 (2006.01)	H05B 33/10
H05B 33/12 (2006.01)	H05B 33/12 B
H01L 51/50 (2006.01)	H05B 33/14 A
G09F 9/30 (2006.01)	G09F 9/30 365 Z
請求項の数 20 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2003-577338 (P2003-577338)	(73) 特許権者	590000248
(86) (22) 出願日	平成15年3月19日 (2003.3.19)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表2005-521206 (P2005-521206A)		トロニクス エヌ ヴィ
(43) 公表日	平成17年7月14日 (2005.7.14)		オランダ国 5621 ベーアー アイン
(86) 国際出願番号	PCT/IB2003/000999		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W02003/079442		1
(87) 国際公開日	平成15年9月25日 (2003.9.25)	(74) 代理人	100070150
審査請求日	平成18年3月16日 (2006.3.16)		弁理士 伊東 忠彦
(31) 優先権主張番号	0206551.4	(74) 代理人	100091214
(32) 優先日	平成14年3月20日 (2002.3.20)		弁理士 大貫 進介
(33) 優先権主張国	英国 (GB)	(74) 代理人	100107766
(31) 優先権主張番号	0209557.8		弁理士 伊東 忠重
(32) 優先日	平成14年4月26日 (2002.4.26)	(72) 発明者	ヘクター, ジェイソン アール
(33) 優先権主張国	英国 (GB)		オランダ国, 5656 アーアー アイン
			ドーフエン, プロフ・ホルストラーン 6
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクスエレクトロルミネッセンス表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

画素のアレイが該アレイの少なくとも1つの方向において隣接画素間の物理的障壁を伴って存在する基板を有するアクティブマトリクスエレクトロルミネッセンス表示装置であって：

各々の画素は電流駆動型エレクトロルミネッセンス素子を有し、前記エレクトロルミネッセンス素子は、上部電極と下部電極との間に有機半導体材料の発光ダイオードを有し、前記下部電極は、前記基板における薄膜電極であり、前記基板における一連の駆動要素により駆動供給ラインに接続され；

前記物理的障壁は、少なくとも一対の駆動供給ラインを備えた前記エレクトロルミネッセンス素子から絶縁され、前記物理的障壁と前記一連の駆動素子との間の中間絶縁層におけるコンタクト窓で前記画素の少なくとも一部のそれぞれの一連の駆動素子に接続されている、電気導電性障壁材料を有し；

前記有機半導体材料は、前記中間絶縁層における更なる窓において前記薄膜電極と接し；

各々の画素は、所定の導電状態にある前記一連の駆動素子を保つための維持キャパシタと、一連の駆動素子のノードと、前記コンタクト窓において前記電気導電性障壁材料に接続された前記維持キャパシタの1つのプレートとを有し、前記維持キャパシタは、前記駆動供給ラインの少なくとも一部を備えた前記物理的障壁に対して横断して伸びる付加障壁のそれぞれの絶縁性距離部により構成され、前記付加障壁は、金属コアと金属コーティン

10

20

グとの間に誘電体コーティングを有し、前記金属コアは前記一連の駆動素子に接続されている；

アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 2】

請求項 1 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、絶縁性コーティングが前記電気導電性障壁材料の上部及び側部において広がり、更なる供給ラインが前記エレクトロルミネッセンス素子の上部電極を有し、前記電気導電性障壁材料の上部における前記絶縁性コーティング上で延びている、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 3】

請求項 2 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記絶縁性コーティングは、前記電気導電性障壁材料を有する前記駆動供給ラインと前記エレクトロルミネッセンス素子の前記上部電極を有する前記更なる供給ラインとの間の平滑キャパシタのキャパシタ誘電体を構成する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、各々の画素は、前記電気導電性障壁材料と前記画素のそれぞれの前記一連の駆動素子についての電極接続部との間にそれぞれのコンタクト窓を有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、各々の画素の前記一連の駆動素子の電極は、前記コンタクト窓において前記電気導電性障壁材料に接続されている、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記駆動供給ラインに沿って、前記電気導電性障壁材料は、前記一連の駆動素子への電極接続を提供する導体層の断面積の少なくとも 2 倍の、又は少なくとも 1 桁大きい断面積を有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記駆動供給ラインに沿って、前記電気導電性障壁材料は、前記一連の駆動素子への電極接続を提供する導体層の厚さの少なくとも 2 倍の、又は少なくとも 5 倍大きい厚さを有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、前記電気導電性障壁材料を主体とする、及び好適には金属を有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、それぞれの前記画素のそれぞれの前記一連の駆動素子についての電極接続部に接続されている前記電気導電性障壁材料の連続的な駆動供給ラインとして全体のアレイを横断して延びている、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、画素間の前記物理的障壁は、前記アレイの行方向及び列方向の両方において導電性障壁のネットワークとして延びている、アクティブマトリクスエレクトロ

10

20

30

40

50

ルミネッセンス表示装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記一連の駆動素子は、前記電気導電性障壁材料と前記エレクトロルミネッセンス素子の下部電極との間に薄膜トランジスタの主電流パスを接続するソース電極及びドレイン電極を有する前記薄膜トランジスタである、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記画素の前記一連の駆動素子は、それぞれの画素にアドレスするための前記アレイを横断して広がっている前記基板の行導体及び列導体に接続され、前記物理的障壁を有する前記駆動供給ラインは前記行導体及び / 又は前記列導体に対して平行に延びている、アクティブマトリクスエレクトロルミネッセンス表示装置。

10

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記画素の前記一連の駆動素子は、それぞれの画素にアドレスするための前記アレイを横断して広がっている前記基板の行導体及び列導体に接続され、画素間領域にあり且つ前記行導体に対して平行に延びている導電性材料の付加障壁は、前記駆動供給ラインの少なくとも一部を構成する前記物理的障壁から絶縁され、前記行導体に沿った電圧降下を減少させるように前記基板における前記行導体に前記中間絶縁層におけるコンタクト窓で接続されている、アクティブマトリクスエレクトロルミネッセンス表示装置。

20

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、各々のエレクトロルミネッセンス素子は、上部電極と下部電極との間に有機半導体材料の発光ダイオードを有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置を製造する方法であって：

30

(a) 前記画素の少なくとも一部のそれぞれの一連の駆動素子についての電極接続を露出するように前記基板上の前記中間絶縁層においてコンタクト窓を開ける段階；

(b) 前記電極接続の少なくとも前記コンタクト窓の前記中間絶縁層上に堆積された電気絶縁性障壁材料から前記物理的障壁を形成する段階；

(c) 前記物理的障壁間の画素領域に前記エレクトロルミネッセンス素子を備える段階であって、前記電気導電性障壁材料は、前記中間絶縁層の少なくとも前記コンタクト窓における接続についての電気導電性材料を堆積させることにより備えられる、段階；

を有する方法であり、

(d) 前記物理的障壁間の前記画素領域の前記中間絶縁層においてコンタクト窓を開ける段階であって、前記エレクトロルミネッセンス素子が前記更なる窓において備えられ、前記一連の駆動素子への下部電極接続を有する、段階；

40

を更に有することを特徴とする、方法。

【請求項 1 6】

請求項 1 5 に記載の方法であって、前記段階 (b) は、前記電気導電性材料のコアとして前記物理的障壁を形成する段階と、前記導電性障壁材料の少なくとも側部において絶縁性コーティングを堆積する段階とを有する、方法。

【請求項 1 7】

請求項 1 6 に記載の方法であって、前記導電性障壁材料の少なくともバルクはメッキ法により析出される、方法。

【請求項 1 8】

50

請求項 16 に記載の方法であって、前記電気導電性障壁材料はアルミニウムを有し、前記絶縁性コーティングは陽極酸化法により前記アルミニウム障壁材料の少なくとも側部に形成される、ことを特徴とする方法。

【請求項 19】

請求項 15 に記載の方法であって、前記段階 (b) は、前記中間絶縁層の前記コンタクト窓において前記一連の駆動素子との接続のためにビアが広がっている絶縁性材料を主体として前記物理的障壁を形成する段階を有し、前記電気導電性材料は、前記物理的障壁を通るビア内の及び前記物理的障壁の上部の導電性コーティングとして堆積される、方法。

【請求項 20】

請求項 19 に記載の方法であって、前記物理的障壁のための前記導電性コーティング及び前記エレクトロルミネッセンス素子の上部電極は同時に堆積され、前記物理的障壁の前記側部における突出形状のシャドーマスクの効果により分離される、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクスエレクトロルミネッセンス表示装置に関し、特に、半導体性共役系高分子又は他の有機半導体材料の発光ダイオードを用いるエレクトロルミネッセンス表示装置に限らないアクティブマトリクスエレクトロルミネッセンス表示装置に関する。本発明は又、そのような装置の製造方法に関する。

【背景技術】

【0002】

そのようなアクティブマトリクスエレクトロルミネッセンス表示装置は既知であり、回路基板において存在する画素のアレイを有し、各々の画素は電流駆動型エレクトロルミネッセンス素子であって、代表的には、有機半導体材料を有する。

【0003】

多くのそのようなアレイにおいては、絶縁材料の物理的障壁がアレイの少なくとも 1 つの方向における隣接画素間に存在する。そのような障壁の例は、英国特許出願公開大 2 3 4 7 0 1 7 号明細書、国際公開第 1 - 9 9 / 4 3 0 3 1 号パンフレット、欧州特許出願公開第 0 8 9 5 2 1 9 号明細書、欧州特許出願公開第 1 0 9 6 5 6 8 号明細書及び欧州特許出願公開第 1 1 0 2 3 1 7 号明細書において提供されており、ここでは、それらの内容全てをもって参照文献として援用する。

【0004】

そのような障壁は、一部では、例えば、“壁”、“仕切り”、“バンク”、“リブ”、“分離帯”又は“ダム”の用語が用いられている。引用文献から理解されるように、幾つかの役割を果たしている。それらは、エレクトロルミネッセンス層並びに / 若しくは個々の画素及び / 又は画素の列の電極層を規定するために、製造において用いられることが可能である。このようにして、例えば、障壁は、単色表示のためにスピンコートされるか又はカラー表示の赤色、緑色及び青色画素のためにインクジェットプリントを施されることが可能である共役系高分子材料の画素オーバーフローを回避する。製造される装置における障壁は、画素の明確化された光学的分離を提供することができる。障壁は又、エレクトロルミネッセンス素子の共通の上部電極の電気抵抗を減少（それ故、電圧降下）させるための補助配線としての導電材料（エレクトロルミネッセンス素子の上部電極材料等）を支持又はその材料から成ることが可能である。

【0005】

アクティブマトリクス表示装置の各々のエレクトロルミネッセンス素子は、アレイの 2 つの電圧供給ライン間における駆動素子（代表的には、薄膜トランジスタ、以下、“TFT”という）と直列に接続される。これらの 2 つの供給ラインは、代表的には、電力供給ラインとグラウンドライン（又は、“リターンライン”という）である。エレクトロルミネッセンス素子であって、代表的には、LED からの光発光は、それぞれの駆動素子 TFT により変化される電流により制御される。エレクトロルミネッセンス素子が直列の駆動

10

20

30

40

50

素子により接続される供給ラインは、画素の“駆動供給ライン”、“駆動ライン”又は“電流駆動ライン”という。これらの2つの供給ラインに沿った電圧降下は、個々の画素に対して不正確な駆動電流を結果としてもたらすこととなる。このことは、表示の中心における画素からの発光強度の減少（即ち、画像のフェーディング）に繋がる。実際には、大面積の表示を用いると、その影響は非常に悪くなり得るため、中心において発光が生じなくなり、それ故、許容可能な表示サイズが限定されることとなる。

【0006】

画素の行に対するそのような電圧降下及び／又はそのような影響を減少させるために、幾つかの対策が提供されてきた。それ故、ライン幅にテーパをつけることにより、ラインに沿った電圧降下を低減することが、米国特許出願公開第1 - 2001 / 0007413に記載されている。PCT公開されている国際公開第1 - 01 / 01383号パンフレット及び国際公開第1 - 01 / 01384号パンフレットは、各々の画素に対する駆動信号を補正するためにエラー値が生成される異なる方法を採用している。それ故、米国特許出願公開第1 - 2001 / 0007413、国際公開第1 - 01 / 01383号パンフレット及び国際公開第1 - 01 / 01384号パンフレットの全部の内容は又、それらの文献としての援用により、発明の説明を一部代替する。

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、駆動供給ラインに沿ったそのような電圧降下を低減することであって、装置構造、装置のレイアウト及び装置のエレクトロニクスをあまり複雑にしない方式で、電圧降下を低減することである。

【課題を解決するための手段】

【0008】

本発明の一つの特徴に従って、請求項1の特徴を備えたアクティブマトリクスエレクトロルミネッセンス表示装置を提供する。

【0009】

本発明に従って、画素間の物理的障壁は、エレクトロルミネッセンス素子から絶縁され、駆動供給ラインの少なくとも一部を提供する電気導電性材料（典型的には、金属）を一部及び／又は主体とする。この導電性障壁材料は障壁の導電性コアを構成することが可能である。その導電性障壁材料は、画素障壁と基板における駆動素子との間のコンタクト窓（以下、“ビア”という）によりそれぞれの駆動素子のための電極接続のために、回路基板に接続される。それ故、ライン抵抗及び対応する電圧降下の問題は、回路基板内（その問題が厳しく制約される）から基板における画素障壁の非常に自由な環境（導電性障壁材料は非常に小さい対抗を提供することができる）に移行される。

【0010】

このような手段により、回路基板内の導電性層であって、例えば、駆動素子の薄膜電極ラインに比べて、駆動供給ラインに沿った電気抵抗を著しく低減する（及び、結果的には、電圧降下となる）ことができる。それ故、この駆動ラインに沿って、導電性障壁材料は、回路基板における薄い導電性層の断面積より典型的に大きい（例えば、少なくとも2倍の大きさ又は少なくとも一桁大きい）断面積を有する。従って、抵抗（長いラインであっても）を小さくすることができ、非常に大きいエレクトロルミネッセンス表示装置を本発明に従って構成することができる。本発明に従って導電性障壁材料を用いることにより、小さい表示装置と同程度に、画像品質を改善することができる。

【0011】

画素当たり1つのビアを供えることにより、回路基板における導電性材料の導電性障壁ラインを、回路基板内に好適に組み入れた駆動ラインと置き換えるために用いることができる。このことは、画素開口率を大きくすることを可能にする。導電性障壁ライン自体は、アレイの列又は行導体ラインと重ね合わされることが可能である。代替として、回路基板の駆動ラインの対応する距離をバックアップするために、導電性障壁材料のライン（又

は、個々の距離)を用いることが可能である。この代替は、ビアの位置及び数における選択性を拡大する。

【0012】

本発明に従った、そのような装置構造のデザインは又、エレクトロルミネッセンス素子の2つの電圧供給ライン間に平滑キャパシタを有するように最適化されることが可能である。エレクトロルミネッセンス素子からの導電性障壁材料の絶縁は、この平滑キャパシタのキャパシタ誘電体を構成することができる。この絶縁は、導電性障壁材料の上部及び側部におけるコーティングの形態とすることが可能である。代表的には、前記の更なる供給ライン(エレクトロルミネッセンス素子の上部電極のための)は、導電性障壁材料の上部に亘るこの絶縁性コーティング上を延びることが可能である。それ故、電力供給のための平滑キャパシタは、導電性障壁材料を有する駆動ラインとエレクトロルミネッセンス素子の上部電極を有する更なる供給ラインとの間において容易に実現されることが可能である。

10

【0013】

物理的障壁がアレイの行方向及び列方向の両方において画素間の導電性障壁材料のネットワークとして広がっていることは有利である。そのような導電性障壁材料のネットワークは、アレイに亘る駆動ライン領域間の抵抗を減少させる役割を果たすことができる。そのネットワークは又、エレクトロルミネッセンス素子への電力供給のための平滑キャパシタの容量値の決定におけるデザインオプションを提供することができる。

【0014】

しかしながら、物理的障壁は、アレイの一方向のみであって、例えば、列方向又は行方向における画素間に延びることが可能である。この場合、導電性障壁材料の付加絶縁性障壁は、異なる目的のために交差する方向において備えられることが可能である。このような付加絶縁性障壁は、付加構成要素であって、例えば、各々の画素の維持キャパシタを形成するために構成されることさえ可能である。

20

【0015】

本発明の他の特徴に従って、又、第1の特徴に従ったアクティブマトリクスエレクトロルミネッセンス表示装置等の製造についての優位性のある方法が提供される。その方法は次のような段階を有することが可能である。

(a) 少なくとも幾つかの画素のそれぞれの駆動素子に対する電極接続を露出させるために回路基板の中間絶縁性層においてコンタクト窓を開ける段階；

30

(b) 画素領域に隣接する物理的障壁の少なくとも側部における絶縁を有する回路基板において物理的障壁を形成する段階；及び

(c) 物理的障壁間の画素領域においてエレクトロルミネッセンス素子を提供する段階；を有し、導電性障壁材料は、少なくとも、中間絶縁性層のコンタクト窓における接続のための、電気導電性材料を析出することにより提供される。

【0016】

種々のプロセスが、障壁材料を析出して形成するため及び導電性障壁材料を絶縁するために有利に用いられることが可能である。

【0017】

本発明に従った種々の優位性のある特徴及びそれらの特徴の組み合わせについては、同時提出の請求項に記載している。以上の及び他の特徴は、添付図面を参照して、例示として以下に説明する本発明の実施形態において明らかにする。

40

【発明を実施するための最良の形態】

【0018】

全ての図は模式図であることに留意する必要がある。それらの図の構成部分の関連する寸法及び比率は、描く際の都合と明確化のために、サイズを拡大又は縮小することにより示している。一般に、変形された実施形態及び異なる実施形態における対応する特徴又は類似する特徴を表すために同じ参照符号を用いている。

【0019】

図1乃至4の実施形態

50

図1のアクティブマトリクスエレクトロルミネッセンス表示装置は、回路基板100上の画素200の画素200のアレイを有する。各々の画素200は、回路基板100にける一連の電流制御駆動素子T1(1-5)により供給ライン140、240に接続された電流駆動型エレクトロルミネッセンス素子25(21、22、23)を有する。この一連の素子T1であって、代表的にはTF Tは、エレクトロルミネッセンス素子25(21、22、23)を流れる電流を制御する。下で説明するように、本発明に従った導電性障壁材料240を用いる、これらの電流駆動ライン140、240の構成のために、表示面積を非常に大きくすることができる。本発明に従って、駆動供給ライン140、240のこの構成を除いて、例えば、上で引用した背景としての参照文献におけるような既知の装置技術及び回路技術を用いて、表示装置を構成することが可能である。

10

【0020】

それ故、エレクトロルミネッセンス素子25は、代表的には、下部電極21と上部電極23との間に有機半導体材料22の発光ダイオード(LED)を有する。好適な具体的な実施形態においては、半導体性共役系高分子がエレクトロルミネッセンス材料22のために用いられることが可能である。基板100を透過する光250を発光するLEDに対して、下部電極21はITO(Indium Tin Oxide)とすることが可能であり、上部電極23は、例えばカルシウム及びアルミニウムを有する陰極とすることが可能である。図1は、回路基板100における薄膜として下部電極21が形成されるLEDを示している。続いて析出される有機半導体材料22は、回路基板100の薄膜構造に亘って広がるプレーナ絶縁性層12(例えば、シリコン窒化物)における窓12aにおいて、この薄膜電極層21と接している。

20

【0021】

図1及び3に示すように、LED25及び駆動素子T1は、電圧供給ライン140、240及び230の対の間において直列に接続されている。電圧供給ライン140、240(駆動素子T1がLED接続を制御し、それ故、電流を制御する)は駆動ラインと称せられる。他のライン230はLED25に、直接、接続されている。それ故、字1の具体的な実施形態においては、電圧供給ライン230は、画素200の上部電極23の共通延長部として形成される。図3の回路構成においては、電圧供給ライン230は接地され、それ故、リターンラインを構成し、電圧Vddは電力供給ラインとして電圧供給ライン140、240に供給される。

30

【0022】

一連の駆動素子T1は、代表的には、回路基板100内の薄膜回路の一部として構成されるTF Tを有する。回路基板100は、例えば、シリコン酸化物から成る絶縁性表面バッファ層11が析出された絶縁性ガラス基材10を有することが可能である。薄膜回路構成は既知の方法で層11上に形成される。それ故、TF T T1に加えて、回路基板100は、代表的には、例えば、図3に示すような薄膜素子T2、Ch、140、150及び160を有する他の駆動及びマトリクスアドレス回路構成を有する。図3は、例示として、1つの具体的な画素回路構成を示していることを理解する必要がある。他の画素回路構成が、アクティブマトリクスエレクトロルミネッセンス表示装置に対して知られている。本発明は、装置の具体的な画素回路構成に拘らず、装置の画素障壁に適用されることが可能であることは容易に理解される筈である。

40

【0023】

図3に示すように、画素回路は、全てが基板100において形成される、交差する列(データ)導体160と行(アドレス)導体150の集合間のアドレスTF T T2を有する。画素の各々の行は、関連する行導体150(それ故、その行の画素のアドレスTF T T2のゲート)に印加される選択信号によりフレーム期間において順にアドレスされる。この信号はアドレスTF T T2をオンにし、それ故、列導体160からのそれぞれのデータ信号と共にその行の画素をロードする。これらのデータ信号は、それぞれの画素の個々の駆動TF T T1のゲートに印加される。駆動TF T T1の結果として得られる導電性状態を維持するために、データ信号は、このゲート5と駆動ライン140、240

50

との間に結合された維持キャパシタC hによりゲート5において維持される。それ故、各々の画素200のLED25を流れる駆動電流は、対応するキャパシタC hにおける電圧として蓄積され且つ前のアドレス期間の間に印加された駆動信号に基づいて、駆動TF T T 1により制御される。

【0024】

この回路構成は基地の薄膜技術を用いて構成されることができる。図1は、PチャネルTF T T 1であって：活性半導体層1（代表的には、ポリシリコン）；ゲート誘電体層2（代表的には、シリコン酸化物）；ゲート電極5（代表的には、アルミニウム又はポリシリコン）；及び重ね合わされる絶縁性層2及び8における窓（ビア）を通る半導体層1のP型ドープのソース及びドレイン領域に接する金属電極3及び4（代表的には、アルミニウム）；を有する、PチャネルTF T T 1を有する。上方レベルにおけるこれらの金属電極3及び4の延長部は、TF T電極3とLEDの下部電極21との間の相互接続を構成し、駆動ライン140、240の少なくとも接続領域140を構成する。具体的なレイアウトの実施形態（図2のレイアウトのような）においては、行の金属電極4のこの延長部は、行の連続するライン140を構成することが可能である。図1は又、TF Tのゲート5と同じ層から構成されることが可能であり、例えば、アルミニウム又はポリシリコンであることが可能であるアドレスライン150を通る断面を示している。

【0025】

維持キャパシタC hは、回路基板100の内部の薄膜構造と類似する既知の方法において形成されることが可能である。それ故、図4は、薄膜導電性プレート105上の薄膜誘電体2における薄膜導体プレート155を有する、そのようなキャパシタC hを示している。

【0026】

周知の装置におけるように、本発明に従った図1乃至4の装置は、アレイの少なくとも1つの方向における少なくとも幾つかの隣接画素間において、物理的障壁210を有する。これらの障壁210には又、例えば、“壁”、“仕切り”、“バンク”、“リブ”、“分離帯”又は“ダム”の用語が用いられる。具体的な装置の実施形態及びその製造方法に依存して、それらは既知の方式で用いられる。例えば、

- 半導体性高分子層22を調整する間に、個々の画素200のそれぞれの領域及び/又は画素200の列との間の高分子溶液のオーバーフローを回避して、分離する。
- 個々の画素200及び/又は画素の列のための他のエレクトロルミネッセンス層22または半導体性高分子（或いは、画素のための個々の電極であって、例えば、上部電極23の個々の下層の自己分離でさえ）の範囲限定において基板表面にセルフパターニング能力を提供する。
- 少なくとも有機半導体材料22及び/又は電極材料の析出の間に基板表面に亘るマスクのためのスペーサとして機能する。
- 光250が上部を透過して発光されるとき、アレイにおける画素200の明確に限定された光学的分離のための不透明障壁210を（底部基板100の代わり又はそれと併せて）構成する。

【0027】

これらの既知の方式における具体的な使用がどのようなものであろうと、本発明の実施形態における物理的障壁210は、特定の方法で用いられ、構成される。それ故、本発明に従って提供される画素障壁210は、LED25から絶縁され、駆動ライン140、240の少なくとも一部を提供する電気導電性材料240を主体としている。物理的障壁210は、好適には、金属（非常に小さい比抵抗の、例えば、アルミニウム、銅、ニッケル又は銀）である導電性材料240のコア又はバルクを有する。コンタクト窓12bは、障壁210と基板回路構成との間の中間絶縁性層12にある。導電性障壁材料240は、この窓12bにより提供されるビアにおける少なくとも幾つかの画素200のそれぞれオン駆動素子T 1にたいする電極接続部4、140に接続されている。図1に示すように、そのソース電極及びドレイン電極は、駆動ラインの導電性障壁材料240とLED25の下

部電極 2 1 との間に電流制御駆動 T F T T 1 の主電流パスを接続する。

【 0 0 2 8 】

導電性障壁材料 2 4 0 を有するこれらの駆動ライン接続部（及び／又は、駆動ライン 1 4 0、2 4 0 の複合特性）は、アレイに亘って広がっているため、駆動ライン 1 4 0、2 4 0 に沿った電圧降下を減少させるように機能する。結果として、表示装置は、非常に大きい領域であって、例えば、少なくとも 1 m（即ち、3 0 インチ超）の幅に作製されることが可能である。本発明が提供される前は、導電性発光状態において導通させるとき、駆動ラインに沿った電圧エラーのために、非常に大きいアクティブマトリクスエレクトロルミネッセンス表示装置を作製することは困難であった。しかしながら、本発明は又、表示装置の画像品質を改善するために、小さい表示装置における優位性と共に用いられることができる。

10

【 0 0 2 9 】

それ故、駆動ライン 1 4 0、2 4 0 に沿って、導電性障壁材料 2 4 0 は、駆動素子 T 1 への電極接続 4、1 4 0 を提供する導体層の断面積より少なくとも 2 倍大きい（又は、1 桁大きい）断面積を有する。代表的には、導電性障壁材料 2 4 0 は、回路基板 1 0 0 におけるこの導体層 1 4 0 の膜厚 z より 2 倍又はそれ以上厚い膜厚 Z を有することが可能である。具体例においては、 Z は 2 乃至 5 μm である一方、 z に対する膜厚は 0.5 μm 又はそれより薄い。代表的には、導電性障壁材料 2 4 0 は、導体層 1 4 0 のライン幅 y と同じ（又は、少なくとも 2 倍大きい）ライン幅 Y を有することが可能である。具体例においては、 Y は 2 0 μm とすることが可能である一方、 y は 1 0 μm である。

20

【 0 0 3 0 】

供給ライン 2 3 0 及び 1 4 0、2 4 0 における電圧変化の影響を低減するために、この装置構造に存在する更なる特徴に留意することが重要である。それ故、平滑ルキャパシタ C_s が、（導電性障壁材料 2 4 0 を有する）駆動ライン 1 4 0、2 4 0 と（LED 2 5 の上部電極 2 3 に関連する）更なる供給ライン 2 3 0 との間に形成される。図 1 に示すように、導電性障壁材料 2 4 0 の上部及び側部は絶縁性層 4 0 で覆われている。平滑キャパシタ C_s のキャパシタ誘電体を形成するために、この絶縁性コーティング 4 0 の膜厚及び誘電特性を選択することができる。平滑キャパシタ C_s の他のプレートは、供給ライン 2 3 0（LED の上部電極 2 3 を有する及び／又はそれに接続する）により構成され、導電性障壁材料 2 4 0 の上部に亘ってこの絶縁性コーティング 4 0 上に広がっている。代表的には、この絶縁性コーティング 4 0 は、シリコン酸化物、シリコン窒化物又はアルミニウム酸化物から成り、1 0 nm（ナノメートル）乃至 0.5 μm （ミクロンメートル）の範囲内の膜厚を有することが可能である。

30

【 0 0 3 1 】

図 2 のレイアウトの実施形態

図 2 の具体的なレイアウトの実施形態において、画素の行の T F T 電極 4 の延長部はその行のための連続的なライン 1 4 0 を構成している。このライン 1 4 0 は障壁 2 1 0（2 4 0、4 0）に平行に延びている。これらの障壁 2 1 0（図 2 において波線で示されている）は、基板 1 0 0 のアドレス（行）導体 1 5 0 に平行に延びている。

【 0 0 3 2 】

40

図 2 に示すように、障壁 2 1 0（2 4 0、4 0）が 1 つ又はそれ以上のラインに平行に延びているとき、これらのラインは障壁 1 2 0 により十分に重なり合わされることが可能である。実際には、図 2 の障壁 2 1 0 の幅 Y は、ライン 1 4 0 及び 1 5 0 両方と重なり合う程大きい。それにも拘らず、図 3 の薄膜画素回路構成は、ハッチングして描かれている回路領域 1 2 0 のような画素領域に幾らか入り込むことが可能である。

【 0 0 3 3 】

導電性障壁材料 2 4 0 は、維持キャパシタ C_h の 1 つのプレートと駆動素子 T 1 のノードに、ビア 1 2 b において接続されている。図 2 は、各々の画素 2 0 0 が導電性障壁材料 2 4 0 と画素のそれぞれの駆動素子 T 1 のための電極接続 1 4 0、4 との間にそれぞれのビア 1 2 b を有する実施形態を示している。

50

【 0 0 3 4 】

図 1 及び 2 においては、少なくとも殆どの駆動素子 T 1 は、導電性障壁材料 2 4 0 の下方に位置付けられている。導電性障壁材料 2 4 0 の幅 Y 及び長さは、少なくとも殆どの維持キャパシタ C h が、例えば、図 2 及び 4 に示すような導電性障壁材料 2 4 0 の下方に位置付けられることを可能にする。各々の画素の駆動素子 T 1 は、ビア 1 2 b において位置付けられたそれぞれの電極 4 を有することが可能であり、及び / 又は、それぞれのキャパシタプレート 1 5 5 はビア 1 2 b において位置付けられることが可能である。

【 0 0 3 5 】

図 2 のレイアウトの各々の障壁 2 1 0 (2 4 0 、 4 0) は全体のアレイに亘って広がることが可能である。それ故、各々の障壁は、それぞれの画素 2 0 0 のそれぞれの駆動素子 T 1 のための電極接続部 4 、 1 4 0 に接続された導電性障壁材料 2 4 0 の連続的な供給ラインを構成することが可能である。この場合、それは、ライン 1 4 0 に平行にすることが可能である。しかしながら、導電性障壁材料 2 4 0 のライン抵抗自体が十分小さい場合、その導電性障壁材料は基板の導電性ライン 1 4 0 を簡単に置き換えることができる。このようにして、T F T の電極 4 の延長部が連続的なラインを構成し、画素開口率の増加を、画素領域の殆どにおけるライン 1 4 0 の距離を省略することにより達成することができる。

10

【 0 0 3 6 】

図 5 のレイアウトの実施形態

図 5 の具体的なレイアウトの例は、図 2 のそれを改良したものである。この改良においては、障壁 2 1 0 (2 4 0 、 4 0) はアレイの行方向及び列方向の両方に延びている。それ故、この具体的な実施形態においては、障壁 2 1 0 (2 4 0 、 4 0) は、行方向及び列方向の両方における導電性障壁材料 2 4 0 のネットワークを構成するための画素間において相互接続される。

20

【 0 0 3 7 】

分離した平行のラインと比べて、そのような導電性障壁材料 2 4 0 のネットワークの採用においては、幾つかの見込まれる優位性がある。それ故、導電性障壁材料 2 4 0 のネットワークは、効果的には、開口されたシート状導体であって、そのシート状導体において、いずれの 2 点間の抵抗は図 2 のレイアウトにおけるより小さい。そのシート状導体は、L C D 2 5 への電力供給のための平滑キャパシタ C s の容量値の決定におけるデザインオプションを提供することができる。

30

【 0 0 3 8 】

図 6 及び 7 のレイアウトの実施形態

アドレス (行) ライン 1 5 0 に沿った電圧降下の減少は又、大きいアレイにおいて好ましい。図 6 及び 7 は、障壁 2 1 0 (即ち、導電性障壁材料 2 4 0 を主体とする) と同じ構成を成す付加障壁 2 1 0 c がどのようにしてこの目的のために用いることが可能であるかを示している。図 6 及び 7 の具体的なレイアウトの例は、図 2 のレイアウトの例の修正として与えられている。各々の場合、駆動ライン 1 4 0 、 2 4 0 の少なくとも低抵抗部分 2 4 0 を提供する画素障壁 2 1 0 は又、装置内にそのまま維持されている。

40

【 0 0 3 9 】

導電性障壁材料 2 4 0 の付加障壁 2 1 0 c は、図 6 及び 7 に示すように、行導体 1 5 0 に平行に延びている。それら付加障壁は、行導体 1 5 0 に沿った電圧降下を減少させるために回路基板 1 0 0 における行導体 1 5 0 に中間絶縁性層 1 2 における付加ビア 1 2 c において接続されている。従って、これらの須加障壁 1 2 c は、それらの抵抗を減少させるために行ライン 1 5 0 の一部をバックアップする。付加障壁は、駆動ライン 1 4 0 、 2 4 0 の少なくとも一部を構成する障壁 2 1 0 から絶縁されている。

【 0 0 4 0 】

図 6 の修正において、行ライン 1 5 0 をバックアップする付加障壁 2 1 0 c は、駆動ライン 1 4 0 、 2 4 0 の少なくとも低抵抗部分 2 4 0 を提供する障壁 2 1 0 に平行に伸びている。それ故、これらの障壁 2 1 0 及び 2 1 0 c の両方は、アレイの画素間の同じ方向に

50

延びている。

【 0 0 4 1 】

図 7 の修正においては、障壁 2 1 0 は列導体 1 6 0 に平行に延びている。障壁 2 1 0 は、図 8 におけるように、ライン 1 4 0 を置き換える連続的な低抵抗駆動ライン 2 4 0 を提供する。行ライン 1 5 0 に対する付加障壁 2 1 0 c を有することなく、図 1 乃至 4 の表示装置に対してそのような修正がなされることが可能である。しかしながら、図 7 は、行ライン 1 5 0 をバックアップするために付加障壁 2 1 0 c を有するレイアウトを示している。この実施形態においては、付加障壁 2 1 0 c は、駆動ライン 1 4 0、2 4 0 の障壁 2 1 0 に対して交差するように延びている。従って、障壁 2 1 0 はアレイの一の方向に延びており、障壁 2 1 0 c は交差する方向に延びている。このようにして、障壁 1 2 0 及び 1 2 0 c はアレイの画素間においてネットワークを構成する。しかしながら、図 5 と異なり、ネットワークの交差する方向（障壁 2 1 0 c）における導電性障壁材料 2 4 0 は、他の方向（障壁 2 1 0）における導電性障壁材料 2 4 0 から絶縁されている。

10

【 0 0 4 2 】

図 8 の回路の実施形態

図 2 に関して上で説明したように、T F T の電極 4 の延長部 1 4 0 は、障壁 2 1 0（2 4 0、4 0）それ自体が導電性障壁材料 2 4 0 の連続的なラインを提供するとき、連続的なラインを構成する必要はない。それ故、導電性障壁材料 2 4 0 の連続的なラインは、回路基板 1 0 0 のライン 1 4 0 を置き換えることが可能である。そのようなシナリオは、図 8 の回路図において示されている。導電性障壁材料 2 4 0 の連続的なラインは、行のそれぞれの画素 2 0 0 全ての維持キャパシタとそれぞれの駆動素子 T 1 のための電極接続部 1 4 0 に接続されている。各々の画素 2 0 0 は、電極接続部 1 4 0 と導電性障壁材料 2 4 0 との間のそれぞれのピア 1 2 b を備えている。

20

【 0 0 4 3 】

図 9 の回路の実施形態

上記の、図 1 乃至 8 に関して説明した実施形態においては、ライン 2 3 0 は接地され、それ故、リターンラインを構成し、電圧 V d d は電力供給ラインとしてライン 1 4 0、2 4 0 に印加される。図 9 は、ライン 1 4 0、2 4 0（導電性小は気材料 2 4 0 を有する）が接地され、それ故、リターンラインを構成する、代わりの構成を示している。この場合、駆動電圧 V d d はライン 2 3 0（L E D 2 5 の上部電極を有する又はそれに接続される）に印加される。それ故、ライン 2 3 0 は、ここでは、電力供給ラインである。

30

【 0 0 4 4 】

更に、L E D の上部電極 2 3 は、ここでは、陽極材料であり、下部電極 2 3 は、ここでは、陰極材料を構成している。そのような表示装置は、例えば、基板 1 0 0 を透過するよりむしろ上部表面を透過する光 2 5 0 を発光することが可能である。発行層 2 2 は、例えば、分子性（小分子）有機半導体材料から成ることが可能であり、又は、半導体性高分子から成ることが可能である。

【 0 0 4 5 】

しかしながら、上記の実施形態におけるように、導電性障壁材料 2 4 0 は駆動ライン、即ち、L E D 2 5 が駆動素子 T 1 により接続されるラインの一部を構成する。

40

【 0 0 4 6 】

図 1 0 乃至 1 2 のプロセスの実施形態

駆動ライン 1 4 0、2 4 0 の構成以外に、本発明に従ったアクティブマトリクスエレクトロルミネッセンス表示装置は、例えば、上記の背景としての参考文献におけるように、既知の装置技術及び回路技術を用いて、構成されることが可能である。

【 0 0 4 7 】

図 1 0 乃至 1 2 は、具体的な製造の実施形態における新規なプロセス段階を示している。上部プレーナ絶縁性層 1 2（例えば、シリコン窒化物）を伴う薄膜回路基板 1 0 0 は、既知の方法で製造される。接続窓（例えば、ピア 1 2 a、1 2 b、1 2 c 等）は、例えば、フォトリソグラフィのマスキング及びエッチングにより、既知の様式で、上部プレーナ

50

絶縁性層 12 に開けられる。しかしながら、本発明に従って装置を製造するために、これらのビアのパターンは、少なくとも幾つかの画素 200 のためのそれぞれの駆動素子 T1 の電極接続部 140、4 を露出するビア 12b を有する。結果的に得られた構造を図 10 に示している。

【0048】

この後、障壁 210 のための電気導電性材料は、少なくともビア 12a、12b、12x 等における絶縁性層 12 上に析出される。障壁 210 (例えば、図 2、5、6 又は 7 におけるように) に対する好ましい距離及びレイアウトパターンは、既知のマスキング技術を用いることにより、得られる。図 11 は、少なくとも導電性障壁材料 (例えば、銅、ニッケル又は銀) のバルクがメッキ法により析出される実施形態を示している。この場合、
10
先ず、例えば、銅、ニッケル又は銀から成る薄い種の層 240a が絶縁性層 12 とビア 12a、12b、12x 等を覆って析出され、障壁のレイアウトパターンはフォトリソグラフィのマスクを用いて規定され、次いで、導電性障壁材料のバルク 240b が好ましい膜厚にメッキ法により形成される。結果的に得られる構造については、図 11 に示している。

【0049】

次いで、CVD (Chemical Vapour Deposition: 化学的気相成長法) を用いて、絶縁性材料 (例えば、シリコン酸化物又はシリコン窒化物) が絶縁性コーティング 40 のために析出される。この析出された材料は、既知のフォトリソグラフィのマスキング及びエッチング技術を用いて、パターンングすることにより、導電性障
20
壁材料の側部及び上部表面に残される。結果として得られる構造については図 12 に示している。

【0050】

この後、既知の方法において製造が継続される。このように、例えば、共役系高分子材料 22 は、画素 200 のために、インクジェットを用いて印刷されるか又はスピンコートされることが可能である。絶縁コーティング 40 を伴う障壁 240、40 は、物理的障壁 240、40 の間における画素領域からの高分子のオーバーフローを防止するために、既知の方法において用いられることができる。上部電極材料 23 は、次いで、析出される。

【0051】

図 13 の向上したプロセスの実施形態

この実施形態は、画素領域に隣接する障壁 210 の少なくとも側部に絶縁性コーティングを与えるために、陽極酸化処理法 (析出の代わりに) を用いる。代表的には、導電性障壁材料 240 はアルミニウムを有することが可能である。既知のフォトリソグラフィのマスキング及びエッチング技術を用いて、析出されたアルミニウム (例えば、図 2、5、6、又は 7 等のような) の好ましい距離とレイアウトパターンを規定することができる。図 13 は、アルミニウムの障壁パターン 240 の上部に保持されたフォトリソグラフィにより限定されるエッチャントマスクを示している。

【0052】

次いで、アルミニウム酸化物から成る陽極酸化による絶縁性コーティングは、既知の陽極酸化技術を用いて、アルミニウムの障壁材料 240 の少なくとも側部において形成される。それ故、このコーティング 40 に対して、レイアウトを規定するために、付加マスクは必要とされない。

【0053】

マスク 44 がこの陽極酸化の前に取り除かれる場合、陽極酸化によるコーティングは、アルミニウム障壁パターン 240 の上部及び側部の両方において形成される。しかしながら、図 13 は、マスクがこの陽極酸化の間は保たれる例を示しており、それ故、陽極酸化によるコーティングはアルミニウムの障壁パターン 240 の側部のみにおいて形成されている。障壁 210 (240、40) の上部において広がる供給ライン 230 を有する装置において、絶縁性高分子、又は、例えば、シリコン酸化物又はシリコン窒化物のマスク 44 は製造される装置において保たれることが可能である。

【 0 0 5 4 】

図 1 4 の他の導電性障壁の実施形態

上記の実施形態においては、障壁 2 1 0 は導電性材料 2 4 0 を主体として示されている。図 1 4 は、障壁 2 1 0 が絶縁性材料 2 4 4 を主体とする修正された実施形態を示している。この場合、ビア 2 4 4 b は、エッチングされ、又は回路基板 1 0 0 における T F T T 1 の電極領域 1 4 0、4 方に絶縁性材料 2 4 4 を貫いて成形される。金属コーティング 2 4 0 は、ビア 2 4 4 b の中と絶縁性障壁 2 1 0 の上部において広がっている導電性障壁材料を提供する。この金属コーティング 2 4 0 は薄膜駆動供給ライン 1 4 0 をバックアップする又はそれを置き換える。

【 0 0 5 5 】

10

回路基板 1 0 0 は、図 1 0 を参照して上で説明したように、ビア 1 2 a 及び 1 2 b とプレーナ層とを用いて形成されることが出来る。図 1 4 の絶縁性バルク材料 2 4 4 は、このとき、ビア 2 4 4 b を用いて形成される。それ故、この障壁 2 1 0 の金属コーティング 2 4 0 は、セルフアライメント法で、L E D 2 5 の上部電極 2 3 の主要部分と共に、同時に形成されることが可能である。このようにして、金属の層は、図 1 4 に示すように、障壁 2 1 0 の側部における突出形状のシャドーマスクの効果により分離される電極 2 3 と金属コーティング 2 4 0 のために、同時に析出されることが可能である。

【 0 0 5 6 】

図 1 5 の多導体障壁の実施形態

図 1 5 は、2 つの隣り合った障壁 2 1 0 及び 2 1 0 x の複合部であって、各々は、それぞれのコーティング 4 0、4 0 x を用いて絶縁された金属コア 2 4 0、2 4 0 x を有している。この隣り合った多導体障壁構造 2 1 0、2 1 0 x は、種々の方法でデザインされ、用いられることができる。

20

【 0 0 5 7 】

例えば、一形態において、金属コア 2 4 0 及び 2 4 0 x は、例えば、図 6 の隣り合った障壁ライン 1 4 0 及び 1 5 0 の断面に対して、平行な駆動ライン 1 4 0 及びアドレスライン 1 5 0 を、それぞれ形成することが可能である。

【 0 0 5 8 】

例えば、他の形態においては、障壁の 1 つ 2 1 0 x が、付加構成要素であって、例えば、図 1 7 に関して下で述べるようなキャパシタを提供する分離した部分に分割されることが可能である。

30

【 0 0 5 9 】

図 1 6 及び 1 7 の多導体障壁の実施形態

図 1 6 の実施形態は、駆動ラインの障壁に対して交差して延びる絶縁性障壁距離 2 1 0 c を有する点で、図 7 の実施形態と類似するものである。これらの交差する障壁 2 1 0 c は、図 7 に関して既に説明したように、ライン 1 5 0 をバックアップすることが可能である。しかしながら、それらの障壁は他の目的のために構成され、用いられることが可能である。

【 0 0 6 0 】

それ故、例えば、交差する障壁 2 1 0 c 自体は、図 1 7 の多導体構造のような、多導体構造を有する。この障壁の実施形態は、絶縁性コーティング 4 0 c を有し、基板 1 0 0 における 4 又は 5 等のような回路素子と接続される主要な導電性障壁材料として金属コア 2 4 0 c を有している。しかしながら、図 1 7 の実施形態は、コア 2 4 0 c の側部及び上部に亘って絶縁性コーティング 4 0 c 上に存在する金属コーティング 2 4 0 d を付加的に有している。この金属コーティング 2 4 0 d は、例えば、素子 6、5、4 等の他の回路素子に接続されている。

40

【 0 0 6 1 】

図 1 7 のこの障壁構造は、上記の障壁構造に比べてより汎用性が広い。その障壁構造は、金属コア 2 4 0 c 及び金属コーティング 2 4 0 d が、例えば、異なるライン 1 4 0、1 5 0 又は 1 6 0 をバックアップ又は置き換え、それ故、それらラインの抵抗を減少させる

50

ように、他の目的のために用いられることを可能にする。金属コーティング 2 4 0 d は、コアライン 2 4 0 c における信号のための同軸シールドとして機能することが可能である。又、例えば、個々の画素又は副画素において、特定の接続又は構成要素が必要とされる場合、金属コーティング 2 4 0 d は、障壁 2 1 0 に沿った特定の位置に局在化されることが可能である。

【 0 0 6 2 】

シールドすることに代えて、障壁 2 1 0 c に対するこの多導体構造 2 4 0 c、2 4 0 d は、2 つのラインであって、例えば、バックアップ又は置き換え障壁ライン 1 5 0 (コーティング 2 4 0 d を有する) を伴うバックアップ又は置き換え障壁ライン 1 4 0 (コア 2 4 0 を有する) を重ね合わせるために用いられることが可能である。しかしながら、この場合、絶縁性コーティング 4 0 c の膜厚及び誘電体特性は、これらのライン 1 4 0 及び 1 5 0 の間の寄生容量及び結合容量を減少させるために選択される必要がある。

10

【 0 0 6 3 】

図 1 7 の多導体構造 2 4 0 c、2 4 0 d がキャパシタ誘電体 4 0 c を用いてキャパシタ C を構成するようにデザインされる実施形態は特に重要である。それ故、金属コア 2 4 0 c、絶縁性コーティング 4 0 c 及び金属コーティング 2 4 0 d の離れた及び / 又は絶縁された距離は、基板回路素子 4、5 等の間に接続されたキャパシタを共に構成することが可能である。

【 0 0 6 4 】

そのようなキャパシタは、例えば、供給ライン 1 4 0 (T F T T 1 の主電極ライン 4) と T F T T 2 のゲートライン 5 (及び、T F T T 1 の主電極ライン 3) との間に接続される各々のそれぞれの画素 2 0 0 のための個々の維持キャパシタ C h を提供するようにデザインされることが可能である。図 1 6 は、このような維持キャパシタ障壁 2 1 0 c、C h を有する適切な画素のレイアウトを示している。

20

【 0 0 6 5 】

図 1 7 のキャパシタ構造 (2 4 0 c、4 0 c、2 4 0 d) は、例えば、図 1 における構造 2 4 0、4 0、2 3 0 により提供されるキャパシタ構造の代わりに又はそれに付加的に、平滑キャパシタを構成するようにライン 2 3 0 と 2 4 0 との間において接続されることさえ可能である。

【 0 0 6 6 】

30

以上の説明した実施形態においては、導電性障壁材料 2 4 0 は、暑い不透明な金属、例えば、アルミニウム、銅、ニッケル又は銀である。しかしながら、他の導電性材料 2 4 0 であって、例えば、絶縁性コーティング 4 0 を形成するために表面酸化することが可能である金属シリサイド又は (優位性は小さい) 変質ドーブポリシリコン (d e g e r a t e l l y - d o p e d p o l y s i l i c o n) を他の導電性材料として用いることが可能である。

【 0 0 6 7 】

本発明の開示内容を読むことにより、他の種々の改善が可能であることが、当業者に理解されるであろう。そのような種々の改善は、当該技術分野 (例えば、引用した背景技術としての参考文献) において既に周知であり、以上で述べた特徴に付加して又はそれらの特徴の代わりとして用いられることが可能である、同等の他の特徴を有することが可能である。

40

【 0 0 6 8 】

請求項は、具体的な特徴の組み合わせへの本発明の適用において策定されたが、本発明がいずれの請求において以前に請求された発明と同じ発明に関係するか否かに拘らず、そして、本発明が改善するのと同様な技術的問題点の全て又はいずれかを改善するか否かに拘らず、本発明の開示範囲は又、いずれの新規な特徴、明瞭に又は暗示的に以上で開示された特徴のいずれの新規な組み合わせ、又は特徴のいずれの一般化を有することが理解される必要がある。

【 0 0 6 9 】

50

本出願人は、それ故、本発明の出願又は本発明から誘導されるいずれの更なる出願の手續の間に、いずれのそのような特徴及び／又はそのような特徴の組み合わせに対して新たな請求項が策定され得ることを知らせておくこととする。

【図面の簡単な説明】

【 0 0 7 0 】

【図 1】本発明の 1 つの具体的な実施形態としてのアクティブマトリクスエレクトロルミネッセンス表示装置（駆動ラインの少なくとも一部を構成する導電性障壁を有する）の回路基板と画素アレイの一部の断面図である。

【図 2】4 つの画素領域（本発明に従った装置の導電性障壁についてのレイアウトの特徴の具体的な例を示す）の平面図であり、図 1 の断面図は図 2 のライン I - I に対応している。

10

【図 3】本発明に従った装置の 4 つの画素領域についての回路図である。

【図 4】本発明に従ったアクティブマトリクス表示装置の他の実施形態及び／又は同じ回路基板と画素アレイの一部の、維持キャパシタを通る断面図である。

【図 5】図 2 と同様であって、本発明に従った更なる装置の実施形態の駆動ラインの導電性障壁についてのネットワークレイアウトの特徴の例の平面図である。

【図 6】図 2 と同様であって、駆動ライン及び行導体のためのバックアップを伴う、本発明に従った他の装置の実施形態の駆動ラインの導電性障壁についての異なるレイアウトの特徴の例の平面図である。

【図 7】図 2 と同様であって、駆動ライン及び行導体のためのバックアップを伴う、本発明に従った他の装置の実施形態の駆動ラインの導電性障壁についての異なるレイアウトの特徴の例の平面図である。

20

【図 8】本発明に従った他の装置の画素領域の改善された画素駆動構成についての回路図である。

【図 9】本発明に従った他の装置の画素領域の改善された画素駆動構成についての回路図である。

【図 1 0】本発明に従った具体的な一実施形態についての製造の段階における図 1 の断面図のような装置の一部の断面図である。

【図 1 1】本発明に従った具体的な一実施形態についての製造の段階における図 1 の断面図のような装置の一部の断面図である。

30

【図 1 2】本発明に従った具体的な一実施形態についての製造の段階における図 1 の断面図のような装置の一部の断面図である。

【図 1 3】本発明に従った駆動ラインの導電性障壁の絶縁における改善を示す、図 1 2 の段階における装置の一部の断面図である。

【図 1 4】本発明に従った駆動ラインの少なくとも一部を形成するために金属コーティングを用いる導電性障壁構成の他の実施形態の断面図である。

【図 1 5】本発明の異なる実施形態において用いることが可能である導電性障壁材料を各々有する隣り合った障壁を通る断面図である。

【図 1 6】本発明の異なる実施形態において用いることが可能である、交差する多障壁レイアウトの特徴の平面図である。

40

【図 1 7】本発明の異なる実施形態において用いることが可能である、交差する多導電性部分を有する障壁の実施形態の断面図である。

【 図 2 】



【 図 4 】



【図 5】

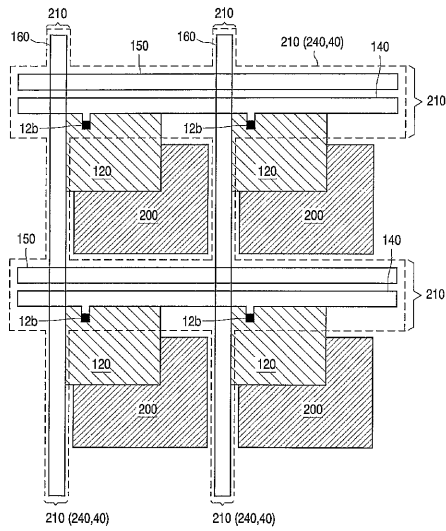


FIG. 5

【図 6】

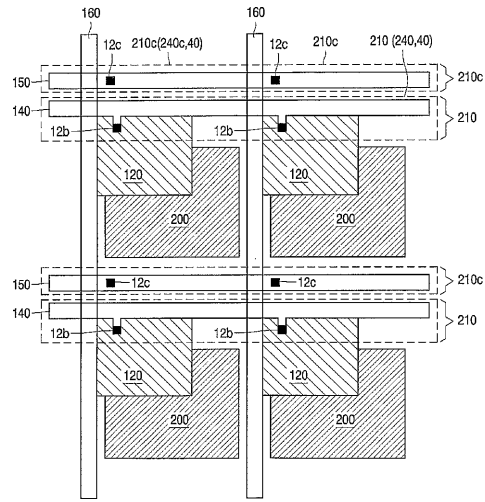


FIG. 6

【図 7】

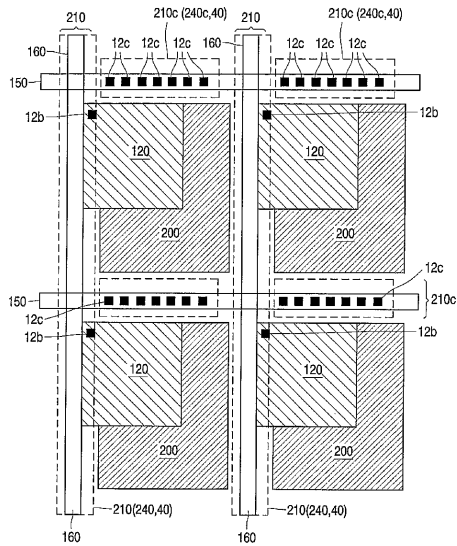


FIG. 7

【図 8】

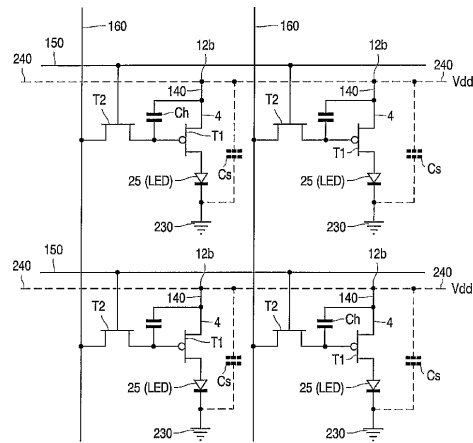


FIG. 8

【図 9】

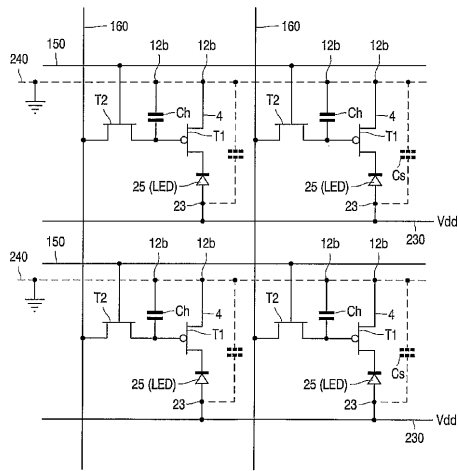


FIG. 9

【図 10】

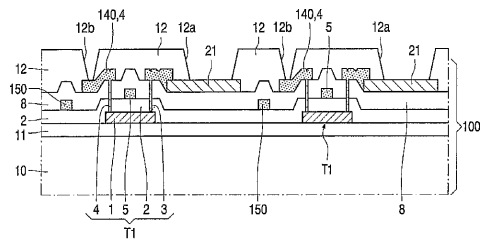


FIG. 10

【図 13】

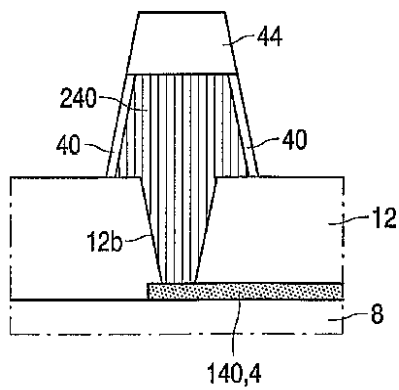


FIG. 13

【図 14】

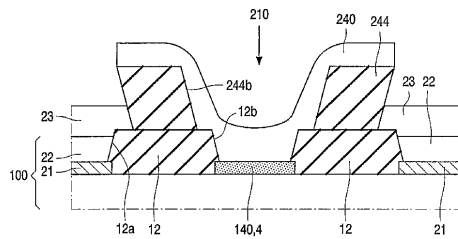


FIG. 14

【図 11】

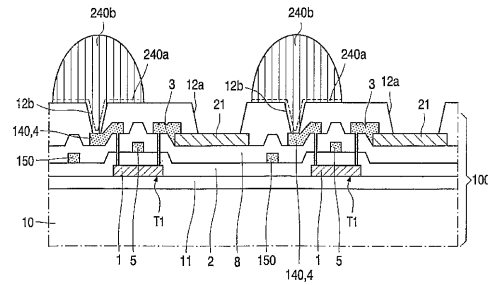


FIG. 11

【図 12】

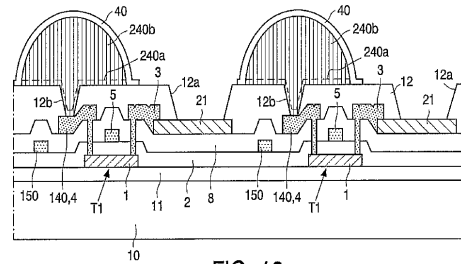


FIG. 12

【図 15】

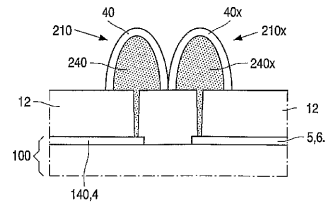


FIG. 15

【図 16】

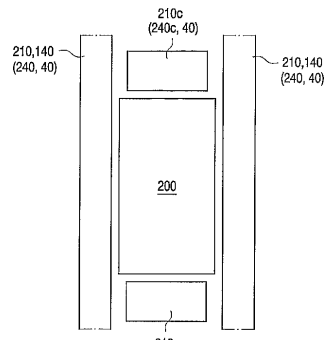


FIG. 16

【図 17】

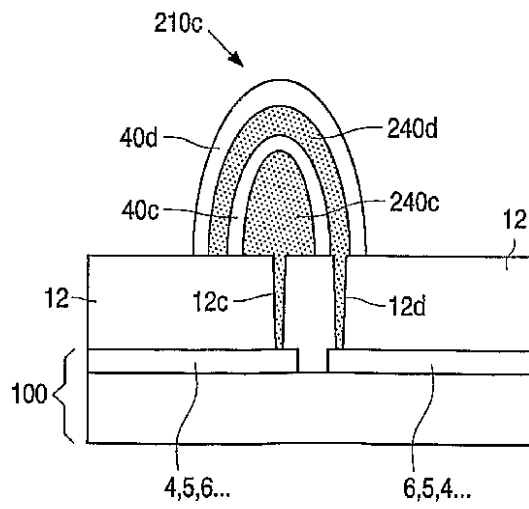


FIG. 17

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/32 (2006.01)

(31)優先権主張番号 0216053.9

(32)優先日 平成14年7月11日(2002.7.11)

(33)優先権主張国 英国(GB)

(72)発明者 ヤング, ナイジェル ディー

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 フィッシュ, デイヴィッド エイ

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 チャイルズ, マーク ジェイ

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

審査官 中山 佳美

(56)参考文献 特開平11-024604(JP, A)

特開平11-339970(JP, A)

特開平10-247588(JP, A)

特開2001-148291(JP, A)

国際公開第98/012689(WO, A1)

国際公開第01/063975(WO, A1)

特表2003-536115(JP, A)

国際公開第01/099191(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 51/50-51/56

H01L 27/32

H05B 33/00-33/28

G09F 9/30

专利名称(译)	有源矩阵电致发光显示装置及其制造方法		
公开(公告)号	JP4700915B2	公开(公告)日	2011-06-15
申请号	JP2003577338	申请日	2003-03-19
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ヘクタージェイソンアール ヤングナイジェルディー フィッシュデイヴィッドエイ チャイルズマークジェイ		
发明人	ヘクター,ジェイソン アール ヤング,ナイジェル ディー フィッシュ,デイヴィッド エイ チャイルズ,マーク ジェイ		
IPC分类号	H05B33/22 H05B33/10 H05B33/12 H01L51/50 G09F9/30 H01L27/32 G09G3/10 H01L27/00 H01L29/786 H05B33/14		
CPC分类号	H01L27/3276 H01L27/3246		
FI分类号	H05B33/22.Z H05B33/10 H05B33/12.B H05B33/14.A G09F9/30.365.Z		
代理人(译)	伊藤忠彦		
审查员(译)	中山 佳美		
优先权	2002006551 2002-03-20 GB 2002009557 2002-04-26 GB 2002016053 2002-07-11 GB		
其他公开文献	JP2005521206A		
外部链接	Espacenet		

摘要(译)

物理屏障(210)位于有源矩阵电致发光显示装置的电路板(100)中的相邻像素(200)之间,特别是有机半导体材料的LED(25)。本发明提供这些屏障(210),其具有金属或其他导电材料(240)并且与LED绝缘,但是连接到基板(100)中的电路。到。导电阻挡材料(240)通过驱动元件T1替换或备份LED连接到的驱动电源线(140,240)的至少一部分。该基板下降问题电压线电阻和相关的,从电路板被严格限制(100),所述导电阻挡材料(240)可以提供非常低的电阻(100)到像素屏障的非常自由的环境(210)。通过沿着该组合驱动电源线(140,240)的这种小电压降可以形成非常大的显示器。还包括LED的上电极(23)的另一供电线(230),其在导电阻挡材料的顶部处的杂涂层(40)和具有导电阻挡材料(240)的驱动供应线(140,240)中延伸。可以优化结构以形成平滑电容器(Cs)。

【圖 4】

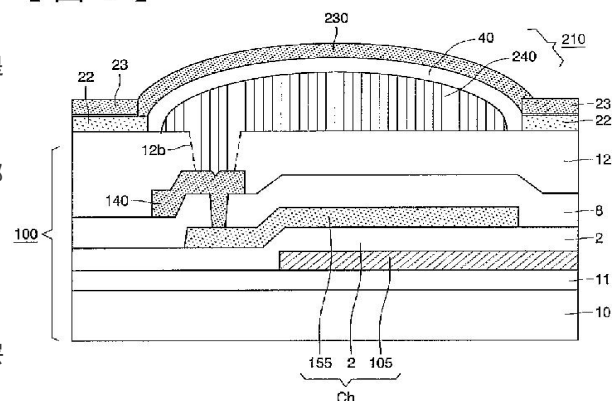


FIG. 4