

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4581337号
(P4581337)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.

F I

G09G 3/20 (2006.01)

G09G 3/20 624B

G09G 3/30 (2006.01)

G09G 3/20 611H

H01L 51/50 (2006.01)

G09G 3/20 612F

G09G 3/20 621F

G09G 3/20 641D

請求項の数 8 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2003-148643 (P2003-148643)
 (22) 出願日 平成15年5月27日(2003.5.27)
 (65) 公開番号 特開2004-354427 (P2004-354427A)
 (43) 公開日 平成16年12月16日(2004.12.16)
 審査請求日 平成18年5月25日(2006.5.25)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路、表示装置、および画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、
 輝度情報に応じた電流レベルの信号電流が供給されるデータ線と、
 第1および第2のノードと、
 第1および第2の基準電位と、
 第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御
 端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
 上記第1のノードに接続された第1のスイッチと、
 上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、
 上記データ線と上記第2のノードとの間に接続された第3のスイッチと、
 上記第2のノードに接続された画素容量素子と、を有し、
 上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライ
 ン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続され
 、さらに、

上記電気光学素子を駆動するために、上記第2のスイッチおよび第3のスイッチを導通
 させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む前に、上記デ
 ータ線に供給されるプリ信号電流を取り込んで上記画素容量素子に所定電圧を保持させる
 プリチャージ回路を有し、

上記プリチャージ回路は、

10

20

第 3 および第 4 のノードと、
上記第 2 のノードと上記第 3 のノードとの間に接続された第 4 のスイッチと、
上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、
上記第 4 のノードに供給されたプリ信号電流を電圧レベルの信号として上記第 3 のノードに現出させる変換部と、を含む

画素回路。

【請求項 2】

上記変換部は、ゲートが上記第 3 のノードに接続され、ドレインが上記第 4 のノードに接続され、かつドレインとゲート同士が接続され、ソースが所定電位に接続されたトランジスタを含む

10

請求項 1 記載の画素回路。

【請求項 3】

上記データ線に供給されるプリ信号電流値は、上記主信号電流値より大きく設定されている

請求項 2 記載の画素回路。

【請求項 4】

マトリクス状に複数配列された画素回路と、
輝度情報に応じた電流レベルの信号電流が供給されるデータ線と、
第 1 および第 2 の基準電位と、を有し、
上記画素回路は、

20

流れる電流によって輝度が変化する電気光学素子と、
第 1 および第 2 のノードと、
第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 1 のノードに接続された第 1 のスイッチと、
上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、
上記データ線と上記第 2 のノードとの間に接続された第 3 のスイッチと、
上記第 2 のノードに接続された画素容量素子と、を有し、
上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続され、さらに、

30

上記電気光学素子を駆動するために、上記第 2 のスイッチおよび第 3 のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む前に、上記データ線に供給されるプリ信号電流を取り込んで上記画素容量素子に所定電圧を保持させるプリチャージ回路を有し、

上記プリチャージ回路は、

第 3 および第 4 のノードと、
上記第 2 のノードと上記第 3 のノードとの間に接続された第 4 のスイッチと、
上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、
上記第 4 のノードに供給されたプリ信号電流を電圧レベルの信号として上記第 3 のノードに現出させる変換部と、を含む

40

表示装置。

【請求項 5】

上記変換部は、ゲートが上記第 3 のノードに接続され、ドレインが上記第 4 のノードに接続され、かつドレインとゲート同士が接続され、ソースが所定電位に接続されたトランジスタを含む

請求項 4 記載の表示装置。

【請求項 6】

プリチャージ時に上記データ線に供給するプリ信号電流値を、上記主信号電流値より大

50

きく設定する第 1 の回路を有する

請求項 5 記載の表示装置。

【請求項 7】

プリチャージ時に上記データ線に供給するプリ信号電流値を、上記主信号電流値より大きく設定する第 1 の回路と、

上記データ線にプリ信号電流値が供給されるプリチャージ時には、同一のデータ線に接続されている複数の画素回路における上記第 5 のスイッチを導通させる第 2 の回路と、を有する

請求項 5 記載の表示装置。

【請求項 8】

流れる電流によって輝度が変化する電気光学素子と、

輝度情報に応じた電流レベルの信号電流が供給されるデータ線と、

第 1 および第 2 のノードと、

第 1 および第 2 の基準電位と、

第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 1 のノードに接続された第 1 のスイッチと、

上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、

上記データ線と上記第 2 のノードとの間に接続された第 3 のスイッチと、

上記第 2 のノードに接続された画素容量素子と、を有し、

上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続され、さらに、第 3 および第 4 のノードと、上記第 2 のノードと上記第 3 のノードとの間に接続された第 4 のスイッチと、上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、上記第 4 のノードに供給されたプリ信号電流を電圧レベルの信号として上記第 3 のノードに現出させる変換部と、を含むプリチャージ回路を有する画素回路の駆動方法であって、

上記電気光学素子を駆動するために、上記第 2 のスイッチおよび第 3 のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む前に、

上記第 4 のスイッチおよび上記第 5 のスイッチを導通させて、上記データ線に供給される上記主信号電流より大きな値に設定されたプリ信号電流を上記第 4 のノードに供給して、当該第 4 のノードに供給されたプリ信号電流を上記変換部で電圧レベルの信号として上記第 3 のノードに現出させ、当該電圧を上記画素容量素子に保持させるプリチャージ処理を行う第 1 のステップと、

上記第 4 のスイッチおよび上記第 5 のスイッチを非導通状態として上記プリチャージ処理から信号書き込み処理に移行して、上記第 2 のスイッチおよび上記第 3 のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む第 2 のステップと、

上記第 2 のスイッチおよび上記第 3 のスイッチを非導通状態とし、上記第 1 のスイッチを導通させて上記電気光学素子に所定電流を供給する第 3 のステップと、を有する

画素回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 EL (Electroluminescence) ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

【0002】

10

20

30

40

50

【従来の技術】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

10

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。

そのため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT(Thin Film Transistor、薄膜トランジスタ)によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0004】

図8は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図8に示すように、画素回路(PXLC)2aが $m \times n$ のマトリクス状に配列された画素アレイ部2、水平セクタ(HSEL)3、ライトスキャナ(WSCN)4、水平セクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1~DTLn、およびライトスキャナ4により選択駆動される走査線WSL1~WSLmを有する。

20

【0005】

図9は、図8の画素回路2aの一構成例を示す回路図である(たとえば特許文献1、2参照)。

図9の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

【0006】

30

図9の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという)11およびTFT12、キャパシタC11、発光素子である有機EL素子(OLED)13を有する。また、図9において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図9その他では発光素子としてダイオードの記号を用いているが、以下の説明においてOLEDには必ずしも整流性を要求するものではない。

図9ではTFT11のソースが電源電位VCCに接続され、発光素子13のカソード(陰極)は接地電位GNDに接続されている。図9の画素回路2aの動作は以下の通りである。

【0007】

40

ステップS T 1 :

走査線WSLを選択状態(ここでは低レベル)とし、データ線DTLに書き込み電位はVdataを印加すると、TFT12が導通してキャパシタC11が充電または放電され、TFT11のゲート電位はVdataとなる。

【0008】**ステップS T 2 :**

走査線WSLを非選択状態(ここでは高レベル)とすると、データ線DTLとTFT11とは電氣的に切り離されるが、TFT11のゲート電位はキャパシタC11によって安定に保持される。

【0009】

50

ステップ S T 3 :

T F T 1 1 および発光素子 1 3 に流れる電流は、T F T 1 1 のゲート・ソース間電圧 V_{gs} に応じた値となり、発光素子 1 3 はその電流値に応じた輝度で発光し続ける。

上記ステップ S T 1 のように、走査線 W S L を選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図 9 の画素回路 2 a では、一度 V_{data} の書き込みを行えば、次に書き換えられるまでの間、発光素子 1 3 は一定の輝度で発光を継続する。

【 0 0 1 0 】

上述したように、画素回路 2 a では、駆動（ドライブ）トランジスタである F E T 1 1 のゲート印加電圧を変化させることで、E L 発光素子 1 3 に流れる電流値を制御している。このとき、p チャネルのドライブトランジスタのソースは電源電位 V_{CC} に接続されており、この T F T 1 1 は常に飽和領域で動作している。よって、下記の式 1 に示した値を持つ定電流源となっている。

【 0 0 1 1 】

【数 1】

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【 0 0 1 2 】

ここで、 μ はキャリアの移動度を、 C_{ox} は単位面積当たりのゲート容量を、 W はゲート幅を、 L はゲート長を、 V_{gs} は T F T 1 1 のゲート・ソース間電圧を、 V_{th} は T F T 1 1 のしきい値 V_{th} をそれぞれ示している。

【 0 0 1 3 】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【 0 0 1 4 】

しかしながら、T F T は一般的に V_{th} や移動度 μ のばらつきが大きい。そのため、同じ入力電圧が異なるドライブトランジスタのゲートに印加されても、そのオン電流はばらついてしまい、その結果、画質のユニフォームリティが劣化してしまう。

【 0 0 1 5 】

この問題を改善するため多数の画素回路が提案されているが、代表例を図 1 0 に示す（たとえば特許文献 3、または特許文献 4 参照）。

【 0 0 1 6 】

図 1 0 の画素回路 2 b は、p チャネル T F T 2 1 ~ T F T 2 4、キャパシタ C 2 1、発光素子である有機 E L 発光素子（O L E D）2 5 を有する。また、図 1 0 において、D T L はデータ線を、W S L は走査線を、D S L は駆動線をそれぞれ示している。

【 0 0 1 7 】

この画素回路 2 b の動作について説明する。

この場合、データ線 D T L に供給される入力信号 S I は電流信号である。

入力信号 S I の書き込み時は、T F T 2 2 をオフした状態で T F T 2 4 と T F T 2 3 とをオンする。これにより、信号電流がドライブトランジスタである T F T 2 1 を流れる。

このとき、T F T 2 1 のゲートとドレインは接続されており、飽和領域にて駆動している。よって上記式 1 に示される式に基づいて、入力電流に相当するゲート電圧が書き込まれ、画素容量素子であるキャパシタ C 2 1 に保持される。

その後、T F T 2 4 をオフし T F T 2 2 をオンすることで、入力信号電流に相当する電流が T F T 2 1 と E L 発光素子 2 5 に流れる。

【 0 0 1 8 】

【特許文献 1】

U S P 5 , 6 8 4 , 3 6 5

【特許文献 2】

10

20

30

40

50

特開平 8 - 2 3 4 6 8 3 号公報

【特許文献 3】

U S P 6 , 2 2 9 , 5 0 6

【特許文献 4】

特表 2 0 0 2 - 5 1 4 3 2 0 号公報の F I G . 3

【0 0 1 9】

【発明が解決しようとする課題】

上述した図 1 0 の画素回路では、画素毎の V_{th} バラツキや移動度 μ の補正（キャンセル）をすることが可能である。

しかしながら、大画面パネルにおいて、この図 1 0 の画素回路では以下に示すような不利
10 益がある。

【0 0 2 0】

大画面パネルではそのパネルサイズが増大するために、データ線（信号線）D T L の配線容量 C_{sig} が増加してしまう。この課題について、図 1 1 および図 1 2 に関連付けて説明する。

【0 0 2 1】

図 1 1 は、データ線の配線容量が大きいときの回路図を示す図であり、図 1 2 (A) ~ (E) は図 1 2 の回路の要部の電位変化を示す図である。

図 1 2 は、同一のデータ線 D T L に、図 1 0 の画素回路と同様の 2 つの画素回路 2 b - 1 , 2 b - 2 が接続した例である。
20

図 1 2 (A) は第 1 行目の画素回路 2 b - 1 の T F T 2 4 - 1 のゲートに接続された走査線 W S L 1 に印加される走査信号 $w_{s[1]}$ を、図 1 2 (B) は第 1 行目の画素回路 2 b - 2 の T F T 2 4 - 2 のゲートに接続された走査線 W S L 2 に印加される走査信号 $w_{s[2]}$ を、図 1 2 (C) は第 1 行目の画素回路 2 b - 1 のキャパシタ C 2 1 - 1 の電位 V_{C211} を、図 1 2 (D) は第 2 行目の画素回路 2 b - 2 のキャパシタ C 2 1 - 2 の電位 V_{C212} を、図 1 2 (E) はデータ線 D T L の配線容量 C_{sig} の電位 $V_{C_{sig}}$ をそれぞれ示している。

【0 0 2 2】

たとえば、第 2 行目の画素回路 2 b - 2 に黒信号を書き込むとする。まず、T F 2 4 - 2 がオンする前には、配線容量 C_{sig} には前段の画素回路 2 b - 1 の T F T 2 1 - 1 のゲート電位が保持されている。
30

次に、T F T 2 4 - 2 がオンする。このとき、画素容量としてのキャパシタ C 2 1 - 2 に対して配線容量 C_{sig} は大きいので（たとえば、画素容量は 5 0 0 f F、配線容量 C_{sig} は 2 0 0 p F）、T F T 2 4 - 2 がオンすると、図 1 2 (C) , (E) に示すように、キャパシタ C 2 1 - 2 の電位 V_{C212} は配線容量 C_{sig} の電位 $V_{C_{sig}}$ と等しくなる。

つまり、キャパシタ C 2 1 - 2 には前段画素回路 2 b - 1 のゲート電圧が書き込まれる。ここで、黒信号に相当する電位をたとえば 1 0 V であるとする、キャパシタ C 2 1 - 2 は前段のゲート電位から、自段のゲート電位 1 0 V まで書き込まなくてはならない。

このとき、黒信号では電流値が 0 μ A に近く、この書き込みに時間がかかる。特に、大画面パネルにてデータ線 D T L の配線容量 C_{sig} が大きい（重い）場合には、この書き込み時間はさらに必要とする。
40

しかしながら、一般的に各画素回路への入力信号の書き込み時間は、高々 1 水平走査期間（1 H）である。よって、大画面パネルにて黒信号を書き込む時には 1 H 期間内に書き込むことができなくなる。これにより、前段や自段のしきい値 V_{th} や移動度 μ のばらつきがゲート電圧に影響してしまい、ユニフォーマリティの悪い画質となってしまう。特に上述のように、電流値の低い黒信号を書き込む時に、この減少は顕著に生じる。

【0 0 2 3】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、データ線の配線容量の影響を抑止でき、画素内部の能動素子のしきい値のバラツキや移動度のバラツキの影響を
50

受けることなく、ユニフォーミティの高い画質を得ることができる画素回路、表示装置、および画素回路の駆動方法を提供することにある。

【0024】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じた電流レベルの信号電流が供給されるデータ線と、第1および第2のノードと、第1および第2の基準電位と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第2のノードとの間に接続された第3のスイッチと、上記第2のノードに接続された画素容量素子と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続され、さらに、上記電気光学素子を駆動するために、上記第2のスイッチおよび第3のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む前に、上記データ線に供給されるプリ信号電流を取り込んで上記画素容量素子に所定電圧を保持させるプリチャージ回路を有し、上記プリチャージ回路は、第3および第4のノードと、上記第2のノードと上記第3のノードとの間に接続された第4のスイッチと、上記データ線と上記第4のノードとの間に接続された第5のスイッチと、上記第4のノードに供給されたプリ信号電流を電圧レベルの信号として上記第3のノードに現出させる変換部と、を含む。

【0025】

本発明の第2の観点の表示装置は、マトリクス状に複数配列された画素回路と、輝度情報に応じた電流レベルの信号電流が供給されるデータ線と、第1および第2の基準電位と、を有し、上記画素回路は、流れる電流によって輝度が変化する電気光学素子と、第1および第2のノードと、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第2のノードとの間に接続された第3のスイッチと、上記第2のノードに接続された画素容量素子と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続され、さらに、上記電気光学素子を駆動するために、上記第2のスイッチおよび第3のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む前に、上記データ線に供給されるプリ信号電流を取り込んで上記画素容量素子に所定電圧を保持させるプリチャージ回路を有し、上記プリチャージ回路は、第3および第4のノードと、上記第2のノードと上記第3のノードとの間に接続された第4のスイッチと、上記データ線と上記第4のノードとの間に接続された第5のスイッチと、上記第4のノードに供給されたプリ信号電流を電圧レベルの信号として上記第3のノードに現出させる変換部と、を含む。

【0027】

好適には、上記変換部は、ゲートが上記第3のノードに接続され、ドレインが上記第4のノードに接続され、かつドレインとゲート同士が接続され、ソースが所定電位に接続されたトランジスタを含む。

【0028】

好適には、プリチャージ時に上記データ線に供給するプリ信号電流値を、上記主信号電流値より大きく設定する第1の回路を有する。

【0029】

好適には、プリチャージ時に上記データ線に供給するプリ信号電流値を、上記主信号電流値より大きく設定する第1の回路と、上記データ線にプリ信号電流値が供給されるプリチ

ャージ時には、同一のデータ線に接続されている複数の画素回路における第5のスイッチを導通させる第2の回路と、を有する。

【0030】

本発明の第3の観点は、流れる電流によって輝度が変化する電気光学素子と、輝度情報に応じた電流レベルの信号電流が供給されるデータ線と、第1および第2のノードと、第1および第2の基準電位と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第2のノードとの間に接続された第3のスイッチと、上記第2のノードに接続された画素容量素子と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続され、さらに、第3および第4のノードと、上記第2のノードと上記第3のノードとの間に接続された第4のスイッチと、上記データ線と上記第4のノードとの間に接続された第5のスイッチと、上記第4のノードに供給されたプリ信号電流を電圧レベルの信号として上記第3のノードに現出させる変換部と、を含むプリチャージ回路を有する画素回路の駆動方法であって、上記電気光学素子を駆動するために、上記第2のスイッチおよび第3のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む前に、上記第4のスイッチおよび上記第5のスイッチを導通させて、上記データ線に供給される上記主信号電流より大きな値に設定されたプリ信号電流を上記第4のノードに供給して、当該第4のノードに供給されたプリ信号電流を上記変換部で電圧レベルの信号として上記第3のノードに現出させ、当該電圧を上記画素容量素子に保持させるプリチャージ処理を行う第1のステップと、上記第4のスイッチおよび上記第5のスイッチを非導通状態として上記プリチャージ処理から信号書き込み処理に移行して、上記第2のスイッチおよび上記第3のスイッチを導通させて上記データ線に供給される主信号電流を上記画素容量素子に書き込む第2のステップと、上記第2のスイッチおよび上記第3のスイッチを非導通状態とし、上記第1のスイッチを導通させて上記電気光学素子に所定電流を供給する第3のステップと、を有する。

【0031】

本発明によれば、たとえばプリチャージ期間において、データ線に主信号電流値より大きな値に設定されたプリ信号電流が供給される。そして、プリチャージ回路によりデータ線に供給されるプリ信号電流が取り込まれて画素容量素子に所定電圧が保持される。このとき駆動トランジスタのゲートは、必要なゲート電圧に対して、 V_{th} ばらつきを除いてプリチャージされている。

次に、プリチャージ回路のプリチャージ動作を停止し、プリチャージ期間を終了させて電流書き込み期間に移行する。

電流書き込み期間において、第2のスイッチおよび第3のスイッチを導通させてデータ線に供給される主信号電流が画素容量素子に書き込まれる。

信号書き込み期間においては、画素回路は、通常の電流駆動型回路となる。

この信号書き込み期間において、データ線に対して主信号電流が供給される。

主信号電流値は、輝度情報に応じた電気光学素子に流す電流値に設定される。

第3のスイッチが導通したことに伴い、主信号電流が駆動トランジスタに流れる。

このとき、第2のスイッチが導通状態にあることから、駆動トランジスタのゲートとドレインは接続されており、飽和領域にて駆動している。よって上記式1に示される式に基づいて、入力電流に相当するゲート電圧が書き込まれ、画素容量素子に保持される。

その後、たとえば第2および第3のスイッチを非導通状態とした後、第1のスイッチを導通状態とする。

これにより、入力信号電流の相当する電流が駆動トランジスタと電気光学素子に流れ、電気光学素子は発光する。

本発明では、上述した通り前もって駆動トランジスタのゲート電圧をプリチャージしてい

る。

そのため、信号書き込み期間において主信号電流を書き込むときの電圧の変移量は、プリチャージ時のゲート電位から、画素電流に相当するゲート電位までとなる。すなわち、従来の方式での電圧変化量と比較すると、非常に少ない書き込みですむことになる。

これにより、大画面パネルにおける書き込み不足によるばらつき（特に低電流の黒信号）を抑制することができ、しきい値 V_{th} や移動度 μ のばらつきのない高ユニフォーミティの画質を得ることが可能となる。

【 0 0 3 2 】

【 発明の実施の形態 】

以下、本発明の実施形態を添付図面に関連付けて説明する。

10

【 0 0 3 3 】

図 1 は、本実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

図 2 は、図 1 の有機 E L 表示装置において本実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 0 3 4 】

この表示装置 1 0 0 は、図 1 および図 2 に示すように、画素回路 (P X L C) 1 0 1 が $m \times n$ のマトリクス状に配列された画素アレイ部 1 0 2、第 1 の回路としての水平セクタ (H S E L) 1 0 3、ライトスキャナ (W S C N) 1 0 4、ドライブスキャナ (D S C N) 1 0 5、第 2 の回路としてのプリスキャナ (P S C N) 1 0 6、水平セクタ 1 0 3 により選択され輝度情報に応じた主信号電流およびプリチャージ時にプリ信号電流が供給されるデータ線 D T L 1 0 1 ~ D T L 1 0 n、ライトスキャナ 1 0 4 により選択駆動される走査線 W S L 1 0 1 ~ W S L 1 0 m、ドライブスキャナ 1 0 5 により選択駆動される駆動線 D S L 1 0 1 ~ D S L 1 0 m、およびプリスキャナ 1 0 6 により選択駆動されるプリ走査線 P S L 1 0 1 ~ P S L 1 0 m を有する。

20

【 0 0 3 5 】

なお、画素アレイ部 1 0 2 において、画素回路 1 0 1 は $m \times n$ のマトリクス状に配列されるが、図 1 においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図 2 においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

30

【 0 0 3 6 】

本実施形態に係る画素回路 1 0 1 は、図 2 に示すように、 p チャンネル T F T 1 1 1 ~ T F T 1 1 7、キャパシタ C 1 1 1、有機 E L 素子 (O L E D : 電気光学素子) からなる発光素子 1 1 8、第 1 のノード N D 1 1 1、第 2 のノード N D 1 1 2、第 3 のノード N D 1 1 3、および第 4 のノード N D 1 1 4 を有する。

また、図 2 において、D T L 1 0 1 はデータ線を、W S L 1 0 1 は走査線を、D S L 1 0 1 は駆動線、P S L 1 0 1 はプリ走査線をそれぞれ示している。

これらの構成要素のうち、T F T 1 1 1 が本発明に係るドライブ (駆動) トランジスタを構成し、T F T 1 1 2 が第 1 のスイッチを構成し、T F T 1 1 3 が第 2 のスイッチを構成し、T F T 1 1 4 が第 3 のスイッチを構成し、T F T 1 1 5 が第 4 のスイッチを構成し、T F T 1 1 6 が第 5 のスイッチを構成し、キャパシタ C 1 1 1 が本発明に係る画素容量素子を構成している。また、T F T 1 1 7 が本発明に係る変換部を構成している。

40

そして、T F T 1 1 5 ~ 1 1 7、第 3 のノード N D 1 1 3、および第 4 のノード N D 1 1 4 により本発明に係るプリチャージ回路が構成されている。

【 0 0 3 7 】

また、プリチャージ時に、水平セクタ 1 0 3 によるデータ線 D S L に供給されるプリ信号電流値は、通常の書き込み用主信号電流値より大きい値に設定される。

また、電源電圧 V C C の供給ライン (電源電位) が第 1 の基準電位に相当し、接地電位 G N D が第 2 の基準電位に相当している。

50

【 0 0 3 8 】

画素回路 1 0 1 において、電源電位 VCC と接地電位 GND との間に TFT 1 1 1、第 1 のノード ND 1 1 1、TFT 1 1 2、および発光素子 1 1 8 が直列に接続されている。

具体的には、ドライブトランジスタとしての TFT 1 1 1 のソースが電源電圧 VCC の供給ラインに接続され、ドレインが第 1 のノード ND 1 1 1 に接続されている。第 1 のスイッチとしての TFT 1 1 2 のソースが第 1 のノード ND 1 1 1 に接続され、ドレインが発光素子 1 1 8 のアノードに接続され、発光素子 1 1 8 のカソードが接地電位 GND に接続されている。そして、TFT 1 1 1 のゲートが第 2 のノード ND 1 1 2 に接続され、TFT 1 1 2 のゲートが駆動線 DSL 1 0 1 に接続されている。

第 1 のノード ND 1 1 1 と第 2 のノード ND 1 1 2 とに、第 2 のスイッチとしての TFT 1 1 3 ソース・ドレインが接続され、TFT 1 1 3 のゲートが第 1 の制御線としての走査線 WSL 1 0 1 に接続されている。

キャパシタ C 1 1 1 の第 1 電極が第 2 のノード ND 1 1 2 に接続され、第 2 電極が電源電位 VCC に接続されている。

データ線 DTL 1 0 1 と第 2 のノード ND 1 1 2 とに第 3 のスイッチとしての TFT 1 1 4 のソース・ドレインが接続され、TFT 1 1 4 のゲートが走査線 1 0 1 に接続されている。

【 0 0 3 9 】

第 2 のノード ND 1 1 2 と第 3 のノード ND 1 1 3 とに、第 4 のスイッチとしての TFT 1 1 5 のソース・ドレインが接続され、TFT 1 1 5 のゲートがプリ走査線 PSL 1 0 1 に接続されている。

データ線 DTL 1 0 1 と第 4 のノード ND 1 1 4 とに第 5 のスイッチとしての TFT 1 1 6 のソース・ドレインが接続され、TFT 1 1 6 のゲートがプリ走査線 1 0 1 に接続されている。

さらに、TFT 1 1 7 のゲートが第 3 のノード ND 1 1 3 に接続され、ドレインが第 4 のノード ND 1 1 4 に接続され、ゲートとソース同士（第 3 のノード ND 1 1 3 と第 4 のノード ND 1 1 4）が接続され、ソースが電源電位 VCC に接続されている。

【 0 0 4 0 】

次に、上記構成の動作を、画素回路の動作を中心に、図 3 (A) ~ (G)、図 4、および図 5 に関連付けて説明する。

図 3 (A) は画素配列の第 1 行目の走査線 WSL 1 0 1 に印加される走査信号 $w_s[1]$ を、図 3 (B) は画素配列の第 2 行目の走査線 WSL 1 0 2 に印加される走査信号 $w_s[2]$ を、図 3 (C) は画素配列の第 1 行目のプリ走査線 PSL 1 0 1 に印加されるプリ走査信号 $p_s[1]$ を、図 3 (D) は画素配列の第 2 行目のプリ走査線 PSL 1 0 1 に印加されるプリ走査信号 $p_s[2]$ を、図 3 (E) は画素配列の第 1 行目の駆動線 DSL 1 0 1 に印加される駆動信号 $d_s[1]$ を、図 3 (F) は画素配列の第 2 行目の駆動線 DSL 1 0 2 に印加される駆動信号 $d_s[2]$ を、図 3 (G) は TFT 1 1 1 のゲート電位 V_g をそれぞれ示している。

また、図中、Tpre はプリチャージ期間を、Twrt は信号書き込み期間を示している。そして、1 水平走査期間 (1H) の間に、プリチャージ期間 Tpre と信号書き込み期間 Twrt が設定される。

なお、以下では、第 1 行目の画素回路の動作について説明する。

【 0 0 4 1 】

まず、プリチャージ期間 Tpre において、図 3 (A)、(C)、(E) に示すように、走査線 WSL 1 0 1 への駆動信号 $w_s[1]$ が高レベルの状態 (TFT 1 1 4、TFT 1 1 3 が非導通状態)、駆動線 DSL 1 0 1 への駆動信号 $d_s[1]$ が高レベルの状態 (TFT 1 1 2 が非導通状態) で、プリ走査線 PSL 1 0 1 へのプリ走査信号 $p_s[1]$ を低レベルとし、TFT 1 1 6 と TFT 1 1 5 を導通状態とする。

【 0 0 4 2 】

このときの等価回路を図 4 に示す。このように、プリチャージ期間においては、画素回路

101は、いわゆる単純なカレントミラー型回路となる。

このプリチャージ期間 T_{pre} において、データ線 $DTL101$ に対して水平セクタ103によりプリ信号電流が供給される。プリ信号電流値は、信号書き込み期間 T_{wrt} にデータ線 $DTL101$ に供給される主信号電流値より大きな値に設定される。たとえば、信号書き込み期間 T_{wrt} に EL 発光素子118に流す電流値に対して、カレントミラー回路の電流通倍機能と同等倍（以下、カレントミラー倍という場合もある）の値の電流が供給される。

これにより、カレントミラー倍の電流値に対する $TFT117$ のゲート電圧値を、 $TFT115$ を通して画素容量素子としてのキャパシタ $C111$ に書き込むことができる。

これは、 EL 発光素子118に流すべき電流値に相当したドライブトランジスタとしての $TFT111$ のゲート電圧に対して、たかだかしきい値 V_{th} のばらつき分の電圧差しか生じていない。つまり、 $TFT111$ のゲートは、必要なゲート電圧に対して、 V_{th} ばらつきを除いてプリチャージされている。

【0043】

次に、図3（C）に示すように、プリ走査線線 $PSL101$ へのプリ走査信号 $ps[1]$ を高レベルとし、 $TFT116$ と $TFT115$ を非導通状態として、プリチャージ期間から信号書き込み期間 T_{wrt} に移行する。

信号書き込み期間 T_{wrt} においては、図3（A）に示すように、走査線 $WSL101$ への駆動信号 $ws[1]$ が低レベルとし、 $TFT114$ 、 $TFT113$ を導通状態とする。

【0044】

このときの等価回路を図5に示す。このように、信号書き込み期間においては、画素回路101は、通常の電流駆動型回路となる。

この信号書き込み期間 T_{wrt} において、データ線 $DTL101$ に対して水平セクタ103により主信号電流が供給される。主信号電流値は、輝度情報に応じた EL 発光素子118に流す電流値に設定される。

$TFT114$ が導通したことに伴い、主信号電流がドライブトランジスタである $TFT111$ を流れる。

このとき、 $TFT113$ が導通状態にあることから、 $TFT111$ のゲートとドレインは接続されており、飽和領域にて駆動している。よって上記式1に示される式に基づいて、入力電流に相当するゲート電圧が書き込まれ、画素容量素子であるキャパシタ $C111$ に保持される。

【0045】

その後、図3（A）、（E）に示すように、走査線 $WSL101$ への駆動信号 $ws[1]$ が高レベルとし、 $TFT114$ 、 $TFT113$ を非導通状態とした後、駆動線 $DSL101$ への駆動信号 $ds[1]$ が低レベルとして、 $TFT112$ を導通状態とする。

これにより、入力信号電流の相当する電流が $TFT111$ と EL 発光素子118に流れ、 EL 発光素子118は発光する。

【0046】

ここで、1水平走査期間（1H）の間における、プリチャージ期間 T_{pre} と信号書き込み期間 T_{wrt} の電流書き込みについて考察する。

本実施形態においては、上述した通り前もってカレントミラー駆動にてドライブトランジスタのゲート電圧をプリチャージしている。

そのため、信号書き込み期間 T_{wrt} において主信号電流を書き込むときの電圧の変移量は、プリチャージ時のゲート電位から、画素電流に相当するゲート電位までとなる。

ここで上述したように、この電圧差 ΔV は最大でもしきい値 V_{th} のばらつきの範囲内におさまる。つまり、0.3V程度となる。従来の方式での電圧変化量と比較すると、非常に少ない書き込みですむことが分かる。

これにより、大画面パネルにおける書き込み不足によるばらつき（特に低電流の黒信号）を抑制することができ、しきい値 V_{th} や移動度 μ のばらつきのない高ユニフォーミティの画質を得ることが可能となる。

【0047】

なお、上述したように、プリチャージ期間 T_{pre} において、データ線 $DTL101$ に対して水平セクタ 103 によりプリ信号電流値は、信号書き込み期間 T_{wrt} にデータ線 $DTL101$ に供給される主信号電流値より大きな値に設定されるが、この場合、大画面パネルにおいて、カレントミラー駆動時の電流値を大きくし主信号電流の書き込み時間を稼ぐためにも、たとえば図6に示すように、同一のデータ線 $DTL101$ に接続される同列の画素回路における第5のスイッチとしての $TFT116$ を導通させておくことが望ましい。

【0048】

以上説明したように、本実施形態によれば、電流駆動方式の画素回路に、 $TFT115 \sim 117$ 、ノード $ND113$ 、 $ND114$ を有し、さらなるプリチャージ回路を設け、 EL 発光素子 118 を駆動するために、 $TFT114$ 、 $TFT113$ を導通させてデータ線 $DTL101$ に供給される主信号電流を画素容量素子 $C111$ に書き込む前に、 $TFT115$ 、 $TFT116$ が導通されてカレントミラー駆動によりデータ線 $DTL101$ に供給されるプリ信号電流を取り込んで画素容量素子 $C111$ に所定電圧を保持させるプリチャージ回路を設けたことから、低電流信号でもゲート電圧の変移量が少ないため、ドライブトランジスタのゲート電圧の書き込みは十分に行われ、書き込みばらつきを短時間に抑制することができる。これにより、データ線の配線容量の大きい（重い）大画面パネルにおいても $TFT111$ のしきい値 V_{th} や移動度 μ のばらつきを補正し、ユニフォーミティの画質を得ることができる。

【0049】

なお、本実施形態では、画素回路として p チャンネルの $TFT111 \sim 117$ を用いて構成した例を説明したが、たとえば図7に示すように、 n チャンネル $TFT121 \sim 127$ を用いて構成することも可能である。ただし、電源電位 V_{CC} と接地電位 GND への接続形態が逆となる。

また、 p チャンネル TFT と n チャンネル TFT を混在させた $CMOS$ 型に構成することも可能である。

【0050】

【発明の効果】

以上説明したように、本発明によれば、低電流信号でもゲート電圧の変移量が少ないため、駆動トランジスタのゲート電圧の書き込みは十分に行われ、書き込みばらつきを短時間に抑制することができる。

これにより、データ線の配線容量の大きい（重い）大画面パネルにおいても駆動トランジスタのしきい値 V_{th} や移動度 μ のばらつきを補正し、ユニフォーミティの画質を得ることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る画素回路を採用した有機 EL 表示装置の構成を示すブロック図である。

【図2】図1の有機 EL 表示装置において本実施形態に係る画素回路の具体的な構成を示す回路図である。

【図3】本実施形態の動作を説明するためのタイミングチャートである。

【図4】図2の画素回路のプリチャージ期間の等価回路図である。

【図5】図2の画素回路の電流書き込み期間の等価回路図である。

【図6】プリチャージ期間の好適な駆動方法を説明するための図である。

【図7】本実施形態に係る画素回路を n チャンネル TFT で構成した回路図である。

【図8】一般的な有機 EL 表示装置の構成を示すブロック図である。

【図9】図8の画素回路の一構成例を示す回路図である。

【図10】画素回路の他の構成例を示す回路図である。

【図11】図10の画素回路がデータ線に複数接続されている場合の動作を説明するための回路図である。

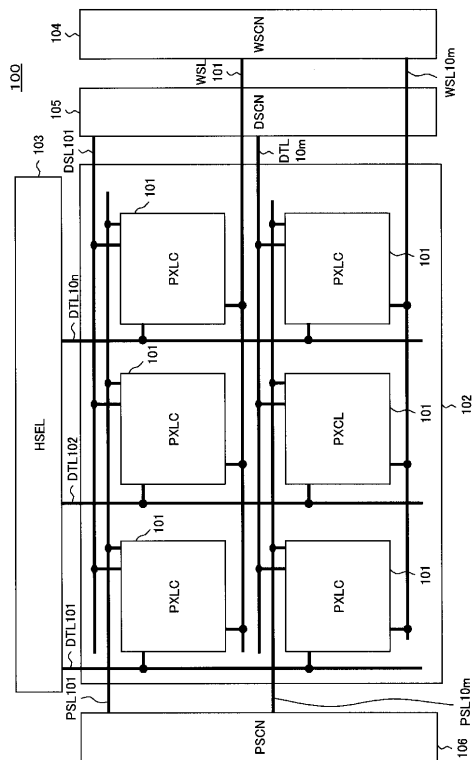
【図 1 2】図 1 1 の画素回路の動作および課題を説明するための図である。

【符号の説明】

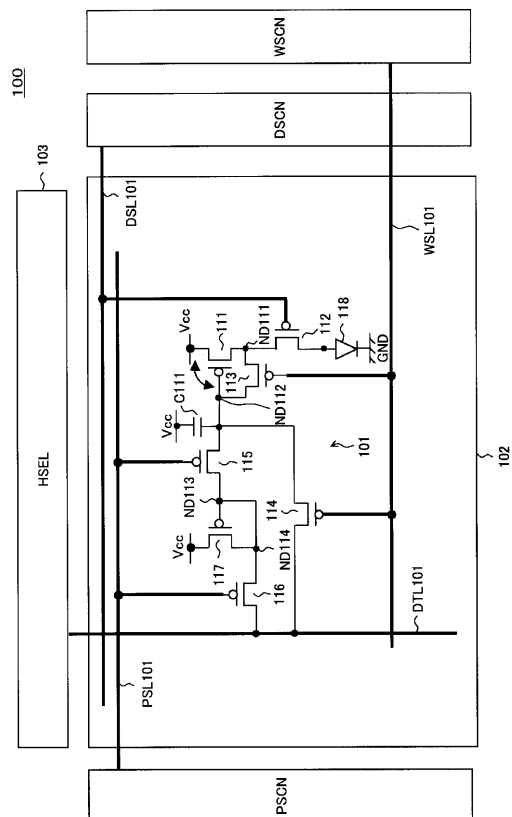
100 ... 表示装置、101, 101A ... 画素回路 (PXL C)、102 ... 画素アレイ部、103 ... 水平セレクタ (HSEL)、104 ... ライトスキャナ (WSCN)、105 ... ドライブスキャナ (DSCN)、106 ... プリスキャナ (PSCN)、111, 121 ... 駆動トランジスタとしての TFT、112, 122 ... 第 1 のスイッチとしての TFT、113, 123 ... 第 2 のスイッチとしての TFT、114, 124 ... 第 3 のスイッチとしての TFT、115, 125 ... 第 4 のスイッチとしての TFT、TFT 115, 126 ... 第 5 のスイッチとしての TFT、117, 127 ... 変換部を構成する TFT、118, 128 ... EL 発光素子、DTL 101 ~ DTL 10n ... データ線、WSL 101 ~ WSL 10m ... 走査線、DSL 101 ~ DSL 10m ... 駆動線、PSL 101 ~ PSL 10m ... プリ走査線。

10

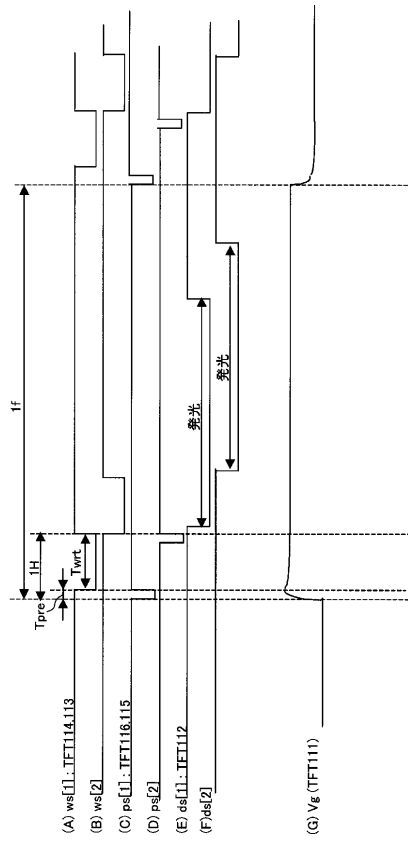
【図 1】



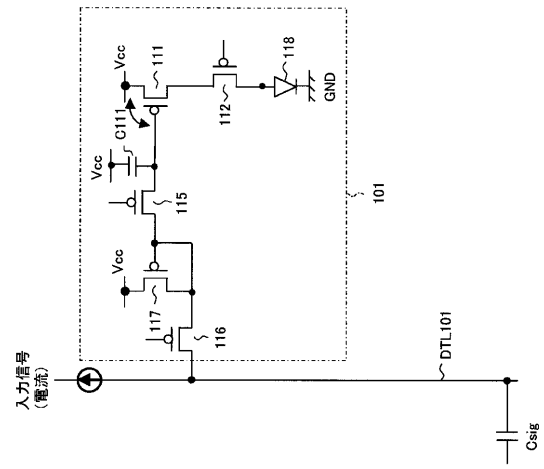
【図 2】



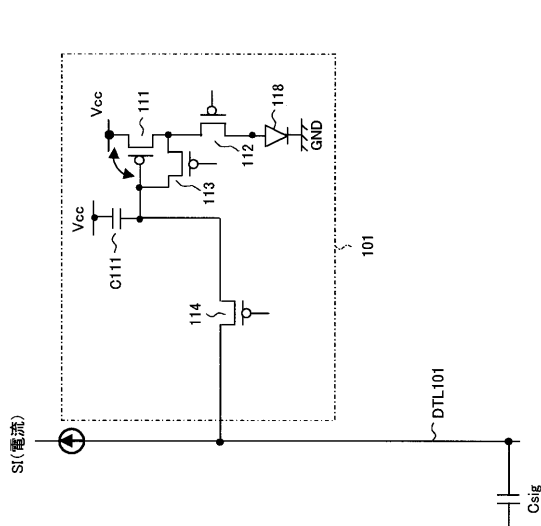
【図 3】



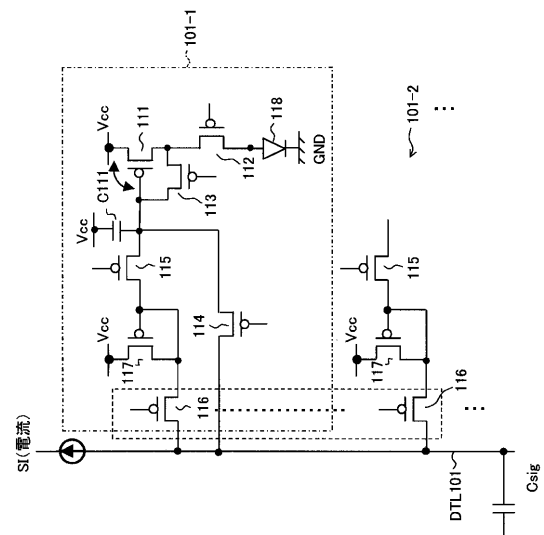
【図 4】



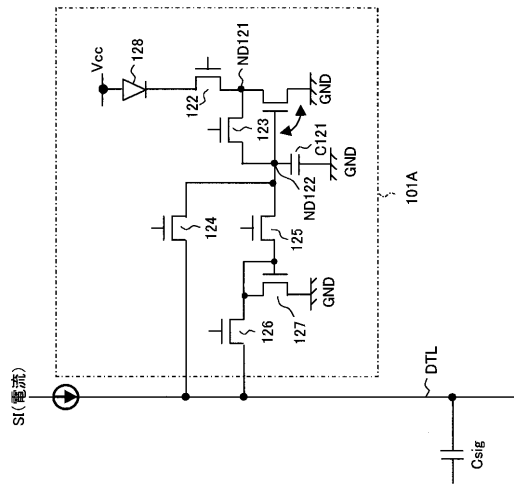
【図 5】



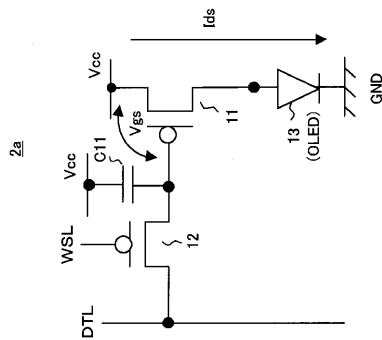
【図 6】



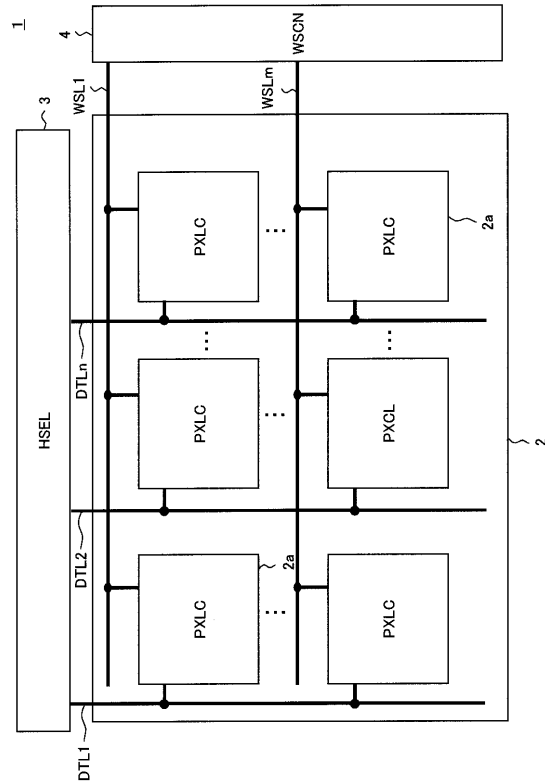
【圖 7】



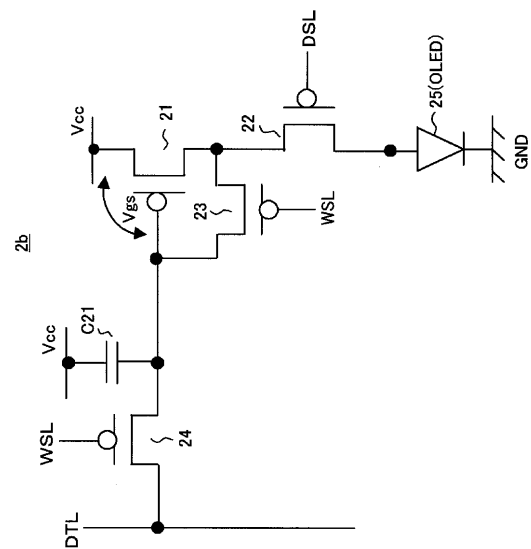
【 圖 9 】



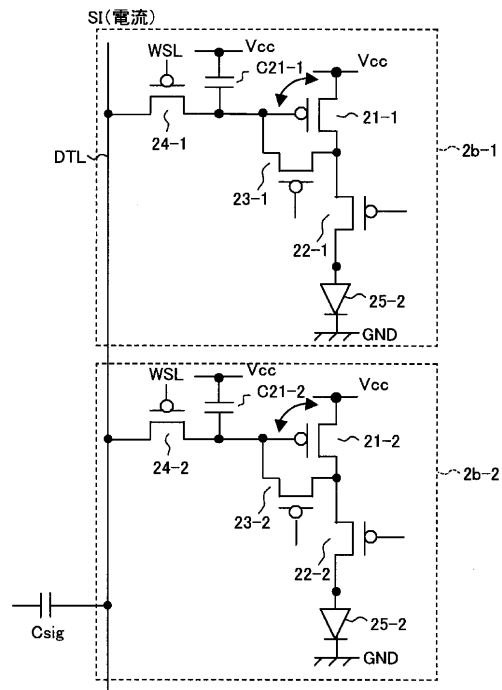
【 図 8 】



【 図 1 0 】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/30 J
H 0 5 B 33/14 A

審査官 奈良田 新一

(56)参考文献 特開 2 0 0 3 - 0 7 6 3 2 7 (J P , A)
特開 2 0 0 3 - 0 2 2 0 4 9 (J P , A)
国際公開第 2 0 0 4 / 0 7 7 6 7 1 (W O , A 1)
特開 2 0 0 4 - 1 4 5 2 4 1 (J P , A)
特開 2 0 0 3 - 0 5 0 5 6 4 (J P , A)
特開 2 0 0 3 - 0 9 9 0 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G3/20,3/30-3/32

【 图 2 】

[illegible]