

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-537715

(P2018-537715A)

(43) 公表日 平成30年12月20日(2018.12.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 670J	5C380
	G09G 3/20 611F	
	G09G 3/20 621M	
審査請求 有 予備審査請求 未請求 (全 32 頁) 最終頁に続く		

(21) 出願番号	特願2018-528943 (P2018-528943)	(71) 出願人	503260918
(86) (22) 出願日	平成28年10月17日 (2016.10.17)		アップル インコーポレイテッド
(85) 翻訳文提出日	平成30年6月4日 (2018.6.4)		Apple Inc.
(86) 国際出願番号	PCT/US2016/057296		アメリカ合衆国 95014 カリフォル
(87) 国際公開番号	W02017/095537		ニア州 クパチーノ アップル パーク
(87) 国際公開日	平成29年6月8日 (2017.6.8)		ウェイ ワン
(31) 優先権主張番号	62/263,074		One Apple Park Way,
(32) 優先日	平成27年12月4日 (2015.12.4)		Cupertino, Californ
(33) 優先権主張国	米国 (US)		ia 95014, U. S. A.
(31) 優先権主張番号	15/263,803	(74) 代理人	100076428
(32) 優先日	平成28年9月13日 (2016.9.13)		弁理士 大塚 康德
(33) 優先権主張国	米国 (US)	(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		最終頁に続く	

(54) 【発明の名称】 発光ダイオードを備えたディスプレイ

(57) 【要約】

ディスプレイは画素のアレイを有し得る。画素のそれぞれは、有機発光ダイオードなどの発光ダイオード（30）を有する。駆動トランジスタ（TD）及び発光トランジスタ（TE）は、正電源（VDDEL）と接地電源（VSSEL）との間で各画素（22）の発光ダイオード（30）に直列に結合されている。画素（22）は、第1及び第2のスイッチングトランジスタ（T1、T2）を含む。データ蓄積コンデンサ（Cst1）は、各画素内の駆動トランジスタ（TD）のゲートとソースとの間に結合されている。信号線（Data）は、データ信号、駆動トランジスタからの感知された駆動電流、及びディスプレイドライバ回路と画素との間の所定の電圧などの信号を送るために画素の列内に設けられてもよい。スイッチングトランジスタ（T1、T2）、発光トランジスタ（TE）及び駆動トランジスタ（TD）は、半導酸化物トランジスタ及びシリコントランジスタを含んでもよく、nチャネルトランジスタ又はpチャネルトランジスタであってもよい。

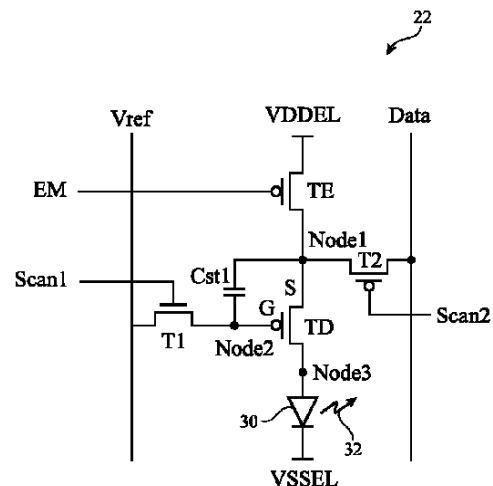


FIG. 11

【特許請求の範囲】

【請求項 1】

ディスプレイであって、
ディスプレイドライバ回路と、
画素のアレイと、
前記ディスプレイドライバ回路と前記画素との間で信号を伝える信号線と、
を備え、各画素が、

正電源と接地電源との間に直列に結合された、発光トランジスタと、駆動トランジスタと、発光ダイオードと、

第 1 の経路と前記駆動トランジスタのゲートとの間に結合された第 1 のスイッチングトランジスタと、第 2 の経路と前記駆動トランジスタのソースとの間に結合された第 2 のスイッチングトランジスタと、前記駆動トランジスタの前記ゲートと前記ソースとの間に結合されたコンデンサと、
を含む、ディスプレイ。

10

【請求項 2】

前記駆動トランジスタが前記発光トランジスタと前記発光ダイオードとの間に結合され、前記第 1 のスイッチングトランジスタが半電導酸化物トランジスタを含む、請求項 1 に記載のディスプレイ。

【請求項 3】

前記第 2 のスイッチングトランジスタがシリコントランジスタを含む、請求項 2 に記載のディスプレイ。

20

【請求項 4】

前記駆動トランジスタ及び前記発光トランジスタがシリコントランジスタである、請求項 3 に記載のディスプレイ。

【請求項 5】

前記第 1 のスイッチングトランジスタが n チャネルトランジスタであり、前記第 2 のスイッチングトランジスタ、前記発光トランジスタ及び前記駆動トランジスタが p チャネルトランジスタである、請求項 4 に記載のディスプレイ。

【請求項 6】

前記第 2 の経路が、電流感知動作中に感知された電流を前記駆動トランジスタから前記ディスプレイドライバ回路に伝達し、データロード動作中にデータ信号を前記コンデンサに伝達する共用経路である、請求項 5 に記載のディスプレイ。

30

【請求項 7】

画素の前記アレイが、前記画素の列と前記画素の行とを含み、前記信号線が、前記列のそれぞれにおいて、前記列内の前記画素のそれぞれの前記第 2 の経路として機能する個別の信号線を含む、請求項 6 に記載のディスプレイ。

【請求項 8】

前記第 1 の経路が、前記ディスプレイドライバ回路から画素の前記行及び列内の前記画素のそれぞれに共通電圧を供給するグローバル信号経路を含む、請求項 7 に記載のディスプレイ。

40

【請求項 9】

前記第 1 のスイッチングトランジスタが n チャネルトランジスタを含み、前記発光トランジスタ、前記駆動トランジスタ及び前記第 2 のスイッチングトランジスタが p チャネルトランジスタを含む、請求項 1 に記載のディスプレイ。

【請求項 10】

前記第 1 のスイッチングトランジスタが半電導酸化物トランジスタを含む、請求項 9 に記載のディスプレイ。

【請求項 11】

前記発光トランジスタ、前記駆動トランジスタ及び前記第 2 のスイッチングトランジスタがシリコントランジスタを含む、請求項 10 に記載のディスプレイ。

50

【請求項 1 2】

ディスプレイであって、
ディスプレイドライバ回路と、
画素のアレイと、
前記ディスプレイドライバ回路と前記画素との間で信号を伝える信号線と、
を備え、各画素が、

正電源と接地電源との間に直列に結合された、前記正電源に結合されたソースを有する駆動トランジスタと、発光トランジスタと、発光ダイオードと、

第 1 の経路と前記駆動トランジスタのゲートとの間に結合された第 1 のスイッチングトランジスタと、第 2 の経路と前記発光トランジスタと前記発光ダイオードとの間のノードとの間に結合された第 2 のスイッチングトランジスタと、前記駆動トランジスタの前記ゲートと前記ソースとの間に結合されたコンデンサと、
を含む、ディスプレイ。

10

【請求項 1 3】

前記第 1 のスイッチングトランジスタ、前記第 2 のスイッチングトランジスタ、前記駆動トランジスタ及び前記発光トランジスタが p チャネルトランジスタを含む、請求項 1 2 に記載のディスプレイ。

【請求項 1 4】

前記第 1 のスイッチングトランジスタ、前記第 2 のスイッチングトランジスタ、前記駆動トランジスタ及び前記発光トランジスタがシリコントランジスタを含み、前記画素が行及び列に配置され、前記画素の各列が、前記列内の前記画素のそれぞれの前記第 1 の経路を形成するデータ線を有し、かつ前記列内の前記画素のそれぞれの前記第 2 の経路を形成する基準電圧線を有する、請求項 1 3 に記載のディスプレイ。

20

【請求項 1 5】

ディスプレイであって、
ディスプレイドライバ回路と、
前記ディスプレイドライバ回路に結合されたデータ線と、
前記ディスプレイドライバ回路に結合されたゲート線と、

画素のアレイであって、前記画素が、前記ディスプレイドライバ回路から前記データ線を介してデータを受信し、前記ディスプレイドライバ回路から前記ゲート線を介して受信した制御信号によって制御され、画素の前記アレイ内の各画素が、第 1 の電源端子と第 2 の電源端子との間に直列に結合された、発光ダイオードと、駆動トランジスタと、第 1 及び第 2 の発光イネーブルトランジスタとを有し、各画素が、前記駆動トランジスタのソース端子と前記駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素が、基準電圧線と前記駆動トランジスタの前記ゲートとの間に結合された第 1 のスイッチングトランジスタを有し、かつ前記データ線のうちの 1 本と前記駆動トランジスタの前記ソース端子との間に結合された第 2 のスイッチングトランジスタを有し、前記ゲート線が、前記第 1 及び第 2 の発光イネーブルトランジスタ並びに前記第 1 及び第 2 のスイッチングトランジスタに前記制御信号を供給し、前記第 1 のスイッチングトランジスタが半電導酸化物活性領域を有し、前記第 2 のスイッチングトランジスタ、前記第 1 及び第 2 の発光イネーブルトランジスタ並びに前記駆動トランジスタがシリコン活性領域を有する、画素のアレイと、

30

を備えるディスプレイ。

【請求項 1 6】

前記ディスプレイドライバ回路が、前記駆動トランジスタを事前調整するために前記駆動トランジスタにオンバイアスストレスを印加するオンバイアスストレス期間において、前記制御信号及びデータを供給して画素の前記アレイを動作させるように構成されている、請求項 1 5 に記載のディスプレイ。

40

【請求項 1 7】

前記ディスプレイドライバ回路が、感知期間中に前記データ線を通る電流を測定する

50

ことによって前記駆動トランジスタに対する閾電圧測定を行うように構成されている、請求項 15 に記載のディスプレイ。

【請求項 18】

前記ディスプレイドライバ回路が、前記感知期間中に前記ゲート線を介して前記制御信号を供給して、前記第 1 のスイッチングトランジスタをオフにし、前記第 2 のスイッチングトランジスタをオンにし、前記第 1 の発光トランジスタをオフにし、かつ前記第 2 の発光トランジスタをオンにするように構成されている、請求項 17 に記載のディスプレイ。

【請求項 19】

前記ディスプレイドライバ回路が、前記感知期間中に前記ゲート線を介して前記制御信号を供給して、前記第 1 のスイッチングトランジスタをオンにし、前記第 2 のスイッチングトランジスタをオンにし、前記第 1 の発光トランジスタをオフにし、かつ前記第 2 の発光トランジスタをオンにするように構成されている、請求項 17 に記載のディスプレイ。

【請求項 20】

ディスプレイであって、

ディスプレイドライバ回路と、

前記ディスプレイドライバ回路に結合されたデータ線と、

前記ディスプレイドライバ回路に結合されたゲート線と、

画素のアレイであって、前記画素が、前記ディスプレイドライバ回路から前記データ線を介してデータを受信し、前記ディスプレイドライバ回路から前記ゲート線を介して受信した制御信号によって制御され、画素の前記アレイ内の各画素が、第 1 の電源端子と第 2 の電源端子との間に直列に結合された、アノード及びカソードを有する発光ダイオードと、駆動トランジスタと、第 1 及び第 2 の発光イネーブルトランジスタとを有し、各画素が、前記駆動トランジスタのソース端子と前記駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素が、基準電圧線と前記駆動トランジスタの前記ゲートとの間に結合された第 1 のスイッチングトランジスタを有し、かつ前記データ線のうちの 1 本と前記駆動トランジスタの前記ソース端子との間に結合された第 2 のスイッチングトランジスタを有し、各画素が、前記発光ダイオードの前記アノードに結合された端子を有するバイパストランジスタを有し、前記ゲート線が、前記第 1 及び第 2 の発光イネーブルトランジスタ並びに前記第 1 及び第 2 のスイッチングトランジスタに前記制御信号を供給し、前記第 1 のスイッチングトランジスタが半導体酸化物質活性領域を有し、前記第 2 のスイッチングトランジスタ、前記第 1 及び第 2 の発光イネーブルトランジスタ、前記駆動トランジスタ並びに前記バイパストランジスタがシリコン活性領域を有する、画素のアレイと、

を備えるディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、概して電子デバイスに関し、より具体的には、ディスプレイを有する電子デバイスに関する。本出願は、2016 年 9 月 13 日出願の米国特許出願第 15/263,803 号、及び 2015 年 12 月 4 日出願の米国仮特許出願第 62/263,074 号に対する優先権を主張するものであり、これらの出願は、その全体が参照により本明細書に組み込まれる。

【背景技術】

【0002】

電子デバイスは、多くの場合、ディスプレイを含む。有機発光ダイオードディスプレイなどのディスプレイは、発光ダイオードを備えた画素を有する。

【0003】

発光ダイオードディスプレイを備えたディスプレイを設計することは難題であり得る。配慮がなされていない場合、トランジスタの高リーク電流、トランジスタの低スイッチング速度、ルーティングの複雑さ、オーミック損失による電圧降下、及びその他の問題が、

ディスプレイの性能に悪影響を及ぼす場合がある。

【発明の概要】

【0004】

電子デバイスはディスプレイを有し得る。ディスプレイは、行及び列に整列された画素のアレイを有し得る。画素のそれぞれは、駆動電流の印加に応答して光を放出する有機発光ダイオードなどの発光ダイオードを有し得る。各画素内の駆動トランジスタは、駆動トランジスタのゲートとソースとの間のゲートソース電圧に応答して、その画素の発光ダイオードに駆動電流を供給し得る。

【0005】

各駆動トランジスタのソースは、正電源に結合されてもよい。発光トランジスタは、正電源と接地電源との間で各画素の駆動トランジスタ及び発光ダイオードに直列に結合されてもよい。画素は、第1及び第2のスイッチングトランジスタを含んでもよい。データ蓄積コンデンサは、各画素において駆動トランジスタのゲートとソースとの間に結合されてもよい。制御信号は、ディスプレイドライバ回路からスイッチングトランジスタ及び発光トランジスタの各ゲートに供給されてもよい。

【0006】

信号線を画素の列内に設けて、データ信号、駆動トランジスタからの感知された駆動電流、及びディスプレイドライバ回路と画素との間の基準電圧などの所定の電圧などの信号を送ってもよい。スイッチングトランジスタ、発光トランジスタ及び駆動トランジスタは、半電導酸化物トランジスタ及びシリコントランジスタを含んでもよく、nチャネルトランジスタ又はpチャネルトランジスタであってもよい。

【0007】

更なる特徴が、添付図面及び以下の詳細な説明から、より明らかとなるであろう。

【図面の簡単な説明】

【0008】

【図1】一実施形態に係る例示的なディスプレイの模式図である。

【0009】

【図2】一実施形態に係るディスプレイのための例示的な画素の回路図である。

【0010】

【図3】一実施形態に係る、図2に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図4】一実施形態に係る、図2に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0011】

【図5】一実施形態に係るディスプレイのための別の例示的な画素の回路図である。

【0012】

【図6】一実施形態に係る、図5に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図7】一実施形態に係る、図5に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0013】

【図8】一実施形態に係るディスプレイのための追加の例示的な画素の回路図である。

【0014】

【図9】一実施形態に係る、図8に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図10】一実施形態に係る、図8に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0015】

【図11】一実施形態に係るディスプレイのための更なる例示的な画素の回路図である。

【0016】

10

20

30

40

50

【図 1 2】一実施形態に係る、図 1 1 に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【図 1 3】一実施形態に係る、図 1 1 に示した種類の画素を備えたディスプレイを動作させる際に関係する例示的な信号を示すタイミング図である。

【0 0 1 7】

【図 1 4】一実施形態に係る、5つのトランジスタ及び1つのコンデンサを備えた例示的な画素回路の図である。

【0 0 1 8】

【図 1 5】一実施形態に係る、図 1 4 に示した種類の画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

10

【0 0 1 9】

【図 1 6】一実施形態に係るオンバイアスストレス (on-bias stress) 動作中の図 1 4 の画素回路の図である。

【0 0 2 0】

【図 1 7】一実施形態に係るデータ書き込み動作中の図 1 4 の画素回路の図である。

【0 0 2 1】

【図 1 8】一実施形態に係る発光動作中の図 1 4 の画素回路の図である。

【0 0 2 2】

【図 1 9】一実施形態に係る閾電圧情報を収集するときの図 1 4 の画素回路の図である。

【0 0 2 3】

20

【図 2 0 A】一実施形態に係る、図 1 4 に示したように画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

【図 2 0 B】一実施形態に係る、図 1 4 に示したように画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

【0 0 2 4】

【図 2 1】別の実施形態に係る閾電圧情報を収集するときの図 1 4 の画素回路の図である。

【0 0 2 5】

【図 2 2】一実施形態に係る、図 2 1 に示したように画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

30

【0 0 2 6】

【図 2 3】一実施形態に係るバイパストラジスタを備えた例示的な画素の回路図である。

【0 0 2 7】

【図 2 4】一実施形態に係る、図 2 3 の画素を動作させる際に使用され得る種類の制御信号を示す図である。

【0 0 2 8】

【図 2 5】一実施形態に係るバイパストラジスタを備えた別の例示的な画素の回路図である。

【0 0 2 9】

40

【図 2 6】一実施形態に係る、図 2 5 の画素を動作させる際に使用され得る種類の制御信号を示す図である。

【0 0 3 0】

【図 2 7】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 2 8】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 2 9】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 3 0】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【図 3 1】図 2 5 に示した種類の画素に対する例示的な動作を示す。

【0 0 3 1】

【図 3 2】図 3 0 に関連して記載された種類の電流感知動作がどのように実行され得るか

50

を示す図である。

【発明を実施するための形態】

【0032】

図1のディスプレイ14などのディスプレイは、タブレットコンピュータ、ラップトップコンピュータ、デスクトップコンピュータ、ディスプレイ、携帯電話、メディアプレーヤ、腕時計デバイス若しくは他のウェアラブル電子機器、又は他の好適な電子デバイスなどのデバイスに使用されてもよい。

【0033】

ディスプレイ14は、有機発光ダイオードディスプレイであってもよく、又は他の種類のディスプレイ技術に基づいたディスプレイ（例えば、離散結晶半導体ダイから形成された発光ダイオードを備えたディスプレイ、量子ドット発光ダイオードを備えたディスプレイなど）であってもよい。ディスプレイ14が有機発光ダイオードディスプレイである構成が、一例として本明細書に記載されることがある。ただし、これは例示に過ぎない。所望される場合、任意の好適な種類のディスプレイが使用され得る。

【0034】

ディスプレイ14は、矩形形状を有してもよく（すなわち、ディスプレイ14は矩形のフットプリント、及び矩形のフットプリントの周りに延びる矩形の周辺エッジを有し得る）、又は他の好適な形状を有してもよい。ディスプレイ14は、平らであってもよく、曲線状の輪郭を有してもよい。

【0035】

図1に示すように、ディスプレイ14は、基板24上に形成された画素22のアレイを有し得る。基板24は、ガラス、金属、プラスチック、セラミック、又は他の基板材料から形成されてもよい。画素22は、垂直経路16などの経路上でデータ信号及び他の信号を受信してもよい。各垂直経路16は、画素22の各列に関連付けられてもよく、1本以上の信号線を含んでもよい。画素22は、水平経路18などの経路を介して水平制御信号（発光イネーブル制御信号若しくは発光信号、走査信号、又はゲート信号と呼ばれることがある）を受信してもよい。各水平経路18は、1本以上の水平信号線を含んでもよい。

【0036】

ディスプレイ14には、好適な数の（例えば、数十若しくはそれよりも多い、数百若しくはそれよりも多い、又は数千若しくはそれよりも多い）画素22の行及び列が存在してもよい。各画素22は、薄膜トランジスタ回路（例えば、薄膜トランジスタ、薄膜コンデンサなど）から形成された画素回路の制御下で光を放出する発光ダイオードを有し得る。画素22の薄膜トランジスタ回路は、ポリシリコン薄膜トランジスタなどのシリコン薄膜トランジスタ、インジウムガリウム亜鉛酸化物トランジスタなどの半電導酸化物薄膜トランジスタ、又は他の半導体から形成された薄膜トランジスタを含んでもよい。画素22は、カラー画像を表示する能力をディスプレイ14に提供するために、種々の色の発光ダイオード（例えば、赤色、緑色及び青色の画素のための赤色、緑色及び青色の各ダイオード）を含んでもよい。

【0037】

画素22は、矩形アレイ又は他の形状のアレイに配置されてもよい。画素22のアレイは、ディスプレイ14のためのアクティブ領域を形成し、ユーザのための画像を表示する際に使用される。ディスプレイ14の非アクティブ部は、アクティブ領域AAの縁部のうちの1つ以上に沿って延びてもよい。非アクティブ領域は、ディスプレイ14のための境界を形成し、画素22を含まなくてもよい。

【0038】

ディスプレイドライバ回路20を使用して画素22の動作を制御してもよい。ディスプレイドライバ回路20は、集積回路、薄膜トランジスタ回路又は他の好適な回路から形成されてもよく、ディスプレイ14の非アクティブ領域内に位置してもよい。ディスプレイドライバ回路20は、マイクロプロセッサ、記憶装置、並びに他の記憶及び処理回路などのシステム制御回路と通信するための通信回路を含んでもよい。動作中、システム制御回

10

20

30

40

50

路は、ディスプレイ 14 上に表示される画像に関する情報を回路 20 に供給してもよい。

【0039】

画素 22 上に画像を表示するために、回路 20 A などのディスプレイドライバ回路は、経路 26 を介して、クロック信号及び他の制御信号をディスプレイドライバ回路 20 B などの補助ディスプレイドライバ回路（例えば、ゲート駆動回路）に発行しながら、画像データを垂直線 16 に供給してもよい。所望により、回路 20 は、ディスプレイ 14 の対向縁部上のゲート駆動回路 20 B にもクロック信号及び他の制御信号を供給してもよい。

【0040】

ゲート駆動回路 20 B（水平制御線制御回路と呼ばれることがある）は、集積回路の一部として実装されてもよく、かつ／又は薄膜トランジスタ回路を使用して実装されてもよい。ディスプレイ 14 内の水平制御線 18 は、各行の画素を制御するためのゲート線信号（例えば、走査線信号、発光イネーブル制御信号及び他の水平制御信号）を伝達してもよい。画素 22 の行当たりの任意の好適な数（例えば、1 つ以上、2 つ以上、3 つ以上、4 つ以上など）の水平制御信号が存在し得る。

【0041】

画素 22 は、発光ダイオードと直列に結合された駆動トランジスタをそれぞれ含んでもよい。発光イネーブルトランジスタ（発光トランジスタ）は、正電源端子と接地電源端子との間で駆動トランジスタ及び発光ダイオードと直列に結合されてもよい。各画素内の蓄積コンデンサは、連続する画像フレーム間でロード済みのデータ（例えば、画素の画素輝度値を定めるデータ）を記憶するために使用されてもよい。各画素は、データロード動作及び他の動作をサポートするために 1 つ以上のスイッチングトランジスタも有し得る。

【0042】

ディスプレイ 14 のフレームレートは、60 Hz 又は他の好適なフレームレートであってよい。所望により、ディスプレイ 14 は、可変リフレッシュレート動作をサポートしてもよい。通常のリフレッシュレート動作中、ディスプレイ 14 のリフレッシュレートは、相対的に高くてもよい（例えば、60 Hz）。ディスプレイ 14 上に静的コンテンツが表示されているときには、ディスプレイ 14 のリフレッシュレートを（例えば、1 ~ 5 Hz 又は他の好適な低リフレッシュレートに）低下させて電力を節約してもよい。

【0043】

画素 22 の回路（例えば、駆動トランジスタなどのトランジスタ、発光ダイオードなど）は、エージング効果の影響を受ける場合がある。ディスプレイドライバ回路 20（例えば、回路 20 A）は、電流感知回路、及び画素 22 の性能を周期的に測定する他の補償回路を含んでもよい。これらの周期的測定（例えば、画素の駆動トランジスタによって生成される電流を測定するための周期的な電流感知測定）に基づき、ディスプレイドライバ回路 20 は、画素 22 にロードされるデータに対して調整を行ってもよい。ロード済みの画素データに対して行われる調整は、測定された画素性能の変動を補償することができる（例えば、調整は、エージング効果を補償し、それによりディスプレイ 14 は、所望の均一性及び他の属性を確実に示すことができる）。電流感知（例えば、画素 22 内の駆動トランジスタの電流の感知）は、線 16 などの、ディスプレイ 14 内の垂直線を使用して実行されてもよい。通常動作（ディスプレイ 14 の「発光」モードと呼ばれることがある）中、発光制御線をアサートして画素 22 内の発光イネーブルトランジスタをオンにすることができる。発光イネーブルトランジスタは、データロード動作及び電流感知動作中にオフにされてもよい。

【0044】

画素 22 は、半電導酸化物トランジスタとシリコントランジスタの両方を使用してもよい。半電導酸化物トランジスタは、シリコントランジスタよりも低いリーク電流を示す傾向がある。シリコントランジスタは、半電導酸化物トランジスタよりも速くスイッチングする傾向がある。各画素内のどのトランジスタを半電導酸化物トランジスタとするか、及び各画素のどのトランジスタをシリコントランジスタとするかを適切に選択することにより、更には水平線、垂直線及び他の画素回路を適切に構成することにより、ディスプレイ

10

20

30

40

50

の性能を最適化することができる。図2～13は、ディスプレイ14のための例示的な実施形態に関連付けられた様々な画素回路配置及び関連する信号タイミング図を示す。

【0045】

図2の画素22のための例示的な構成に示すように、各画素22は、駆動電流 I_d の印加に応答して光32を放出する発光ダイオード30などの発光ダイオードを含んでもよい。発光ダイオード30は、例えば、有機発光ダイオードであってもよい。画素22のトランジスタ及びコンデンサ構造は、基板24（図1）上の薄膜回路から形成されてもよい。一般に、ディスプレイ14の各画素22は、pチャネルトランジスタ、nチャネルトランジスタ、半電導酸化物トランジスタ、シリコントランジスタ、1つ以上の蓄積コンデンサ、並びに信号経路（例えば、1本以上の垂直信号線のうちの一部、及び1本以上の水平信号線）を含んでもよい。

10

【0046】

図2の例では、発光ダイオード30は、正電源 V_{ddel} と接地電源 V_{ssel} との間で発光イネーブルトランジスタ（発光トランジスタ）TE及び駆動トランジスタTDと直列に結合されている。蓄積コンデンサ C_{st1} は、ロード済みのデータ値を、駆動トランジスタTDのゲートに接続されているNode2上に維持する。駆動トランジスタTDのソースSは、正電源 V_{ddel} に結合されている。駆動トランジスタTDのゲートソース電圧 V_{gs} の値（すなわち、Node2とトランジスタTDのソースSの電源端子 V_{ddel} との間の電圧差）は、発光ダイオード30を流れる駆動電流 I_d を定める。発光は、発光トランジスタTEのゲートに印加される発光イネーブル制御信号EMを使用してイネーブル又はディセーブルにされる。スイッチングトランジスタT1及びT2は、データロード動作及び電流感知動作に使用される。トランジスタT1、T2、TD及びTEは、全て（一例として）pチャネルシリコントランジスタであってもよい。

20

【0047】

図2の画素22などの画素22の各列は、一对の垂直信号線16に関連付けられてもよい。垂直信号線は、データ線（Data）及び基準電圧線（Vref）を含んでもよい。データ線は、データ蓄積コンデンサ C_{st1} 上にデータをロードするために使用されてもよい。基準電圧線は、時には感知線と呼ばれる場合があり、電流感知動作中に駆動トランジスタTDの電流を測定するために（例えば、エージングを評価するために）使用されてもよい。基準電圧線は、発光トランジスタTEと発光ダイオード30との間のノード（すなわち、Node3）上に所定の電圧をロードする際にも使用され得る。

30

【0048】

図2の画素22などの画素22の各行は、3本の水平信号線18に関連付けられてもよい。水平信号線18は、スイッチングトランジスタT1のゲートに印加される第1のスイッチングトランジスタ制御信号（走査信号）Scan1、スイッチングトランジスタT2のゲートに印加される第2のスイッチングトランジスタ制御信号（走査信号）Scan2、及び発光トランジスタTEのゲートに印加される発光イネーブル信号（発光信号）EMを含んでもよい。

【0049】

データ線Dataから図2の画素22のNode2の蓄積コンデンサ C_{st1} 上へのデータのロードに関連付けられた信号を示す信号タイミング図を図3に示す。通常動作（発光動作）中、ディスプレイドライバ回路20BによってEMがローに保持されるため、トランジスタTEがオンになる。TEがオンになると、ノードNode2上のデータ値が駆動トランジスタTDのゲートGとソースS（ソースSは V_{ddel} に繋がれている）との間に所望の V_{gs} 値を定め、それにより発光ダイオード30の駆動電流 I_d の大きさを設定する。データロード動作中、回路20BによってEMをハイにして、トランジスタTEをオフにし、電流 I_d を遮断する。EMがハイの間、回路20Bは、信号Scan1及びScan2をローにして、トランジスタT1及びT2をオンにする。T2がオンになると、線VrefからNode3に既知の基準電圧が供給され得る。T1がオンになると、データ線（Data）上の電流データ信号がNode2のコンデンサ C_{st1} 上にロードさ

40

50

れ得る。次に、E Mをローにし、かつS c a n 1及びS c a n 2をハイにすることによって発光動作が再開されてもよい。発光中、N o d e 2のコンデンサC s t 1上にロードされたデータ値が、発光ダイオード30からの光32の出力レベルを決定する。

【0050】

電流感知動作（この動作は、通常発光動作を中断することにより、1時間に1回、一週間に1回など周期的に実行され得る）に関連付けられた信号を示す信号タイミング図を図4に示す。

【0051】

プリロード中は、S c a n 1及びS c a n 2をローにししながらE Mをハイにして発光ダイオード30に電流が流れるのを防ぐ。S c a n 2がローの間、トランジスタT 2がオンになり、線V r e fからN o d e 3上に既知の基準電圧がロードされる。S c a n 1がローの間、既知の基準データ（「感知データ」）が、オンであるトランジスタT 1を介して線D a t aからN o d e 2上にロードされる。これにより、駆動トランジスタT Dを動作させるための既知の条件（例えば、所定のV g s値、及びN o d e 3上の所定の電圧）が定まる。

【0052】

画素22に感知データをロードした後、電流感知動作が実行される。感知動作中、S c a n 1をハイにししながら、E Mをローにし、かつS c a n 2をローに保持する。これにより、駆動トランジスタT Dを流れている電流が線V r e fへと送られ、この線が次いで感知線として機能する。ディスプレイドライバ回路20Bの補償回路内の電流感知回路は、トランジスタT Dに流れている電流の量を測定し、それによりトランジスタT Dの性能を評価することができる。ディスプレイドライバ回路20Bの補償回路は、このような電流測定値を使用して、エージング効果（例えば、所与のV g s値に対してトランジスタT Dが生成する駆動電流I dの量に影響を及ぼすエージング）に対して画素22を補償することができる。

【0053】

電流感知動作が完了した後、E Mをハイにし、S c a n 1をローにしてトランジスタT 1をオンにし、かつS c a n 2をローに保持することにより、データ線D a t aからN o d e 2上にデータをロードしてもよい。画素22は、E MをローにしてトランジスタT Eをオンにし、かつS c a n 1及びS c a n 2をハイにしてトランジスタT 1及びT 2をオフにすることにより、データをロードした後に発光モードにされてもよい。

【0054】

図2の画素22のための構成は、画素22の各行内で3本の水平制御線上の3つのゲート制御信号を使用し、画素22の各列内で2本の垂直線を介してデータ及び基準電圧信号及び電流測定値を送る。各列の垂直線は、他の列の垂直線とは独立して動作する（すなわち、N列の画素22を有するディスプレイにはN本の独立した線D a t a及びN本の独立した線V r e fが存在する）。

【0055】

（例えば、ディスプレイ14が可変リフレッシュレート動作をサポートするように構成されているときに）トランジスタのリーク電流を低減し、それによりディスプレイ14を低リフレッシュレートで効率的に動作させるため、画素22に半電導酸化物スイッチングトランジスタを設けてもよい。例えば、図5の画素22のデータロードトランジスタT 1はnチャネル半電導酸化物トランジスタであってもよい。トランジスタT E、T D及びT 2はpチャネルシリコントランジスタであってもよい。

【0056】

データ線D a t aから図5の画素22内のN o d e 2の蓄積コンデンサC s t 1上へのデータのロードに関連付けられた信号を示す信号タイミング図を図6に示す。

【0057】

図5の画素22の通常動作（発光動作）中、ディスプレイドライバ回路20BによってE Mがローに保持されているため、トランジスタT Eがオンになる。駆動トランジスタT

10

20

30

40

50

DのソースSはV_{dde1}になっている。TEがオンになると、ノードNode 2上のデータ値が、駆動トランジスタTDのゲートGとソースSとの間に所望のゲートソース電圧V_{gs}値を定め、それにより発光ダイオード30に対する駆動電流I_dの大きさを設定する。

【0058】

データロード動作中、回路20BによってEMをハイにして、トランジスタTEをオフにし、電流I_dを遮断する。EMがハイの間、回路20Bは、信号Scan 1をハイにし、かつScan 2をローにして、トランジスタT1及びT2をオンにする。トランジスタT1が半電導酸化物トランジスタであるため、(T1がシリコントランジスタであるシナリオに比べて) Scan 1がハイである時間を延ばしてトランジスタT1が安定する時間を十分確保することが望ましい場合がある。データロードのためにT2がオンになると、線V_{ref}からNode 3に既知の基準電圧が供給され得る。T1がオンになると、データ線(Data)上に存在するデータ信号がNode 2のコンデンサCst1にロードされ得る。次に、EM及びScan 1をローにし、かつScan 2をハイにすることによって発光動作が再開されてもよい。

10

【0059】

図5の画素22に対する周期的な電流感知動作に関連付けられた信号を示す信号タイミング図を図7に示す。

【0060】

図5の画素22のプリロード中は、Scan 1をハイにし、かつScan 2をローにしながら、EMをハイにして発光ダイオード30に電流が流れるのを防ぐ。Scan 2がローになると、トランジスタT2がオンになり、線V_{ref}からNode 3上に既知の基準電圧がロードされる。Scan 1がハイになると、既知の基準データ(「感知データ」)が、オンであるトランジスタT1を介して線DataからNode 2上にロードされる。これにより、駆動トランジスタTDを動作させるための既知の条件(例えば、所定のV_{gs}値、及びNode 3上の所定の電圧)が定まる。

20

【0061】

図5の画素22に対する感知動中、EM及びScan 1がローになり、かつScan 2がローに保持される。これにより、駆動トランジスタTDを流れている電流が線V_{ref}へと送られ、この線が感知線として機能する。ディスプレイドライバ回路20Bの補償回路内の電流感知回路は、トランジスタTDに流れている電流の量を測定し、それによりトランジスタTDの性能を評価することができる。図2のシナリオと同様に、ディスプレイドライバ回路20Bの補償回路は、このような電流測定値を使用して、エージング効果(例えば、所与のV_{gs}値に対してトランジスタTDが生成する駆動電流I_dの量に影響を与えるエージング)に対して図5の画素22を補償することができる。

30

【0062】

感知動作が完了した後、Scan 2をローに保持しながらEM及びScan 1をハイにすることにより、データ線DataからNode 2上にデータがロードされ得る。画素22は、EM及びScan 1をローにし、かつScan 2をハイにすることにより、データがロードされた後に発光モードにされてもよく、それによりトランジスタTEがオンになり、かつトランジスタT1及びT2がオンになる。

40

【0063】

EM信号とScan 1信号が同一であるため、これらの信号の機能は、単一の信号線上に伝達される単一の組み合わせ信号を使用して実装することができる(すなわち、単一の信号EM/Scan 1は、図2の画素22の別々に調整されたEM信号及びScan 1信号を置換することができる)。従って、図5の画素22のための構成は、2本の水平制御線上の2つのゲート制御信号のみを使用することにより、ルーティングリソースを節約する。2本の垂直線(Data及びV_{ref})を使用して、画素22の各列内のデータ、基準電圧信号及び電流測定値を伝達することができる。図5に示した種類の画素22を備えたディスプレイの各列の垂直線は、他の列の垂直線とは独立して動作する(すなわち、N

50

列の画素 2 2 を備えたディスプレイには N 本の独立した線 D a t a 及び N 本の独立した線 V r e f が存在する)。

【0064】

所望により、画素 2 2 の各行に関連付けられている水平制御信号の数を、図 8 の画素 2 2 に示した種類の回路を使用して更に低減することができる。図 8 の構成では、トランジスタ T 1 とトランジスタ T 2 は共に n チャネル半電導酸化物トランジスタであるのに対し、トランジスタ T E とトランジスタ T D は共に p チャネルシリコントランジスタである。画素 2 2 において (例えば、トランジスタ T 1 に対して) 半電導酸化物トランジスタを使用することは、リーク電流を低減し、それにより (例えば、ディスプレイ 1 4 が可変リフレッシュレート動作をサポートするように構成されているときに) ディスプレイ 1 4 を低リフレッシュレートで効率的に動作させるのに役立つ。

10

【0065】

データ線 D a t a から図 8 の画素 2 2 内の N o d e 2 の蓄積コンデンサ C s t 1 上へのデータのロードに関連付けられた信号を示す信号タイミング図を図 9 に示す。

【0066】

図 8 の画素 2 2 の通常動作 (発光動作) 中、ディスプレイドライバ回路 2 0 B によって E M がローに保持されるため、トランジスタ T E がオンになる。T E がオンになると、ノード N o d e 2 上のデータ値が、駆動トランジスタ T D のゲート G とソース S との間に所望の V g s 値を定め、それにより発光ダイオード 3 0 に対する駆動電流 I d の大きさを設定する。信号 S c a n 1 及び S c a n 2 を発光中にローに保持して、発光中にトランジスタ T 1 及び T 2 をオフにしてもよい。

20

【0067】

データロード動作中、回路 2 0 B によって E M をハイにして、トランジスタ T E をオフにし、電流 I d を遮断する。E M がハイの間、回路 2 0 B は、信号 S c a n 1 及び S c a n 2 をハイにして、トランジスタ T 1 及び T 2 をオンにする。トランジスタ T 1 が半電導酸化物トランジスタであるため、(T 1 がシリコントランジスタであるシナリオに比べて) S c a n 1 がハイである時間を延ばしてトランジスタ T 1 が安定する時間を十分確保することが望ましい場合がある。データロードのために T 2 がオンになると、トランジスタ T E と発光ダイオード 3 0 との間の N o d e 3 に線 V r e f から既知の基準電圧が供給され得る。T 1 がオンになると、データ線 (D a t a) 上に存在するデータ信号が N o d e 2 のコンデンサ C s t 1 上にロードされ得る。次に、E M、S c a n 1 及び S c a n 2 をローにすることによって発光動作が再開されてもよい。

30

【0068】

図 8 の画素 2 2 に対する周期的な電流感知動作に関連付けられた信号を示す信号タイミング図を図 1 0 に示す。

【0069】

図 8 の画素 2 2 のプリロード中は、S c a n 1 及び S c a n 2 をハイにしなが、E M をハイにして発光ダイオード 3 0 に電流が流れるのを防ぐ。S c a n 2 がハイになると、トランジスタ T 2 がオンになり、線 V r e f から N o d e 3 上に既知の基準電圧がロードされる。S c a n 1 がハイになると、既知の基準データ (「感知データ」) が、オンであるトランジスタ T 1 を介して線 D a t a から N o d e 2 上にロードされる。これにより、駆動トランジスタ T D を動作させるための既知の条件 (例えば、所定の V g s 値、及び N o d e 3 上の所定の電圧) が定まる。

40

【0070】

図 8 の画素 2 2 に対する感知動作中、E M 及び S c a n 1 がローになり、かつ S c a n 2 がハイに保持される。これにより、駆動トランジスタ T D を流れている電流が感知線 V r e f へと送られる。ディスプレイドライバ回路 2 0 B の補償回路内の電流感知回路は、トランジスタ T D に流れている電流の量を測定し、それによりトランジスタ T D の性能を評価することができる。図 2 のシナリオと同様に、ディスプレイドライバ回路 2 0 B の補償回路は、このような電流測定値を使用して、エージング効果 (例えば、所与の V g s 値

50

に対してトランジスタT Dが生成する駆動電流I dの量に影響を与えるエージング) に対して図8の画素22を補償することができる。

【0071】

感知動作が完了した後、Scan 2をハイに保持しながらEM及びScan 1をハイにすることにより、データ線DataからNode 2上にデータがロードされ得る。画素22は、EM、Scan 1及びScan 2をローにすることにより、データがロードされた後に発光モードにされてもよく、それによりトランジスタT Eがオンになり、かつトランジスタT 1及びT 2がオフになる。

【0072】

EM信号、Scan 1信号及びScan 2信号が同一であるため(すなわち、トランジスタT 2がトランジスタT 1と同様にnチャネルトランジスタであるため)、これらの信号の機能は、単一の信号線上に伝達される単一の組み合わせ信号を使用して実装することができる(すなわち、単一の信号EM/Scan 1/Scan 2は、図2の画素22の別々に調整されたEM信号、Scan 1信号及びScan 2信号を置換することができる)。従って、図5の画素22のための構成は、画素22の各行内で単一の関連付けられた水平制御線上の単一のゲート制御信号のみを使用することにより、ルーティングリソースを最小限にするのに役立つ。2本の垂直線(Data及びVref)を使用して、画素22の各列内のデータ、基準電圧信号及び電流測定値を伝達することができる。図8に示した種類の画素22を備えたディスプレイの各列の垂直線は、他の列の垂直線とは独立して動作する(すなわち、N列の画素22を備えたディスプレイ内にはN本の独立した線Data及びN本の独立した線Vrefが存在する)。

【0073】

図2、5及び8に示した種類の構成を有する画素は、ディスプレイ14全体にVdd 1が分配されるため、IRドロップ(オーミック損失)に起因するVdd 1の変動の影響を受けやすい場合がある。これは、駆動トランジスタT DのソースSのソース電圧が、Vdd 1に結合されており、ディスプレイ14内の各画素22の位置によってVdd 1が変化するにつれて変化し得るためである。

【0074】

所望により、図11に示した種類の画素回路を画素22に使用して、Vdd 1の変動による性能の変動を低減するのに役立ててもよい。図11の例示的な構成では、T 1は線VrefとNode 2との間に結合されているのに対し、トランジスタT 2はデータ線DataとNode 1との間に結合されている。従って、トランジスタT 2は、データロードトランジスタとして機能し得る。駆動トランジスタT DのゲートにはNode 2が結合されている。

【0075】

発光動作中、コンデンサCst 1上の電圧(すなわち、Node 2上の電圧)を好ましくは一定レベルに維持して、光32に対する定常的な出力レベルを確保する。可変リフレッシュレート動作などの動作中、ディスプレイ14のリフレッシュレートは相対的に低くてもよい(例えば、1~5Hz)。Node 2のデータ電圧の安定性に悪影響を及ぼし得るトランジスタのリーク電流を防ぐため、半電導酸化物トランジスタ(例えば、nチャネル半電導酸化物トランジスタ)を使用してトランジスタT 1を実装してもよい。トランジスタT E、T D及びT 2はpチャネルシリコントランジスタであってもよい。トランジスタT 2がシリコントランジスタであるため、データ線DataからNode 1にデータが迅速にロードされ得る。

【0076】

図2、図5及び図8の配置とは異なり、図11の駆動トランジスタT DのソースSは、Vdd 1ではなくNode 1に接続されている。電圧Vdd 1のレベルは、Vdd 1がディスプレイ14全体に分配されているためにIR損失によって変化し得るが、ソースS上の電圧Vsはディスプレイ14全体で変化しない(すなわち、Vsは、ディスプレイ14内の画素22の位置とは無関係となる)。これは、トランジスタT 2を介してデー

タ線 Data から Node 1 上に所定の基準電圧をロードすることによって電圧 Vs が定まるためである。

【0077】

データ線 Data から図 11 の画素 22 の Node 1 の蓄積コンデンサ Cst 1 上へのデータのロードに関連付けられた信号を示す信号タイミング図を図 12 に示す。

【0078】

通常動作（発光動作）中、ディスプレイドライバ回路 20B によって EM がローに保持されるため、トランジスタ TE がオンになる。Scan 1 は、トランジスタ T1 をオフ状態に維持するためにローである。Scan 2 は、トランジスタ T2 をオフ状態に維持するためにハイである。TE がオンになると、ノード Node 1 上のデータ値（及び Node 2 上の電圧）が、駆動トランジスタ TD のゲート G とソース S との間に所望の Vgs 値を定め、それにより発光ダイオード 30 に対する駆動電流 Id の大きさを設定する。

【0079】

データロード動作中、回路 20B によって EM をハイにして、トランジスタ TE をオフにし、電流 Id を遮断する。EM がハイの間、回路 20B は、信号 Scan 1 をハイにしてトランジスタ T1 をオンにする。トランジスタ T1 がオンになると、Node 2 が所定の電圧までプリチャージされ、それによりトランジスタ TD の Node 2 に既知のゲート電圧 Vg を定める。Scan 2 は最初ハイであり、それにより T2 はオフに保持される。Scan 2 が low になると（これは、発光開始前の 1 行分の時間、発光開始前の 2 行分の時間、又は任意の他の好適な時間に起こり得る）、トランジスタ T2 がオンになり、データ線 Data から Node 1 にトランジスタ T2 を介して所望のデータ値がロードされる。発光動作は、次に、EM をローにし、Scan 1 をローにし、かつ Scan 2 をハイにすることによって再開されてもよい。

【0080】

図 11 の画素 22 に対する周期的な電流感知動作に関連付けられた信号を示す信号タイミング図を図 13 に示す。

【0081】

プリロード中は、Scan 1 をハイにし、かつ Scan 2 をローにししながら、EM をハイにして発光ダイオード 30 に電流が流れるのを防ぐ。Scan 2 がローになると、トランジスタ T2 がオンになり、既知の基準データ（「感知データ」）が線 Data から Node 1 上にロードされる。Scan 1 がハイになると、トランジスタ T1 がオンになり、基準電圧線 Vref から Node 2 に所定の電圧（例えば、-5.5V 又は他の好適な値）が提供される。これにより、駆動トランジスタ TD を動作させるための既知の条件（例えば、所定の Vgs 値）が定まる。

【0082】

感知動作中は、EM がハイに保持され、Scan 1 がローになり、かつ Scan 2 がローに保持される。これにより、TE がオフに保持され、T1 がオフになり、かつ T2 がオンに保持され、それにより駆動トランジスタ TD に流れている電流が線 Data を通じて送られる。従って、この線が感知線として機能する。ディスプレイドライバ回路 20B の補償回路内の電流感知回路は、トランジスタ TD に流れている電流の量を線 Data を介して測定し、それによりトランジスタ TD の性能を評価することができる。電流感知は、100 マイクロ秒の期間又は他の好適な時間にわたって行われ得る。ディスプレイドライバ回路 20B の補償回路は、このような電流測定値を使用して、エージング効果（例えば、所与の Vgs 値に対してトランジスタ TD が生成する駆動電流 Id の量に影響を及ぼすエージング）に対して画素 22 を補償することができる。

【0083】

電流感知動作が完了した後、EM をハイに保持してトランジスタ TE をオフにし、かつ Scan 1 をハイにしてトランジスタ T1 をオンにし、それにより Vref から Node 2 に所定の電圧を伝達することにより、更には Scan 2 をローに保持してトランジスタ T2 をオンに保持することによってデータ線 Data から Node 1 に所望のデータ信号

を通過させることにより、画素 2 2 にデータがロードされ得る。画素 2 2 は、EM をローにしてトランジスタ TE をオンにし、Scan 1 をローにしてトランジスタ T 1 をオフにし、かつ Scan 2 をハイにしてトランジスタ T 2 をオフにすることにより、データがロードされた後に発光モードにされてもよい。

【0084】

信号 EM の電圧範囲は、 $-10\text{ V} \sim 8\text{ V}$ であってもよく、 $-8\text{ V} \sim 8\text{ V}$ であってもよく、又は任意の他の好適な電圧範囲であってもよい。Vddel の電圧は、 $5 \sim 8\text{ V}$ 又は他の好適な正電源電圧レベルであってもよい。Vssel の電圧は -2 V 又は他の好適な接地電源電圧レベルであってもよい。線 Data 上の信号の電圧範囲は、 $-4.5\text{ V} \sim -0.3\text{ V}$ 又は他の好適な電圧範囲であってもよい。Scan 2 の電圧範囲は、 $-10\text{ V} \sim -8\text{ V}$ であってもよく、 $-12\text{ V} \sim -4\text{ V}$ であってもよく、又は他の好適な電圧範囲であってもよい。Scan 1 の電圧範囲は、 $-10\text{ V} \sim -8\text{ V}$ であってもよく、 $-8\text{ V} \sim 8\text{ V}$ であってもよく、又は他の好適な電圧範囲であってもよい。

【0085】

図 2 の画素 2 2 のための構成は、画素 2 2 の各行内で 3 本の水平制御線上の 3 つのゲート制御信号 (EM、Scan 1 及び Scan 2) を使用し、画素 2 2 の各列内で 2 本の垂直線、すなわち Vref 及び Data を使用してデータ、基準電圧信号及び電流測定値を送る。垂直線 (線 Data) のうちの一方は、電流感知動作とデータロード動作の両方に使用される共用線である。ディスプレイ 1 4 内の画素 2 2 の各列には、好ましくは個別の Data 線が存在する。画素 2 2 に関連付けられた垂直線のうちの他方 (線 Vref) は、ディスプレイ 1 4 内の画素 2 2 の全てに共用電圧を並列に分配するために使用され得るグローバル経路の一部である。Vref がグローバル信号経路であるため、ディスプレイドライバ回路 20 A によって画素 2 2 に単一の Vref 信号のみを提供する必要がある (すなわち、個別の Vref 信号線が各列に使用されるシナリオに比べてディスプレイドライバ回路 20 B と画素 2 2 との間の信号ルーティングリソースの必要量が低減される)。図 2、5 及び 8 に示した種類の配置に使用される 2 本の別個の垂直信号線ではなく、1 本の別個の垂直信号線 Data のみを各列に設ける必要がある。従って、図 1 1 の配置は、ディスプレイドライバ回路のファンアウトが小さいことを示す。

【0086】

トランジスタ T 1 に対して低リーク電流の半電導酸化物トランジスタを使用することにより、可変リフレッシュレート動作中にディスプレイ 1 4 のリフレッシュレートを低レート (例えば $1 \sim 5\text{ Hz}$) に低下させてもよい。シリコントランジスタを使用してトランジスタ T 2 を実装することにより、充電時間 (すなわち、データロード動作中に Node 1 を所望の値まで充電することに関連付けられた時間) を最小限にしてもよい。図 1 1 の画素配置は、データロード中に Node 1 と Node 2 の両方が所望の電圧によって能動的にロードされるため、Vddel の変動 (例えば IR ドロップによる変動) の影響も受けにくく、それにより Vddel を使用することなく駆動トランジスタ TD の両端に所望のゲートソース電圧を定める。

【0087】

図 1 4 は、5 つのトランジスタ及び 1 つのコンデンサを備えた例示的な画素回路の図である。駆動トランジスタ TD は、正電源端子 40 と接地電源端子 42 との間で、発光イネーブルトランジスタ TE 1 及び TE 2 と、更には発光ダイオード 44 (例えば、有機発光ダイオード) と直列に結合されている。発光イネーブル制御信号 EM 1 及び EM 2 などの水平制御信号 (ゲート信号) を使用してトランジスタ TE 1 及び TE 2 をそれぞれ制御してもよい。操作制御信号 SCAN 1 及び SCAN 2 などの水平制御信号 (ゲート信号) を使用してスイッチングトランジスタ TS 1 及び TS 2 をそれぞれ制御してもよい。トランジスタ TS 1 は、例えば、半電導酸化物トランジスタであってもよく、トランジスタ TS 2、TE 1、TE 2 及び TD は、(一例として) シリコントランジスタであってもよい。コンデンサ Cst 1 は、(駆動トランジスタ TD のゲートの) Node 2 と (トランジスタ TD のソースの) Node 1 との間に結合されてもよい。線 Vref を使用して画素 2

2の列に基準電圧を供給してもよい。データ信号(D)は、データ線Dataを使用して画素22に供給されてもよい。

【0088】

図15は、図14に示した種類の画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。図15に示すように、オンバイアスストレス期間200の動作中にオンバイアスストレスを印加してもよく、データ書き込み期間202中にデータ書き込みを実行してもよく、発光期間204中に発光動作を実行してもよい。

【0089】

図16は、オンバイアスストレス期間200中の図14の画素回路の図である。この期間中、トランジスタTE2をオフにしてダイオード44に駆動電流が流れるのを防ぎ、トランジスタTS1をオンにして、トランジスタTDを事前調整するために駆動トランジスタTDのゲートにオンバイアスストレスを供給する。トランジスタTDの電圧Vgsはハイである。これは、TE1がオンでNode1がVddelであり、かつTS1がonでNode2がVrefであるためである。

【0090】

図17は、データ書き込み動作(図15の期間202)中の図14の画素回路の図である。データ書き込み中、最初にトランジスタTS1をオンにしてNode2上に既知の基準電圧Vrefをロードすると共に、トランジスタTS2をオンにしてNode1上にデータ信号(Vdata、Data又は信号Dと呼ばれることがある)をロードする。トランジスタTE1をオフにしてNode1をVddelから分離する。これにより、コンデンサCst1の両端に電圧Vdata-Vrefが生じる。次に、図18に示すように、トランジスタTS1及びトランジスタTS2をオフにし、トランジスタTE1をオンにする。TE1がオンになると、Node1の電圧がVddelになる。コンデンサCst1の両端の電圧は瞬時に変化しないため、Node1がVddelになると、Node2がVddel-(Vdata-Vref)になる。ダイオード44に電流が流れるため、従って、発光期間204中、発光46はVdataに比例する。

【0091】

図19、20A、20B、21及び22は、ディスプレイ14の画素22内のトランジスタTDなどの駆動トランジスタの閾電圧Vtの変動に対し、ディスプレイドライバ回路20がどのようにディスプレイ14を補償し得るかを示す。

【0092】

図19は、時には「電流感知」配置と呼ばれる場合がある種類の配置に従って閾電圧情報を収集するときの図14の画素回路の図である。図20Aは、閾電圧情報を収集する動作の際に関係する信号を示すタイミング図である。図20Aに示すように、オンバイアスストレス期間200中、オンバイアスストレスがトランジスタTDに印加されてもよい。期間202'中、閾電圧補償動作中に使用される所定のデータが画素22にロードされてもよい(すなわち、図17に関連してNode1上にVdataをロードすることに関連して記載されているようにコンデンサCst1の両端に既知の電圧が印加されてもよい)。データ書き込み期間202中に画像データが画素22にロードされてもよく、ロード済みの画像データを使用して発光期間204中にダイオード44によって放出される光の量を制御してもよい。期間202'から期間202までの間、ディスプレイドライバ回路20は、感知期間206中、駆動トランジスタTDの閾電圧Vtを測定してもよい。トランジスタTDの閾電圧Vtを決定するため、期間202'中に既知の基準データ値Vrefが書き込まれる。次に、データ線Data上の電流の流れが電流センサによって測定され、測定された電流から閾電圧Vtが算出される。次に、期間202中、Vtのあらゆる変動に対して外部補償されたデータを画素22に書き込むことができる。期間202中にディスプレイドライバ回路20が画素22に供給する画像データの値を調整することにより、図14の画素22などのディスプレイ14内の画素22のそれぞれを、閾電圧Vtの測定されたあらゆる変動に対して補償することができる(すなわち、ディスプレイドライバ回路20は、外部閾電圧補償方式を実装することができる)。

10

20

30

40

50

【0093】

図19は、感知期間206中の画素22の動作（閾電圧感知又は電流感知と呼ばれることがある）を示す。図19に示すように、期間206中、トランジスタTE1をオフにしてNode1をVddelから分離する。トランジスタTS1をオフにしてNode2をフローティングさせる。期間206中、期間202'中にコンデンサCst1にロードされた既知のデータによってトランジスタTDのゲートソース電圧Vgsが決定される。トランジスタTS2がオンであるため、トランジスタTD上の既知のデータ（及びトランジスタTDの閾電圧Vt）が、Data線上に流れている電流を決定する。ディスプレイドライバ回路20は、期間206中、この電流を測定して閾電圧Vtの値を確認する。次に、データ書き込み動作202中に画素22にロードされた画像データの値を調整することにより、適切な閾電圧補償動作を実行することができる（図20A）。 10

【0094】

図21は、別の例示的な外部閾電圧補償方式（すなわち、時には「電圧感知」方式と呼ばれる場合がある種類の方式）に従って閾電圧情報を収集するときの図14の画素回路の図である。図22は、図21に示すような画素を備えたディスプレイを動作させる際に関係する信号を示すタイミング図である。

【0095】

図22に示すように、オンバイアスストレス期間200中、オンバイアスストレスがトランジスタTDに印加されてもよい。データ書き込み期間22中に画像データが画素202にロードされてもよく、ロード済みの画像データを使用して発光期間204中にダイオード44によって放出される光の量を制御してもよい。期間200から202までの間、ディスプレイドライバ回路20は、感知期間208中、駆動トランジスタTDの閾電圧Vtを測定してもよい。最初に、トランジスタTS1をオンにしてNode2をVrefにしてもよい。これにより、データ線Data上に既知の電流が定まる。トランジスタTD及びTE2がオンであるため、発光ダイオード44に電流が流れる。トランジスタTE2、TD及びTS2にわたる電圧降下は小さいため、データ線Data上の生成電圧Voledを測定することができる。次に、流れる電流及び電圧Voledの既知の値から閾電圧Vtを得ることができる。期間202中にディスプレイドライバ回路20が画素22に供給する画像データの値を調整することにより、感知期間208中に測定されている閾電圧Vtのあらゆる変動に対して画素22を補償することができる（すなわち、ディスプレイドライバ回路20は、外部閾電圧補償方式を実装することができる）。 20 30

【0096】

図21は、感知期間208中の画素22の動作（電圧感知又はVoled感知と呼ばれることがある）を示す。図21に示すように、期間208中、トランジスタTE1をオフにしてNode1をVddelから分離する。トランジスタTS1をオンにして、駆動トランジスタTDのゲートGのNode2に基準電圧Vrefを供給する。既知のデータ電圧Vdataが、Data線を通じて、更にはオンであるトランジスタTS2を通じて、駆動トランジスタTDのソースSのNode1に供給される。これにより、駆動トランジスタTDの両端に既知のゲートソース電圧Vgsが定まる。トランジスタTDの既知のVgs値及び閾電圧Vtは、Data線からダイオード44に流れている電流の量を決定する。ディスプレイドライバ回路20は、期間208中、この電流を測定して閾電圧Vtの値を確認する。次に、データ書き込み動作202中に画素22にロードされた画像データの値を調整することにより、適切な閾電圧補償動作を実行することができる（図22）。 40

【0097】

所望により、図20Bに示すように、図20Aの過程にセトリング時間を挿入してもよい。このセトリング時間により、データ線Data上の電圧をVddel近傍の高電圧に定めることができ、発光ダイオード44が正常な発光動作を電流感知中に再現することができる。セトリング動作の感知により、データ線Dataに結合されている回路20内のアナログ／デジタルコンバータ回路は、線Data上の電圧を十分な時間サンプリングすることができる。 50

【0098】

図23は画素22のための例示的な6T1C構成を示す。トランジスタTS3及びトランジスタTS2は、図23に示すように走査信号Scan2によって制御されてもよく、又はトランジスタTS3のゲートは、前走査線信号（例えば、前行からのScan2（n-1））を使用して制御されてもよい。図23のトランジスタTS3は、発光ダイオード44のアノードのNode4をリセットするために使用されてもよい。発光ダイオード44の寄生容量は、データ書き込み中にNode4を（例えば、約2.5ボルトから-6ボルトに）迅速に放電して発光ダイオード44を迅速にオフにすることができる。このことは、Node4を発光ダイオード44の閾電圧未満に低下させるのに役立ち、ディスプレイ14上に黒画像を表示している間に駆動トランジスタTDからのリークによって発光ダイオード44が点灯するのを防ぐのに役立つ。図24は、オンバイアスストレス、データ書き込み及び発光期間中に図23の画素22を動作させるのに使用され得る例示的な制御信号を示す。

10

【0099】

図25の画素22のための例示的な構成では、トランジスタTD上の電流感知動作を実行している間にトランジスタTD及び不所望に点灯するダイオード44を電流が通過するのを防ぐのに役立つ（Scan3によって制御される）バイパストランジスタTS4によってTS3が置換されている。所望により、トランジスタTS4を代替の位置TS4'に配置してもよい。図25の例は単なる例示に過ぎない。図26は、図25の画素22を動作させる際に使用され得る制御信号を示す。図27は、オンバイアスストレス動作中の図22の画素25を示す。図28はデータ書き込み中の図25の画素22を示す。図29は、発光動作中の図25の画素22を示す。図30は、TDのVtを測定するための電流感知動作中の図25の画素22を示す（この場合、発光ダイオード44は、トランジスタTS4によって定められた電流バイパス経路によって点灯していない。図31の例では、トランジスタTS4は電圧感知方式で使用されている。図31の電圧感知方式では、トランジスタTS3を使用してトランジスタTS2、TD及びTE2にわたる電圧降下が生じないようにすることにより、感知精度を向上させている。

20

【0100】

図32は、図30に関連して記載された種類の電流感知動作がどのように実行され得るかを示す、図26に示した種類の図である。

30

【0101】

これらの例が示すとおり、駆動トランジスタTDに対する閾電圧測定中に電流バイパス経路を生成するために追加のトランジスタを画素22に組み込んでもよい。追加のトランジスタは、発光ダイオード44をバイパスするバイパス経路を生成するのに使用されるため、追加のトランジスタは、時にはバイパストランジスタと呼ばれる場合がある。バイパストランジスタは、例えば、シリコントランジスタ（すなわち、シリコン活性領域を有するトランジスタ）であってもよい。

【0102】

一実施形態によれば、ディスプレイドライバ回路と、画素のアレイと、ディスプレイドライバ回路と画素との間で信号を伝える信号線とを備えるディスプレイが提供され、各画素は、正電源と接地電源との間に直列に結合された、発光トランジスタと、駆動トランジスタと、発光ダイオードと、第1の経路と駆動トランジスタのゲートとの間に結合された第1のスイッチングトランジスタと、第2の経路と駆動トランジスタのソースとの間に結合された第2のスイッチングトランジスタと、駆動トランジスタのゲートとソースとの間に結合されたコンデンサとを含む。

40

【0103】

別の実施形態によれば、駆動トランジスタは発光トランジスタと発光ダイオードとの間に結合され、第1のスイッチングトランジスタは半電導酸化物トランジスタを含む。

【0104】

別の実施形態によれば、第2のスイッチングトランジスタはシリコントランジスタを含

50

む。

【0105】

別の実施形態によれば、駆動トランジスタ及び発光トランジスタはシリコントランジスタである。

【0106】

別の実施形態によれば、第1のスイッチングトランジスタはnチャネルトランジスタであり、第2のスイッチングトランジスタ、発光トランジスタ及び駆動トランジスタはpチャネルトランジスタである。

【0107】

別の実施形態によれば、第2の経路は、電流感知動作中に感知された電流を駆動トランジスタからディスプレイドライバ回路に伝達し、データロード動作中にデータ信号をコンデンサに伝達する共用経路である。

10

【0108】

別の実施形態によれば、画素のアレイは、画素の列と画素の行とを含み、信号線は、列のそれぞれにおいて、当該列内の画素のそれぞれの第2の経路として機能する個別の信号線を含む。

【0109】

別の実施形態によれば、第1の経路は、ディスプレイドライバ回路から画素の行及び列内の画素のそれぞれに共通電圧を供給するグローバル信号経路を含む。

【0110】

別の実施形態によれば、第1のスイッチングトランジスタは、nチャネルトランジスタと、発光トランジスタと、駆動トランジスタとを含み、第2のスイッチングトランジスタはpチャネルトランジスタを含む。

20

【0111】

別の実施形態によれば、第1のスイッチングトランジスタは半電導酸化物トランジスタを含む。

【0112】

別の実施形態によれば、発光トランジスタ、駆動トランジスタ及び第2のスイッチングトランジスタはシリコントランジスタを含む。

【0113】

一実施形態によれば、ディスプレイドライバ回路と、画素のアレイと、ディスプレイドライバ回路と画素との間で信号を伝える信号線とを備えるディスプレイが提供され、各画素は、正電源と接地電源との間に直列に結合された、正電源に結合されたソースを有する駆動トランジスタと、発光トランジスタと、発光ダイオードと、第1の経路と駆動トランジスタのゲートとの間に結合された第1のスイッチングトランジスタと、第2の経路と発光トランジスタと発光ダイオードとの間のノードとの間に結合された第2のスイッチングトランジスタと、駆動トランジスタのゲートとソースとの間に結合されたコンデンサとを含む。

30

【0114】

別の実施形態によれば、第1のスイッチングトランジスタ、第2のスイッチングトランジスタ、駆動トランジスタ及び発光トランジスタはpチャネルトランジスタを含む。

40

【0115】

別の実施形態によれば、第1のスイッチングトランジスタ、第2のスイッチングトランジスタ、駆動トランジスタ及び発光トランジスタはシリコントランジスタを含み、画素は行及び列に配置され、画素の各列は、当該列内の画素のそれぞれの第1の経路を形成するデータ線を有し、かつ当該列内の画素のそれぞれの第2の経路を形成する基準電圧線を有する。

【0116】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータ線と、ディスプレイドライバ回路に結合されたゲート線と、画素のアレイと

50

を備えるディスプレイが提供され、画素は、ディスプレイドライバ回路からデータ線を介してデータを受信し、ディスプレイドライバ回路からゲート線を介して受信した制御信号によって制御され、画素のアレイ内の各画素は、第1の電源端子と第2の電源端子との間に直列に結合された、発光ダイオードと、駆動トランジスタと、第1及び第2の発光インエーブルトランジスタとを有し、各画素は、駆動トランジスタのソース端子と駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素は、基準電圧線と駆動トランジスタのゲートとの間に結合された第1のスイッチングトランジスタを有し、かつデータ線のうちの1本と駆動トランジスタのソース端子との間に結合された第2のスイッチングトランジスタを有し、ゲート線は、第1及び第2の発光トランジスタ並びに第1及び第2のスイッチングトランジスタに制御信号を供給し、第1のスイッチングトランジスタは半電導酸化物活性領域を有し、第2のスイッチングトランジスタ、第1及び第2のインエーブルトランジスタ並びに駆動トランジスタはシリコン活性領域を有する。

10

【0117】

別の実施形態によれば、ディスプレイドライバ回路は、駆動トランジスタを事前調整するために駆動トランジスタにオンバイアスストレスを印加するオンバイアスストレス期間において、制御信号及びデータを供給して画素のアレイを動作させるように構成されている。

【0118】

別の実施形態によれば、ディスプレイドライバ回路は、感知期間中にデータ線を通る電流を測定することによって駆動トランジスタに対する閾電圧測定を行うように構成されている。

20

【0119】

別の実施形態によれば、ディスプレイドライバ回路は、感知期間中にゲート線を介して制御信号を供給して、第1のスイッチングトランジスタをオフにし、第2のスイッチングトランジスタをオンにし、第1の発光トランジスタをオフにし、かつ第2の発光トランジスタをオンにするように構成されている。

【0120】

別の実施形態によれば、ディスプレイドライバ回路は、感知期間中にゲート線を介して制御信号を供給して、第1のスイッチングトランジスタをオンにし、第2のスイッチングトランジスタをオンにし、第1の発光トランジスタをオフにし、かつ第2の発光トランジスタをオンにするように構成されている。

30

【0121】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータ線と、ディスプレイドライバ回路に結合されたゲート線と、画素のアレイとを備えるディスプレイが提供され、画素は、ディスプレイドライバ回路からデータ線を介してデータを受信し、ディスプレイドライバ回路からゲート線を介して受信した制御信号によって制御され、画素のアレイ内の各画素は、第1の電源端子と第2の電源端子との間に直列に結合された、アノード及びカソードを有する発光ダイオードと、駆動トランジスタと、第1及び第2の発光インエーブルトランジスタとを有し、各画素は、駆動トランジスタのソース端子と駆動トランジスタのゲート端子との間に結合されたコンデンサを有し、各画素は、基準電圧線と駆動トランジスタのゲートとの間に結合された第1のスイッチングトランジスタを有し、かつデータ線のうちの1本と駆動トランジスタのソース端子との間に結合された第2のスイッチングトランジスタを有し、各画素は、発光ダイオードのアノードに結合された端子を有するバイパストランジスタを有し、ゲート線は、第1及び第2の発光トランジスタ並びに第1及び第2のスイッチングトランジスタに制御信号を供給し、第1のスイッチングトランジスタは半電導酸化物活性領域を有し、第2のスイッチングトランジスタ、第1及び第2のインエーブルトランジスタ、駆動トランジスタ並びにバイパストランジスタはシリコン活性領域を有する。

40

【0122】

上記は単なる例示に過ぎず、説明された実施形態に対して様々な修正を実施することが

50

できる。上記の実施形態は、個々に、又は任意の組み合わせで実装することができる。

【図 1】

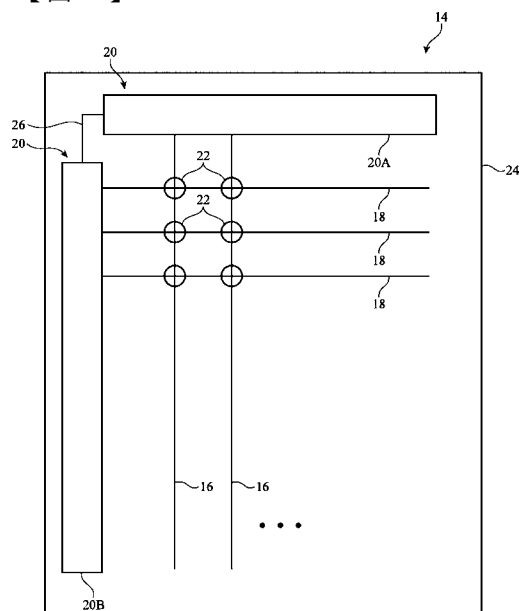


FIG. 1

【图 2】

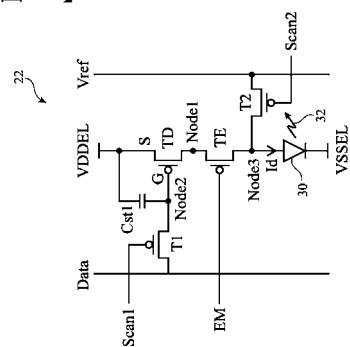


FIG. 2

【図 3】

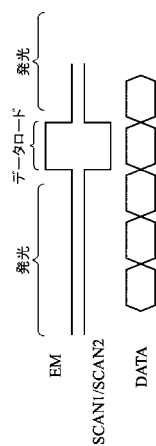
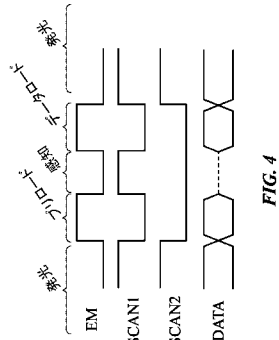


FIG. 3

【図 4】



【図 5】

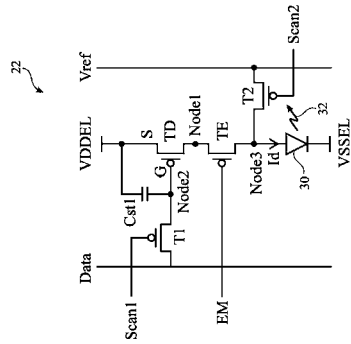


FIG. 5

【图 8】

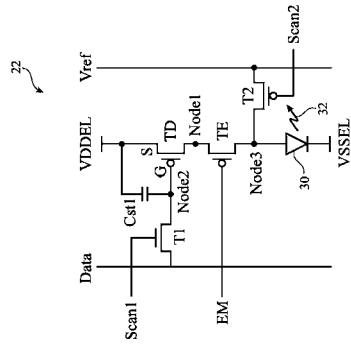


FIG. 8

【图 9】

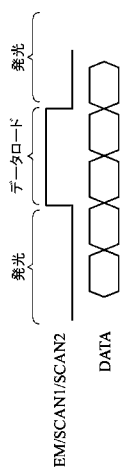


FIG. 9

【図 6】

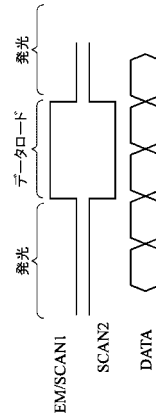


FIG. 6

【图 7】

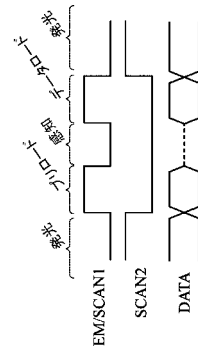


FIG. 7

【 図 1 0 】

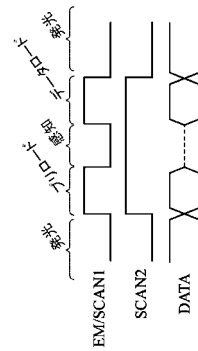


FIG. 10

【图 1 1】

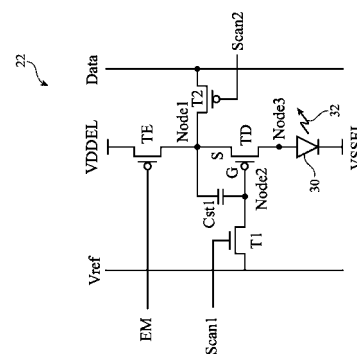


FIG. 11

【図 12】

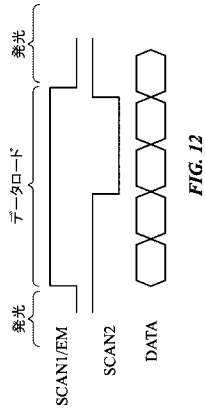


FIG. 12

【図 13】

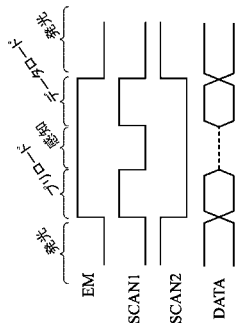


FIG. 13

【図 16】

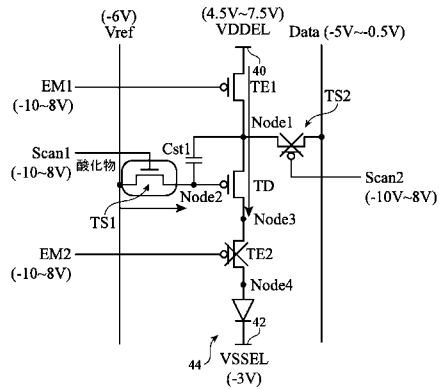


FIG. 16

【図 17】

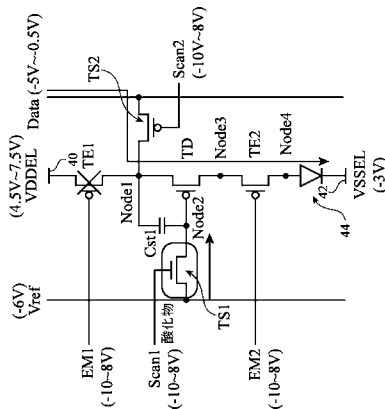


FIG. 17

【図 14】

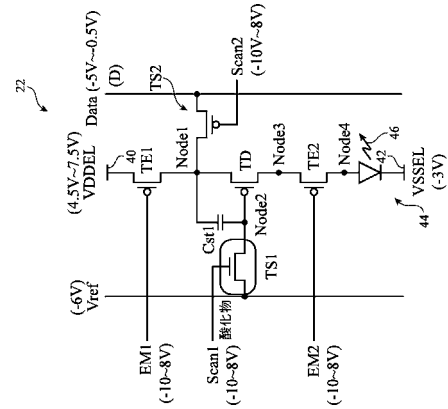


FIG. 14

【図 15】

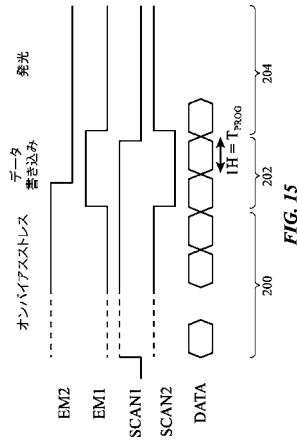


FIG. 15

【図 18】

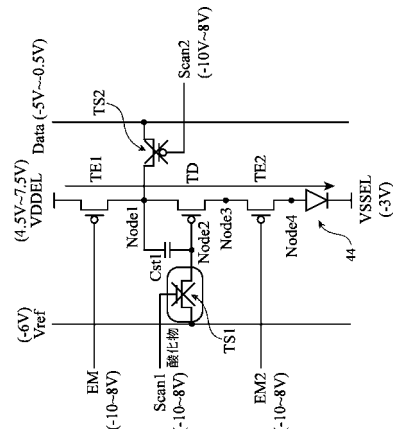


FIG. 18

【図 19】

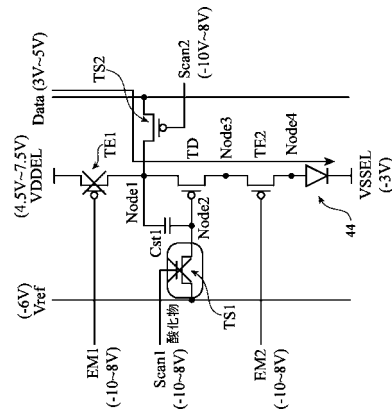


FIG. 19

【図 27】

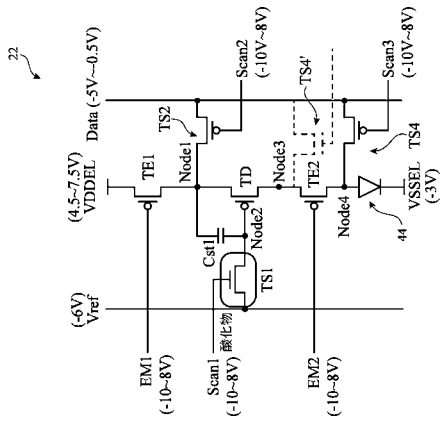


FIG. 25

【図 2 6】

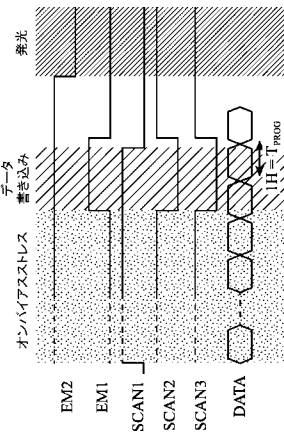


FIG. 26

【图 28】

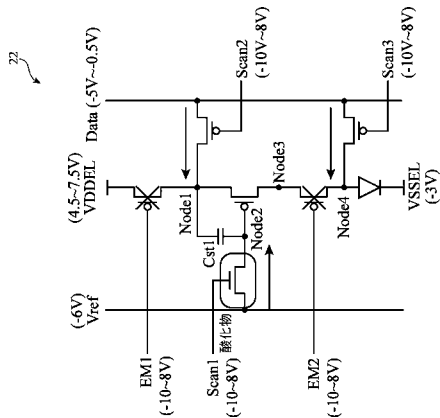


FIG. 28

【图 29】

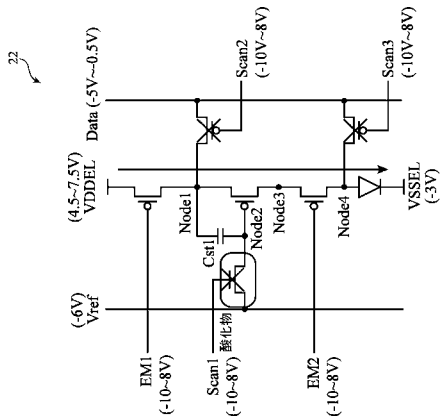


FIG. 29

【図 30】

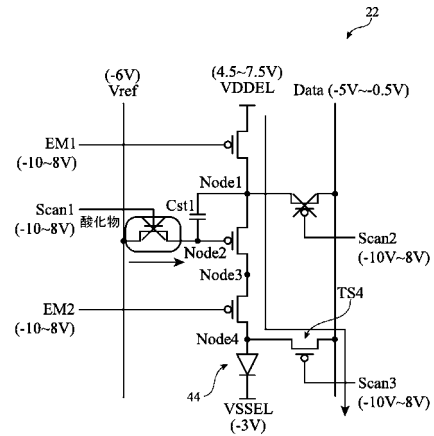


FIG. 30

【図 3 2】

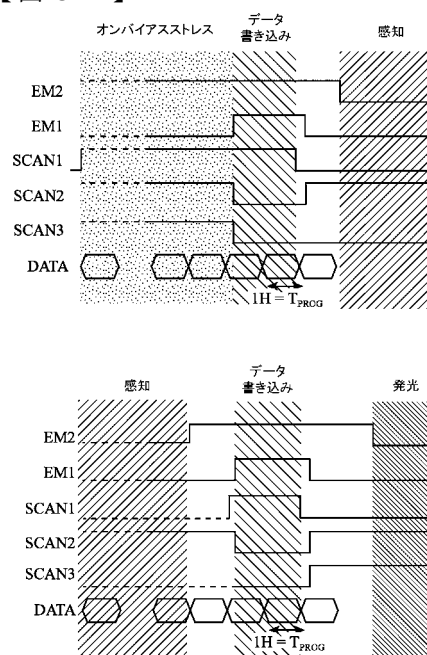


FIG. 32

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/057296

A. CLASSIFICATION OF SUBJECT MATTER

INV. G09G3/3233

ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2015/213757 A1 (TAKAHAMA KENGO [JP] ET AL) 30 July 2015 (2015-07-30) paragraphs [0004], [0040], [0041], [0066], [0127] - [0129], [0334] - [0356]; figures 1,2,46 -----	1,2 3-8, 15-20
X A	US 2015/248856 A1 (KISHI NORITAKA [JP] ET AL) 3 September 2015 (2015-09-03) figure 2 -----	1 2
X A	US 2010/220117 A1 (KIMURA HAJIME [JP]) 2 September 2010 (2010-09-02) figure 2B -----	1 15,20
A	US 2015/109279 A1 (GUPTA VASUDHA [US] ET AL) 23 April 2015 (2015-04-23) paragraph [0047] -----	2-4,15, 20
	-/--	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

5 January 2017

Date of mailing of the international search report

14/03/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Pichon, Jean-Michel

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/057296

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 204 167 325 U (APPLE INC) 18 February 2015 (2015-02-18) the whole document & US 2016/087022 A1 (TSAI TSUNG-TING [TW] ET AL) 24 March 2016 (2016-03-24) paragraphs [0026] - [0027]; figures 1-2 -----	2-4, 15, 20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2016/057296**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-8, 15-20

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/ US2016/ 057296

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-8, 15-20

the second switching transistor comprises a silicon transistor

2. claims: 9-11

the emission transistor, the drive transistor and the second switching transistor comprise p-channel transistors

3. claims: 12-14

the source of the drive transistor is coupled to the positive power supply

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2016/057296

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2015213757 A1	30-07-2015	CN 104520918 A JP 5908084 B2 JP W02014021201 A1 US 2015213757 A1 WO 2014021201 A1	15-04-2015 26-04-2016 21-07-2016 30-07-2015 06-02-2014
US 2015248856 A1	03-09-2015	US 2015248856 A1 WO 2014046029 A1	03-09-2015 27-03-2014
US 2010220117 A1	02-09-2010	CN 101819987 A CN 106409228 A JP 5714827 B2 JP 5976869 B2 JP 2010224532 A JP 2015146028 A JP 2016194723 A KR 20100098327 A TW 201115538 A US 2010220117 A1 US 2015280005 A1	01-09-2010 15-02-2017 07-05-2015 24-08-2016 07-10-2010 13-08-2015 17-11-2016 06-09-2010 01-05-2011 02-09-2010 01-10-2015
US 2015109279 A1	23-04-2015	NONE	
CN 204167325 U	18-02-2015	CN 104332485 A CN 204167325 U US 2016087022 A1 US 2017062539 A1 WO 2016048385 A1	04-02-2015 18-02-2015 24-03-2016 02-03-2017 31-03-2016

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 3 D
	H 0 5 B 33/14	A

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM), EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR), OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG), AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA

(74)代理人 100116894

弁理士 木村 秀二

(74)代理人 100130409

弁理士 下山 治

(74)代理人 100134175

弁理士 永川 行光

(72)発明者 リン, チン-ウェイ

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1
, エム/エス 8 9 - 2 ピーピーオー

(72)発明者 リン, ヒュン ション

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1
, エム/エス 8 3 - アイ

(72)発明者 チャン, シー-チャン

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1
, エム/エス 8 9 - 2 ピーピーオー

F ターム(参考) 3K107 AA01 BB01 BB07 CC21 CC31 DD39 EE04 HH02 HH05

5C080 AA06 BB05 DD26 DD29 JJ03 JJ04 KK07

5C380 AA01 AB06 AB45 AC02 AC08 AC11 AC12 BA01 BA06 BA10

BA12 BA19 BD04 BD08 BD10 CA53 CA54 CC26 CC27 CC33

CC39 CC64 CC65 CD014 CD015 CD016 CF49 CF62 CF66 DA02

DA41 DA58 FA03 FA28 GA17

专利名称(译)	显示发光二极管		
公开(公告)号	JP2018537715A	公开(公告)日	2018-12-20
申请号	JP2018528943	申请日	2016-10-17
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	リンチンウェイ リンヒュンション チャンシーチャン		
发明人	リン, チン-ウェイ リン, ヒュン ション チャン, シー-チャン		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0861 G09G2320/0295 H01L27/1225 H01L29/78651 H01L29/7869 G09G3/3266 G09G3/3275 G09G2320/043 G09G2330/028 G09G2310/0202		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.670.J G09G3/20.611.F G09G3/20.621.M G09G3/20.621.A G09G3/20.622.C G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB07 3K107/CC21 3K107/CC31 3K107/DD39 3K107/EE04 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD26 5C080/DD29 5C080/JJ03 5C080/JJ04 5C080/KK07 5C380/AA01 5C380/AB06 5C380/AB45 5C380/AC02 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA06 5C380/BA10 5C380/BA12 5C380/BA19 5C380/BD04 5C380/BD08 5C380/BD10 5C380/CA53 5C380/CA54 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC64 5C380/CC65 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CF49 5C380/CF62 5C380/CF66 5C380/DA02 5C380/DA41 5C380/DA58 5C380/FA03 5C380/FA28 5C380/GA17		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	62/263074 2015-12-04 US 15/263803 2016-09-13 US		
其他公开文献	JP6654701B2		
外部链接	Espacenet		

摘要(译)

显示器可以具有像素阵列。每个像素具有诸如有机发光二极管的发光二极管 (30)。驱动晶体管 (TD) 和发光晶体管 (TE) 在正电源 (VDDEL) 和接地电源 (VSSEL) 之间串联耦合至每个像素 (22) 的发光二极管 (30)。像素 (22) 包括第一和第二开关晶体管 (T1 , T2)。数据存储电容器 (Cst1) 耦合在每个像素中的驱动晶体管 (TD) 的栅极和源极之间。信号线 (数据) 可以设置在像素的列中, 用于在显示驱动器电路和像素之间传输诸如数据信号, 来自驱动晶体管的感测的驱动电流以及预定电压之类的信号。。开关晶体管 (T1 , T2), 发光晶体管 (TE) 和驱动晶体管 (TD) 可以包括半导体氧化物晶体管和硅晶体管, 并且可以是n沟道晶体管或p沟道晶体管。

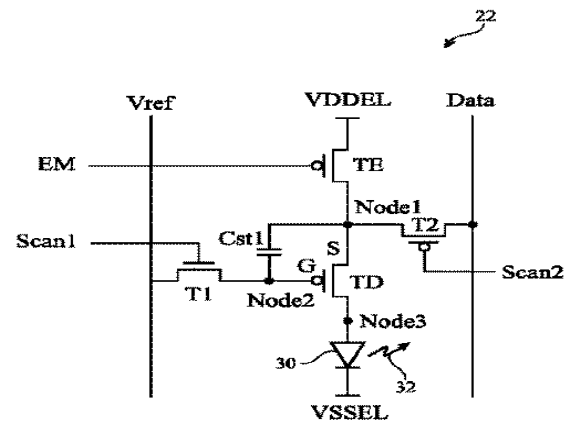


FIG. 11