

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-113230

(P2010-113230A)

(43) 公開日 平成22年5月20日(2010.5.20)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 611H	5C094
H05B 33/08 (2006.01)	G09G 3/20 642A	
H01L 51/50 (2006.01)	G09G 3/20 612G	

審査請求 未請求 請求項の数 5 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2008-286782 (P2008-286782)
 (22) 出願日 平成20年11月7日(2008.11.7)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 谷亀 貴央
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03 HH05

最終頁に続く

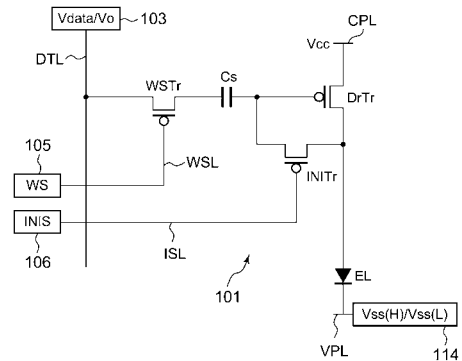
(54) 【発明の名称】 画素回路及び表示装置と電子機器

(57) 【要約】

【課題】 少ないトランジスタ素子数で閾電圧補正機能を実現した画素回路を提供する。

【解決手段】

容量素子Csは入力端と出力端とを有する。サンプリングトランジスタWSTrは、一対の電流端が信号線DTLと容量素子Csの入力端との間に接続し、制御端が第1走査線WSLに接続している。ドライブトランジスタDrTrは、制御端が容量素子Csの出力端に接続し、一方の電流端が固定電源線CPLに接続している。初期化トランジスタINITrは、制御端が第2走査線ISLに接続し、一対の電流端が容量素子Csの出力端とドライブトランジスタDrTrの他方の電流端に接続している。発光素子ELは、可変電源線VPLとドライブトランジスタDrTrの他方の電流端とに接続している。



【選択図】 図4A

【特許請求の範囲】**【請求項 1】**

信号電位と基準電位とが交互に切り換わる信号線と、第 1 制御パルスを供給する第 1 走査線と、第 2 制御パルスを供給する第 2 走査線と、固定電源線と、第 1 電位と第 2 電位とで切り換わる可変電源線とが配された基板に形成され、

入力端と出力端とを有する容量素子と、

一对の電流端が該信号線と該容量素子の入力端との間に接続し、制御端が第 1 走査線に接続したサンプリングトランジスタと、

制御端が該容量素子の出力端に接続し、一方の電流端が該固定電源線に接続したドライブトランジスタと、

制御端が第 2 走査線に接続し、一对の電流端が該容量素子の出力端と該ドライブトランジスタの他方の電流端に接続した初期化トランジスタと、

該可変電源線と該ドライブトランジスタの他方の電流端とに接続した発光素子とからなる

画素回路。

【請求項 2】

該信号線が信号電位にあり且つ該可変電源線が第 1 電位にあるとき、該サンプリング用トランジスタが第 1 制御パルスに応答してオンして、該容量素子の入力端側に信号電位を書込む一方、該初期化トランジスタが第 2 制御パルスに応答してオンし、該容量素子の出力端側に該ドライブトランジスタの閾電圧をキャンセルする電位を書込み、

該初期化トランジスタがオフになる一方該サンプリングトランジスタがオンを維持した状態で、該信号線が信号電位から基準電位に切り換わることで、カップリングにより信号電位を該容量素子の入力端側から出力端側に書込み、

該サンプリングトランジスタがオフし且つ該可変電源線が第 1 電位から第 2 電位に切り替わって、該発光素子が発光する請求項 1 記載の画素回路。

【請求項 3】

前記可変電源線が第 2 電位から第 1 電位に切り換わると、該発光素子が発光状態から非発光状態に変化する請求項 2 記載の画素回路。

【請求項 4】

画素アレイ部と駆動部とからなり、

前記画素アレイ部は、列状の信号線と、行状の第 1 走査線と、行状の第 2 走査線と、固定電源線と、可変電源線と、各信号線と各第 1 走査線とが交差する部分に配された行列状の画素とからなり、

前記駆動部は、各第 1 走査線及び第 2 走査線に夫々制御パルスを供給するスキャナと、各信号線に信号電位と基準電位を交互に切り換えて供給するドライバと、該可変電源線を第 1 電位と第 2 電位とで切り換える電源回路とを含み、

前記画素は、

入力端と出力端とを有する容量素子と、

一对の電流端が該信号線と該容量素子の入力端との間に接続し、制御端が第 1 走査線に接続したサンプリングトランジスタと、

制御端が該容量素子の出力端に接続し、一方の電流端が該固定電源線に接続したドライブトランジスタと、

制御端が第 2 走査線に接続し、一对の電流端が該容量素子の出力端と該ドライブトランジスタの他方の電流端に接続した初期化トランジスタと、

該可変電源線と該ドライブトランジスタの他方の電流端とに接続した発光素子とからなる

表示装置。

【請求項 5】

本体と、該本体に入力する情報若しくは本体から出力された情報を表示する表示器とからなり、

10

20

30

40

50

前記表示器は、画素アレイ部と駆動部とからなり、

前記画素アレイ部は、列状の信号線と、行状の第1走査線と、行状の第2走査線と、固定電源線と、可変電源線と、各信号線と各第1走査線とが交差する部分に配された行列状の画素とからなり、

前記駆動部は、各第1走査線及び第2走査線に夫々制御パルスを供給するスキャナと、各信号線に信号電位と基準電位を交互に切り換えて供給するドライバと、該可変電源線を第1電位と第2電位とで切り換える電源回路とを含み、

前記画素は、

入力端と出力端とを有する容量素子と、

一对の電流端が該信号線と該容量素子の入力端との間に接続し、制御端が第1走査線に接続したサンプリングトランジスタと、

制御端が該容量素子の出力端に接続し、一方の電流端が該固定電源線に接続したドライブトランジスタと、

制御端が第2走査線に接続し、一对の電流端が該容量素子の出力端と該ドライブトランジスタの他方の電流端に接続した初期化トランジスタと、

該可変電源線と該ドライブトランジスタの他方の電流端とに接続した発光素子とからなる

電子機器。

10

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、発光素子をトランジスタで駆動する画素回路に関する。またこのような画素回路を行列状に配置して画像を表示する表示装置に関する。更にこのような表示装置を組み込んだ電子機器に関する。

【背景技術】

【0002】

発光素子をトランジスタで駆動する画素回路が、例えば特許文献1に記載されている。画素回路は映像信号を供給する信号線と制御パルスを供給する走査線とが配された基板に形成される。画素回路は基本的に、サンプリングトランジスタとドライブトランジスタと発光素子とで構成されている。サンプリングトランジスタは走査線から供給される制御パルスに応答してオンし、信号線から供給された映像信号を取り込む。ドライブトランジスタは取り込んだ映像信号に応じて駆動電流を発光素子に供給する。発光素子は駆動電流により映像信号に応じた輝度で発光する。

30

【特許文献1】特開2007-133369

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来の画素回路は、半導体プロセスで薄膜型のトランジスタを基板に形成している。薄膜トランジスタは閾電圧にばらつきがある。映像信号に基づいて発光素子を駆動するドライブトランジスタに閾電圧のばらつきがあると、発光輝度にばらつきが生じるため表示装置の画面のユニフォームリティを損なう。

40

【0004】

従来の画素回路は、ドライブトランジスタの閾電圧のばらつきを補正する機能(閾電圧補正機能)を画素回路内に組み込んでいる。しかしながら画素回路に閾電圧補正機能を組み込むために、追加のトランジスタが必要になる。特許文献1に記載の画素回路は、合計で6個のトランジスタで構成されている。画素回路に多くのトランジスタを集積形成すると、画素のサイズが微細化できず、高精細の表示装置を実現する上で解決すべき課題となっている。

【課題を解決するための手段】

50

【 0 0 0 5 】

上述した従来 of 技術 of 課題に鑑み、本発明は少ないトランジスタ素子数で閾電圧補正機能を実現した画素回路を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち本発明に係る画素回路は、信号電位と基準電位とが交互に切り換わる信号線と、第1制御パルスを供給する第1走査線と、第2制御パルスを供給する第2走査線と、固定電源線と、第1電位と第2電位とで切り換わる可変電源線とが配された基板に形成されている。この画素回路は、入力端と出力端とを有する容量素子と、一对の電流端が該信号線と該容量素子の入力端との間に接続し、制御端が第1走査線に接続したサンプリ
ングトランジスタと、制御端が該容量素子の出力端に接続し、一方の電流端が該固定電源
線に接続したドライブトランジスタと、制御端が第2走査線に接続し、一方の電流端が該
容量素子の出力端と該ドライブトランジスタの他方の電流端に接続した初期化トランジス
タと、該可変電源線と該ドライブトランジスタの他方の電流端とに接続した発光素子と
かなる。

10

【 0 0 0 6 】

好ましくは、該信号線が信号電位にあり且つ該可変電源線が第1電位にあるとき、該サ
ンプリ
ング用トランジスタが第1制御パルスに
応答してオンして、該容量素子の入力端側
に信号電位を書込む一方、該初期化トランジスタが第2制御パルスに
応答してオンし、該
容量素子の出力端側に該ドライブトランジスタの閾電圧をキャンセルする電位を書込む。
次に該初期化トランジスタがオフになる一方該サンプリ
ングトランジスタがオンを維持し
た状態で、該信号線が信号電位から基準電位に切り換わることで、カップリングにより信
号電位を該容量素子の入力端側から出力端側に書込む。この後該サンプリ
ングトランジスタがオフし且つ該可変電源線が第1電位から第2電位に切り替わって、該発光素子が発光
する。又前記可変電源線が第2電位から第1電位に切り換わると、該発光素子が発光状態
から非発光状態に変化する。

20

【 発明 of 効果 】

【 0 0 0 7 】

本発明によれば、画素回路はサンプリ
ングトランジスタとドライブトランジスタと初期
化トランジスタとで構成されている。トランジスタの素子数が大幅に削減されており、画
素回路の微細化が可能になる。このように画素回路を微細化しても、閾電圧補正機能が組
み込まれており、発光素子の輝度のばらつきを抑制することができる。

30

【 発明を実施するための最良 of 形態 】

【 0 0 0 8 】

以下、発明を実施するための最良 of 形態（実施形態と云う）について説明する。なお説
明は以下の順序で行う。

参考形態

実施形態

応用形態

【 0 0 0 9 】

参考形態

[全体構成]

図1Aは、表示装置 of 参考形態を示す全体ブロック図である。この参考形態は本発明 of
背景を明らかにするものである。本発明はこの参考形態 of 改良版に相当する。図示するよ
うに参考形態に係る表示装置100は基本的に画素アレイ部102と駆動部とで構成され
ている。画素アレイ部102は行状 of 第1走査線WSLと第2走査線ISLとを含んでい
る。またこれらの走査線WSL, ISLと並行に第3走査線DSLが形成されている。な
お走査線WSL, ISL及びDSLを行毎に区別 of 場合には101乃至10m of 番号を付
す。mは行数を表している。

40

【 0 0 1 0 】

画素アレイ部102は更に列状 of 信号線DTLが形成されている。信号線DTLを列毎
に区別 of 場合、番号101乃至10nを付す。nは列番号を表している。更に画素アレ

50

イ部102は、行状の走査線WSLと列状の信号線DTLが交差する部分に、行列状に配された画素(PXLC)101を含んでいる。係る構成を有する画素アレイ部102は基板上に集積形成されている。

【0011】

一方周辺の駆動部は電源スキャナ(DSCN)104、ライトスキャナ(WSCN)105、初期化スキャナ(ISCN)106、水平セレクタ(HSEL)103などを含んでいる。

【0012】

ライトスキャナ105は走査線WSL101乃至10mを順次走査して制御パルスを各走査線WSL101乃至10mに供給する。初期化スキャナ106はライトスキャナ105の線順次走査に同期して、各第2走査線ISL101乃至ISL101mに第2制御パルスを順次供給する。電源スキャナ104は線順次走査に同期して、各第3走査線DSL101乃至DSL10mに順次第3制御パルスを供給する。ライトスキャナ105、初期化スキャナ106及び電源スキャナ104はそれぞれシフトレジスタで構成されており、互いの同期をとるために外部から各シフトレジスタに対してスタートパルスSTとクロック信号CKが供給されている。さらに第1制御パルスや第2制御パルスの波形を整形するために、外部からイネーブル信号EN1, EN2が供給されている。

10

【0013】

一方水平セレクタ103は、スキャナ104, 105, 106側の線順次走査に同期して各信号線DTL101乃至DTL10nに映像信号を供給する。

20

【0014】

[画素の回路構成]

図1Bは、図1Aに示した表示装置100の画素アレイ部102に含まれる画素101の構成を示す回路図である。図示するように画素回路101は、6個のトランジスタWSTr1, WSTr2, DrTr, INITr, DSTr1, DSTr2と、1個の発光素子ELと、1個の容量素子(画素容量)Csとで構成されている。6個のトランジスタは全てPチャンネル型となっている。

【0015】

第1サンプリングトランジスタWSTr1は、一对の制御端(ソース及びドレイン)が信号線DTLと画素容量Csの入力端との間に接続されている。WSTr1の制御端(ゲート)は第1走査線WSLに接続している。

30

【0016】

ドライブトランジスタDrTrはその制御端(ゲート)が画素容量Csの出力端に接続している。ドライブトランジスタDrTrの一方の電流端(ソース)は電源ラインVCCPに接続している。

【0017】

第2サンプリングトランジスタWSTr2の一方の電流端は、画素容量Csの出力端とドライブトランジスタDrTrの他方の電流端(ドレイン)の間に接続している。WSTr2の制御端は第1走査線WSLに接続している。換言すると第1サンプリングトランジスタWSTr1と第2サンプリングトランジスタWSTr2は同じタイミングで走査線WSLによりオン・オフ制御される。

40

【0018】

初期化トランジスタINITrは、その一方の電流端がドライブトランジスタDrTrのドレインと初期化電位Viniとの間に接続されている。初期化トランジスタINITrの制御端は第2走査線ISLに接続している。

【0019】

第1スイッチングトランジスタDSTr1は一方の電流端がドライブトランジスタDrTrのドレインに接続し、他方の電流端が発光素子ELのアノードに接続している。発光素子ELのカソードはカソード電位Vcathに接続している。第1スイッチングトランジスタDSTr1の制御端(ゲート)は第3走査線DSLに接続している。

50

【 0 0 2 0 】

第2スイッチングトランジスタD S T r 2は、一方の電流端が画素容量C sの入力端に接続し、他方の電流端が初期化電位V i n iに接続している。第2スイッチングトランジスタD S T r 2のゲートは第3走査線D S Lに接続している。従って第2スイッチングトランジスタD S T r 2は第1スイッチングトランジスタD S T r 1と共に、第3走査線D S Lから供給される第3制御パルスに 응답してオン・オフ動作する。

【 0 0 2 1 】

図2 Aは、図1 Bに示した表示装置1 0 0から1個の画素回路1 0 1を抜き取って模式的に表した回路図である。以下この回路図に従って、画素1 0 1の動作を詳細に説明する。基本的に、図2 Aに示した画素回路は、所定のシーケンスに従って1フィールドの間に初期化動作、閾電圧補正動作、準備動作及び発光動作を行う。

10

【 0 0 2 2 】

図2 Bは画素回路1 0 1の初期化動作を示す模式図である。初期化動作では、スイッチングトランジスタD S T r 1及びD S T r 2がオフする一方、残りの第1サンプリングトランジスタW S T r 1、第2サンプリングトランジスタW S T r 2及び初期化トランジスタI N I T rがオンする。サンプリングトランジスタW S T r 1及びW S T r 2がオンすると、画素容量C sの入力端には、信号線D T Lから映像信号がチャージされる。一方初期化トランジスタI N I T r及び第2サンプリングトランジスタW S T r 2がオンすることでドライブトランジスタD r T rのゲートとドレインに初期化電位V i n iが印加される。これにより、ドライブトランジスタD r T rのゲートとドレインがV i n iで同電位となり初期化が行われる。

20

【 0 0 2 3 】

[閾電圧補正動作]

図2 Cは画素回路の閾電圧補正動作を表している。ここでは初期化トランジスタI N I T rがオフになる。I N I T rがオフになると、ドライブトランジスタD r T rのドレインに印加されていた初期化電位V i n iの固定が外れる。このときドライブトランジスタD r T rのゲート電位V gはV i n iに初期化されているため、ドライブトランジスタD r T rはオンする。即ち、ドライブトランジスタD r T rのソース電位(V C C P)とゲート電位V gとの差がドライブトランジスタD r T rの閾電圧V t hを超えるように、初期化電位V i n iは予め設定されている。ドライブトランジスタD r T rがオンすると、電源電位V C C Pからドレイン電流I d sが流れ、画素容量C sにチャージされる。これによりドライブトランジスタD r T rのゲート電位V gが上昇し、ドライブトランジスタD r T rのソース電位とゲート電位V gとの間の電位差が丁度V t hとなったところでゲート電位V gの上昇が停止する。これが閾電圧補正動作である。この補正動作により、ドライブトランジスタD r T rの閾電圧V t hをキャンセルするための電位が画素容量C sに書き込まれる。ドライブトランジスタD r T rの閾電圧V t hは補正動作によりキャンセルされるので、V t hにばらつきがあってもその影響は生じない。

30

【 0 0 2 4 】

以上の閾電圧補正動作を式で表すと以下ようになる。まずドライブトランジスタD r T rはPチャンネル型であるため、飽和領域における電流式は以下の式1ようになる。ここでI d sはドレインとソースとの間に流れる電流、V g sはゲートとソース間の電圧、μは移動度、kはサイズファクターである。

40

$$I d s = k \mu (| V g s | - V t h) ^ 2 \quad \cdot \cdot \cdot \text{式 1}$$

またゲート電位V gは閾電圧補正動作によりV t hまで上昇するため、V gは以下の式2のように表される。ここでV s i gは映像信号電位である。

$$V g = V s i g - V t h \quad \cdot \cdot \cdot \text{式 2}$$

【 0 0 2 5 】

[準備動作]

図2 Dは、画素回路の準備期間における等価回路を示している。この準備期間では第1サンプリングトランジスタW S T r 1及び第2サンプリングトランジスタW S T r 2が共

50

にオフになる。この準備期間は、後の動作でサンプリングトランジスタ $WSTr1$ とスイッチングトランジスタ $DSTr2$ が共にオンして動作破綻が生じることを防いでいる。

【0026】

[発光動作]

図2Eは、画素の発光動作状態を表す等価回路図である。ここでは第2スイッチングトランジスタ $DSTr2$ がオンし、映像信号 $Vsig$ がチャージされた画素容量 Cs の入力端側を初期化電位 $Vini$ まで変化させることで、映像信号 $Vsig$ を画素容量 Cs の出力端側（即ちドライブトランジスタ $DrTr$ のゲート側）に容量カップリングさせている。また $DrTr2$ のオンと同時に、 $DrTr1$ もオンし、ドライブトランジスタ $DrTr$ のドレインが発光素子 EL と繋がる。これにより駆動電流 $I ds$ がドライブトランジスタ $DrTr$ から発光素子 EL に流れ、発光素子 EL が発光する。

10

【0027】

この電流を式で表すと、まずドライブトランジスタ $DrTr$ のソース電位 Vs は以下の式3で表される。ここで Vcc は電源ライン $VCCP$ の電位を表している。

$$Vs = Vcc \quad \dots \text{式3}$$

ここで Vg は式2で表されている。よって、 $Vgs = Vg - Vs$ であるから、式2と式3から、 $Vgs = Vsig - Vth - Vcc$ である。又映像信号のサンプリング電位を $Vsig$ とし、発光輝度を表すデータ電位を $Vdata$ とすると、両者の関係は以下の式4のように表される。

$$Vsig = Vcc - Vdata \quad \dots \text{式4}$$

20

ここで前記の $Vgs = Vsig - Vth - Vcc$ に式4を代入して整理すると、以下の式5が得られる。

$$|Vgs| = Vdata + Vth \quad \dots \text{式5}$$

この式5を式1に代入すると以下の式6が得られる。

$$I ds = k\mu (Vdata)^2 \quad \dots \text{式6}$$

このようにして、データ電位 $Vdata$ の2乗に比例した駆動電流 $I ds$ を得ることができる。式6には Vth の項が入っていないため、発光素子 EL に流れる駆動電流 $I ds$ はドライブトランジスタ $DrTr$ の閾電圧 Vth の影響を受けない。

【0028】

[制御シーケンス]

図3Aは、第1走査線乃至第3走査線に供給する制御パルスのシーケンスを示す模式図である。この模式図は、第1走査線 WSL に印加する制御パルスを WS で表し、第2走査線 ISL に印加する制御パルスを $INIS$ で表し、第3走査線 $D SL$ に印加する制御パルスを DS で表している。前述したように参考例の画素回路は全てPチャネル型のトランジスタで構成されている。従って制御パルスがハイレベルの時トランジスタはオフ状態にあり、制御パルスがローレベルに切り換わるとトランジスタはオンする。

30

【0029】

前のフィールドで発光期間（E）及び準備期間（D）が終わると、次のフィールドで初期化期間（B）に入る。この初期化期間（B）では制御パルス $INIS$ 及び WS がローレベルになる一方、制御パルス DS はハイレベルを維持している。続いて閾電圧補正期間（C）に入ると、制御パルス $INIS$ がローレベルからハイレベルに切り換わって、図2（C）に示した閾電圧補正動作が行われる。この後準備期間（D）に進むと制御パルス WS がローレベルからハイレベルに切り換わる。最後に発光期間（E）になると、制御パルス DS がハイレベルからローレベルに切り換わり、図2Eに示した発光動作が行われる。

40

【0030】

[タイミングチャート]

図3Bは、制御パルス $INIS$ 、 WS 及び DS の波形を示すタイミングチャートである。このタイミングチャートは時間軸を揃えて、信号線 $D TL$ に印加される信号電位 $Vdata$ の変化も表してある。さらにドライブトランジスタ $DrTr$ のソース電位 Vs 及びゲート電位 Vg の変化も表してある。前述したように、ソース電位 Vs は固定電位 Vcc に

50

保持されている。

【0031】

まず初期化期間(B)で制御パルスINISがローレベルとなり、初期化トランジスタINITrがオンすると、ドライブトランジスタDrTrのゲート電位VgがViniに初期化される。

【0032】

次に閾電圧補正期間(C)に入ると、制御パルスINISがハイレベルに戻る一方、制御パルスWSがローレベルを維持して、ドライブトランジスタDrTrのソースに信号線電位Vsigが書き込まれながら、ドライブトランジスタDrTrがオンするため、画素容量Csにチャージされ、閾電圧補正動作が行われる。

10

【0033】

この後発光期間(E)に進むと、制御パルスDSがローレベルとなってドライブトランジスタDrTrから駆動電流が発光素子ELに流れる。

【0034】

実施形態

[回路構成]

図4Aは、本発明に係る表示装置及び画素回路の構成を示す模式的な回路図である。本実施形態に係る画素回路は、参考例の画素回路に比べてトランジスタの素子数が6個から3個に半減している。その代わりに、信号線DTLに供給する映像信号が信号電位と基準電位で切り換わる。また発光素子ELのカソード電位(電源電位)が二値に切り換わる構成となっている。

20

【0035】

本発明に係る表示装置は、基本的に画素アレイ部と駆動部とからなる。画素アレイ部は、列状の信号線DTLと、行状の第1走査線WSLと、行状の第2走査線ISLと、固定電源線CPLと、可変電源線VPLと、各信号線DTLと各第1走査線WSLとが交差する部分に配された行列状の画素101とからなる。

【0036】

駆動部は、ライトスキャナ105と初期化スキャナ106と信号ドライバ103と電源回路114とを有している。ライトスキャナ105は、各第1走査線WSLに第1制御パルスWSを供給する。初期化スキャナ106は、各第2走査線ISLに第2制御パルスINISを供給する。信号ドライバ(水平セクタ)103は、各信号線DTLに信号電位Vdataと基準電位Voを交互に切り換えて供給する。電源回路114は可変電源線VPLを第1電位Vss(H)と第2電位Vss(L)とで切り換える。

30

【0037】

画素回路101は、容量素子(画素容量)CsとサンプリングトランジスタWSTrとドライブトランジスタDrTrと初期化トランジスタINITrと発光素子ELとからなる。

【0038】

画素容量Csは入力端と出力端とを有する。サンプリングトランジスタWSTrは、一对の電流端が信号線DTLと画素容量Csの入力端との間に接続し、制御端(ゲート)が第1走査線WSLに接続している。ドライブトランジスタDrTrは、制御端(ゲート)が画素容量Csの出力端に接続し、一方の電流端(ソース)が固定電源線CPLに接続している。初期化トランジスタINITrは、制御端(ゲート)が第2走査線ISLに接続し、一对の電流端(ソース/ドレイン)が画素容量Csの出力端とドライブトランジスタDrTrの他方の電流端(ドレイン)に接続している。発光素子ELは可変電源線VPLとドライブトランジスタDrTrの他方の電流端(ドレイン)との間に接続している。この発光素子ELはアノードとカソードを備える二端子型であり、例えば有機ELデバイスからなる。アノードはドライブトランジスタDrTrのドレインに接続する一方、カソードは可変電源線VPLに接続している。なおこの可変電源線VPLは走査線WSLと並行に配されている。行状の走査線WSLはライトスキャナ105によって線順次走査される

40

50

。これに合わせて行状の可変電源線 VPL は電源回路 114 によって線順次に電位が $V_{ss}(H)$ と $V_{ss}(L)$ とで切り換わる。

【0039】

[書込み準備動作及び閾電圧補正動作]

以下図 4 A に示した本発明に係る表示装置の動作を詳細に説明する。図 4 B は本発明に係る表示装置及び画素回路の信号書込み準備 / 閾電圧補正動作を示す等価回路図である。図示の状態では、信号線 DTL に信号電位 $Vdata$ が印加されている。固定電源線には固定電位 Vcc が印加されている。可変電源線には第 1 電位 $V_{ss}(H)$ が印加されている。ここでサンプリングトランジスタ $WSTr$ はオンになる。従って画素容量 Cs の入力端は信号線 DTL と直結する。よって画素容量 Cs の入力端に信号電位 $Vdata$ が印加される。

10

【0040】

一方初期化トランジスタ $INITr$ もオンになり、ドライブトランジスタ $DrTr$ のゲートとドレインが直結される。また発光素子 EL のカソードは $V_{ss}(H)$ になる。この第 1 電位 $V_{ss}(H)$ は発光素子 EL が逆バイアス状態となるようなレベルに設定されている。従ってダイオード型の発光素子 EL はオフ状態にある。ドライブトランジスタ $DrTr$ には固定電位 Vcc にあるソースから発光素子 EL のアノードに接続しているドレインに向かってドレイン電流 I_{ds} が流れる。しかしながら発光素子 EL は逆バイアス状態にあるためドレイン電流 I_{ds} は発光素子 EL のカソード側には流れない。この電流は画素容量 Cs の出力端側 (即ちドライブトランジスタ $DrTr$ のゲート側) に向かって流れる。丁度ドライブトランジスタ $DrTr$ のソース / ゲート間の電位 V_{gs} が V_{th} となったところでドライブトランジスタ $DrTr$ はカットオフする。この動作により、ドライブトランジスタ $DrTr$ のゲート (画素容量 Cs の出力端) の電位 V_g は $V_{cc} - V_{th}$ となる。

20

【0041】

[信号電位の書込み動作]

図 4 C は画素回路の信号書込み動作を示す等価回路図である。図 4 B に示した閾電圧補正動作から信号書込み動作に移行すると、初期化トランジスタ $INITr$ がオフし、ドライブトランジスタ $DrTr$ のゲートとドレインが切り離される。この状態で信号線 DTL が信号電位 $Vdata$ から基準電位 V_o に切り換わる。画素容量 Cs の入力端が $Vdata$ から V_o になる。この電位変化により画素容量 Cs の入力端から出力端にカップリングが入り、ドライブトランジスタ $DrTr$ のゲートにデータが書き込まれる。即ちドライブトランジスタ $DrTr$ のゲート電位 V_g は $V_{cc} - V_{th} - Vdata + V_o$ となる。

30

【0042】

[発光動作]

図 4 D は画素回路の発光動作を示す等価回路図である。図 4 C に示した信号書込み動作から発光動作に移行すると、サンプリングトランジスタ $WSTr$ がオフし、画素容量 Cs の入力端は信号線 DTL から切り離される。これによりドライブトランジスタ $DrTr$ のゲート電位 V_g は、信号線 DTL 側の電位切り換えの影響を受けることなく $V_{cc} - V_{th} - Vdata + V_o$ を維持する。このゲート電位 V_g のうち前の二項 ($V_{cc} - V_{th} - Vdata + V_o$) は閾電圧キャンセル項であり、後ろの二項 ($-Vdata + V_o$) が発光輝度を規定するデータである。この状態で発光素子 EL のカソード側の電位が第 1 電位 $V_{ss}(H)$ から第 2 電位 $V_{ss}(L)$ に下方変化する。これにより発光素子 EL は逆バイアス状態が解消され順バイアス状態となる。よって発光素子 EL にはドライブトランジスタ $DrTr$ から駆動電流 I_{ds} が流れ込み、所定の輝度で発光する。駆動電流 I_{ds} はドライブトランジスタ $DrTr$ のゲート電圧 V_{gs} によって決まる。 $V_{gs} = V_{cc} - (V_{cc} - V_{th} - Vdata + V_o) = V_{th} + Vdata - V_o$ である。 $Vdata - V_o$ が正味の信号成分となる。即ち信号電位 $Vdata$ と基準電位 V_o の差分が正味の信号成分である。

40

【0043】

[消灯動作]

50

図4Dに示した発光期間から非発光期間に移行すると、図4Eに示した消灯動作が行われる。1フィールドもしくは1フレームに占める発光時間の割合がデューティである。デューティを変えることにより画面輝度を調整できる。消灯動作では、発光素子ELのカソード電位が第2電位 $V_{ss}(L)$ から第1電位 $V_{ss}(H)$ に上方変化する。これにより発光素子ELは再び逆バイアス状態となり、駆動電流 I_{ds} が流れなくなる。よって発光素子ELは点灯状態から消灯状態に切り換わる。一方ドライブトランジスタDrTrのゲート電位 V_g は引き続き $V_{cc} - V_{th} - V_{data} + V_o$ に保持されている。ドライブトランジスタDrTrのゲート電圧 V_{gs} は V_{th} を超えているので、消灯状態下でもドライブトランジスタDrTrはオン状態を維持している。この後次のフィールドもしくは1フレームに移って図4Bに示した閾電圧補正動作が再び行われる。

10

【0044】

[タイミングチャート]

図4Fは、図4Aに示した本発明に係る表示装置及び画素回路の動作説明に供するタイミングチャートである。時間軸を揃えて制御パルスINIS、制御パルスWSの波形変化を表している。これと合わせて可変電源線の電位変化 $V_{ss}(H)/V_{ss}(L)$ も表してある。更に信号線DTLの電位変化も表してある。信号線DTLは1水平周期内で V_{data} と V_o が切り換わる。更にドライブトランジスタDrTrのソース電位 V_s 及びゲート電位 V_g の変化も表してある。前述したようにソース電位 V_s は常に固定電位 V_{cc} に保持されている。一方 V_g は閾電圧補正期間(B)、信号書込み期間(C)、発光期間(D)及び非発光期間(E)の各期間で図示のように変化する。

20

【0045】

閾電圧補正期間(B)では、信号線DTLが信号電位 $V_{data}(n)$ に入り、且つ可変電源線が第1電位 $V_{ss}(H)$ にある。このときサンプリングトランジスタWSTrが第1制御パルスWSに 응답してオンし、容量素子Csの入力端側に信号電位 V_{data} を書込む。同時に初期化トランジスタINITrが第2制御パルスINISに 응답してオンし、容量素子Csの出力端側にドライブトランジスタDrTrの閾電圧 V_{th} をキャンセルする電位を書込む。

【0046】

続いて信号書込み期間(C)に進むと、初期化トランジスタINITrがオフになる一方、サンプリングトランジスタWSTrがオンを維持した状態で、信号線DTLが信号電位 $V_{data}(n)$ から基準電位 V_o に切り換わる。これにより容量カップリングが生じ、信号電位 $V_{data}(n)$ を画素容量Csの入力端側から出力端側に書込む。

30

【0047】

続いて発光期間(D)になると、サンプリングトランジスタWSTrがオフし且つ可変電源線が第1電位 $V_{ss}(H)$ から第2電位 $V_{ss}(L)$ に切り換わって、発光素子ELが発光する。

【0048】

この後非発光期間(E)に進むと、可変電源線が第2電位 $V_{ss}(L)$ から第1電位 $V_{ss}(H)$ に切り換わる。これにより発光素子ELが発光状態から非発光状態に変化する。

40

【0049】

応用形態

本発明にかかる表示装置は、図5に示すような薄膜デバイス構成を有する。図5はTF T部分がBottomゲート構造(ゲート電極がチャンネルPS層に対して下にある)である。この他にTF T部分に関してはSandwichゲート構造(チャンネルPS層を上下のゲート電極ではさむ)、Topゲート構造(ゲート電極がチャンネルPS層に対して上にある)のようなバリエーションがある。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部(図では1個のTF Tを例示)、画素容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTF Tプロセスでトランジスタ部や容量部が形成され、その

50

上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0050】

本発明にかかる表示装置は、図6に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板の上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC（フレキシブルプリントサーキット）を設けてもよい。

10

【0051】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話、ビデオカメラなどに適用可能である。電子機器に入力された、若しくは、電子機器内で生成した駆動信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。電子機器は基本的に情報を処理する本体と、本体に入力する情報若しくは本体から出力された情報を表示する表示器とを含む。

【0052】

図7は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

20

【0053】

図8は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

【0054】

図9は本発明が適用されたノート型パーソナルコンピュータであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

30

【0055】

図10は本発明が適用された携帯端末装置である。左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部（ここではヒンジ部）25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含む。本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0056】

図11は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

40

【図面の簡単な説明】

【0057】

【図1A】参考形態に係る表示装置の全体構成を示すブロック図である。

【図1B】参考形態の画素構成を示す回路図である。

【図2A】参考形態の画素回路図である。

【図2B】参考形態に係る画素の等価回路図である。

【図2C】参考形態に係る画素の等価回路図である。

【図2D】同じく等価回路図である。

【図2E】同じく等価回路図である。

50

- 【図 3 A】参考形態の動作シーケンスを示す模式図である。
- 【図 3 B】参考形態の動作説明に供するタイミングチャートである。
- 【図 4 A】実施形態に係る表示装置及び画素を示す回路図である。
- 【図 4 B】実施形態の動作説明に供する等価回路図である。
- 【図 4 C】同じく等価回路図である。
- 【図 4 D】同じく等価回路図である。
- 【図 4 E】同じく等価回路図である。
- 【図 4 F】実施形態の動作説明に供するタイミングチャートである。
- 【図 5】本発明の応用形態にかかる表示装置のデバイス構成を示す断面図である。
- 【図 6】本発明の応用形態にかかる表示装置のモジュール構成を示す平面図である。
- 【図 7】本発明の応用形態にかかる表示装置を備えたテレビジョンセットを示す斜視図である。
- 【図 8】本発明の応用形態にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。
- 【図 9】本発明の応用形態にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。
- 【図 10】本発明の応用形態にかかる表示装置を備えた携帯端末装置を示す模式図である。
- 【図 11】本発明の応用形態にかかる表示装置を備えたビデオカメラを示す斜視図である。

10

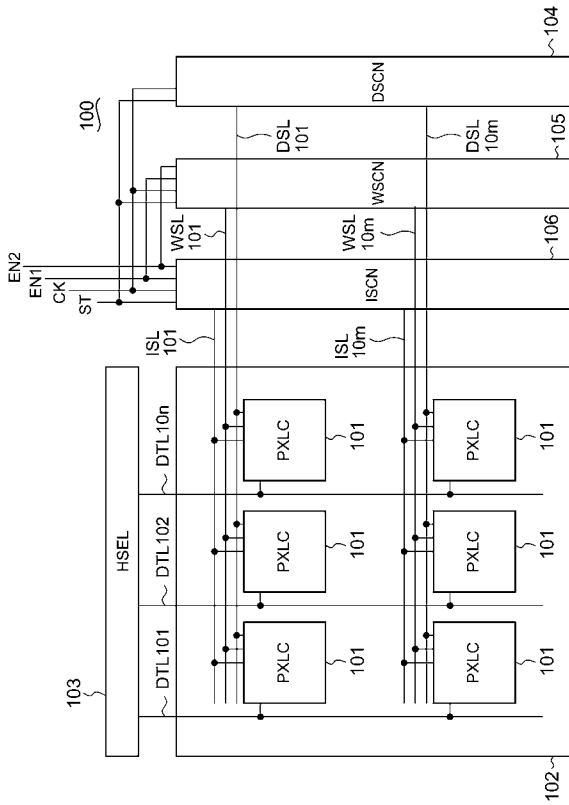
20

【符号の説明】

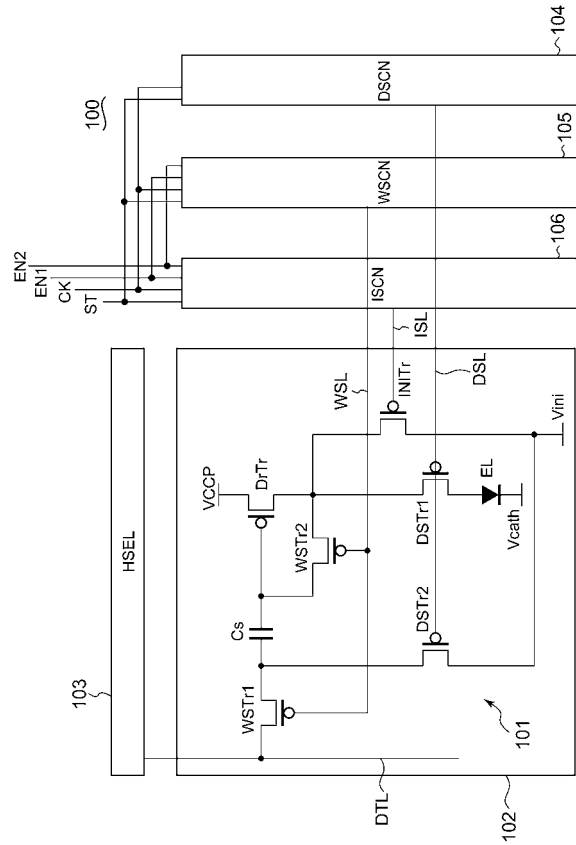
【0058】

100：表示装置 101：画素 102：画素アレイ部 103：信号ドライバ（水平セクタ） 105：ライトスキャナ 106：初期化スキャナ 114：電源回路
 WSTr：サンプリングトランジスタ DrTr：ドライブトランジスタ Cs：画素容量 EL：発光素子

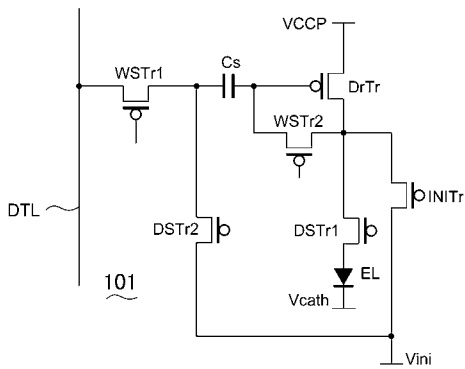
【 図 1 A 】



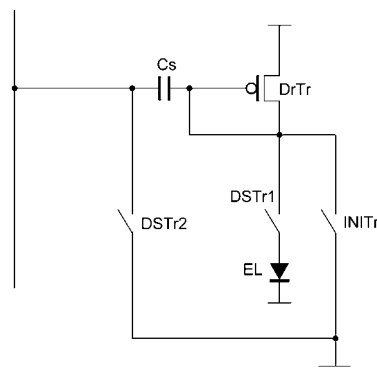
【 図 1 B 】



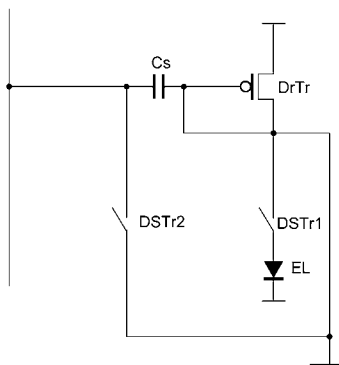
【 図 2 A 】



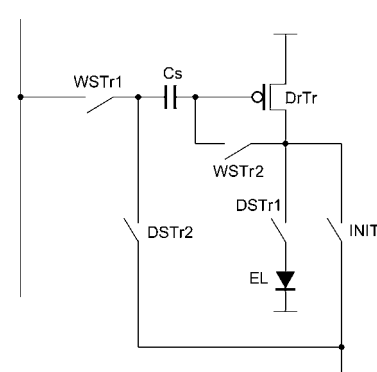
【 図 2 C 】



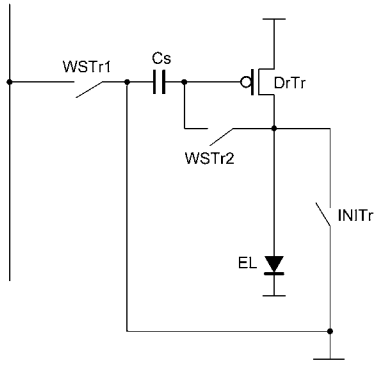
【 図 2 B 】



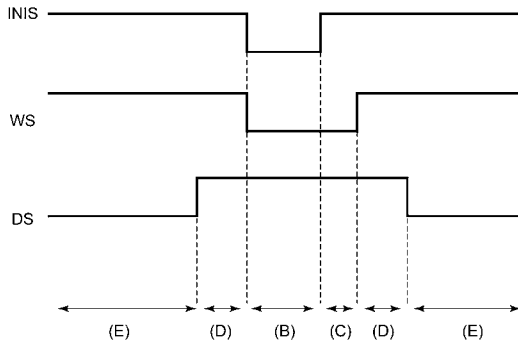
【 図 2 D 】



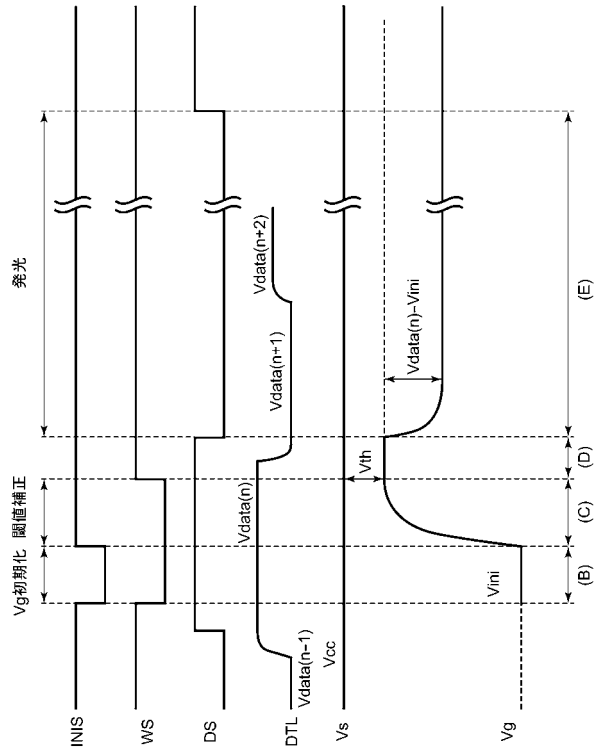
【 図 2 E 】



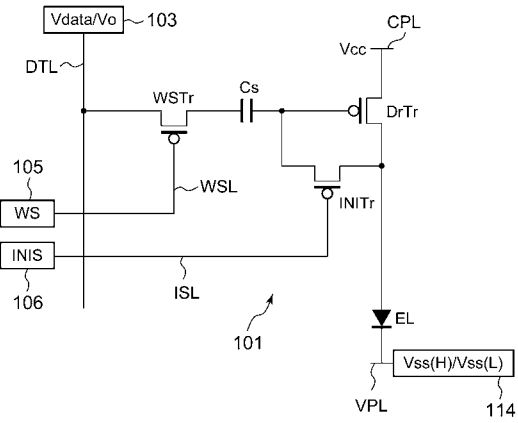
【 図 3 A 】



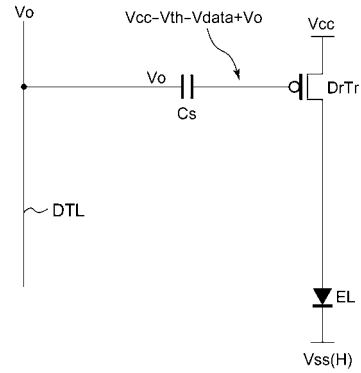
【 図 3 B 】



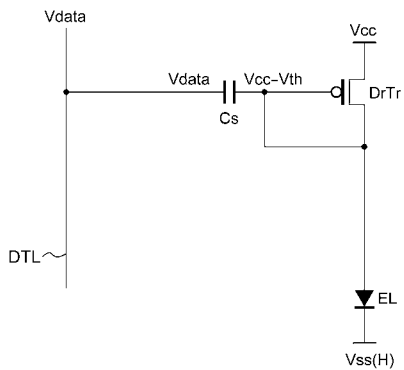
【 図 4 A 】



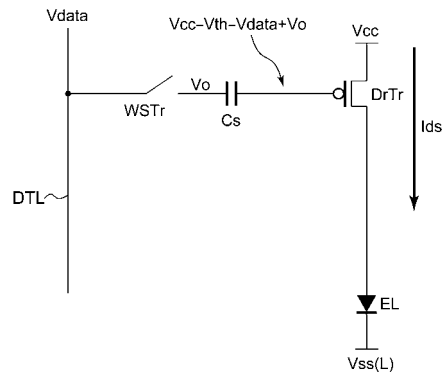
【 図 4 C 】



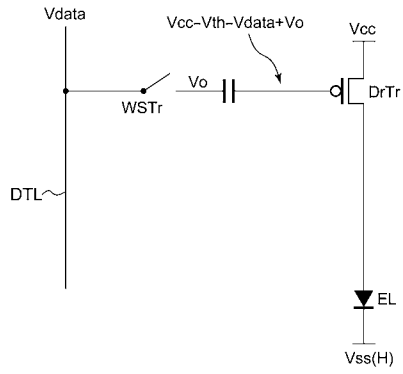
【 図 4 B 】



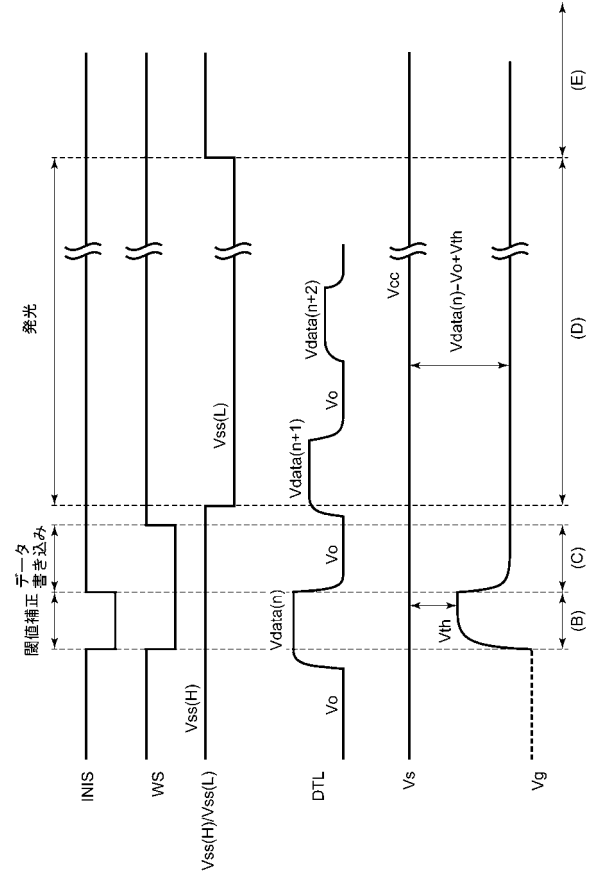
【 図 4 D 】



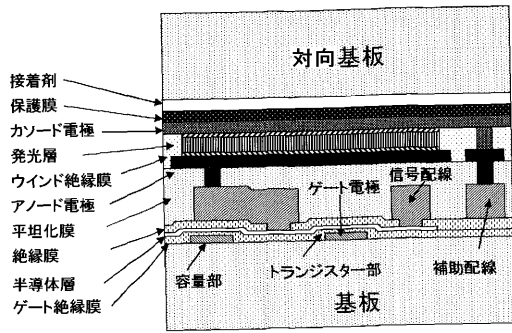
【 図 4 E 】



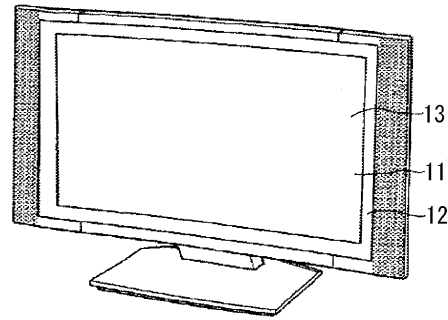
【 図 4 F 】



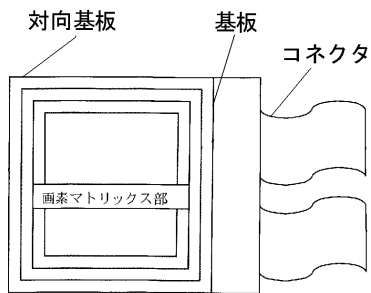
【 図 5 】



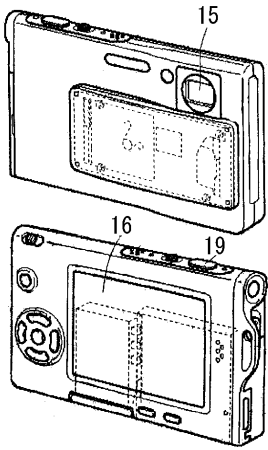
【 図 7 】



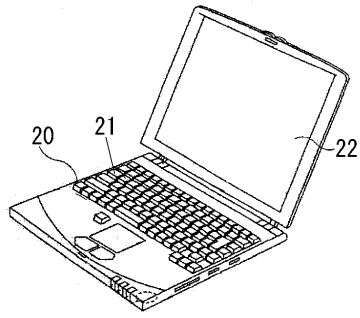
【 図 6 】



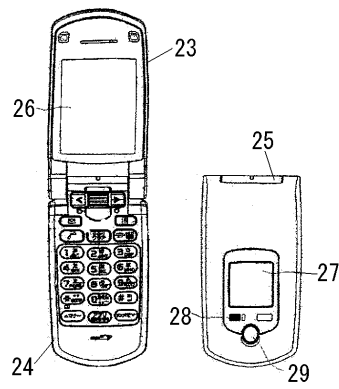
【 図 8 】



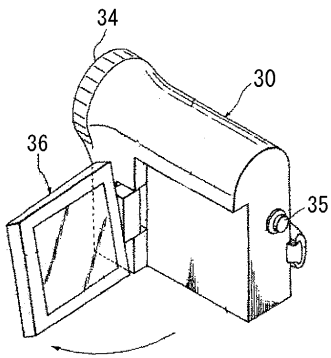
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 2 G
G 0 9 F	9/30	3 3 8
H 0 5 B	33/08	
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 EE29 FF07 FF11 HH09 JJ02 JJ03
JJ04 JJ06 KK01 KK07 KK43 KK47
5C094 AA05 AA07 AA23 AA53 AA55 BA03 BA27 CA19 DB01 FB12
FB14 FB19 GA10 HA08

专利名称(译)	像素电路和显示装置以及电子设备		
公开(公告)号	JP2010113230A	公开(公告)日	2010-05-20
申请号	JP2008286782	申请日	2008-11-07
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	谷亀貴央		
发明人	谷亀 貴央		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H05B33/08 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.612.G G09G3/20.623.C G09G3/20.622.G G09F9/30.338 H05B33/08 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C094/AA05 5C094/AA07 5C094/AA23 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/FB12 5C094/FB14 5C094/FB19 5C094/GA10 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB18 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CE01 5C380/DA02 5C380/DA06		
代理人(译)	山本隆久 吉井正明 森浩一		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种像素电路，其实现用较少数量的晶体管元件校正阈值电压的功能。
 解决方案：电容元件Cs具有输入端子和输出端子。采样晶体管WSTr具有连接在信号线DTL和电容元件Cs的输入端子之间的一对电流端子，并且具有连接到第一扫描线WSL的控制端子。驱动晶体管DrTr具有连接到电容元件Cs的输出端子的控制端子，并且具有连接到固定电源线CPL的一个电流端子。初始化晶体管INITr具有连接到第二扫描线ISL的控制端子，并且具有连接到电容元件Cs的输出端子和驱动晶体管DrTr的另一个电流端子的一对电流端子。发光元件EL连接到可变电源线VPL并连接到驱动晶体管DrTr的另一个电流端。
 附图：图101

