

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-134317

(P2009-134317A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 623B	
	G09G 3/20 621F	
	G09G 3/20 623F	
	G09G 3/20 623X	
審査請求 有 請求項の数 9 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2009-64404 (P2009-64404)	(71) 出願人	308040351
(22) 出願日	平成21年3月17日 (2009. 3. 17)		三星モバイルディスプレイ株式会社
(62) 分割の表示	特願2005-236885 (P2005-236885) の分割		大韓民国京畿道水原市靈通区▲しん▼洞 5 7 5 番地
原出願日	平成17年8月17日 (2005. 8. 17)	(74) 代理人	100095957
(31) 優先権主張番号	10-2004-0080371		弁理士 亀谷 美明
(32) 優先日	平成16年10月8日 (2004. 10. 8)	(74) 代理人	100096389
(33) 優先権主張国	韓国 (KR)		弁理士 金本 哲男
(31) 優先権主張番号	10-2004-0080373	(72) 発明者	權 五敬
(32) 優先日	平成16年10月8日 (2004. 10. 8)		大韓民国京畿道水原市靈通区シン洞 5 7 5
(33) 優先権主張国	韓国 (KR)	F ターム (参考)	5C080 AA06 BB05 CC03 DD08 DD22 EE29 FF01 FF07 FF11 HH09 JJ02 JJ03 JJ04
(31) 優先権主張番号	10-2004-0080374		
(32) 優先日	平成16年10月8日 (2004. 10. 8)		
(33) 優先権主張国	韓国 (KR)		

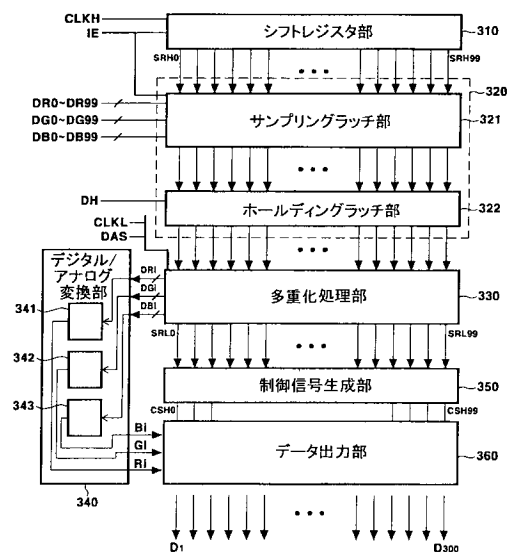
(54) 【発明の名称】 データ駆動装置、及び発光表示装置

(57) 【要約】

【課題】 データ出力部へ正常的にデータ電流を損失なく伝達することが可能なデータ駆動装置を提供すること。

【解決手段】 電流書き込み方式の有機発光表示装置において、外部から入力されるデータ信号をデータ電流に変換してデータ線へ伝達するデータ駆動部300を提供する。データ駆動部300のデジタル／アナログ変換部340は、順次入力されるデータ信号をデータ電流に変換してデータ出力部360へ伝達し、データ出力部360は、順次伝達されるデータ電流をサンプリングした後、データ線へ同時に出力する。ここで、デジタル／アナログ変換部340からデータ出力部360へデータ電流を伝達する前に、配線370を所定の電圧にプリチャージする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

階調を示す複数のデータ信号を順次受信し、発光表示装置の表示部に配置された複数のデータ線にデータ電流を印加するデータ駆動装置において：

前記データ信号を前記データ電流に変換する少なくとも一つの変換器と；

前記少なくとも一つの変換器から出力される前記データ電流が順次伝達され、前記複数のデータ線へ前記データ電流を伝達する少なくとも一つのデータ出力部と；

前記データ電流が前記データ出力部へ伝達される前に、前記変換器と前記データ出力部間の配線にプリチャージ電圧を印加するプリチャージ部と；
を備え、

10

前記変換器は、前記配線の第 1 端にドレインが接続され、第 2 電圧を供給する第 2 電源にソースが接続されている第 6 トランジスタを有し、

前記出力部は、前記配線の第 2 端にドレインが接続され、第 1 電圧を供給する第 1 電源にソースが接続されている第 7 トランジスタを有し、

前記プリチャージ部は、前記第 2 電圧と前記第 1 電圧との間の第 3 電圧を前記プリチャージ電圧として決定することを特徴とする、データ駆動装置。

【請求項 2】

前記第 3 電圧は、前記第 2 電圧と前記第 1 電圧の平均電圧であることを特徴とする、請求項 1 に記載のデータ駆動装置。

【請求項 3】

20

前記プリチャージ部は、前記第 1 電源と前記第 2 電源との間に直列に接続される第 1 および第 2 抵抗を有し、

前記第 1 抵抗と前記第 2 抵抗の接点が、前記配線の第 1 端に接続されることを特徴とする、請求項 1 に記載のデータ駆動装置。

【請求項 4】

前記第 1 抵抗の大きさと前記第 2 抵抗の大きさが同じであることを特徴とする、請求項 3 に記載のデータ駆動装置。

【請求項 5】

前記変換器は、前記第 6 トランジスタとカレントミラーの形で接続され、前記データ電流を伝達する第 8 トランジスタをさらに有し、

30

前記プリチャージ部は、

前記第 8 トランジスタのゲートと前記第 6 トランジスタのゲートとの間に接続されている第 3 スイッチと、

前記配線の第 2 端と前記第 7 トランジスタのドレインとの間に接続される第 4 スイッチと、

前記配線の第 1 端と前記第 1 および第 2 抵抗の接点との間に接続される第 5 スイッチと、
をさらに有し、

前記第 5 スイッチがターンオンされ、前記第 3 及び第 4 スイッチがターンオフされて前記配線に前記プリチャージ電圧が印加され、

前記第 5 スイッチがターンオフされ、前記第 3 及び第 4 スイッチがターンオンされて前記変換器のデータ電流が前記データ出力部へ伝達されることを特徴とする、請求項 3 または 4 に記載のデータ駆動装置。

40

【請求項 6】

一方向に配置された複数のデータ線、前記データ線と交差する方向に配置された複数の第 1 および第 2 走査線、および前記データ線と前記第 1 走査線によって画定され、それぞれ発光素子が形成されている複数の画素領域を有する表示部と；

データが書き込まれるべき画素領域を選択する選択信号を前記複数の第 1 走査線へ選択的に伝達し、発光素子が発光すべき画素領域を選択する発光信号を前記複数の第 2 走査線へ選択的に伝達する走査駆動部と；

順次入力される複数のデータ信号を順次データ電流に変換する変換部と、前記変換部で

50

変換されたデータ電流を一時保存した後、前記複数のデータ線へ伝達するデータ出力部と、前記データ電流が前記データ出力部へ伝達される前に、前記変換器と前記データ出力部間の配線にプリチャージ電圧を印加するプリチャージ部と、を有するデータ駆動部と；を備え、

前記プリチャージ電圧は、前記変換部の第2電源が供給する第2電圧と前記データ出力部の第1電源が供給する第1電圧との間の電圧であることを特徴とする、発光表示装置。

【請求項7】

前記変換部は、前記配線の第1端と前記第2電源との間に接続され、前記データ電流に対応する電流を出力する第17トランジスタを有し、

前記データ出力部は、前記配線の第2端と前記第1電源との間に接続され、前記第1トランジスタに流れる電流が伝達される第18トランジスタを有し、

前記データ駆動部は、前記第2電源と前記第1電源との間に直列に接続され、その接点の前記配線の第1端に接続される第1および第2抵抗を有するプリチャージ部をさらに有し、

前記プリチャージ電圧は、前記第1及び第2抵抗の接点の電圧であることを特徴とする、請求項6に記載の発光表示装置。

【請求項8】

前記第1抵抗の大きさと第2抵抗の大きさが同じであることを特徴とする、請求項7に記載の発光表示装置。

【請求項9】

前記変換部は、前記第17トランジスタとカレントミラーの形で接続され、前記データ電流を伝達する第19トランジスタをさらに有することを特徴とする、請求項7に記載の発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ駆動装置及び発光表示装置に係り、特に、データ信号を電流の形で供給するデータ駆動装置及びこれを備えた発光表示装置に関する。

【背景技術】

【0002】

発光表示装置は、印加される電流の大きさに対応する光を発光する素子を用いて映像を表示する表示装置であって、有機物質の発光を利用する有機発光表示装置が最近使われている。有機発光表示装置は、有機物質を電気的に励起させて発光させる表示装置であって、 $N \times M$ 個の有機発光セルの電圧書き込みあるいは電流書き込みを行って映像を表現できるようになっている。このような有機発光セルは、アノード層、有機薄膜層およびカソード層の構造を持っている。

【0003】

このような有機発光セルを駆動する方式には、パッシブマトリックス (passive matrix) 方式と、薄膜トランジスタまたはMOSFETを用いたアクティブマトリックス (active matrix) 方式がある。パッシブマトリックス方式は、陽極と陰極を直交するように配設し、ラインを選択して駆動する方式である。これに対し、アクティブマトリックス方式は、薄膜トランジスタとキャパシタを各画素電極に接続してキャパシタによって電圧を維持させる駆動方式である。この際、電圧を維持させるためにキャパシタに印加される信号の形によって、アクティブマトリックス方式は電圧書き込み方式と電流書き込み方式に分けられる。

【0004】

ところが、従来の電圧書き込み方式の画素回路では、製造工程の不均一性によって発生する薄膜トランジスタのしきい値電圧およびキャリアの移動度のバラツキにより高階調を得ることが難しいという問題点がある。これに対し、電流書き込み方式の画素回路は、画素回路に電流を供給する電流源がパネル全体にわたって均一であれば、各画素内の駆動ト

10

20

30

40

50

ランジスタが不均一な電圧／電流特性を有するとしても、均一な表示特性を得ることができる。

【0005】

このような電流書き込み方式の画素を用いて表示装置を具現する場合、階調を示すデータ信号を電流に変換して画素に印加する電流生成回路が必要となる。すなわち、外部からのデータ信号を電流の形のデータ信号（以下、「データ電流」という）に変換して印加するデータ駆動装置が必要である。

【0006】

このようなデータ駆動装置は、データ信号をアナログ形のデータ電流に変換するデジタル／アナログ変換部と、変換されたデータ電流をバッファリングしてデータ線へ伝達するためのデータ出力部を必要とする。一般に、データ電流を1水平周期の間1回ずつデータ線へ伝達すべきであるが、有機発光表示装置の解像度が高くなるほど、水平周期は短くなる。したがって、短い水平周期の間、データ電流がデータ出力部でバッファリングされなければならないが、有機発光素子の発光に使われる電流のレベルが低い場合には、データ電流が1水平周期の間十分にバッファリングされず、正常なデータ電流がデータ線へ伝達されないこともある。

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記記載のような従来のデータ駆動装置によれば、短い1水平期間にデータ電流が十分にバッファリングされず、正常なデータ電流がデータ線へ伝達されないことがあるという問題があった。

20

【0008】

そこで、本発明は、このような問題点に鑑みてなされたもので、その目的は、データ信号をデータ電流に変換してデータ線へ伝達するに際し、データ出力部へ正常なデータ電流を伝達することが可能なデータ駆動装置とそのデータ駆動装置を備えた発光表示装置を提供することにある。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明のある観点によれば、階調を示す複数のデータ信号を順次受信し、発光表示装置の表示部に配置された複数のデータ線にデータ電流を印加するデータ駆動装置において：上記データ信号を上記データ電流に変換する少なくとも一つの変換器と；上記少なくとも一つの変換器から出力される上記データ電流が順次伝達され、上記複数のデータ線へ上記データ電流を伝達する少なくとも一つのデータ出力部と；上記データ電流が上記データ出力部へ伝達される前に、上記変換器と上記データ出力部間の配線にプリチャージ電圧を印加するプリチャージ部と；を備えることを特徴とする、データ駆動装置が提供される。

30

【0010】

また、上記変換器は、ドレインに上記データ電流が流れる第1トランジスタを有し、上記プリチャージ部は、上記第1トランジスタとカレントミラーの形で接続されている第2トランジスタを有し上記データ電流によって決定される上記第2トランジスタのドレイン電圧に対応する電圧を上記プリチャージ電圧として決定してもよい。

40

【0011】

また、上記プリチャージ部は、上記第2トランジスタのドレインと上記配線の第1端との間に接続されている単位利得増幅器をさらに有してもよい。

【0012】

また、上記プリチャージ部は、上記単位利得増幅器の出力端と上記配線の第1端との間に接続されている第1スイッチ、および上記配線の第2端と上記データ出力部との間に接続されている第2スイッチをさらに有し、上記第1スイッチがターンオンされ、上記第2スイッチがターンオフされて上記配線に上記プリチャージ電圧が印加され、上記第1スイ

50

ッチがターンオフされ、上記第2スイッチがターンオンされて上記変換器の上記データ電流が上記データ出力部へ伝達されてもよい。

【0013】

また、上記変換器は、上記第1トランジスタとカレントミラーの形で接続され、上記配線の第1端にドレインが接続されている第3トランジスタをさらに有してもよい。

【0014】

また、上記プリチャージ部は、第1電源と上記第2トランジスタのドレインとの間に接続されている第4トランジスタをさらに有し、上記出力部は、上記第1電源と上記配線の第2端との間に接続されている第5トランジスタをさらに有してもよい。

【0015】

また、上記プリチャージ電圧は、上記データ電流に関係なく予め定められた電圧であってもよい。

【0016】

また、上記変換器は、上記配線の第1端にドレインが接続され、第2電圧を供給する第2電源にソースが接続されている第6トランジスタを有し、上記出力部は、上記配線の第2端にドレインが接続され、第1電圧を供給する第1電源にソースが接続されている第7トランジスタを有し、上記プリチャージ部は、上記第2電圧と上記第1電圧との間の第3電圧を上記プリチャージ電圧として決定してもよい。

【0017】

また、上記第3電圧は、上記第2電圧と上記第1電圧の平均電圧であってもよい。

【0018】

また、上記プリチャージ部は、上記第1電源と上記第2電源との間に直列に接続される第1および第2抵抗を有し、上記第1抵抗と上記第2抵抗の接点が、上記配線の第1端に接続されてもよい。

【0019】

また、上記第1抵抗の大きさと上記第2抵抗の大きさが同じであってもよい。

【0020】

また、上記変換器は、上記第6トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第8トランジスタをさらに有し、上記プリチャージ部は、上記第8トランジスタのゲートと上記第6トランジスタのゲートとの間に接続されている第3スイッチと、上記配線の第2端と上記第7トランジスタのドレインとの間に接続される第4スイッチと、上記配線の第1端と上記第1および第2抵抗の接点との間に接続される第5スイッチと、をさらに有し、上記第5スイッチがターンオンされ、上記第3及び第4スイッチがターンオフされて上記配線に上記プリチャージ電圧が印加され、上記第5スイッチがターンオフされ、上記第3及び第4スイッチがターンオンされて上記変換器のデータ電流が上記データ出力部へ伝達されてもよい。

【0021】

また、上記プリチャージ部は、上記データ信号に対応する電圧を上記プリチャージ電圧として決定してもよい。

【0022】

また、上記プリチャージ部は、上記データ信号のビット値のうち少なくとも一部のビット値から上記プリチャージ電圧を生成する電圧変換器を有してもよい。

【0023】

また、上記電圧変換器は、第4電圧を供給する第4電源と第5電圧を供給する第5電源との間に直列に接続される複数の抵抗を有し、上記データ信号のビット値のうち少なくとも一部のビット値から、上記第4電源、上記第5電源および複数の抵抗によって形成される接点のうち上記プリチャージ電圧が出力される接点を選択してもよい。

【0024】

また、上記少なくとも一部のビットは、上記データ信号の最上位ビットを含んでもよい。

10

20

30

40

50

【0025】

また、上記変換器は、上記データ電流が伝達される第9トランジスタと、ドレインが上記配線の第1端に接続され、上記第9トランジスタとカレントミラーの形で接続されている第10トランジスタとを有し、上記出力部は、上記配線の第2端にドレインが接続されている第11トランジスタを有してもよい。

【0026】

また、上記プリチャージ部は、上記電圧変換器の出力端と上記配線の第1端との間に接続される第6スイッチと、上記配線の第2端と上記第11トランジスタのドレインとの間に接続される第7スイッチと、をさらに有し、上記第6スイッチがターンオンされ、上記第7スイッチがターンオフされて上記プリチャージ電圧が上記配線に印加され、上記第6スイッチがターンオフされ、上記第7スイッチがターンオンされて上記変換器のデータ電流が上記データ出力部へ伝達されてもよい。

10

【0027】

また、上記順次入力される複数のデータ信号を順次サンプリングして保存するラッチ部と；上記ラッチ部から伝達される複数のデータ信号を多重化処理して上記変換器へ順次伝達する多重化処理部と；をさらに有し、上記変換器は、順次伝達される複数のデータ信号を順次データ電流に変換して上記データ出力部へ伝達し、上記データ出力部は、順次入力される上記データ電流を順次サンプリングした後、上記複数のデータ線へ伝達してもよい。

【0028】

また、上記複数のデータ信号は、第1色相を示す複数の第1データ信号と、第2色相を示す複数の第2データ信号と、第3色相を示す複数の第3データ信号と、を有し、上記少なくとも一つの変換器は、上記第1データ信号を変換する第1変換器と、上記第2データ信号を変換する第2変換器と、上記第3データ信号を変換する第3変換器と、を有してもよい。

20

【0029】

また、上記複数のデータ線を少なくとも一つのグループに分割する場合、上記少なくとも一つの変換器は、上記少なくとも一つのグループにそれぞれ対応してもよい。

【0030】

また、上記発光表示装置は、有機物質の発光を利用してもよい。

30

【0031】

上記課題を解決するために、本発明の別の観点によれば、一方向に配置された複数のデータ線、上記データ線と交差する方向に配置された複数の第1および第2走査線、および上記データ線と上記第1走査線によって画定され、それぞれ発光素子が形成されている複数の画素領域を有する表示部と；データが書き込まれるべき画素領域を選択する選択信号を上記複数の第1走査線へ選択的に伝達し、発光素子が発光すべき画素領域を選択する発光信号を上記複数の第2走査線へ選択的に伝達する走査駆動部と；順次入力される複数のデータ信号を順次データ電流に変換する変換部と、上記変換部で変換されたデータ電流を一時保存した後、上記複数のデータ線へ伝達するデータ出力部とを有するデータ駆動部と；を備え、上記変換部から上記データ出力部へ上記データ電流が伝達される前に、上記変換部と上記データ出力部との間の配線にプリチャージ電圧が印加されることを特徴とする、発光表示装置が提供される。

40

【0032】

上記変換部は、上記配線の第1端に接続され、上記データ電流に対応する電流を出力する第12トランジスタを有し、上記データ出力部は、上記配線の第2端に接続され、上記第12トランジスタに流れる電流が伝達される第13トランジスタを有し、上記データ駆動部は、直列に接続される第14および第15トランジスタを有するプリチャージ部をさらに有し、上記プリチャージ部は、上記第14トランジスタへ上記データ電流に対応する電流を伝達し、上記第14及び第15トランジスタの接点電圧を上記プリチャージ電圧として決定してもよい。

50

【0033】

上記変換部は、上記第13および第14トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第16トランジスタをさらに有してもよい。

【0034】

また、上記プリチャージ部は、上記第14および第15トランジスタの接点と上記配線の第1端との間に接続され、上記第14および第15トランジスタの接点電圧を上記配線へ伝達する単位利得増幅器をさらに有してもよい。

【0035】

また、上記プリチャージ電圧は、上記データ出力部へ伝達される上記データ電流によって決定されてもよい。

10

【0036】

また、上記プリチャージ電圧は、上記変換部の第2電源が供給する第2電圧と上記データ出力部の第1電源が供給する第1電圧との間の電圧であってもよい。

【0037】

また、上記変換部は、上記配線の第1端と上記第2電源との間に接続され、上記データ電流に対応する電流を出力する第17トランジスタを有し、上記データ出力部は、上記配線の第2端と上記第1電源との間に接続され、上記第1トランジスタに流れる電流が伝達される第18トランジスタを有し、上記データ駆動部は、上記第2電源と上記第1電源との間に直列に接続され、その接点が上記配線の第1端に接続される第1および第2抵抗を有するプリチャージ部をさらに有し、上記プリチャージ電圧は、上記第1及び第2抵抗の接点の電圧であってもよい。

20

【0038】

また、上記第1抵抗の大きさと第2抵抗の大きさが同じであってもよい。

【0039】

また、上記変換部は、上記第17トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第19トランジスタをさらに有してもよい。

【0040】

また、上記プリチャージ電圧は、上記データ信号の少なくとも一つのビットデータに対応する電圧であってもよい。

【0041】

また、上記変換部は、上記配線の第1端に接続され、上記データ電流に対応する電流を出力する第20トランジスタを有し、上記データ出力部は、上記配線の第2端に接続され、上記第20トランジスタに流れる電流が伝達される第21トランジスタを有し、上記データ駆動部は、第4電源と第5電源との間に直列に接続される複数の抵抗を有するプリチャージ部をさらに有し、上記プリチャージ部は、上記データ信号の少なくとも一つのビットデータに応じて上記複数の抵抗によって上記第4電源の電圧と上記第5電源の電圧を分圧し、上記分圧された電圧が上記プリチャージ電圧であってもよい。

30

【0042】

また、上記変換部は、上記第20トランジスタとカレントミラーの形で接続され、上記データ電流を伝達する第22トランジスタをさらに有してもよい。

40

【0043】

また、上記発光素子は有機発光素子であってもよい。

【0044】

このように、上記課題を解決するために、本発明では、データ駆動装置のデータ出力部からデータ電流を受信する前にプリチャージを行う。

【発明の効果】

【0045】

以上説明したように、本発明によれば、プリチャージ部を介してデジタル／アナログ変換部から出力されるデータ電流をデータ出力部へ損失なく伝達することができる。

【図面の簡単な説明】

50

【0046】

【図1】本発明の実施形態に係る発光表示装置を示す概略平面図である。

【図2】本発明の第1実施形態に係るデータ駆動部を示す概略ブロック図である。

【図3】図2のデータ駆動部の多重化処理部を示す概略ブロック図である。

【図4】図3のデータ駆動部のD/A変換部の第1実施形態を示す図である。

【図5】本発明の第1実施形態に係るデータ駆動部におけるD/A変換部の出力端とデータ出力部の入力端を示す図である。

【図6】本発明の第2実施形態に係るデータ駆動部におけるD/A変換部の出力端、データ出力部の入力端、及びプリチャージ部を示す図である。

【図7】図6のプリチャージ部のスイッチングタイミング図である。

10

【図8】本発明の第3実施形態に係るデータ駆動部におけるD/A変換部の出力端、データ出力部の入力端、及びプリチャージ部を示す図である。

【図9】図8のプリチャージ部のスイッチングタイミング図である。

【図10】本発明の第4実施形態に係るデータ駆動部におけるD/A変換部の出力端、データ出力部の入力端、及びプリチャージ部を示す図である。

【図11】図10のプリチャージ部のスイッチングタイミング図である。

【図12】図10のプリチャージ部における電圧D/A変換部の第1実施形態を示す図である。

【図13】本発明の第5実施形態に係るデータ駆動部の概略ブロック図である。

【発明を実施するための形態】

20

【0047】

以下に、添付した図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する発明特定事項については、同一の符号を付することにより重複説明を省略する。

【0048】

図面において、本発明を明確に説明するために、説明と関係のない部分は省略した。ある部分が他の部分に接続されているとするとき、これは直接接続されている場合のみならず、その間に他の素子を挟んで電氣的に接続されている場合も含む。

【0049】

図1は本発明の実施形態に係る発光表示装置の概略平面図である。

30

【0050】

図1に示すように、本発明の実施形態に係る発光表示装置は、表示部100、走査駆動部200およびデータ駆動部300を備える。

【0051】

表示部100は、複数のデータ線 $D_1 \sim D_m$ 、複数の選択走査線 $S_1 \sim S_n$ 、複数の発光走査線 $E_1 \sim E_n$ および複数の副画素110を含む。複数のデータ線 $D_1 \sim D_m$ は、列方向に延びており、画像を示すデータ電流を伝達する。選択走査線 $S_1 \sim S_n$ は、行方向に延びており、複数の副画素のうちデータ電流が印加される画素を選択する選択信号を伝達し、複数の発光走査線 $E_1 \sim E_n$ は、行方向に延びており、複数の副画素のうち発光する副画素を選択する発光制御信号を伝達する。本実施形態において第1走査線は選択走査線 $S_1 \sim S_n$ に相当し、第2走査線は発光走査線 $E_1 \sim E_n$ に相当する。

40

【0052】

隣り合う2本の選択走査線 $S_1 \sim S_n$ と隣り合う2本のデータ線 $D_1 \sim D_m$ によって画素領域が画定される。画素領域には、発光素子を有する副画素110が形成される。例えば、 i 番目の選択走査線 S_i と j 番目のデータ線 D_j に接続された副画素110は、選択走査線 S_i から選択信号が印加されるとき、データ線 D_j からのデータ電流を書き込み、発光走査線 E_i から発光信号が印加されるとき、発光素子を書き込んだデータ電流に対応する階調で発光する。また、本発明の実施形態では、R (red) 色相の光を発光する副画素、G (green) 色相の光を発光する副画素、およびB (blue) 色相の光を発光する副画素が存在し、三つの副画素によって一つの色相を表現する画素が形成されるも

50

のと仮定する。本実施形態において第1色相、第2色相、第3色相とは上記R、G、B色相のことである。

【0053】

データ駆動部300は、順次入力される階調を示すデータ信号をデータ電流に変換し、変換したデータ電流をデータ線 $D_1 \sim D_m$ に印加する。走査駆動部200は、複数の選択走査線 $S_1 \sim S_n$ に選択信号を順次印加し、且つ複数の発光走査線 $E_1 \sim E_n$ に発光制御信号を順次印加する。

【0054】

この際、走査駆動部200および／またはデータ駆動部300は、表示部100が形成される基板上に集積回路の形で直接装着してもよい。また、これら駆動部200および／または300を、表示部100の形成される基板上に、走査線 $S_1 \sim S_n$ 、 $E_1 \sim E_n$ 、データ線 $D_1 \sim D_m$ および副画素110のトランジスタを形成する層と同一の層で形成することもできる。また、これら駆動部200および／または300を、表示部100の形成される基板とは別途の基板に形成し、これらの基板を表示部100の形成される基板に電氣的に接続することもできる。また、これら駆動部200および／または300は、表示部100の形成される基板に接着されて電氣的に接続されたTCP (tape carrier package)、FPC (flexible printed circuit) またはTAB (tape automatic bonding) にチップなどの形で装着することもできる。

【0055】

次に、図1のデータ駆動部300について図2を参照して詳細に説明する。図2は本発明の第1実施形態に係るデータ駆動部300の概略ブロック図、図3は図2のデータ駆動部300の多重化処理部330の概略ブロック図である。

【0056】

図2に示すように、第1実施形態に係るデータ駆動部300は、シフトレジスタ部310、ラッチ部320、多重化処理部330、デジタル／アナログ変換部（以下、「D/A変換部」という。）340、制御信号生成部350およびデータ出力部360を含む。図2では、説明の便宜上、データ線 $D_1 \sim D_{300}$ は、300本、すなわちR副画素に対応する100本のデータ線、G副画素に対応する100本のデータ線、およびB画素に対応する100本のデータ線からなり、データ出力部は、データ線に対応して300本のチャンネルを有するものと仮定する。また、1行に設けられる100個の画素に対応するデータ信号は順次入力され、1画素のR、G、Bデータ信号は並列に入力されるものと仮定する。これにより、ラッチ部320、多重化処理部330、D/A変換部340およびデータ出力部360は、1画素に該当するR、G、Bデータ信号またはR、G、Bデータ電流を並列に処理する。

【0057】

シフトレジスタ部310は、順次シフトされるサンプリング信号SRH0～SRH99を生成してラッチ部320へ伝達する。ラッチ部320は、サンプリング信号SRH0～SRH99に応じて順次入力されるR、G、Bデータ信号DR0～DR99、DG0～DG99、DB0～DB99をサンプリングして保存し、サンプリングラッチ部321とホールディングラッチ部322とからなる。

【0058】

具体的に、シフトレジスタ部310は、活性化信号IEに応答してサンプリング信号SRH0を生成し、このサンプリング信号SRH0をクロックCLKHに同期して順次シフトしながら複数のサンプリング信号SRH0～SRH99を順次出力する。ここで、サンプリング信号SRH0～SRH99は、1行の100個の画素に対応するように100個が生成される。

【0059】

サンプリングラッチ部321は、入力されるR、G、Bデータ信号DR0～DR99、DG0～DG99、DB0～DB99をサンプリング信号SRH0～SRH99に応答し

てサンプリングする。すなわち、サンプリング信号 $SRHi$ に応答して、サンプリングラッチ部 321 は行方向に $(i+1)$ 番目の画素に対応する R 、 G 、 B データ信号 DRi 、 DGi 、 DBi をサンプリングする。ここで、 R 、 G 、 B データ信号が 10 ビットのデジタルデータからなると、サンプリングラッチ部 321 は、個々のビット毎にデータをサンプリングして、総数 30 ビットのデータをサンプリングする。次いで、ホールディングラッチ部 322 は、サンプリングラッチ部 321 で順次サンプリングされるデータ信号を 1 行に対応するデータ信号がサンプリングされるまで維持した後、ホールディング活性化信号 DH に応答して、サンプリングされた 1 行のデータ信号 $DR0 \sim DR99$ 、 $DG0 \sim DG99$ 、 $DB0 \sim DB99$ を出力する。

【0060】

図 3 を参照すると、多重化処理部 330 は、シフトレジスタ 331 とマルチプレクサ 332 とからなる。多重化処理部 330 のシフトレジスタ 331 は、クロック $CLKL$ および活性化信号 DAS の入力を受けて多重化信号 $MSW0 \sim MSW99$ およびシフト信号 $SRL0 \sim SRL99$ を順次出力する。この際、シフトレジスタ 331 のクロック $CLKL$ は、シフトレジスタ部 310 のクロック $CLKH$ より周波数が低くてもよく、活性化信号 DAS は、ホールディングラッチ部 322 のホールディング活性化信号 DH と同一のタイミングを持つ。また、多重化信号 $MSW0 \sim MSW99$ およびシフト信号 $SRL0 \sim SRL99$ は、クロック $CLKL$ に同期されて出力される。多重化信号 $MSW0 \sim MSW99$ は、多重化処理部 330 のマルチプレクサ 332 に印加され、シフト信号 $SRL0 \sim SRL99$ は、制御信号生成部 350 へ出力される。

【0061】

多重化処理部 330 のマルチプレクサ 332 は、多重化信号 $MSW0 \sim MSW99$ に基づいてホールディングラッチ部 322 からの R 、 G 、 B データ $DR0 \sim DR99$ 、 $DG0 \sim DG99$ 、 $DB0 \sim DB99$ を多重化して順次 D/A 変換部 340 へ伝達する。すなわち、マルチプレクサ 332 は、多重化信号 $MSWi$ を受信する場合、 R 、 G 、 B データ DRi 、 DGi 、 DBi を D/A 変換部 340 へ伝達する。

【0062】

D/A 変換部 340 は、マルチプレクサ 332 から順次入力される R 、 G 、 B データ $DR0 \sim DR99$ 、 $DG0 \sim DG99$ 、 $DB0 \sim DB99$ をそれぞれアナログ形のデータ電流 $R0 \sim R99$ 、 $G0 \sim G99$ 、 $B0 \sim B99$ へ変換してデータ出力部 360 へ順次出力する。この際、 D/A 変換部 340 は、 R 、 G 、 B 用デジタル/アナログ変換器（以下、 R 、 G 、 B 「 D/A 」変換器という）341、342、343 からなり、 R 、 G 、 B 用 D/A 変換器 341、342、343 はそれぞれ R 、 G 、 B データをアナログ電流に変換する。なお、本実施形態において、第 1、第 2、第 3 変換器は R 、 G 、 B 「 D/A 」変換器に相当する。また、第 1 データ信号、第 2 データ信号、第 3 データ信号は、 $DR0 \sim DR99$ 、 $DG0 \sim DG99$ 、 $DB0 \sim DB99$ に相当する。

【0063】

制御信号生成部 350 は、多重化処理部 330 のシフト信号 $SRL0 \sim SRL99$ を受信してサンプリング信号 $CSH0 \sim CSH99$ を生成し、このサンプリング信号をデータ出力部 360 へ出力する。この際、サンプリング信号 $CSHi$ は、多重化信号 $MSWi$ によって D/A 変換部 340 で変換された R 、 G 、 B データ電流 Ri 、 Gi 、 Bi がデータ出力部 360 に伝達される時点に同期するように、シフト信号 $SRLi$ によって生成される。

【0064】

データ出力部 360 は、サンプリング信号 $CSH0 \sim CSH99$ に応答して、 D/A 変換部 340 から入力される R 、 G 、 B データ電流 $R0 \sim R99$ 、 $G0 \sim G99$ 、 $B0 \sim B99$ を順次サンプリングする。すなわち、データ出力部 360 は、 D/A 変換部 340 でアナログの形に変換されて出力される R 、 G 、 B データ電流 Ri 、 Gi 、 Bi をサンプリング信号 $CSHi$ に応答してサンプリングする。データ出力部 360 は、1 行の画素に対応する R 、 G 、 B データ電流 $R0 \sim R99$ 、 $G0 \sim G99$ 、 $B0 \sim B99$ をサンプリング

10

20

30

40

50

した後、各データ電流を当該データ線 $D_1 \sim D_{300}$ へ同時に出力する。

【0065】

以上、1行の画素に対応するR、G、Bデータ信号がデータ駆動部300に入力されてデータ電流に変換されて表示部100のデータ線へ出力される過程について説明した。このような過程が全行の画素のR、G、Bデータ信号に対し繰り返行われることにより、1フレームのデータ信号がデータ電流に変換されて表示部100へ伝達できる。そして、第1実施形態によれば、データ線別にD/A変換器が形成されず、R、G、B別にD/A変換器が形成されているので、D/A変換器の占有面積を減らすことができる。

【0066】

次に、図4を参照して、データ駆動部300に使用されるD/A変換部340の第1実施形態について説明する。図4は図3のデータ駆動部300のD/A変換部340の第1実施形態を示す図である。図4ではD/A変換部340の中でもR用D/A変換器341のみを示した。GおよびB用D/A変換器342、343は、R用D/A変換器341と同一の構造を持つので、その図示および説明を省略する。

【0067】

図4に示すように、R用D/A変換器341は、電流源 I_B に接続されるトランジスタTB、10個のミラートランジスタ $T_0 \sim T_9$ およびスイッチング素子 $SW_0 \sim SW_9$ を含む。トランジスタTBとミラートランジスタ $T_0 \sim T_9$ は、それぞれカレントミラー（電流ミラー）の形で接続されている。つまり、トランジスタTBとミラートランジスタ $T_0 \sim T_9$ でカレントミラー回路を構成している。ミラートランジスタ $T_0 \sim T_9$ の大きさはそれぞれトランジスタTBの大きさの $2^0 \sim 2^9$ 倍である。トランジスタの大きさは、トランジスタのチャネル幅Wとチャネル長Lの比 W/L を意味する。具体的に、トランジスタTBは、ダイオードの形で接続される。また、トランジスタTBは、ソースが電源電圧VDDに接続され、ドレインが電流源 I_B に接続されている。ミラートランジスタ T_j （ここで、jは0～9の整数）は、ソースが電源電圧VDDに接続され、ゲートがトランジスタTBのゲートに接続されている。また、ミラートランジスタ T_j のドレインとR用D/A変換器341の出力信号線との間にはスイッチ SW_j が接続されている。

【0068】

すると、ミラートランジスタ $T_0 \sim T_9$ のドレインに、トランジスタTBのドレインを介して流れる電流 I_B の $2^0 \sim 2^9$ 倍の電流 $2^0 I_B \sim 2^9 I_B$ がそれぞれ出力される。スイッチ $SW_0 \sim SW_9$ は、それぞれ多重化処理部330のマルチプレクサ332から順次入力されるRデータ DR_i の10ビットに対応してターンオンされる。例えば、Rデータ DR_i が上位ビットから順次「0101000101」であれば、「1」に対応するスイッチ SW_0 、 SW_2 、 SW_6 、 SW_8 がターンオンされ、R用D/A変換器341の出力信号線に流れる電流 I_{in} は $(2^0 + 2^2 + 2^6 + 2^8) I_B$ になる。このようにR用D/A変換器341によってR、G、Bデータ信号がデータ電流に変換され、出力信号線を介してデータ出力部360へ伝達される。D/A変換部340は、このような過程によって多重化処理部330から順次入力されるR、G、BデータをR、G、Bデータ電流に変換してデータ出力部360へ順次出力する。

【0069】

図5は、本発明の第1実施形態に係るデータ駆動部300におけるD/A変換部340のR用D/A変換器341の出力端341aとデータ出力部360の入力端361を示す図である。図5では、R用D/A変換器341の出力端341aおよびR用D/A変換器341に接続されるデータ出力部360の入力端361のみを示したが、GおよびB用D/A変換器342、343についても同一構造の出力端が形成され、同一構造のデータ出力部360の入力端に接続される。

【0070】

図5を参照すると、R用D/A変換器341の出力端はカレントミラーM1、M2を含み、データ出力部360の入力端もカレントミラーM3、M4を含む。図5では、カレントミラーM1、M2を形成するトランジスタM1、M2をnチャネル電界効果トランジス

10

20

30

40

50

タで表示し、カレントミラーM3、M4を形成するトランジスタM3、M4をpチャネル電界効果トランジスタで表示した。

【0071】

カレントミラーM1、M2において、ダイオードの形で接続されたトランジスタM1は、ドレインにはR用D/A変換器341から出力されるデータ電流 I_{in} が印加され、ソースが接地電圧に接続されている。トランジスタM2は、ソースが接地電圧に接続され、ゲートがトランジスタM1のゲートに接続され、ドレインが配線370を介してデータ出力部360に接続される。

【0072】

カレントミラーM3、M4において、ダイオードの形で接続されたトランジスタM3は、ドレインが配線370を介してR用D/A変換器341に接続され、ソースには電源電圧VDD2が接続されている。トランジスタM4は、ソースが電源電圧VDD2に接続され、ゲートがトランジスタM3のゲートに接続される。トランジスタM4のドレインに流れる電流はデータ出力部360の入力電流になる。

【0073】

この際、2つのトランジスタM1、M2は同じ大きさを有し、同様に2つのトランジスタM3、M4も同じ大きさを有する。すると、トランジスタM1のドレインに流れる電流 I_{in} と同じ大きさの電流がトランジスタM3のドレインから配線370を介してトランジスタM2のドレインに流れる。したがって、R用D/A変換器341の電流 I_{in} と同一の大きさを有する電流がトランジスタM4のドレインを介して流れる。

【0074】

このように、D/A変換部340から1行に対応するR、G、Bのデータ電流が順次出力されると、データ出力部360では、この電流を入力電流として受信して順次サンプリングする。この際、データ出力部360へ1行に対応するR、G、Bデータ電流が伝達される時間は、1水平周期と略一致する。すなわち、1画素に対応するデータ電流がデータ出力部360に伝達される時間（以下、「データ伝達期間」という）は、水平周期の10分の1に相当する短い時間である。ところが、データ電流の大きさが小さく且つD/A変換部340とデータ出力部360間の配線370に存在する寄生成分が大きい場合には、このような短時間のうちにデータ電流が十分伝達できず、データ出力部360から所望の電流をサンプリングすることができない。

【0075】

次に、このようなデータ出力部360で短時間内にデータ電流をサンプリングすることが可能な実施形態について図6～図12を参照して詳細に説明する。

【0076】

図6は本発明の第2実施形態に係るデータ駆動部300におけるD/A変換部340のR用D/A変換器341の出力端、データ出力部360の入力端、およびプリチャージ部380aを示す図である。

【0077】

図6を参照すると、本発明の第2実施形態に係るデータ駆動部300は、第1実施形態に比べてR、G、B用D/A変換器341、342、343の出力端とデータ出力部360の入力端にそれぞれ接続されるプリチャージ部380aをさらに含む。図6では、R用D/A変換器341、およびR用D/A変換器341に接続されたデータ出力部360の入力端に接続されるプリチャージ部380aのみを示したが、GおよびB用D/A変換器342、343に対しても同じ構造のプリチャージ部が形成される。

【0078】

プリチャージ部380aは、トランジスタM5、M6、スイッチSW11、SW12および単位利得増幅器（演算増幅器を用いたボルテージフォロワ回路）381を含む。図6では、トランジスタM5をnチャネル電界効果トランジスタで表示し、トランジスタM6をpチャネル電界効果トランジスタで表示した。

【0079】

10

20

30

40

50

トランジスタM5は、ゲートがトランジスタM1のゲートに接続され、ソースが接地電圧に接続されることにより、トランジスタM1とカレントミラーを形成する。トランジスタM6は、ダイオードの形で接続され、ドレインがトランジスタM5のドレインに接続され、ソースが電源電圧VDD2に接続されている。トランジスタM5、M6は、それぞれトランジスタM2、M3と同じ大きさおよび特性を有する。また、トランジスタM5、M6のドレインには単位利得増幅器381の入力端が接続されており、単位利得増幅器381の出力端と配線370の第1端との間にはスイッチSW11が接続されている。スイッチSW12は、データ出力部360の入力部と配線370の第2端との間に接続されている。この際、単位利得増幅器381の出力電圧がプリチャージ電圧として配線370に印加される。

10

【0080】

次に、図7を参照して図6のプリチャージ部380aの動作について説明する。図7は図6のプリチャージ部380aのスイッチングタイミング図である。図7では1画素に該当するデータ伝達期間のみを示した。図7のタイミング図において、ハイレベルはスイッチのオン状態を示し、ローレベルはスイッチのオフ状態を示す。

【0081】

プリチャージ期間Tpでは、スイッチSW11がターンオンされ、スイッチSW12がターンオフされる。この際、トランジスタM5のドレインにはトランジスタM1のドレインに伝達されるデータ電流 I_{in} と同一の電流が流れ、トランジスタM5のドレイン電流によってトランジスタM5のドレイン電圧が決定される。すなわち、電源電圧VDDがトランジスタM5、M6のオン抵抗によって分配され、トランジスタM5のドレイン電圧が決定される。すると、単位利得増幅器381は、トランジスタM5のドレイン電圧と同一のプリチャージ電圧を配線370の第1端およびトランジスタM2のドレインに印加する。この際、スイッチSW12がオフされているので、配線370の電圧およびトランジスタM2のドレイン電圧は、トランジスタM5のドレイン電圧とほぼ同一になる。

20

【0082】

次に、ミラーリング期間Tmでは、スイッチSW11がオフされ、スイッチSW12がオンされる。この際、プリチャージ期間Tpで配線370の電圧がトランジスタM2のドレイン電圧とほぼ同一に設定されているので、スイッチSW12のオンの際にトランジスタM3のドレイン電圧がトランジスタM2のドレイン電圧と同一になる。トランジスタM5、M6の特性とトランジスタM2、M3の特性が同一であり、トランジスタM5、M6のドレイン電圧とトランジスタM2、M3のドレイン電圧とが同一なので、ミラーリング期間Tmの初期にトランジスタM2、M3のドレインに流れる電流は、トランジスタM5、M6のドレインに流れる電流 I_{in} と同一になる。すなわち、ミラーリング期間Tmの初期にデータ電流 I_{in} がR/D/A変換器341の出力端341aからデータ出力部360の入力端361に伝達できる。

30

【0083】

このように、本発明の第2実施形態によれば、データ伝達時間が短くても、プリチャージ部を介してD/A変換部340から出力されるデータ電流をデータ出力部360へ伝達することができる。なお、本実施形態において、第1および第12トランジスタはM2、第2および第14トランジスタはM5、第3および第16トランジスタはM1、第4および第15トランジスタはM6、第5および第13トランジスタはM3に相当する。また、第1電源はVDD2に、第1スイッチはSW11に、第2スイッチはSW12に相当する。

40

【0084】

図8は、本発明の第3実施形態に係るデータ駆動部300におけるD/A変換部340のR用D/A変換器341の出力端341a、データ出力部360の入力端361およびプリチャージ部380bを示す図である。図9は図8のプリチャージ部380bのスイッチングタイミング図である。図9では、図7と同様に、1画素に相当するデータ伝達期間のみを示した。図9のタイミング図において、ハイレベルはスイッチのオン状態を示し、

50

ローレベルはスイッチのオフ状態を示す。

【0085】

図8に示すように、本発明の第3実施形態に係るデータ駆動部300は、プリチャージ部380bの構造以外は第2実施形態と同様の構造を持つ。具体的に、プリチャージ部380bは、抵抗R11、R12とスイッチSW13、SW14、SW15を含む。抵抗R11、R12は電源電圧VDD2と接地電圧との間に直列に接続されており、2つの抵抗R11、R12の大きさは互いに同一である。スイッチSW13は、トランジスタM1のゲートとトランジスタM2のゲートとの間に接続されており、スイッチSW14は、配線370の第2端とトランジスタM3のドレインとの間に接続されている。また、スイッチSW15は、2つの抵抗R11、R12の接点と配線370の第1端との間に接続されている。

10

【0086】

図9を参照すると、プリチャージ期間 T_p' では、スイッチSW13、SW14がターンオフされ、スイッチSW15がターンオンされる。すると、電源電圧VDD2と接地電圧との差に相当する電圧VDD2が抵抗R11、R12によって分配され、電源電圧VDD2の半分に相当する電圧 $VDD2/2$ が配線370に印加される。

【0087】

次に、ミラーリング期間 T_m' では、スイッチSW15がターンオフされ、スイッチSW13、SW14がターンオンされる。ところが、トランジスタM2、M3のドレイン電圧は、データ電流 I_{in} に応じて電源電圧VDD2と接地電圧との間で決定される。この際、第3実施形態のようにトランジスタM2、M3のドレイン電圧が $(VDD2/2)$ 電圧にプリチャージされていると、平均的にトランジスタM2、M3のドレイン電圧が所望の電圧まで速く充電できる。したがって、トランジスタM3のドレインに所望のデータ電流を伝達することが可能な時間が平均的に短くなる。第3実施形態では、2つの抵抗R11、R12の大きさを同一にして配線370を $(VDD2/2)$ 電圧にプリチャージしたが、2つの抵抗R11、R12の大きさを異にして、 $(VDD2/2)$ 電圧ではなく他の電圧に配線370をプリチャージすることもできる。なお、本実施形態において、第2電源はVSS、第1電源はVDD2、第6および第17トランジスタはM2、第7および第18トランジスタはM3、第8および第19トランジスタはM1に相当する。また、第3電圧はVDD2からVSSの間の電圧、第1抵抗はR11、第2抵抗はR12、第3スイッチはSW13、第4スイッチはSW14、第5スイッチはSW15に相当する。

20

30

【0088】

図10は本発明の第4実施形態に係るデータ駆動部300におけるD/A変換部340のR用D/A変換器341の出力端341a、データ出力部360の入力端361、およびプリチャージ部380cを示す図である。図11は図10のプリチャージ部380cのスイッチングタイミング図である。図11では、図7と同様に、1画素に相当するデータ伝達期間のみを示した。図11のタイミング図において、ハイレベルはスイッチのオン状態を示し、ローレベルはスイッチのオフ状態を示す。

【0089】

図10に示すように、本発明の第4実施形態に係るデータ駆動部300は、プリチャージ部380cの構造以外は第2実施形態と同様の構造を持つ。

40

【0090】

具体的に、プリチャージ部380cは、R用D/A変換器341へ伝達されるRデータを受信して電圧に変換する電圧デジタル/アナログ変換器（以下、「電圧D/A変換器」という。）382およびスイッチSW16、SW17を含む。スイッチSW16は、電圧D/A変換器382の出力端と配線370の第1端との間に接続され、スイッチSW17は、配線370の第2端とデータ出力部360の入力部361との間に接続される。特定のデータ信号に対応するデータ電流がデータ出力部360の入力端361に流れるとき、配線370にかかる電圧は予め計算することができる。すなわち、配線370にかかる電圧は、トランジスタM3、M2のドレインを介してデータ電流が流れるときにトランジス

50

タM3のドレイン電圧が配線370にかかる電圧である。したがって、プリチャージ部380cは、R用D/A変換器341に伝達される10ビットデータ信号を受信し、当該データ信号に対応するデータ電流がデータ出力部360の入力端361に流れるときに配線370にかかる電圧をプリチャージ電圧として出力する。

【0091】

図11を参照すると、プリチャージ期間 T_p では、スイッチSW17がターンオフされ、スイッチSW16がターンオンされる。すると、電圧D/A変換部382は、R用D/A変換器341に入力されるデータ信号DRiに応じてプリチャージ電圧Vpreを生成してスイッチSW16を介して配線370に印加する。すなわち、配線370がプリチャージ電圧Vpreで充電される。

10

【0092】

次に、ミラーリング期間 T_m では、スイッチSW16がターンオフされ、スイッチSW17がターンオンされる。この際、配線370がデータ信号DRiに対応するプリチャージ電圧Vpreで充電されているので、短時間内に、トランジスタM1のドレインに流れるデータ信号電流がトランジスタM2のドレインに伝達できる。

【0093】

以上、本発明の第4実施形態では、データ信号DRiに対応するデータ電流がトランジスタM3、M2を介して流れるときのトランジスタM3のドレイン電圧をプリチャージ電圧として使用した。なお、本実施形態において、第9および第22トランジスタはM1、第10および第20トランジスタはM2、第11および第21トランジスタはM3、第6

20

【0094】

一般に、電圧D/A変換部382は、直列に接続される複数の抵抗と各抵抗の接点に接続されるスイッチを用いてデータ信号を電圧に変換する。ところが、上記で仮定した通り、データ信号DRiが10ビットであれば、 2^{10} 種のデータ信号を処理しなければならないので、抵抗とスイッチの個数が増加して電圧D/A変換部382の大きさが増加する。したがって、データ信号DRiの10ビットのうち上位一部のビットのみを用いてプリチャージ電圧Vpreを決定することができる。次に、このような電圧D/A変換部382について図12を参照して説明する。

【0095】

30

図12は図10の電圧D/A変換器382の第1実施形態を示す図である。図12ではデータ信号DRiの10ビットのうち上位3ビット D_0 、 D_1 、 D_2 によってプリチャージ電圧が決定される例を示した。

【0096】

図12に示すように、電圧D/A変換器382は、複数の抵抗 $R_1 \sim R_7$ および複数のスイッチ $S_{10} \sim S_{17}$ 、 $S_{20} \sim S_{23}$ 、 S_{30} 、 S_{31} を含む。抵抗 $R_1 \sim R_7$ は電源電圧VDD3と接地電圧との間に直列に接続されている。接地電圧と抵抗 R_1 との接点、抵抗 $R_1 \sim R_7$ 間の6つの接点、および抵抗 R_7 と電源電圧VDD3との接点には、それぞれ8つのスイッチ $S_{10} \sim S_{17}$ が接続されている。スイッチ S_{10} 、 S_{11} 間の接点にスイッチ S_{20} が接続され、スイッチ S_{12} 、 S_{13} 間の接点にスイッチ S_{21} が接続され、スイッチ S_{14} 、 S_{15} 間の接点にスイッチ S_{22} が接続され、スイッチ S_{16} 、 S_{17} 間の接点にスイッチ S_{23} が接続される。また、スイッチ S_{20} 、 S_{21} 間の接点にスイッチ S_{30} が接続され、スイッチ S_{22} 、 S_{23} 間の接点にスイッチ S_{31} が接続される。スイッチ S_{30} 、 S_{31} の接点を介して出力される電圧がプリチャージ電圧Vpreになる。なお、本実施形態において、第4電源はVDD3、第5電源はVSSに相当する。

40

【0097】

ここで、スイッチ S_{30} は、データ信号DRiの最上位ビット D_0 が「1」の場合にオンされ、スイッチ S_{31} は、最上位ビット D_0 が「0」の場合にオンされる。スイッチ S_{20} 、 S_{22} は次の上位ビット D_1 が「1」の場合にオンされ、スイッチ S_{21} 、 S_{23}

50

はビット D_1 が「0」の場合にオンされる。また、スイッチ S_{10} , S_{12} , S_{14} , S_{16} は、次の上位ビット D_2 が「1」の場合にオンされ、スイッチ S_{11} , S_{13} , S_{15} , S_{17} はビット D_2 が「0」の場合にオンされる。こうすると、上位3ビット D_0 , D_1 , D_2 の値によってオンされるスイッチが決定されてプリチャージ電圧が決定される。例えば、上位3ビットが「110」の場合には、スイッチ S_{30} , S_{20} , S_{11} を介して、電源電圧 V_{DD3} が抵抗 $R_7 \sim R_2$ と抵抗 R_1 によって分圧される電圧がプリチャージ電圧 V_{pre} として出力される。

【0098】

以上、本発明の第1～第4実施形態では、 D/A 変換部340にR, G, B別に D/A 変換器を別途に設けたが、これとは異なり、一つの D/A 変換器でR, G, Bデータを処理することもできる。このような場合には、多重化処理部330から1画素に対応するR, G, Bデータを順次出力して D/A 変換部340へ伝達すればよい。

10

【0099】

また、本発明の第1～第4実施形態では、R, G, B用 D/A 変換器341, 342, 343からなる D/A 変換部340を一つ設けるものと説明したが、これとは異なり、 D/A 変換部340を複数設けることもできる。すなわち、複数のデータ線 $D_1 \sim D_m$ を複数のグループに分割し、グループ毎に D/A 変換部を設けることができる。次に、このような実施形態について図13を参照して説明する。

【0100】

図13は本発明の第5実施形態に係るデータ駆動部の概略ブロック図である。図13では、便宜上、図2のデータ駆動部に D/A 変換部が2個設けられている場合を示した。

20

【0101】

図13を参照すると、本発明の第5実施形態に係るデータ駆動部300は、 D/A 変換部340a, 340b, 多重化処理部330a, 330b, およびデータ出力部360a, 360bがそれぞれ2個ずつ設けられた以外は、図2のデータ駆動部と同様の構造を持つ。

【0102】

具体的に、多重化処理部330aのシフトレジスタ（図示せず。）は、50個の多重化信号 $MSW_0 \sim MSW_{49}$ およびシフト信号 $SRL_0 \sim SRL_{49}$ を順次出力し、多重化処理部330aのマルチプレクサ（図示せず。）は、多重化信号 MSW_0 , MSW_{49} に
 30
 応答してラッチ部320からのR, G, Bデータ $DR_0 \sim DR_{99}$, $DG_0 \sim DG_{99}$, $DB_0 \sim DB_{99}$ のうち半分のR, G, Bデータ $DR_0 \sim DR_{49}$, $DG_0 \sim DG_{49}$, $DB_0 \sim DB_{49}$ を順次多重化処理し、 D/A 変換部340aへ伝達する。同様に、多重化処理部330bのシフトレジスタ（図示せず。）は、50個の多重化信号 $MSW_{50} \sim MSW_{99}$ およびシフト信号 $SRL_{50} \sim SRL_{99}$ を順次出力し、多重化処理部330bのマルチプレクサ（図示せず。）は、多重化信号 $MSW_{50} \sim MSW_{99}$ に
 40
 応答して、ラッチ部320から出力されるR, G, Bデータ $DR_0 \sim DR_{99}$, $DG_0 \sim DG_{99}$, $DB_0 \sim DB_{99}$ のうち残り半分のR, G, Bデータ $DR_{50} \sim DR_{99}$, $DG_{50} \sim DG_{99}$, $DB_{50} \sim DB_{99}$ を順次多重化処理し、 D/A 変換部340bに伝達する。

【0103】

D/A 変換部340aは、多重化処理部330aから順次入力されるR, G, Bデータ $DR_0 \sim DR_{49}$, $DG_0 \sim DG_{49}$, $DB_0 \sim DB_{49}$ をデータ電流に変換して順次データ出力部360aへ出力する。また、 D/A 変換部340bは、多重化処理部330bから順次入力されるR, G, Bデータ $DR_{50} \sim DR_{99}$, $DG_{50} \sim DG_{99}$, $DB_{50} \sim DB_{99}$ をデータ電流に変換して順次データ出力部360bへ出力する。

40

【0104】

制御信号生成部350は、シフト信号 $SRL_0 \sim SRL_{49}$, $SRL_{50} \sim SRL_{99}$ をそれぞれ受信し、サンプリング信号 $CSH_0 \sim CSH_{49}$, $CSH_{50} \sim CSH_{99}$ を生成してそれぞれデータ出力部360a, 360bへ出力する。データ出力部360aは、 D/A 変換部360aから順次入力されるR, G, Bデータ電流をサンプリング信号C
 50

50

S H 0 ～ C S H 4 9 に応答してサンプリングし、同様にデータ出力部 3 6 0 b は D / A 変換部 3 6 0 b から順次入力される R, G, B データ電流をサンプリング信号 C S H 5 0 ～ C S H 9 9 に応答してサンプリングする。

【 0 1 0 5 】

以上説明した第 5 実施形態によれば、全てのデータが順次処理されず、一部のデータは並列に処理されるので、データ伝達期間を増やすことができる。よって、D / A 変換部からデータ出力部へ所望のデータ電流を伝達することができる。そして、第 5 実施形態でも第 2 ～ 第 4 実施形態で説明したプリチャージを適用することができるので、これについての詳細な説明は省略する。

【 0 1 0 6 】

本発明の実施形態では、300 本のデータ線に対応するデータ電流を出力するデータ駆動部を例として説明したが、本発明は、データ線の数に限定されない。また、本発明の実施形態で説明したデータ駆動部は一つのチップの形に製作でき、実際発光表示装置ではこのようなチップが多数存在することもできる。また、本発明の実施形態では、R, G, B 色相の副画素が形成されるものと説明したが、これとは異なり、2 色相以上の副画素が形成されることもでき、モノーを表現する場合には、1 色相の副画素のみが形成されることもできる。

【 0 1 0 7 】

以上説明したように、本実施形態によれば、データ信号をデータ電流に変換してデータ線へ伝達することができ、複数のデータ線が一つのデジタル / アナログ変換部を共有することによりデジタル / アナログ変換部の面積を最小化することができる。

【 0 1 0 8 】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【 0 1 0 9 】

本発明は、発光表示装置に適用可能であり、特にデータ信号を電流の形で供給する発光表示装置のデータ駆動装置に適用可能である。

【符号の説明】

【 0 1 1 0 】

- 1 0 0 表示部
- 1 1 0 副画素
- 2 0 0 走査駆動部
- 3 0 0 データ駆動部
- 3 1 0 シフトレジスタ部
- 3 2 0 ラッチ部
- 3 2 1 サンプリングラッチ部
- 3 2 2 ホールディングラッチ部
- 3 3 0 多重化処理部
- 3 3 1 シフトレジスタ
- 3 3 2 マルチプレクサ
- 3 4 0 デジタル / アナログ変換部
- 3 4 1 R 用デジタル / アナログ変換器
- 3 4 2 G 用デジタル / アナログ変換器
- 3 4 3 B 用デジタル / アナログ変換器
- 3 5 0 制御信号生成部
- 3 6 0 データ出力部
- 3 7 0 配線

10

20

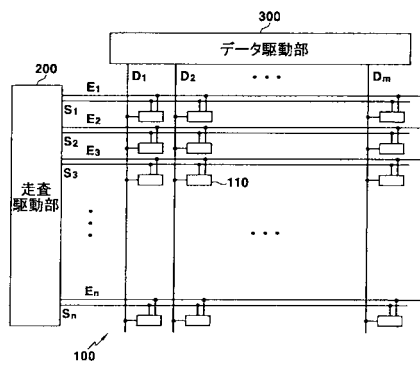
30

40

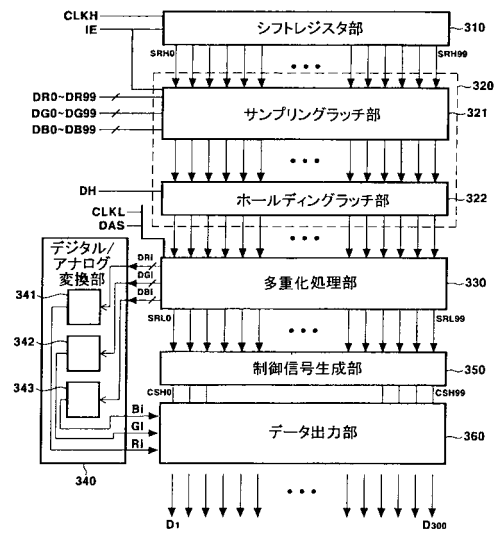
50

- 380a, 380b, 380c プリチャージ部
 381 単位利得増幅器
 382 電圧デジタル／アナログ変換器

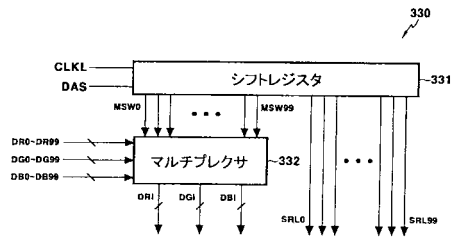
【図 1】



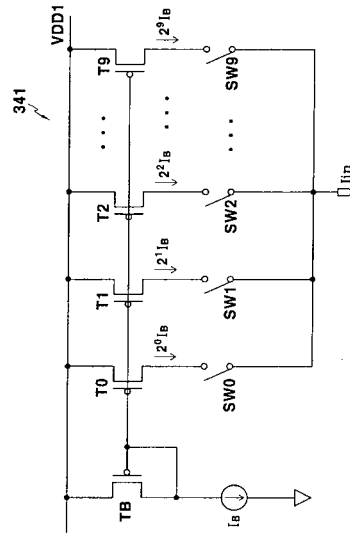
【図 2】



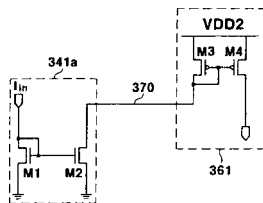
【図 3】



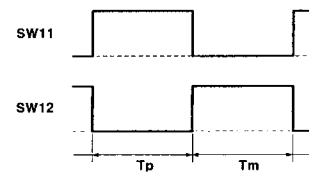
【図 4】



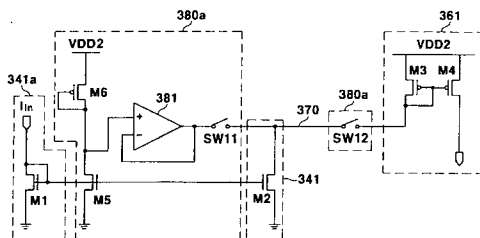
【図 5】



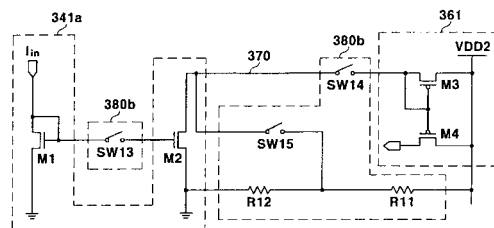
【図 7】



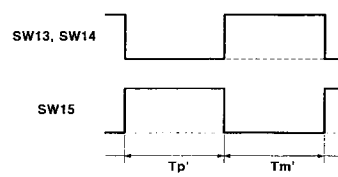
【図 6】



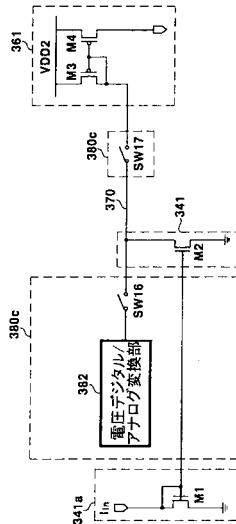
【図 8】



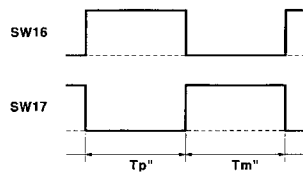
【図 9】



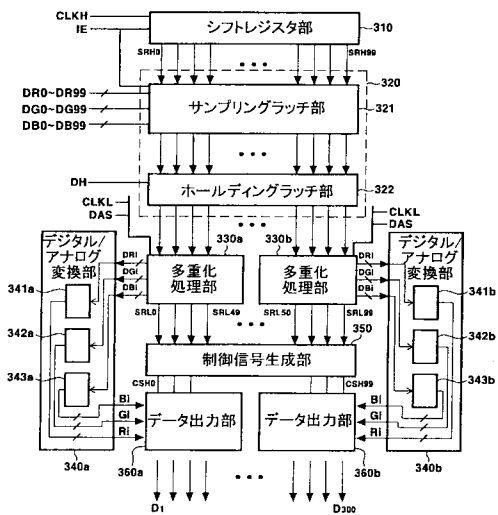
【図 10】



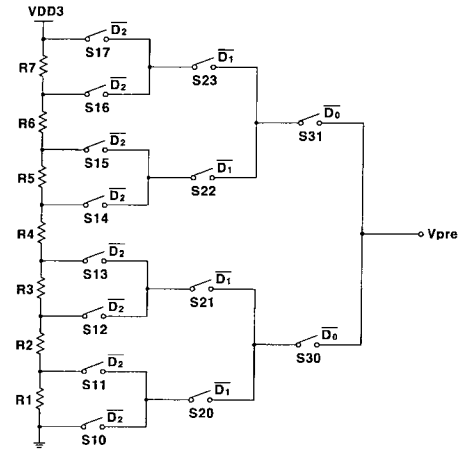
【図 11】



【図 13】



【図 12】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 4 1 D

专利名称(译)	数据驱动装置和发光显示装置		
公开(公告)号	JP2009134317A	公开(公告)日	2009-06-18
申请号	JP2009064404	申请日	2009-03-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	權五敬		
发明人	權 五敬		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3283 G09G2310/0248 G09G2310/027 G09G2310/0297		
FI分类号	G09G3/30.J G09G3/20.623.B G09G3/20.621.F G09G3/20.623.F G09G3/20.623.X G09G3/20.623.R G09G3/20.623.C G09G3/20.623.D G09G3/20.641.D G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD08 5C080/DD22 5C080/EE29 5C080/FF01 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB31 5C380/AB33 5C380/AB34 5C380/BA14 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BC02 5C380/BC07 5C380/BC09 5C380/BC13 5C380/CA04 5C380/CA06 5C380/CA09 5C380/CA13 5C380/CA17 5C380/CA26 5C380/CA27 5C380/CA29 5C380/CA32 5C380/CA34 5C380/CA35 5C380/CA41 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CC11 5C380/CC19 5C380/CC61 5C380/CE04 5C380/CE05 5C380/CE13 5C380/CE20 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA38 5C380/HA07 5C380/HA13		
优先权	1020040080371 2004-10-08 KR 1020040080373 2004-10-08 KR 1020040080374 2004-10-08 KR		
其他公开文献	JP4923077B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够以正常方式将数据电流传输到数据输出部分而不会丢失的数据驱动装置。解决方案：在电流写入系统的有机发光显示装置中，提供数据驱动部分300，用于将从外部输入的数据信号转换为数据电流，并将其发送到数据线。数据驱动部分300的数字 - 模拟转换部分340将顺序输入的数据信号转换为数据电流并将其发送到数据输出部分360。数据输出部分360在对数据电流进行采样之后按顺序传输，同时将其输出到数据线。在数据电流从数字 - 模拟转换部分340传输到数据输出部分360之前，布线370被预充电到规定的电压。Z

