

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-58916

(P2008-58916A)

(43) 公開日 平成20年3月13日(2008.3.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 612L	
	G09G 3/20 631D	
	G09G 3/20 631B	
審査請求 有 請求項の数 12 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2006-261347 (P2006-261347)	(71) 出願人	590002817
(22) 出願日	平成18年9月26日 (2006. 9. 26)		三星エスディアイ株式会社
(31) 優先権主張番号	10-2006-0083143		大韓民国京畿道水原市靈通区▲しん▼洞 5
(32) 優先日	平成18年8月30日 (2006. 8. 30)		75番地
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(72) 発明者	金 道▲益▼
			大韓民国京畿道龍仁市器興邑貢税里 428
			-5 三星エスディアイ中央研究所

最終頁に続く

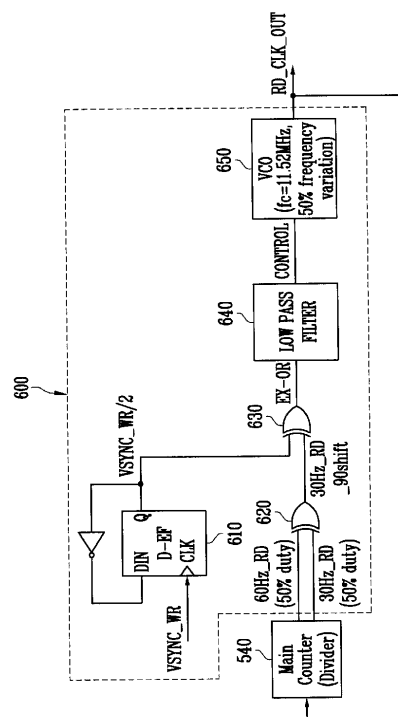
(54) 【発明の名称】 有機電界発光表示装置及びその駆動方法

(57) 【要約】

【課題】 交互に書き込みと読み込み動作を行なう二つのフレームメモリの、書き込みと読み込みの開始及び完了時点を互いに一致させるために、外部垂直同期化信号と内部垂直同期化信号とを一致させるデジタル駆動方式の有機電界発光表示装置及び駆動方法を提供する。

【解決手段】 走査線に走査信号を順次供給する走査駆動部と、データのそれぞれに第1または第2データ信号を供給するデータ駆動部と、走査信号が供給されるときに選択され、第1または第2データ信号が供給され発光または非発光が制御される複数の画素が備えられる画素部と、走査駆動部及びデータ駆動部を制御し、データ駆動部に所定のデータを供給するタイミング制御部と、タイミング制御部に備えられる二つのフレームメモリに対し書き込みの完了時点、及び読み込みの開始時点を一致させるために、内部垂直同期信号と外部垂直同期信号との位相差を一致させる垂直同期信号の同期化回路とを備える。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

デジタル方式で駆動される有機電界発光表示装置において、
走査線に走査信号を順次供給する走査駆動部と、
データのそれぞれに第 1 データ信号または第 2 データ信号を供給するデータ駆動部と、
前記走査信号が供給されるときに選択され、前記第 1 データ信号または第 2 データ信号
が供給され発光または非発光が制御される複数の画素が備えられる画素部と、
前記走査駆動部及びデータ駆動部を制御し、前記データ駆動部に所定のデータを供給す
るタイミング制御部と、
前記タイミング制御部に備えられる二つのフレームメモリに対し書き込み（W r i t e
）の完了時点、及び読み込み（R e a d）の開始時点とを一致させるように、内部垂直同期信
号 V s y n c と外部垂直同期信号との位相差を一致させる垂直同期信号の同期化回路とを
備えることを特徴とする有機電界発光表示装置。

10

【請求項 2】

前記タイミング制御部は、
外部から外部垂直同期信号 V s y n c 及び外部データ D a t a が受信され、前記外部デ
ータ D a t a を第 1 または第 2 フレームメモリに格納する書き込みメモリ制御端と、
内部垂直同期信号 V s y n c に同期して第 2 または第 1 フレームメモリに既に格納され
たデータを読み込み、それを前記データ駆動回路に伝達する読み込みメモリ制御端と、
前記外部データの読み込みと書き込み動作を交互に行なう第 1 及び第 2 フレームメモリと
を有することを特徴とする請求項 1 に記載の有機電界発光表示装置。

20

【請求項 3】

前記第 1 フレームメモリが書き込み動作を行なうときに前記第 2 フレームメモリは読み
込み動作を行い、前記第 1 フレームメモリが読み込み動作を行うときに第 2 フレームメモリは
書き込む動作を行なうことを特徴とする請求項 2 に記載の有機電界発光表示装置。

【請求項 4】

前記読み込みメモリ制御端は、メインカウンタとして前記データ駆動部及び／または走査
駆動部にメインクロックを提供することを特徴とする請求項 2 に記載の有機電界発光表示
装置。

【請求項 5】

前記メインクロックにより前記メインクロックに同期する内部垂直同期信号が生成され
ることを特徴とする請求項 4 に記載の有機電界発光表示装置。

30

【請求項 6】

前記読み込みメモリ制御端は、内部垂直同期信号及び前記内部垂直同期信号を 1 / 2 分周
した信号を前記垂直同期信号の同期化回路に提供することを特徴とする請求項 2 に記載の
有機電界発光表示装置。

【請求項 7】

前記垂直同期信号の同期化回路は、外部垂直同期信号と内部垂直同期信号との位相差を
比較して、前記外部垂直同期信号と位相差が一致する内部垂直同期信号を生成するように
メインクロックの周波数を調節し、前記周波数が調節されたメインクロックを前記読み
込みメモリ制御端にフィードバックすることを特徴とする請求項 1 に記載の有機電界発光表示
装置。

40

【請求項 8】

前記垂直同期信号の同期化回路は、
外部垂直同期信号が入力され、それを 1 / 2 分周して出力する D - フリップフロップと
、
前記タイミング制御部から内部垂直同期信号及び 1 / 2 分周された内部垂直同期信号が
入力され、90°シフトして 1 / 2 分周された内部垂直同期信号を出力する第 1 排他的論
理和（E X - O R）ゲートと、
前記第 1 E X - O R ゲートの出力信号及び前記 D - フリップフロップの出力信号の位相

50

を比較する第2排他的論理和（E X - O R）ゲートと、

前記第2 E X - O Rゲートの出力信号の直流D C成分のみを出力するフィルタと、

前記第2 E X - O Rゲート630の結果に応じて発振周波数が調節され、周波数が調節されたメインクロックを前記タイミング制御部にフィードバックする電圧制御発振器とを有して構成されることを特徴とする請求項1に記載の有機電界発光表示装置。

【請求項9】

デジタル駆動方式の有機電界発光表示装置における外部垂直同期信号と内部垂直同期信号との位相差を一致させる有機電界発光表示装置の駆動方法において、

前記外部垂直同期信号が入力され、それを1/2分周してデューティ（d u t y）比50%で周波数が前記外部垂直同期信号の1/2である信号（第1出力信号）が出力され、

前記内部垂直同期信号及び1/2分周された内部垂直同期信号が入力され、前記両信号の位相を比較して90°シフトして1/2分周された内部垂直同期信号（第2出力信号）が出力され、

前記出力された両信号の位相比較を行い、

前記出力された両信号の位相差が一致するようにメインクロックの周波数を調節することを特徴とする有機電界発光表示装置の駆動方法。

【請求項10】

前記メインクロックの周波数調節は、

前記第1出力信号の位相が第2出力信号の位相より進んでいる場合は、電圧制御発振器V C Oの周波数制御電圧入力が増加し、メインクロックR D _ C L K _ O U T周波数が高くなり両信号の位相差が一致することを特徴とする請求項9に記載の有機電界発光表示装置の駆動方法。

【請求項11】

前記メインクロックの周波数調節は、

前記第2出力信号の位相が第1出力信号の位相より進んでいる場合は、電圧制御発振器V C Oの周波数制御電圧入力が増加し、メインクロックR D _ C L K _ O U T周波数が低くなり両信号の位相差が一致することを特徴とする請求項9に記載の有機電界発光表示装置の駆動方法。

【請求項12】

前記出力された両信号は位相比較された後、フィルタを通して直流電圧にフィルタリングされることを特徴とする請求項9に記載の有機電界発光表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機電界発光表示装置に関し、特にデジタル駆動方式の有機電界発光表示装置に関するものである。

【背景技術】

【0002】

近年、陰極線管（C a t h o d e R a y T u b e）の短所である重量と体積を減らすことができる各種平板表示装置などが開発されている。平板表示装置には、液晶表示装置（L i q u i d C r y s t a l D i s p l a y）、電界放出表示装置（F i e l d E m i s s i o n D i s p l a y）、プラズマ表示パネル（P l a s m a D i s p l a y P a n e l）、及び有機電界発光表示装置（O r g a n i c L i g h t E m i t t i n g D i s p l a y）などがある。

【0003】

平板表示装置のうち有機電界発光表示装置は、電子と正孔の再結合によって光を発生する有機発光ダイオード（O r g a n i c L i g h t E m i t t i n g D i o d e : O L E D）を用いて画像を表示する。このような有機電界発光表示装置は、速い応答速度を有すると同時に、低消費電力で駆動することができる。

【0004】

10

20

30

40

50

図 1 は、従来の有機電界発光表示装置の画素を示す回路図である。

【0005】

図 1 に示すように、従来の有機電界発光表示装置の画素 4 は、有機発光ダイオード O L E D と、データ線 D m 及び走査線 S n に接続され、有機発光ダイオード O L E D を制御するための画素回路 2 を備えている。

【0006】

有機発光ダイオード O L E D のアノード電極は画素回路 2 に接続されており、カソード電極は第 2 電源 E L V S S に接続されている。このような有機発光ダイオード O L E D は、画素回路 2 から供給される電流に対応して所定輝度の光を生成する。

【0007】

画素回路 2 は、走査線 S n に走査信号が供給されるとき、データ線 D m に供給されるデータ信号に対応して有機発光ダイオード O L E D に供給される電流量を制御する。そのために、画素回路 2 は、第 1 電源 E L V D D と有機発光ダイオード O L E D の間に接続される第 2 トランジスタ M 2 と、第 2 トランジスタ M 2、データ線 D m 及び走査線 S n の間に接続される第 1 トランジスタ M 1 と、第 2 トランジスタ M 2 のゲート電極と第 1 電極の間に接続されるストレージキャパシタ C s t を備える。

【0008】

第 1 トランジスタ M 1 のゲート電極は走査線 S n に接続されており、第 1 電極はデータ線 D m に接続されている。そして、第 1 トランジスタ M 1 の第 2 電極は、ストレージキャパシタ C s t の一側端子に接続されている。ここで、第 1 電極は、ソース電極及びドレイン電極のうちいずれか一つに設定され、第 2 電極は、第 1 電極と異なる電極に設定される。たとえば、第 1 電極がソース電極に設定されれば、第 2 電極はドレイン電極に設定される。走査線 S n 及びデータ線 D m に接続される第 1 トランジスタ M 1 は、走査線 S n から走査信号が供給されるときに導通状態になり、データ線 D m から供給されるデータ信号をストレージキャパシタ C s t に供給する。この際、ストレージキャパシタ C s t はデータ信号に対応する電圧を充電する。

【0009】

第 2 トランジスタ M 2 のゲート電極は、ストレージキャパシタ C s t の一側端子に接続されており、第 1 電極は、ストレージキャパシタ C s t の他側端子及び第 1 電源 E L V D D に接続されている。そして、第 2 トランジスタ M 2 の第 2 電極は、有機発光ダイオード O L E D のアノード電極に接続されている。このような第 2 トランジスタ M 2 は、ストレージキャパシタ C s t に格納された電圧値に対応して第 1 電源 E L V D D から有機発光ダイオード O L E D に流れる電流量を制御する。この際、有機発光ダイオード O L E D は、第 2 トランジスタ M 2 から供給される電流量に対応する光を生成する。

【0010】

しかしながら、このような従来の有機電界発光表示装置の画素は、ストレージキャパシタ C s t に格納された電圧を利用して階調を表示するため、所望の階調を正確に表現することが困難である（アナログ駆動）。実際に、ストレージキャパシタ C s t に格納し得る所定電圧を利用して複数の階調を表現しなければならず、隣接する階調間の輝度差を正確に表現することが難しい。

【0011】

また、従来の有機電界発光表示装置に備えられる第 2 トランジスタ M 2 は、工程偏差によって画素 4 ごとにしきい電圧及び電子移動度などが異なるように設定される。このように、画素 4 ごとに第 2 トランジスタ M 2 のしきい電圧及び電子移動度の偏差が生じると、同一の階調電圧に対し互いに異なる階調の光が生成され、均一な輝度の画像が得られないという問題点がある。

【特許文献 1】韓国特許公開第 2 0 0 5 - 0 0 7 8 3 3 2 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

10

20

30

40

50

したがって、本発明の目的は、デジタル駆動方式の有機電界発光表示装置において、交互に書き込み（W r i t e）と読み込み（R e a d）動作を行なう二つのフレームメモリに対し、前記書き込みと読み込みの開始及び完了時点を互いに一致させるために、外部垂直同期化信号 V s y n c と内部垂直同期化信号を一致させる有機電界発光表示装置及びその駆動方法を提供することである。

【課題を解決するための手段】

【0013】

前述した目的を達成するための本発明に係る有機電界発光表示装置は、デジタル方式で駆動される有機電界発光表示装置において、走査線に走査信号を順次に供給する走査駆動部と、データのそれぞれに第1データ信号または第2データ信号を供給するデータ駆動部と、前記走査信号が供給されるときに選択され、前記第1データ信号または第2データ信号が供給され発光または非発光が制御される複数の画素が備えられる画素部と、前記走査駆動部及びデータ駆動部を制御し、前記データ駆動部に所定のデータを供給するタイミング制御部と、前記タイミング制御部に備えられる二つのフレームメモリに対し書き込み（W r i t e）の完了時点、及び読み込み（R e a d）の開始時点を一致させるために、内部垂直同期信号 V s y n c と外部垂直同期信号の位相差を一致させる垂直同期信号の同期化回路とを備えることを特徴とする。

【0014】

また、本発明による有機電界発光表示装置の駆動方法は、デジタル駆動方式の有機電界発光表示装置における外部垂直同期信号と内部垂直同期信号との位相差を一致させる有機電界発光表示装置の駆動方法において、前記外部垂直同期信号が入力され、これを1/2分周してデューティ（d u t y）比50%で周波数が前記外部垂直同期信号の1/2である信号（第1出力信号）が出力され、前記内部垂直同期信号及び1/2分周した内部垂直同期信号が受信され、前記両信号の位相を比較して90°シフトして1/2分周された内部垂直同期信号（第2出力信号）が出力され、前記出力された両信号が位相比較され、前記出力された両信号の位相差が一致するようにメインクロックの周波数を調節することを特徴とする。

【発明の効果】

【0015】

本発明によれば、交互に書き込みと読み込み動作を行なう二つのフレームメモリに対し前記書き込みと読み込みの開始及び完了時点を互いに一致させることによって、画面の一部に欠陥が発生する問題点を解決できるという効果がある。

【発明を実施するための最良の形態】

【0016】

本発明の実施形態によるデジタル駆動方式の有機電界発光表示装置の説明に先立って、一般的なデジタル駆動方式の有機電界発光表示装置について説明する。

【0017】

図2は、一般的なデジタル駆動方式の有機電界発光表示装置の構成ブロック図である。

【0018】

図2に示すように、一般的なデジタル駆動方式の有機電界発光表示装置は、走査線 S 1 乃至 S n 及びデータ線 D 1 乃至 D m と、複数の画素 40 を含む画素部 30 と、走査線 S 1 乃至 S n を駆動するための走査駆動部 10 と、データ線 D 1 乃至 D m を駆動するためのデータ駆動部 20 と、走査駆動部 10 及びデータ駆動部 20 を制御するためのタイミング制御部 50 を備えている。

【0019】

タイミング制御部 50 は、外部から供給される垂直同期信号 V s y n c に対応してデータ駆動制御信号 D C S 及び走査駆動制御信号 S C S を生成する。タイミング制御部 50 で生成されるデータ駆動制御信号 D C S はデータ駆動部 20 に供給され、走査駆動制御信号 S C S は走査駆動部 10 に供給される。

【0020】

10

20

30

40

50

そして、タイミング制御部 50 は、外部から供給されるデータ Data をデータ駆動部 20 に供給する。

【0021】

データ駆動部 20 は、一つのフレームに含まれる複数のサブフレーム期間ごとにデータ線 D1 乃至 Dm にデータ信号を供給する。ここで、データ信号は、画素 40 が発光する第 1 データ信号と、画素 40 が発光しない第 2 データ信号に分けられる。すなわち、データ駆動部 20 は、それぞれのサブフレーム期間に走査信号が供給されるたびに、画素 40 の発光または非発光を制御する第 1 データ信号及び／または第 2 データ信号をデータ線 D1 乃至 Dm に供給する。

【0022】

走査駆動部 10 はそれぞれのサブフレーム期間ごとに走査線 S1 乃至 Sn に走査信号を供給する。走査線 S1 乃至 Sn に走査信号が供給されると、画素 40 がラインごとに選択される。この際、走査信号により選択された画素 40 は、データ線 D1 乃至 Dm から第 1 データ信号または第 2 データ信号が供給される。

【0023】

画素部 30 は、外部から第 1 電源 ELVDD 及び第 2 電源 ELVSS が供給され、それぞれの画素 40 に供給する。第 1 電源 ELVDD 及び第 2 電源 ELVSS が供給される画素 40 のそれぞれは、走査信号が供給されるときにデータ信号（第 1 データ信号または第 2 データ信号）が供給され、供給されるデータ信号に対応してそれぞれのサブフレーム期間に発光または非発光する。例えば、走査信号が供給される際に、第 1 データ信号が供給される画素 40 は当該サブフレーム期間に発光し、第 2 データ信号が供給される画素 40 は当該サブフレーム期間に非発光する。なお、前記画素 40 は、前記図 1 で説明した画素の構造と同様であってもよい。

【0024】

前記デジタル駆動において、一つのフレーム 1F は、複数のサブフレーム（例えば、SF1～SF8）に分割されて駆動される。ここで、それぞれのサブフレーム SF1～SF8 は、走査信号を順次に供給するための走査期間、走査期間に第 1 データ信号が供給される画素 40 が発光する発光期間、及び画素 40 が非発光状態に切り換わるリセット期間に分けて駆動される。

【0025】

また、前記サブフレーム SF1～SF8 のそれぞれにおける発光期間は互いに異なるように設定される。例えば、256 階調で画像を表示しようとする場合、一つのフレームで 8 個のサブフィールド SF1 乃至 SF8 に分割され、8 個のサブフィールド SF1 乃至 SF8 のそれぞれにおける発光期間は 2^n ($n=0, 1, 2, 3, 4, 5, 6, 7$) の割合で増加する。すなわち、それぞれのサブフレームで画素 40 の発光を制御し所定階調の画像を表示することになり、前記サブフレーム期間における前記画素が発光する時間の合計を利用して一つのフレーム期間に所定の階調を表現する。

【0026】

このように、デジタル駆動は、各画素に備えられる駆動トランジスタのオンまたはオフ状態を利用して階調を表現するため、トランジスタのばらつきと無関係に均一な輝度の画像を表示することができ、しかも、時間を分割して階調を表現（デジタル駆動）するため、所定電圧範囲を利用して階調を表現（アナログ駆動）する方式に比べてより正確な階調を表現することができる。

【0027】

また、前記タイミング制御部 50 には、二つのフレームメモリ（図示せず）が備えられており、これは交互に書き込み（Write）と読み込み（Read）動作を行なう。すなわち、一つのフレームメモリが外部から供給されるデータを書き込む（Write）間に他のフレームメモリは既に格納されたデータを読み込み（Read）前記データ駆動部 20 に転送する。

【0028】

この際、前記外部データは、前記外部垂直同期信号により同期して書き込み動作を行なうフレームメモリに格納され、前記データ駆動部20は、内部垂直同期信号に同期して読み込み動作を行なうフレームメモリから既に格納されたデータを読みみて画素部30に備えられる複数の画素に転送する。このような書き込みと読み込み動作は、前記二つのフレームメモリの間で交互に行なわれる。

【0029】

しかしながら、このような動作において前記外部垂直同期信号と内部垂直同期信号とが互いに同期せず位相が異なる場合、前記二つのフレームメモリにおける書き込みと読み込みの開始及び完了時点が互いに異なるようになり、画面の一部に欠陥が発生するという問題がある。

10

【0030】

図3は、外部垂直同期信号と内部垂直同期信号との位相が一致しない場合に生じる問題を示す図である。

【0031】

図3に示すように、外部垂直同期信号Vsyncと内部垂直同期信号Vsyncとが互いに同期せず位相差が生じる場合、前記内部垂直同期信号の下降エッジで各フレームメモリの読み込み／書き込み動作が切り換わるため、前記二つのフレームメモリにおける書き込みと読み込みの開始及び完了時点が互いに異なるようになり、画面の一部に欠陥が発生する。

20

【0032】

すなわち、正常であれば、前記外部垂直同期信号に同期して外部データに対する書き込み動作が行なわれる第1フレームメモリMemory1は、Nフレーム期間に対する全データの書き込み動作が完了した後、N+1フレームで読み込み動作に切り換えられるべきであるが、図示するように、内部垂直同期信号が外部垂直同期信号と同期せず位相差が生じる場合、書き込み動作が行なわれる第1フレームメモリMemory1がNフレーム期間に読み込み動作に切り換えられ、このためNフレーム期間に読み込み動作が行われるべき第2フレームメモリMemory2は、前記内部垂直同期信号によりNフレーム期間に書き込み動作に切り換えられる。その結果、前記フレームに相応する画面の一部に欠陥が発生する。

30

【0033】

このような問題は、図示されるように、前記外部垂直同期信号と内部垂直同期信号とが同期しない場合に各フレームごとに持続的に発生する。

【0034】

そこで、本発明は前記問題点に鑑みてなされたものであって、タイミング制御部と接続される垂直同期信号の同期化回路が備えられ、交互に書き込みと読み込み動作を行なう二つのフレームメモリに対し前記書き込みと読み込みの開始及び完了時点を互いに一致させることができることを特徴とする。

【0035】

次に、本発明に係る実施の形態を図面を参照しながら説明する。

【0036】

図4は、本発明の実施形態による有機電界発光表示装置の構成ブロック図である。

40

【0037】

図4に示すように、本発明の実施形態による有機電界発光表示装置は、走査線S1乃至Sn及びデータ線D1乃至Dmと、複数の画素400を含む画素部300と、走査線S1乃至Snを駆動するための走査駆動部100と、データ線D1乃至Dmを駆動するためのデータ駆動部200と、走査駆動部100及びデータ駆動部200を制御するためのタイミング制御部500、及び前記タイミング制御部に備えられる二つのフレームメモリに対し書き込みの完了時点と読み込みの開始時点を一致させるように、内部垂直同期信号Vsyncと外部垂直同期信号との位相差を一致させる垂直同期信号の同期化回路600を備えて構成される。

50

【0038】

ここで、前記タイミング制御部500は、外部から供給される垂直同期信号Vsyncに対応してデータ駆動制御信号DCS及び走査駆動制御信号SCSを生成し、前記データ駆動制御信号DCSはデータ駆動部200に供給され、走査駆動制御信号SCSは走査駆動部100に供給される。さらに、前記外部垂直同期信号に同期して外部から供給されるデータDataをデータ駆動部200に供給する。

【0039】

また、前記タイミング制御部500には二つのフレームメモリ（図示せず）が備えられており、これは交互に書き込みと読み込み動作を行なう。すなわち、一つのフレームメモリが外部から供給されるデータを書き込む間に他のフレームメモリは既に格納されたデータを読みみて前記データ駆動部200に転送する。

10

【0040】

この際、前記外部データは、前記外部垂直同期信号により同期されて書き込み動作を行なうフレームメモリに格納され、前記データ駆動部200は、内部垂直同期信号に同期して読み込み動作を行なうフレームメモリから既に格納されたデータを読みみて画素部300に備えられる複数の画素400にそれを転送する。このような書き込みと読み込み動作は、前記二つのフレームメモリ間で交互に行なわれる。

【0041】

従来、上述したように、前記外部垂直同期信号と内部垂直同期信号とが互いに非同期で位相が異なる場合、前記二つのフレームメモリにおける書き込みと読み込みの開始及び完了時点が互いに異なるようになり、画面の一部に欠陥が発生したが、本発明の実施形態では、このような問題を解決するために、前記内部垂直同期信号を外部垂直同期信号と同期させて位相を一致させる垂直同期信号の同期化回路600が備えられることを特徴とする。

20

【0042】

前記タイミング制御部500及び垂直同期信号の同期化回路600の詳細な構成及び動作について、図5乃至図7を参照して詳細に説明する。

【0043】

また、前記データ駆動部200は、一つのフレームに含まれる複数のサブフレーム期間ごとにデータ線D1乃至Dmにデータ信号を供給する。ここで、データ信号は、画素400が発光する第1データ信号と、画素400が発光しない第2データ信号に分けられる。すなわち、データ駆動部200は、それぞれのサブフレーム期間に走査信号が供給されるたびに画素400の発光または非発光を制御する第1データ信号及び／または第2データ信号をデータ線D1乃至Dmに供給する。

30

【0044】

走査駆動部100は、それぞれのサブフレーム期間ごとに走査線S1乃至Snに走査信号を供給する。走査線S1乃至Snに走査信号が供給されると、画素400がラインごとを選択される。この際、走査信号により選択された画素400は、データ線D1乃至Dmから第1データ信号または第2データ信号の供給を受ける。

【0045】

画素部300は、外部から第1電源ELVDD及び第2電源ELVSSの供給を受け、それぞれの画素400に供給する。第1電源ELVDD及び第2電源ELVSSが供給される画素400のそれぞれは、走査信号が供給されるときにデータ信号（第1データ信号または第2データ信号）の供給を受け、供給されるデータ信号に対応してそれぞれのサブフレーム期間に発光または非発光する。例えば、走査信号が供給されるとき、第1データ信号が供給される画素400は当該サブフレーム期間に発光し、第2データ信号が供給される画素400は当該サブフレーム期間に非発光する。なお、前記画素400の構造は、前記図1に示した画素構造と同様の構造であってもよい。

40

【0046】

図5は、図4に示されるタイミング制御部の構成をより詳細に示した図である。

【0047】

50

図 5 に示すように、前記タイミング制御部 500 は、外部から外部垂直同期信号 V s y n c 及び外部データ D a t a が受信され、前記外部データ D a t a を第 1 フレームメモリ 520 に格納する書き込みメモリ制御端 510 と、内部垂直同期信号 V s y n c に同期して第 2 フレームメモリ 530 に既に格納されたデータを読み込み、それをデータ駆動回路（図 4 の 200）に伝達する読み込みメモリ制御端 540 と、前記外部データの読み込みと書き込み動作を交互に行なう第 1 及び第 2 フレームメモリ 520、530 を有して構成される。

【0048】

前記書き込みメモリ制御端 510 は、外部から外部垂直同期信号及び前記外部垂直同期信号に同期して入力される外部データが伝達され、前記外部データを書き込む動作が行なわれるフレームメモリに格納する役割を有する。

10

【0049】

この際、前記フレームメモリは、第 1 または第 2 フレームメモリ 520、530 となり得るものであって、前記第 1 フレームメモリ 520 が書き込み動作を行なうときには前記第 2 フレームメモリ 530 は読み込み動作を行い、反対に第 1 フレームメモリ 520 が読み込み動作を行なうときには第 2 フレームメモリ 530 は書き込み動作を行なう。

【0050】

すなわち、前記書き込みメモリ制御端 510 は、書き込み動作を行なうフレームメモリに、前記外部データ及び前記外部同期信号により生成される書き込みアドレス信号 W R A D D を提供し、これにより、前記フレームメモリには前記外部同期信号に同期して順次に一つのフレームに相当するデータが格納される。

20

【0051】

また、前記読み込みメモリ制御端 540 は、内部垂直同期信号により生成される読み込みアドレス信号 R D A D D を読み出す動作が行なわれるフレームメモリ、すなわち、以前のフレームに書き込み動作が行なわれてデータが既に格納されたフレームメモリに提供し、前記フレームメモリから前記既に格納されたデータを読み込み、それをデータ駆動回路に伝達する。

【0052】

この際、前記読み込みメモリ制御端 540 は、メインカウンタとしてパネルの駆動回路にメインクロックを提供する役割を有し、前記内部垂直同期信号は、前記メインクロックにより生成される。

30

【0053】

ただし、本発明においては、前記内部垂直同期信号が垂直同期信号の同期化回路 600 によって前記外部垂直同期信号の位相に同期化された信号、すなわち、前記外部垂直同期信号と位相差のない信号であることを特徴とする。

【0054】

そのために、前記読み込みメモリ制御端 540 は、内部で生成される内部垂直同期信号及び前記内部垂直同期信号を 1 / 2 分周した信号を前記垂直同期信号の同期化回路 600 に提供し、それを外部垂直同期化信号と位相比較して、前記外部垂直同期信号と位相差が一致する内部垂直同期信号を生成するようにメインクロックの周波数を調節し、前記周波数が調節されたメインクロックを再び前記読み込みメモリ制御端 540 にフィードバックする。

40

【0055】

このように、前記読み込みメモリ制御端 540 でフレームメモリに格納されたデータを読み取るのに使用される内部垂直同期信号は、前記書き込みメモリ制御端 510 でフレームメモリにデータを書き込むのに使用される外部垂直同期信号との位相差がないため、上述のような問題点、すなわち、前記二つのフレームメモリにおける書き込みと読み込みの開始及び完了時点が互いに異なるようになり、画面の一部に欠陥が発生するという問題点を解決することができる。

【0056】

50

図6は図4に示す垂直同期信号の同期化回路の構成を示すブロック図であり、図7は図6に示す垂直同期信号の同期化回路の駆動波形図である。

【0057】

図6及び図7に示すように、前記垂直同期信号の同期化回路600は、外部垂直同期信号が入力され、これを1/2分周して出力するD-フリップフロップ610と、前記読み込みメモリ制御端540から内部垂直同期信号、及び1/2分周された内部垂直同期信号が受信され、90°シフトして1/2分周された内部垂直同期信号を出力する第1排他的論理和（EX-OR）ゲート620と、前記第1EX-ORゲート620の出力信号及び前記D-フリップフロップの出力信号610の位相を比較する第2排他的論理和（EX-OR）ゲート630と、前記第2EX-ORゲート630の出力信号の直流DC成分のみを出力するフィルタ640と、前記第2EX-ORゲート630の結果に応じて発振周波数を調節する電圧制御発振器VCO650とを有して構成される。

10

【0058】

上述したように、外部データは、外部垂直同期信号VSYNC__WRに同期して前記タイミング制御部の書き込みメモリ制御端（図5の510）に入力され、そこで前記タイミング制御部の読み込みメモリ制御端540は、前記外部垂直同期信号VSYNC__WRと同様のタイミングで同期され読み込み動作が行なわれるフレームメモリから既に格納されたデータを読み込み、それを各画素に転送する必要がある。

【0059】

そのために、本発明は、前記垂直同期信号の同期化回路600により外部から入力される外部垂直同期信号VSYNC__WRと、タイミング制御部内のメインカウンタ（Main Counter）、すなわち、読み込みメモリ制御部540で生成される内部垂直同期信号（例えば60Hz__RD）を互いに位相比較し、その位相が互いに一致するようにメインクロック周波数を調節して両信号の位相を一致させる方法を使用する。

20

【0060】

前記垂直同期信号の同期化回路600の詳細な動作について図6及び図7を参照して説明する。

【0061】

外部垂直同期信号VSYNC__WRが入力されるD-フリップフロップ610により前記信号を1/2分周し、デューティ比50%で、たとえば、周波数が30Hzの信号VSYNC__WR/2を出力する。

30

【0062】

また、読み込みメモリ制御端540から出力される内部垂直同期信号60Hz__RD及び1/2分周された内部垂直同期信号30Hz__RDが入力される第1EX-ORゲート620により前記両信号を位相比較して、90°シフトして1/2分周された内部垂直同期信号30Hz__RD__90shiftを出力する。

【0063】

前記入力される両信号をEX-ORゲートを用いて比較する場合、両信号の位相差が90°のときにフェーズロックされるため、30Hz__RDを90°シフトして得られた30Hz__RD__90shiftが出力されることになる。

40

【0064】

そこで、前記D-フリップフロップ610の出力信号VSYNC__WR/2及び第1EX-ORゲート620の出力信号30Hz__RD__90shiftは、第2EX-ORゲート630に入力されて位相比較される。

【0065】

前記VSYNC__WR/2と30Hz__RD__90shiftとの位相が互いに一致する場合は、位相比較する第2EX-ORゲート630の出力におけるA（low区間）とB（high区間）の割合が50%になり、VSYNC__WR/2の位相が進んでいる場合はA<Bとなり、30Hz__RD信号の位相が進んでいる場合はA>Bとなる。また、前記第2EX-ORゲート630に接続され備えられるフィルタ（たとえば、low p

50

assフィルタ) 640は、前記第2 EX-ORゲート630出力信号の直流DC成分のみをフィルタリングしてそれを出力する。

【0066】

これにより、前記VSYNCR/2の位相が30Hz RD 90shiftの位相より進んでいる場合は、電圧制御発振器VCO650の周波数制御電圧入力が増加し、メインクロックRDCLKOUT周波数を上げることによって両信号の位相差を一致させる。

【0067】

これに対し、30Hz RDの位相が進んでいる場合は、前記VCO650の周波数制御電圧が減少し、メインクロックRDCLKOUT周波数を下げることによって両信号の位相差を一致させる。

【0068】

このように、周波数が調節されたメインクロックがフィードバックされ、前記タイミング制御部のメインカウンタ(Main Counter)、すなわち、読み込みメモリ制御端540に入力されることによって、前記外部垂直同期信号と位相差のない内部垂直同期信号が生成され、前記内部垂直同期信号により読み込み動作が行なわれることで、前記二つのフレームメモリにおける書き込みと読み込みの開始及び完了時点が互いに異なるようになり、画面の一部に欠陥が発生する問題を解決できる。

【0069】

図8は、外部垂直同期信号と内部垂直同期信号との位相が一致する場合を示す図である。

【0070】

図8に示すように、外部垂直同期信号Vsyncと内部垂直同期信号Vsyncが互いに同期して位相差がない場合は、前記外部垂直同期信号と同一のタイミングを有する内部垂直同期信号の下降エッジで各フレームメモリの読み込み/書き込み動作が切り換えられるため、前記二つのフレームメモリの書き込みと読み込みの開始及び完了時点が互いに一致し、その結果、各フレームごとに発生する画面欠陥のないディスプレイが得られる。

【0071】

すなわち、前記外部垂直同期信号に同期して外部データに対する書き込み動作が行なわれる第1フレームメモリMemory1は、Nフレーム期間に対し全データの書き込み動作が完了した後、N+1フレームで読み込み動作に切り換えられ、これと同様に、前記外部垂直同期信号と同一のタイミングを有する内部同期信号に同期して既に格納されたデータに対する読み込み動作が行なわれる第2フレームメモリMemory2は、Nフレーム期間に対し全データの読み込み動作が完了した後、N+1フレームで書き込み動作に切り換えられる。

【0072】

以上、本発明の好適な実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0073】

【図1】従来の有機電界発光表示装置の画素を示す回路図。

【図2】一般的なデジタル駆動方式の有機電界発光表示装置の構成ブロック図。

【図3】外部垂直同期信号と内部垂直同期信号の位相が一致しない場合に生じる問題点を示す図。

【図4】本発明の実施形態による有機電界発光表示装置の構成を示すブロック図。

【図5】図4のタイミング制御部の構成をより詳細に示した図。

【図6】図4の垂直同期信号の同期化回路の構成を示すブロック図。

【図7】図6の垂直同期信号の同期化回路の駆動波形図。

【図8】外部垂直同期信号と内部垂直同期信号との位相が一致する場合を示す図。

10

20

30

40

50

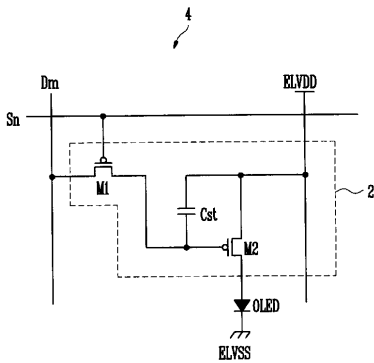
【符号の説明】

【0074】

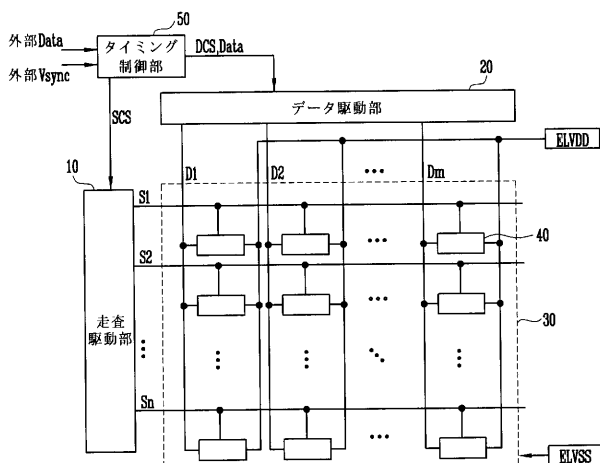
- 500…タイミング制御部
 510…書き込みメモリ制御端
 520…第1フレームメモリ
 530…第2フレームメモリ
 540…読み込みメモリ制御端
 600…垂直同期信号同期化回路
 610…D-フリップフロップ (FF)
 620…第1EX-ORゲート
 630…第2EX-ORゲート
 640…フィルタ
 650…電圧制御発振器 (VCO)

10

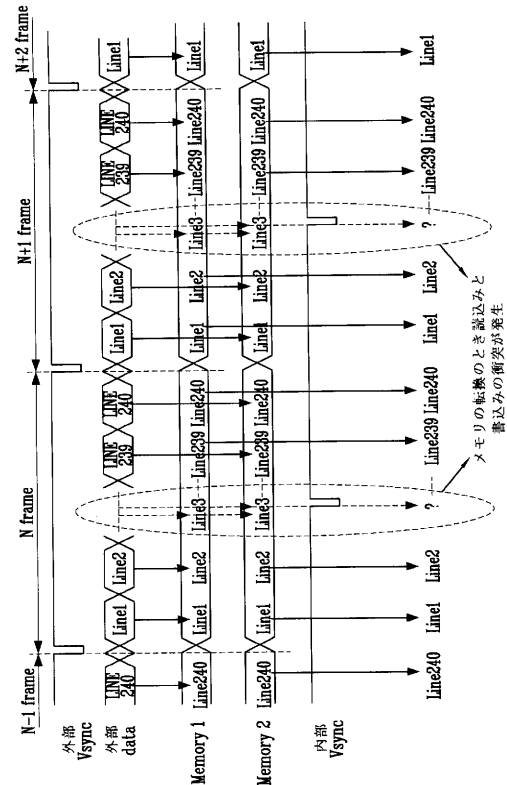
【図1】



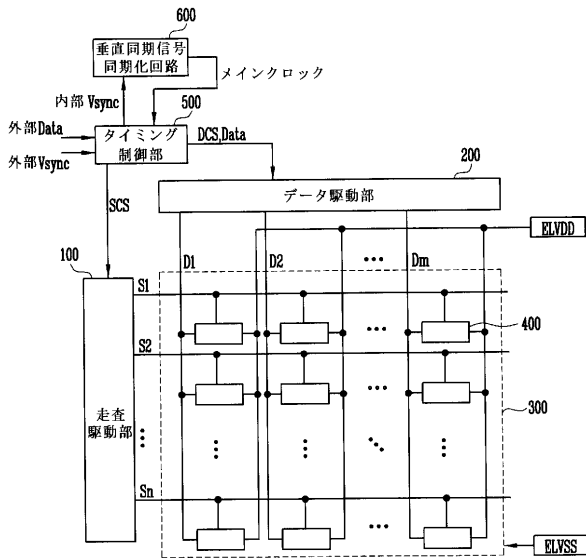
【図2】



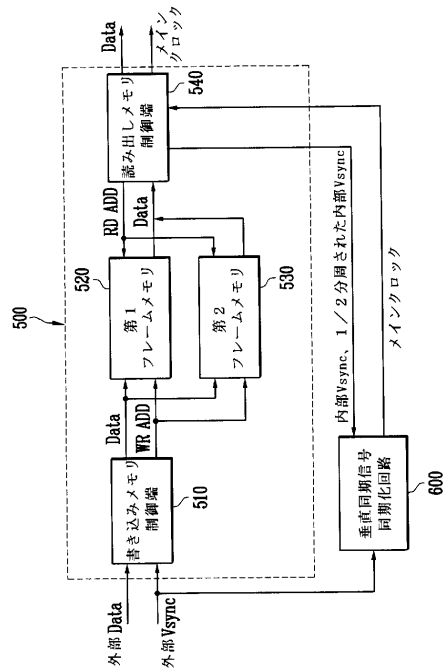
【図3】



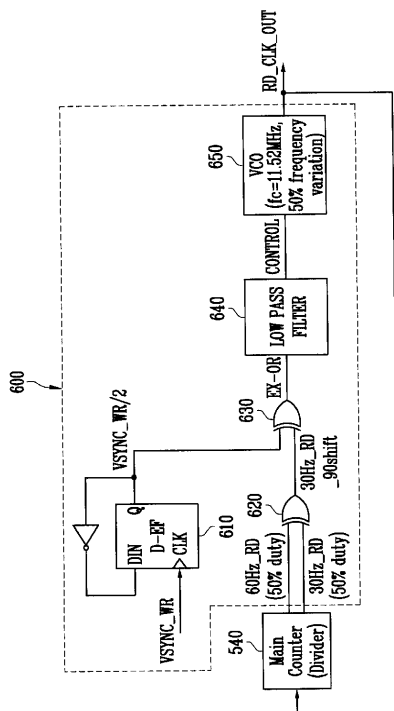
【図 4】



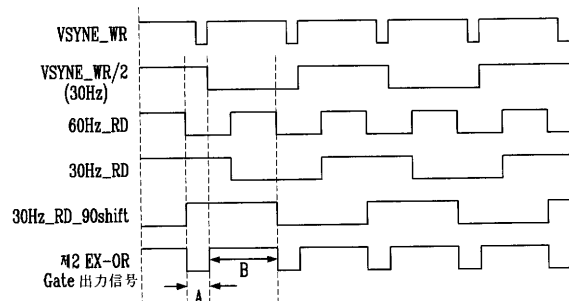
【図 5】

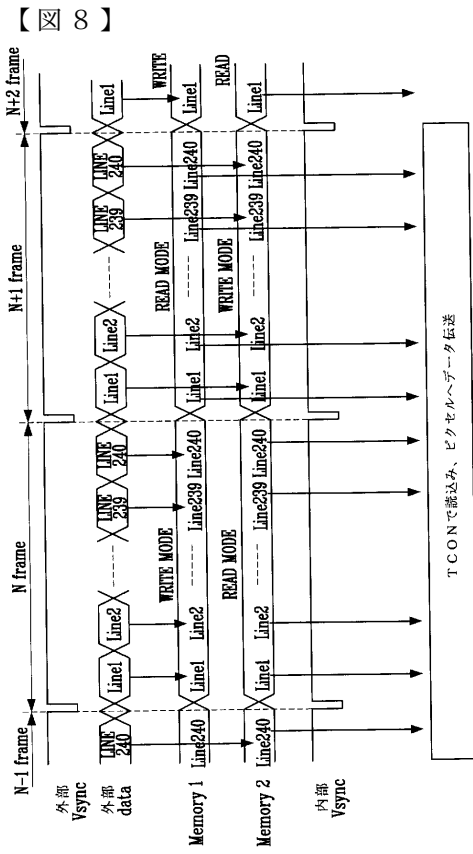


【图 6】



【图 7】





フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 K
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 2 1 A

(72)発明者 柳 道亨

大韓民国京畿道水原市八達區靈通洞 1 0 2 8 - 2 3 0 3

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH01 HH04 HH05

5C080 AA06 BB05 DD05 FF11 GG15 GG17 JJ02 JJ03 JJ04

专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	JP2008058916A	公开(公告)日	2008-03-13
申请号	JP2006261347	申请日	2006-09-26
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	金道益 柳道亨		
发明人	金道▲益▼ 柳道亨		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
CPC分类号	G09G3/2096 G09G3/2022 G09G3/3225 G09G3/3266 G09G3/3291 G09G5/399 G09G2320/0233 G09G2360/18		
FI分类号	G09G3/30.J H05B33/14.A G09G3/20.612.L G09G3/20.631.D G09G3/20.631.B G09G3/20.612.K G09G3/ /20.642.A G09G3/20.621.A G09G3/20.650.J G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH01 3K107/HH04 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA38 5C380/CA04 5C380/CA08 5C380/CA12 5C380 /CA14 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CE17 5C380/CE19 5C380/CF02 5C380/CF10 5C380/CF34 5C380/CF58 5C380/CF59 5C380/CF60 5C380 /DA01 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA47 5C380/DA50 5C380/DA56		
代理人(译)	渡边 隆 村山彦		
优先权	1020060083143 2006-08-30 KR		
其他公开文献	JP4671936B2		
外部链接	Espacenet		

摘要(译)

解决的问题：数字地驱动外部垂直同步信号和内部垂直同步信号，以使交替执行写入和读取操作的两个帧存储器的写入和读取的起点和终点彼此重合。提供了一种有机发光显示装置及其驱动方法。依次将扫描信号提供给扫描线的扫描驱动器，将第一或第二数据信号提供给每个数据的数据驱动器，以及在提供扫描信号时选择的扫描驱动器。用于控制扫描驱动器和数据驱动器的时序控制，以及包括多个像素的像素驱动器，所述多个像素被提供有第一或第二数据信号并且被控制为发光或不发光，并且将预定数据提供给数据驱动器。同步信号，用于同步内部垂直同步信号和外部垂直同步信号之间的相位差，以使写入完成时间和读取开始时间与定时控制单元中提供的两个帧存储器相匹配 同步电路。[选择图]

图6

