

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-4183

(P2005-4183A)

(43) 公開日 平成17年1月6日(2005.1.6)

(51) Int.Cl.⁷

G09F 9/30

G09G 3/20

G09G 3/30

H01L 29/786

H05B 33/14

F I

G09F 9/30

G09G 3/20

G09G 3/20

G09G 3/20

G09G 3/20

G09G 3/20

338

624B

641D

642D

67OK

テーマコード(参考)

3K007

5C080

5C094

5F110

審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-140095 (P2004-140095)

(22) 出願日 平成16年5月10日 (2004.5.10)

(31) 優先権主張番号 特願2003-141922 (P2003-141922)

(32) 優先日 平成15年5月20日 (2003.5.20)

(33) 優先権主張国 日本国 (JP)

(71) 出願人 501286657

株式会社 液晶先端技術開発センター

神奈川県横浜市戸塚区吉田町292番地

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100075672

弁理士 峰 隆司

(74) 代理人 100109830

弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 発光型表示装置

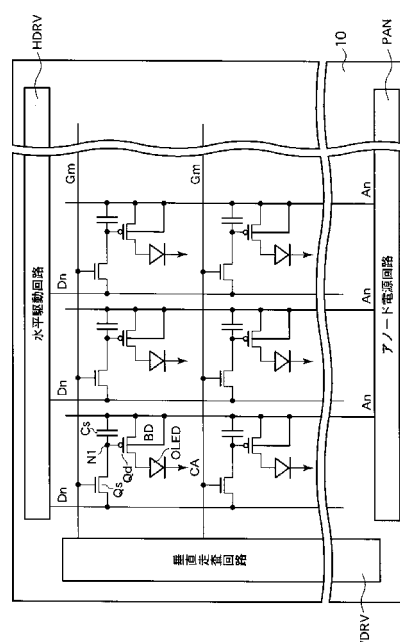
(57) 【要約】

【課題】輝度向上あるいは寿命改善が図れる発光型表示装置を提供する。

【解決手段】 隣接する2本の走査信号配線Gmと隣接する映像信号配線Dn

並びに電流供給配線Anとで規定され複数の画素領域の各々内に配置された、有機発光ダイオード素子OLEDと、EL駆動用トランジスタQdとを有する。前記EL駆動用トランジスタのゲートソース間電圧により、前記駆動用トランジスタのドレイン電極に接続された有機発光ダイオード素子に供給する電流は、制御され、前記EL駆動用トランジスタに第4の電極として設けられたボディ電極BDは、チャンネル領域に発生する余剰キャリアがボディ電極を介して駆動用トランジスタから逃げるように接地されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電気絶縁性の一面を有する基板と、
この基板の前記一面に設けられた複数の走査信号配線と、
これら走査信号配線に交差するように基板の前記一面に設けられた複数の映像信号配線と、
前記走査信号配線に交差するように基板の前記一面に設けられた複数の電流供給配線と、
隣接する 2 本の前記走査信号配線と隣接する映像信号配線並びに電流供給配線とで規定され複数の画素領域の各々内に配置された、発光素子と、
この発光素子を駆動する駆動用トランジスタとを具備し、
前記駆動用トランジスタは、チャンネル領域と、ゲート電極と、ドレイン領域に設けられたドレイン電極と、ソース領域に設けられたソース電極と、ボディ電極とを有し、
前記駆動用トランジスタのゲート電極およびソース電極間の電圧により、前記駆動用トランジスタのドレイン領域に接続された発光素子に供給する電流は、制御され、
前記駆動用トランジスタのボディ電極は、チャンネル領域に発生する余剰キャリアがボディ電極を介して前記駆動用トランジスタから逃げるように接地されていることを特徴とする発光型表示装置。

10

【請求項 2】

前記発光素子は、E L 発光ダイオードを有することを特徴とする請求項 1 の発光型表示装置。

20

【請求項 3】

前記ボディ電極は、前記電流供給配線に接続されることにより接地されていることを特徴とする請求項 1 もしくは 2 の発光型表示装置。

【請求項 4】

前記基板の前記一面に設けられたアース線を有し、前記ボディ電極は、前記アース線に接続されることにより接地されていることを特徴とする請求項 1 ないし 3 のいずれか 1 の発光型表示装置。

【請求項 5】

前記駆動用トランジスタは、P チャンネル MOS T F T であり、これのドレイン電極を介して前記ドレイン領域が、前記 E L 発光ダイオードのアノード電極に接続されていることを特徴とする請求項 2 の発光表示装置。

30

【請求項 6】

前記駆動用トランジスタは、N チャンネル MOS T F T であり、これのドレイン電極を介して前記ドレイン領域が、前記 E L 発光ダイオードのカソード電極に接続されていることを特徴とする請求項 2 の発光表示装置。

【請求項 7】

前記チャンネル領域と、ドレイン領域と、ソース領域と、ボディ電極とは、同じ半導体で形成されており、前記チャンネル領域と、ボディ電極とは、前記ドレイン領域とソース領域とは異なる導電性を有する請求項 1 ないし 6 のいずれか 1 の発光表示装置。

【請求項 8】

電気絶縁性の一面を有する基板と、
この基板の前記一面に設けられた複数の走査信号配線と、
これら走査信号配線に交差するように基板の前記一面に設けられた複数の映像信号配線と、
前記走査信号配線に交差するように基板の前記一面に設けられた複数の電流供給配線と、
隣接する 2 本の前記走査信号配線と隣接する映像信号配線並びに電流供給配線とで規定され複数の画素領域の各々内に配置された、画像信号をサンプリングするサンプリングトランジスタと、画像信号を保持する容量素子と、発光ダイオード素子と、この発光素子を駆動する駆動用トランジスタとを具備し、
前記駆動用トランジスタは、チャンネル領域と、ゲート電極と、ドレイン電極と、ソー

40

50

ス電極と、ボディ電極とを有し、

前記駆動用トランジスタのゲート電極およびソース電極間の電圧により、前記駆動用トランジスタのドレイン領域に接続された発光素子に供給する電流は、制御され、

前記駆動用トランジスタのボディ電極は、チャンネル領域に発生する余剰キャリアがボディ電極を介して前記駆動用トランジスタから逃げるように接地されている発光型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯型端末、パーソナルコンピュータ、ＴＶ等の画像、文字情報等の表示装置として持たれる発光型表示装置に関する。 10

【背景技術】

【0002】

有機発光ダイオード（以下ＯＬＥＤと称する）を用いたカラー画像表示装置が、最近注目を集めている。中でも、マトリックス状に配置された多数のＯＬＥＤ素子を夫々の薄膜トランジスタにより駆動させるアクティブマトリクス方式のＯＬＥＤディスプレイが、高精細化、大型化に適した方式として有望と考えられている。

【0003】

従来、アクティブマトリクス方式のＯＬＥＤディスプレイの画素回路は、アナログ画像信号をサンプリングするサンプリングトランジスタと、画像信号を保持するメモリ容量と、メモリ容量に蓄えた画像信号電圧に応じてＯＬＥＤに供給する電流を制御するドライブトランジスタとを構成する２個のトランジスタと１個の容量素子とからなる回路が最も一般的に用いられている。そのような回路構成の例が、特許文献１に開示されている。 20

【0004】

上記の従来技術において、ＯＬＥＤに供給される電流の大きさは、メモリ容量に保持されたアナログ電圧をドライブトランジスタのゲート－ソース間に印加し、ドライブトランジスタを飽和領域、すなわちドレイン－ソース間電圧がゲート－ソース間電圧より大きくなる領域で駆動させることにより制御される。このように、ドライブトランジスタを飽和領域で動作させることにより、電流値の変化によりＯＬＥＤ素子の端子間電圧降下が変化し、ドライブトランジスタのソース－ドレイン間電圧が変化しても駆動電流値を一定に保つことができる。したがって、ドライブトランジスタは、良好な飽和特性を持つことが必要である。ここで、良好な飽和特性とは、ドレイン電流がソース－ドレイン間電圧に依存せず一定となる電圧範囲が広いことを意味する。 30

【0005】

このようなドライブトランジスタの性能に対する要請から、通常ドライブトランジスタにはチャンネル長が、例えば、 $10\mu\text{m}$ ないし $20\mu\text{m}$ とかなり長い、長チャンネルトランジスタが用いられている。これは、通常のＭＯＳ型トランジスタにおいては、チャンネル長が短くなると、チャンネル長変調効果や寄生バイポーラ効果により、ドレイン電流がソース－ドレイン間電圧に対して一定値を持つような飽和特性が得られなくなるためである。更に、短チャンネル化によりドレイン接合付近の電界が大きくなる結果、ソース－ドレイン間の耐圧が低下することも理由の一つである。 40

【特許文献１】特開２００２－１５６９２３号

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、チャンネル長が $10\mu\text{m}$ ないし $20\mu\text{m}$ といった長チャンネルトランジスタを画素内に形成すると、トランジスタが占有する面積が増大するため、ＯＬＥＤ素子を形成できる面積が減少して、開口率が低下する。このため、一定の輝度を確保するためにはＯＬＥＤ素子に供給する電流密度を大きくしなければならず、ＯＬＥＤ素子の劣化を加速し、製品寿命を短くしてしまう問題がある。

【 0 0 0 7 】

本発明は、このような問題を解決し、チャンネル長を $10\ \mu\text{m}$ ないし $20\ \mu\text{m}$ と長くすることなしに、良好な飽和特性と高いソースドレイン耐圧とを有するトランジスタを備えた、この結果、輝度向上あるいは寿命改善が図れる発光型表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上記問題を解決するために、本発明の一態様に係わる発光型表示装置は、電気絶縁性の一面を有する基板と、この基板の前記一面に設けられた複数の走査信号配線と、これら走査信号配線に交差するように基板の前記一面に設けられた複数の映像信号配線と、前記走査信号配線に交差するように基板の前記一面に設けられた複数の電流供給配線と、隣接する2本の前記走査信号配線と隣接する映像信号配線並びに電流供給配線とで規定され複数の画素領域の各々内に配置された、発光素子と、この発光素子を駆動する駆動用トランジスタとを具備し、前記駆動用トランジスタは、チャンネル領域と、ゲート電極と、ドレイン領域に設けられたドレイン電極と、ソース領域に設けられたソース電極と、ボディ電極とを有し、前記駆動用トランジスタのゲート電極およびソース電極間の電圧により、前記駆動用トランジスタのドレイン領域に接続された発光素子に供給する電流は、制御され、前記駆動用トランジスタのボディ電極は、チャンネル領域に発生する余剰キャリアがボディ電極を介して前記駆動用トランジスタから逃げるように接地されていることを特徴とする。

10

【 0 0 0 9 】

前記駆動用トランジスタのボディ電極は、好ましくは、前記電流供給配線に接続されることにより接地されるか、前記基板の前記一面（絶縁物表面）にアース線を設け、これらアース線に接続されることにより接地される。

20

【 0 0 1 0 】

絶縁物表面に設けられたいわゆるSOI-MOSTランジスタが良好な飽和特性を示さなくなる最大の原因は、ドレイン接合付近の強電界で生成される余剰キャリアにより、チャンネルの電位が以下に説明するように変動することにある。例えば、Nチャンネルトランジスタを例にとると、ドレイン接合付近の強電界部でのインパクトイオン化により生成された正孔がソース電極に向かってバックチャンネルをドリフトするが、ソース接合に存在するポテンシャルバリアによって堰きとめられてバックチャンネル付近に停留して、チャンネルの電位が正の方向にシフトする。これを中和するようにソースから電子流入が起こり、そのままドレインに流れ込むためドレイン電流が増大する。ドレイン電圧が増大すると、ドレイン接合電界が大きくなるため、上記の一連のプロセスが益々顕著になり、ドレイン電流は急激に増大する。

30

【発明の効果】

【 0 0 1 1 】

上記一態様の本発明のように、ドライフトランジスタにボディ電極を設けて、これを、例えば、電流供給端子に接続することで、トランジスタ内で生成された余剰キャリアは外に吸い出されチャンネル内に停留することがなくなるため、ソースからの電子流入も起こらず、良好な電流飽和特性が達成される。

40

【発明を実施するための最良の形態】

【 0 0 1 2 】

本発明の実施の形態を以下に添付図面に従って説明する。

【 0 0 1 3 】

（第1の実施の形態）

図1は本発明の第1の実施の形態の発光型表示装置の画素の等価回路を示す。図2は上記第1の実施の形態の発光型表示装置の画素の平面図である。

【 0 0 1 4 】

電気絶縁基体（絶縁物表面）10上には、列方向に互いに平行に延びた多数の走査信号配線Gmと、行方向に互いに平行に延びた多数の映像信号配線Dn並びにアノード電流供

50

給配線 A_n が配設されている。マトリックス状に位置された多数の画素の各々は、隣り合う 2 本の走査信号配線 G_m と、1 本の映像信号配線 D_n と 1 本のアノード電流供給配線 A_n とで囲まれた領域で定義される。各画素の内部には、サンプリングトランジスタ Q_s と E_L 駆動用トランジスタ Q_d と、電荷蓄積容量 C_s と、有機発光ダイオード $OLED$ とが形成されている。 E_L 駆動用トランジスタ Q_d のドレイン領域には、好ましくは、このドレイン電極を介して、有機発光ダイオード $OLED$ の一方の電極（アノード電極）の端子が接続されている。また、上記 E_L 駆動用トランジスタ Q_d のゲート端子ノード N_1 とアノード電流供給配線 A_n との間には、電荷蓄積容量 C_s が接続されており、上記ゲート端子ノード N_1 の電圧を一定期間保持できるようになっている。全ての画素の有機発光ダイオード $OLED$ の他方の端子は、ほぼ表示領域全面を被覆する共通のカソード電極 CA に接続されている。

10

【0015】

前記サンプリングトランジスタ Q_s は、ゲート長が $1\mu m + 1\mu m$ のダブルゲート $NMOS$ （ N 型 TFT ）で構成されている。また、 E_L 駆動用トランジスタ Q_d は、ゲート長が $2\mu m$ の $PMOS$ （ P 型 TFT ）で構成されている。この E_L 駆動用トランジスタ Q_d には、 n 型半導体膜で構成されたボディ電極 BD が設けられ、ボディ電極 BD は、アノード電流供給配線 A_n に接続されている。

【0016】

前記電気絶縁基体 10 上には、さらに、垂直走査回路 $VDRV$ と、水平駆動回路 $HDRV$ と、アノード電源回路 PAN とが、配設されている。これら垂直走査回路 $VDRV$ 、水平駆動回路 $HDRV$ 並びにアノード電源回路 PAN には、前記走査信号配線 G_m 、映像信号配線 D_n 並びにアノード電流供給配線 A_n が、夫々接続されている。また、全てのアノード電流供給配線 A_n は、アノード電源回路 PAN に接続されることにより、既知のように接地されている。

20

【0017】

上記のような構成の表示装置においては、垂直走査回路 $VDRV$ からのパルス電圧により選択された 1 行分の画素に対し、水平駆動回路 $HDRV$ からそれぞれ映像アナログ信号が供給される。この信号は、各画素のサンプリングトランジスタ Q_s を介して、電荷蓄積容量 C_s に保持される。このときには、電荷蓄積容量 C_s の端子間電圧は、 E_L 駆動用トランジスタ Q_d のゲートソース間電圧となり、この電圧に応じた一定電流が、アノード電源回路 PAN からアノード電流供給配線 A_n と E_L 駆動用トランジスタ Q_d とを介して有機発光ダイオード $OLED$ に供給される。この結果、有機発光ダイオード $OLED$ が発光して、多階調画像を表示することができる。

30

【0018】

以下に、図 3 ないし図 5 を参照してアクテブマトリックス AMX （図 6）の各画素の素子の構成を詳細に説明する。

【0019】

図 3 は、図 2 の 3 - 3 線に沿って切断した断面図、図 4 は、図 2 の 4 - 4 線に沿った断面図、並びに図 5 は、図 2 の 5 - 5 線に沿った断面図である。

【0020】

前記電気絶縁基体 10 は、歪点約 670 の無アルカリガラス基板 11 上に膜厚 200 nm の $SiON$ 膜 12 からなるバッファ絶縁膜を形成して構成されている。このバッファ絶縁膜はガラス基板 11 から素子への Na 等の不純物の拡散を防止する役割を持つ。前記 $SiON$ 膜 12 上には、サンプリングトランジスタ Q_s を構成する膜厚 200 nm の単結晶 Si 膜 13 が形成されている。各々の単結晶 Si 膜 13 上には、膜厚 30 nm の SiO_2 からなるゲート絶縁膜 14 を介してタングステン（ W ）よりなる走査配線電極（走査信号配線 G_m と一体的に形成されているので、同じ符号 G_m が付されている）が形成されている。

40

【0021】

このサンプリングトランジスタ Q_s は、ダブルゲート構造の $NMOS$ であり、1 つの単

50

結晶Si膜13中に2つのチャネル領域13aが直列に接続された構成となっている。各々のチャネル領域13aの両側にはソース、ドレイン領域を構成する n^+ 型の領域13bが形成されている。

【0022】

また、前記走査配線電極Gmと同じWを用いて第1の接続電極15が、前記ゲート絶縁膜14の、電荷蓄積容量Csを構成する部分の上に形成されている。

【0023】

上記部材全部を覆うように、これらの上に SiO_2 からなる層間絶縁膜16が形成されている。この層間絶縁膜16上には、Mo/Al/MoもしくはTi/Al-Cu合金/Tiの3層金属膜より夫々なる信号配線電極（映像信号配線Dnと一体的に形成されているので、同じ符号Dnが付されている）と、第2の接続電極17と、アノード電極（前記アノード電流供給電極Anと一体的に形成されているので、同じ符号Anが付されている）とが設けられている。この信号配線電極Dnは、層間絶縁膜16並びにゲート絶縁膜14に形成されたコンタクトスルーホールを介して、一方の n^+ 型の領域13bに電氣的に接続されている。また、前記第2の接続電極17は、層間絶縁膜16並びにゲート絶縁膜14されたコンタクトスルーホールを介して、他方の n^+ 型の領域13bに電氣的に接続されている。この第2の接続電極17の一端は、層間絶縁膜16並びにゲート絶縁膜14されたコンタクトスルーホールを介して前記第1の接続電極15に電氣的に接続されている。この第1の接続電極15と、アノード電流供給電極Anと、これらに挟持された層間絶縁膜16の部分とにより電荷蓄積容量Csが構成されている（図3）。

【0024】

一方、EL駆動用トランジスタQdは、PMOSであり、図4に示すように、単結晶Si膜13（前記サンプリングトランジスタQsを構成する単結晶Si膜13とは分離されている）中に形成された1個のチャネル領域13cの両側にソース、ドレイン領域を構成する p^+ 型の第1領域13dが形成された構成を持つている。EL駆動用トランジスタQdのゲート電極15aは、前記第1の接続電極15と一体的に形成されている。EL駆動用トランジスタQdのドレイン側の p^+ 型の第1領域13dには、層間絶縁膜16並びにゲート絶縁膜14されたコンタクトスルーホールを介して前記アノード電流供給電極Anが接続されている。このEL駆動用トランジスタQdのソース側の p^+ 型の第1領域13dには、層間絶縁膜16上にさらに設けられ、Mo/Al/MoもしくはTi/Al-Cu合金/Tiの3層金属膜よりなる第3の接続電極20が、これの一端側で、層間絶縁膜16並びにゲート絶縁膜14されたコンタクトスルーホールを介して電氣的に接続されている。

【0025】

前記各種電極Dn, An, 17, 20上を含む層間絶縁膜16上には、保護絶縁膜18が設けられている。この保護絶縁膜18の上には、有機発光ダイオードOLEDのアノード電極を兼ねるITO電極19が設けられている。このITO電極19は、前記第3の接続電極20の他端側に、保護絶縁膜18に形成されたコンタクトする-ホールを介して電氣的に接続されている。ITO電極19上にはバンク絶縁膜21が設けられている。このバンク絶縁膜21には、ITO電極19の一部を露出するように開口21aが形成され、この開口21aが形成された領域に有機膜が積層されて発光ダイオード素子OLEDが形成されている。

【0026】

前記有機膜は、低分子有機物質により形成されている。具体的には、これら有機膜は、前記バンク絶縁膜21並びにこのバンク絶縁膜21の開口21aから露出したアノード電極（ITO電極）19上に、順次積層された、正孔輸送層HTL、EL発光層EM、電子輸送層ETLとである。前記有機発光ダイオードOLEDは、前記有機膜を含む、表示部全体を被覆し、アルミニウム（Al）からなるカソード電極CAを有する。前記正孔輸送層HTLは、例えば、トリフェニルジアミン（TPD）で形成されている。前記EL発光層EMは、好ましくは、赤色発光層と、青色発光層と、緑色発光層とにより、カラー表示

10

20

30

40

50

を行うように構成されている。前記赤色発光層は、例えば、DCJT Bとルブレンをドーブしたトリス(8-ハイドロオキシキノリン)アルミニウム(Alq_3)により形成されている。前記青色発光層は、例えば、BC₂VB iをドーブしたDPVB iにより形成されている。また、前記緑色発光層は、例えば、クマリン540をドーブした Alq_3 から形成されている。前記電子輸送層ETLは、例えば、 Alq_3 により形成されている。これら発光層並びに輸送層を形成する材料は、一例であり、用途により種々選定され得る。この有機発光ダイオードの露出面は、膜厚200nmのSiON膜で構成された最終保護膜PVにより覆われている。

【0027】

前記EL駆動用トランジスタQdを構成している単結晶Si膜13の部分には、 n^+ 型の領域22が形成されている(図5)。この n^+ 型の領域22は、チャネル領域13cに接続されていると共に、ソース、ドレイン領域を構成する p^+ 型の第1領域13dからは分離されている。この n^+ 型の領域22は、第4の端子であるボディ電極BDとして機能する。このボディ電極BDを構成する n^+ 型の領域22は、層間絶縁膜16並びにゲート絶縁膜14されたコンタクトスルーホールを介してアノード電流供給電極Anに接続されている。

【0028】

上記のような構成のEL駆動用トランジスタQdを有する発光型表示装置においては、EL駆動用トランジスタQdにボディ電極BDが設けられ、これがアノード電流供給電極に接続されている。この結果、EL駆動用トランジスタQdで生成された余剰キャリアはアノード電流供給電極に吸い出されチャネル領域13c内に停留することがなくなる。このため、寄生バイポーラ効果によるソース領域からの電子流入も起こらず、ゲート長が2 μ m程度のショートチャネルトランジスタにおいても良好な電流飽和特性が達成される。各画素のEL駆動用トランジスタQdのボディ電極BDは、過剰キャリアを吸い出すためだけに設けられているため、全てのボディ電極BDは共通化しても良い。特に、ボディ電極BDをアノード電流供給端子に接続することで、ボディ電極用の配線を別個に設けることが必要なくなるため、画素の開口率改善に寄与する。また、ゲート長が2 μ m程度のショートチャネルトランジスタをEL駆動用トランジスタに用いることも画素の開口率改善に寄与する。

【0029】

次に上記構成のアクティブマトリックスの製造方法の一例を説明する。

【0030】

厚さ500 μ m、横幅750mm、縦幅950mmの歪点約670の無アルカリガラス基板11上を準備する。このガラス基板11を洗浄した後、この上面に、 SiH_4 と NH_3 と O_2 との混合ガスを用いたプラズマCVD法により、膜厚200nmのSiON膜12を形成する。このSiON膜12上に、 SiH_4 とArガスとの混合ガスを用いたプラズマCVD法により、ほぼ真性の水素化非晶質シリコン膜13を200nmの厚さで形成する。例えば、このときの成膜温度を400とすることで、成膜直後の水素含有量を約5at%にすることができる。次に、基板を450で約30分アニールすることにより、水素化非晶質シリコン膜13中の水素を放出させる。そして、 SiH_4 と NH_3 と O_2 との混合ガスを用いたプラズマCVD法により、膜厚200nmのSiON膜を、非晶質シリコン膜13上に次のレーザ光を使用したアニール工程のときのアブレーションを防止するためのキャップ層として形成する。尚、これらプラズマCVDおよびアニールの工程はガラス基板11を大気に晒すことなく真空中で一貫処理される。

【0031】

次に、波長308nmのパルス状のエキシマレーザ光を前記非晶質シリコン膜13に照射することにより、これのシリコンを熔融再結晶化させて部分的に単結晶化された単結晶Si膜13とする。この時には、できるだけ大きな面積を持つ単結晶化領域を得るために、前記エキシマレーザ光は、適当なパターンを持つ位相シフトマスクを用いて基板表面でのレーザビーム強度に空間分布を持たせて、横方向の温度勾配を与える手法を採用するこ

とが好ましい。これにより、横方向の結晶成長が喚起され、1辺約4 μm の大きさのほぼ矩形の単結晶領域のアレイを得ることができた。このような位相シフトマスクを使用したアニール方法の具体例は、後で詳細に説明する。

【0032】

次に、緩衝フッ酸により前記キャップ層としてのSiON膜を除去し、通常のホテルソグラフィ法により単結晶Si膜13を所定のパターンに加工する。

【0033】

次に、Krガスと O_2 との混合ガス中でのプラズマ酸化により膜厚4 nmの酸化膜を単結晶Si膜13の表面に形成し、続いて、この酸化膜の上に、テトラエトキシシランと O_2 との混合ガスを用いたプラズマCVD法により、膜厚24 nmの SiO_2 膜を形成して2層積層型のゲート絶縁膜14を形成する。 10

【0034】

次に、イオン注入法によりボロン(B^+)を加速電圧20 KeV、ドーズ量 $2 \times 10^{11} (\text{cm}^{-2})$ で単結晶Si膜13中に注入する。尚、このボロンは、TFETのしきい値電圧を調整するためのものである。

【0035】

次に、スパッタリング法により、250 nmの厚さのMo膜をゲート絶縁膜14の上に形成後、通常のホテルソグラフィ法により所定のレジストパターンをMo膜上に形成し、 CF_4 を用いたリアクティブイオンエッチング法によりMo膜を所定の形状に加工し、走査配線電極(走査信号配線)Gm、第1の接続電極15並びにゲート電極15aを得る。 20

【0036】

次に、エッチングに用いたレジストパターンを残したまま、イオン注入法によりリン(P)イオンを加速電圧40 KeV、ドーズ量 $1 \times 10^{15} (\text{cm}^{-2})$ で単結晶Si膜13中に打ちこみ、N型のサンプリグトランジスタQsのソース、ドレイン領域13bおよびP型のEL駆動用トランジスタ(P型TFET)Qdのボディ領域を形成する。

【0037】

次に、レジストパターンを残したまま、基板を混酸で処理し、加工されたMo電極をサイドエッチングしてパターンをスリミングし、レジストを除去する。この後、イオン注入法により、リン(P)イオンを加速電圧40 KeV、ドーズ量 $1 \times 10^{13} (\text{cm}^{-2})$ で、単結晶Si膜13の露出部分に打ち込んで、サンプリグトランジスタ(N型TFET)QsのLDD領域を形成する。尚、先の例と同様に、このLDD領域の長さは混酸によるサイドエッチング時間によって制御される。 30

【0038】

次に、所定のレジストパターンを形成してサンプリグトランジスタQsを保護し、EL駆動用トランジスタQdのゲート電極15aをマスクとして、ボロンイオンを、加速電圧が20 KeV、ドーズ量が $2 \times 10^{15} (\text{cm}^{-2})$ で注入し、p型のソース、ドレイン領域13dを形成する。このときに、ボロンイオンの打ち込み量を前記リンイオンの打ち込み量より大きくすることにより、P型TFETのソース、ドレイン領域13dはn型からp型に反転し、P型MOSが得られる。

【0039】

次に、ホテルレジストを除去した後、エキシマランプまたはメタルハライドランプの光UV照射によるラピッドサーマルアニール(RAT)法により、単結晶Si膜13中に打ち込んだ不純物を活性化させる。

【0040】

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により、全体の上面に、膜厚500 nmの SiO_2 膜を層間絶縁膜16として形成する。この層間絶縁膜16上に所定のレジストパターンを形成した後に、 CHF_3 を用いたドライエッチング法により、前記層間絶縁膜16にコンタクトスル-ホールを開孔する。そして、この層間絶縁膜16上に、スパッタリング法により、厚さが50 nmのTi膜と、厚さが500 nmのAl-Cu合金膜と、厚さが50 nmのTi膜とを、順次積層形成する。この後に、 50

所定のレジストパターンをTi膜上に形成した後に、 BCl_3 と Cl_2 との混合ガスを用いたりアクティブイオンエッチング法により一括エッチングして、信号配線電極（映像信号配線）Dnと、第2並びに第3の接続電極17、20と、アノード電極Anとを形成する。

【0041】

上記夫々の電極Dn、17、20、An上を含む層間絶縁膜16上に、 SiH_4 と NH_3 と N_2 との混合ガスを用いたプラズマCVD法により、膜厚が400nmの SiN_4 膜を保護絶縁膜18として形成する。この保護絶縁膜18上に、所定のホトレジストレジストパターンを形成後、 SF_6 を用いたドライエッチング法により、前記保護絶縁膜18にコンタクトスル・ホールを開孔する。

10

【0042】

続いて、この保護絶縁膜18上に、スパッタリング法により、70nmの厚さのITO膜を形成し、これを、混酸を用いたウエットエッチングにより所定の形状に加工して、有機発光ダイオード（LED）OLEDのアノード電極19を得る。

【0043】

最後に、アノード電極19上を含む保護絶縁膜18上に、 SiH_4 と NH_3 と N_2 との混合ガスを用いたプラズマCVD法により、膜厚が100nmの Si_3N_4 膜を形成する。そして、この Si_3N_4 膜上に所定のホトレジストレジストパターンを形成した後に、 SF_6 を用いたドライエッチング法により、アノード電極19上のLED形成部の Si_3N_4 膜をエッチングで除去して（開口21aを形成して）バンク絶縁膜21を得る。尚、このバンク絶縁膜21は、アノード電極19の端部を被覆することで、アノード電極19上にLEDを構成する超薄膜の有機膜が形成された際に、ITO電極端部での電界集中による素子の破壊を防止するために形成している。

20

【0044】

次に、上記工程により作製されたTF-Tアクティブマトリクス基板上に有機LED素子を形成する工程を以下説明する。

【0045】

基板を真空蒸着装置にセットし、まず、予備加熱室に導入し、真空中200℃で1時間ベーキングし、基板表面に吸着した水分を除去する。そして、酸素を含む雰囲気中で紫外光を照射して、アノード電極表面の有機物を除去する。次に、基板を前処理室に移動させて、 O_2 プラズマ処理することにより、アノード電極表面の仕事関数を整える。この処理によりアノード電極を形成しているITOの仕事関数を調整し、正孔輸送材料へ正孔が注入される際のバリアの高さを低下させ、注入効率を向上させることができる。

30

【0046】

次に、基板を第1の蒸着室に移動し、正孔輸送層を表示部の全面に形成されるようなマスクを用いてマスク蒸着する。正孔輸送層の材料としては、トリフェニルジアミン（TPD）を用いる、このほかに例えば α -NPDなどを用いる事もできる。次に、基板を第2の蒸着室に移動し、RGB各々の発光材料をマスク蒸着する。各発光材料の成膜は、まず、青色を表示すべきドットと蒸着マスクの開口部との位置合わせをしたあとに、青色材料を蒸着し、次に蒸着室内で蒸着マスクを1ドットのピッチ分だけシフトさせ、緑色材料を蒸着し、更に同様に蒸着マスクを移動して赤色材料を蒸着する。この結果、RGBの各々のドット位置に所定の材料が形成される。

40

【0047】

次に基板を第3の蒸着室に移動し、カソード電極を形成する。カソード電極は有機層に対して電子の注入効率を向上させるために、0.8nm程度の膜厚でLiFを形成後、Al膜を150nmの厚さに形成する。最後に基板をCVD室に移動させて、 SiH_4 と NH_3 と O_2 との混合ガスを用いたプラズマCVD法により膜厚300nmの SiON 膜12を形成する。このときには、有機LED素子にダメージを与えないために形成温度は100℃以下で、出来る限り小さな放電電力で形成することが望ましい。

【0048】

50

最後に、基板を所定の大きさに切り出し、ドライバLSIを実装して、パネルを完成させる。

【0049】

次に、前記位相シフトマスクを使用したアニール工程の具体的な例を図6(A)ないし図6(D)を参照して説明する。

【0050】

図6(A)に示す位相シフトマスク100は、透明媒質、例えば、石英基材に厚さの異なる互いに隣合う領域を設け、これら領域間の段差(位相シフト部)の境界で、入射するレーザ光線を回折並びに干渉させて、入射したレーザ光線の強度に周期的な空間分布を付与するものである。この位相シフトマスク100は、隣接するパターンが逆位相(180°のずれ)となるように、交互に並べられた位相が π の第1のストリップ領域(位相領域)100bと、位相が0の第2のストリップ領域(位相領域)100cとを有する。これらストリップ領域(位相シフト線領域)は10 μ mの幅を有する。具体的には、位相シフトマスク100は、屈折率が1.5の矩形の石英基板を248nmの光に対して位相が π に相当する深さ、即ち248nmの深さにパターンエッチングして作製した。このエッチングにより薄く形成された領域が第1のストリップ領域100bとなり、エッチングされない領域が第2のストリップ領域100cとなっている。

10

【0051】

このような構成の位相シフトマスク100においては、厚い第2の位相領域100cを通過したレーザ光は、薄い第1の位相領域100bを通過したレーザ光に比較して180°遅れる。この結果、レーザ光間で、干渉と回折とが生じ、図6(D)に示すようなレーザ光の強度分布が得られる。即ち、位相シフト部を通過した光は隣接する透過光相互が逆位相であるため、これら領域間に対応する位置で光強度が最小、例えば0となる。この最小となった領域もしくはこれの近傍の領域が半導体を結晶化する際の核になる。前記具体例では、位相シフトマスク100は、図6(A)に示されたように位相シフト部が互いに平行な複数の直線状になっているものを使用したが、これに限定されることはない。

20

【0052】

例えば、位相シフト線を直交し、位相0と π を市松格子状に配列させることも可能である。この場合は、位相シフト線に沿って格子状の光強度0の領域ができる。このために、結晶の核はこの線上の任意の位置で発生するので、結晶粒の位置・形の制御が難しくなる問題を有する。このため結晶核の発生を制御するためには強度0領域は点状であることが望ましい。このため、直交する位相シフト線の位相シフト量を180°未満にし、これにより、位相シフト線に対応する位置では強度は(減少するものの)完全には0にはならないと同時に、交点の周囲の複素透過率の和を0にすることにより、交点に対応する位置の強度は0にできる。

30

【0053】

この一例を図6(B)並びに図6(C)を参照して説明する。このマスク100は、図6(B)に示されるように、各組が厚さの異なる4つの正方形の領域100e, 100f, 100g, 100hにより構成されている正方形のパターンからなる複数の組を有する。各組において、図6(C)に示されるように、第1の領域100eが一番薄く、位相が0となっている。第4の領域100hが一番厚く、位相が第1の領域100eとは $3\pi/2$ ずれている。これら領域100e, 100hの厚さとの間の厚さを有する第2、第3の領域100f, 100gは、第1の領域に対して位相が $\pi/2$ 、 π と夫々ずれている。

40

【0054】

このようなマスクにおいては、第1ないし第4の領域が隣り合う部分、例えば、正方形のパターンの中心点が、強度0の領域となる。従って、この点が結晶の核となるので、結晶粒の位置、形を容易に制御できる。このような位相シフトマスクを使用した技術は、日本出願(特願2002-120312)を基礎出願とし、本願人と同じ出願人による2003年、3月19日出願の国際出願の明細書に記載されている。

【0055】

50

次に上記構成のアクティブマトリックスAMXを備えた発光型表示装置の全体を図7を参照して説明する。

【0056】

矩形のガラス基板11上には、上記構成のアクティブマトリックスAMXと、垂直走査回路VDRVと、水平駆動回路HDRVとが形成されている。アクティブマトリックスAMXの各画素の有機発光ダイオードOLEDのカソード電極CAは、コンタクトエリアCACONTを介して、基板11上に形成された引き出し配線WLによって外部接続端子PADに接続されている。また、画素内で各列に設けられたアノード電流供給電極Anは、画素領域の外で接続され、引き出し電極により外部接続端子PADに接続されている。画素領域のほぼ全面に渡って設けられたカソード電極CA上には、外部接続端子PADを除いたほぼ全面に最終保護膜PVが形成され、有機発光ダイオード素子が外気に曝されないようになっている。

10

【0057】

(第2の実施の形態)

図8は、本発明の第2の実施の形態の発光型表示装置の画素の等価回路を示す。本第2の実施の形態の構成は、前記第1の実施の形態とほぼ同様であるが、EL駆動用トランジスタQdにNMOSを用いた点が異なる。また、このEL駆動用トランジスタQdのドレイン端子には、有機発光ダイオードOLEDのカソード電極が接続され、有機発光ダイオードOLEDのアノード電極は、共通電極となるように構成されている。このような構成においても、EL駆動用トランジスタQdにボディ電極BDを設けて、これをアノード電流供給電極Anに接続することで、EL駆動用トランジスタQd内で生成された余剰キャリアは、アノード電流供給電極Anに吸い出されチャネル領域内に停留することがなくなる。このため、寄生バイポーラ効果によるソースからの電子流入も起こらず、ゲート長2 μ m程度のショートチャネルトランジスタにおいても良好な電流飽和特性が達成される。特にNNOSでは寄生バイポーラ効果による非飽和特性が発生しやすいために、有効である。

20

【0058】

このようにして構成されたアクティブマトリックスAMXを備えた発光型表示装置は、図7において、カソード電極PVに代わってアノード電極が、コンタクトエリアCACONTを介して、基板11上に形成された引き出し配線WLによって外部接続端子PADに接続される。

30

【0059】

図9および図10はそれぞれ、EL駆動用トランジスタとして、従来の3端子構成のNMOSTランジスタを使用した場合と、上記第2の実施の形態の4端子構成のNMOSTランジスタを使用した場合との出力特性を示す。

【0060】

図9に示す従来の3端子構成のNMOSTランジスタの場合では、寄生バイポーラ効果の発現によりドレイン電圧に対し、ドレイン電流が一定となる飽和領域がほとんどみられず、高ドレイン電圧領域でのブレイクダウンも見られる。一方、図10に示す本実施の形態の4端子トランジスタの場合では、良好な飽和特性が広いドレイン電圧にわたって見られており、ブレイクダウンも起こっていない。このような特性は、定電流駆動型の発光型表示装置に用いるトランジスタとしては特に望ましいものである。

40

【0061】

前記第1並びに第2の実施の形態では、EL駆動用トランジスタの4番目の端子、即ち、ボディ電極BDをアノード電流供給配線Anに接続することにより、チャネル領域の余剰キャリアは、このトランジスタから排出するようにしているが、例えば、以下に説明する第3の実施の形態のように、上記配線との接続に本発明は限定されることはない。

【0062】

(第3の実施の形態)

図11に示すアクティブマトリックスにおいて、図1に示すものと同じ部材には同じ参

50

照符号を付して説明を省略する。

【 0 0 6 3 】

E L 駆動用トランジスタ Q d は、P M O S であり、これのボディ電極 B D は、アノード電流供給配線 A n には接続されていない。代わってアース線 A L が、走査信号配線 G m と平行に、絶縁基体 1 0 に設けられており、これらアース線 A L にボディ電極 B D が接続されている。これらアース線 A L は、画素領域の外へと延びて、電源電位に保持されている。尚、これらアース線 A L は、例えば、走査信号配線 G m を形成するときに、これらと一緒に同材料で形成され得る。

【 0 0 6 4 】

前記アース線 A L は、映像信号配線 D n と平行に形成されていても良いし、また、必ずしも配線に対して平行に形成されていなくても良い。 10

【 0 0 6 5 】

このような構成の E L 駆動用トランジスタのチャンネル領域に発生する余剰キャリアは、ボディ電極 B D 並びにアース線 A L を介してトランジスタから排出、即ち、逃げる。この結果、図 1 0 に示すような効果が得られる。

【 0 0 6 6 】

この実施の形態の技術思想は、勿論、第 2 の実施の形態のように、E L 駆動用トランジスタ Q d として N M O S を用いた場合にも適用可能である。

【産業上の利用可能性】

【 0 0 6 7 】

以上のように、本発明によれば、均一で高画質を有しかつ長寿命の発光型表示装置を実現できる。 20

【図面の簡単な説明】

【 0 0 6 8 】

【図 1】本発明の第 1 の実施の形態に係わる発光型表示装置の画素回路図である。

【図 2】本発明の第 1 の実施の形態にかかる発光型表示装置の画素部分を拡大して示す平面図である。

【図 3】図 2 の 3 - 3 線に沿った断面図である。

【図 4】図 2 の 4 - 4 線に沿った断面図である。

【図 5】図 2 の 5 - 5 線に沿った断面図である。 30

【図 6】(A) ないし (D) は、第 1 の実施の形態のトランジスタを形成する方法で使用する位相シフトマクを使用したアニール工程を説明するための図である。

【図 7】第 1 の実施の形態に係わるアクティブマトリックスを備えた発光型表示装置の全体を示す分解斜視図である。

【図 8】本発明の第 2 の実施の形態にかかる発光型表示装置の画素回路図である。

【図 9】従来の E L 駆動用トランジスタの出力特性を示す図である。

【図 1 0】本発明の第 2 の実施の形態にかかる発光型表示装置に用いた E L 駆動用トランジスタの出力特性を示す図である。

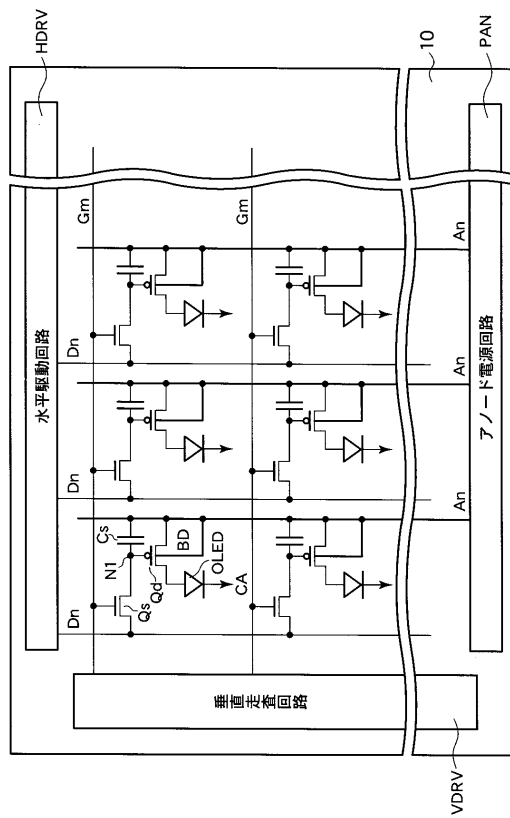
【図 1 1】本発明の第 3 の実施の形態に係わる発光型表示装置の画素回路図である。

【符号の説明】 40

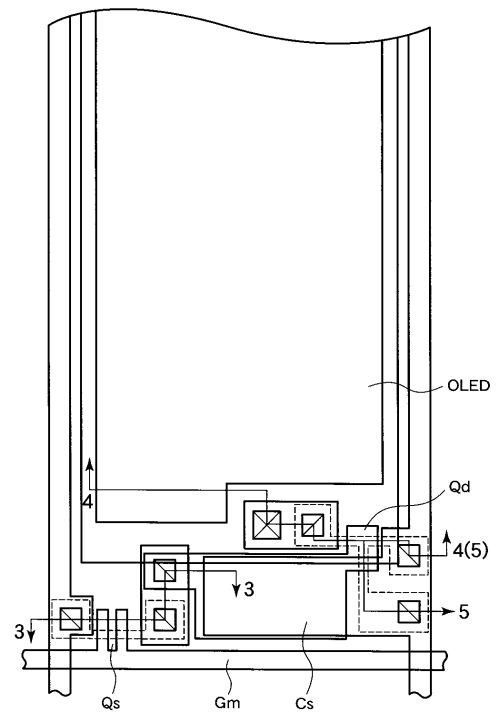
【 0 0 6 9 】

1 0 ... 電気絶縁基板、G m ... 走査信号配線（走査配線電極）、D n ... 映像信号配線（信号配線電極）、1 5 ... 第 1 の接続電極、1 9 ... I T O 電極（アノード電極）、1 7 ... 第 2 の接続電極、2 0 ... 第 3 の接続電極、A n ... アノード電流供給電極、O L E D ... 有機発光ダイオード素子、B D ... ボディ電極、Q s ... サンプリグトランジスタ Q d ... E L 駆動用トランジスタ、C s ... 電荷蓄積容量、1 2 ... S i N O 膜（バッファ膜）、1 4 ... ゲート絶縁膜、1 6 ... 層間絶縁膜、1 8 ... 保護絶縁膜、2 1 ... パンク絶縁膜、P V ... 最終保護膜、1 3 a ... チャンネル領域、1 3 b ... n⁺ 型の領域、1 3 d ... p⁺ 型の第 1 領域、H T L ... 正孔輸送層、E M ... E L 発光層、E T L ... 電子輸送層、C A ... カソード電極。

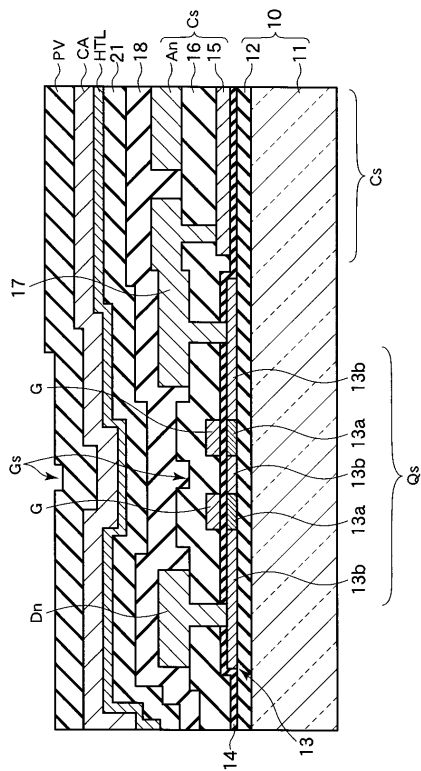
【図 1】



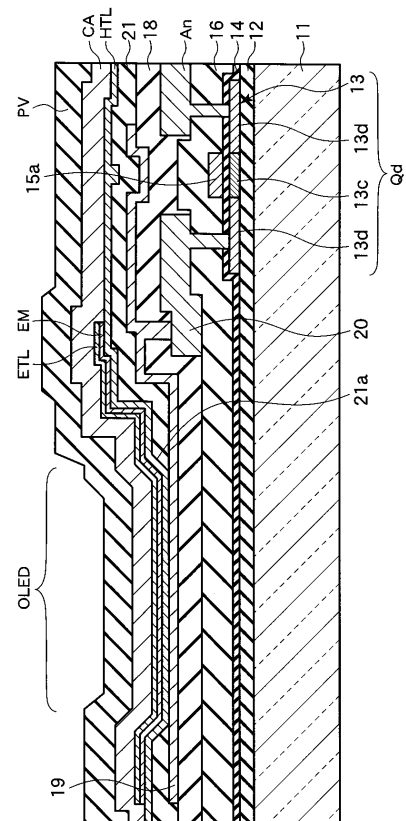
【図 2】



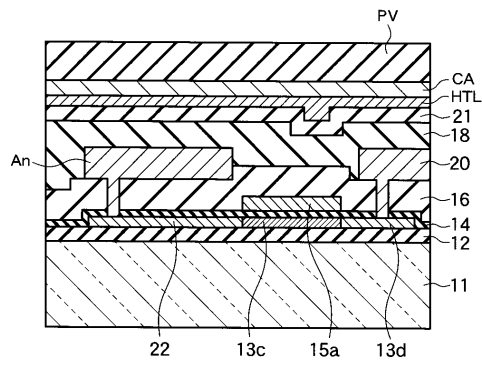
【図 3】



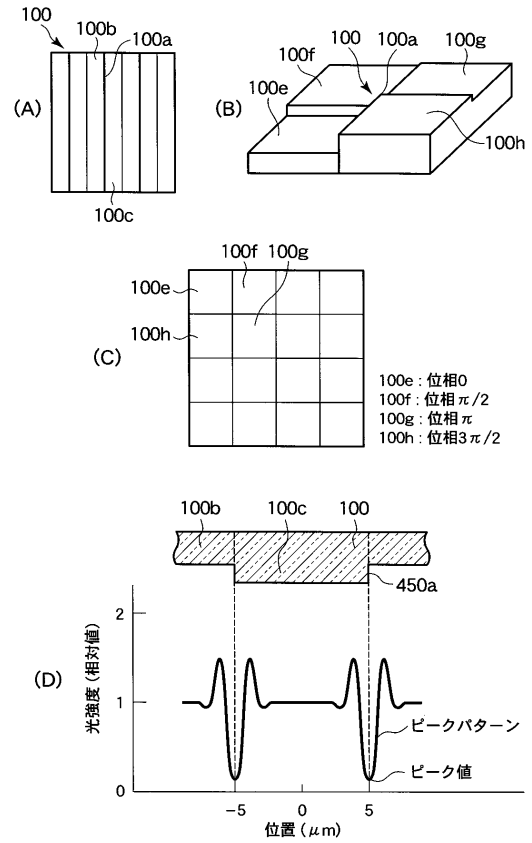
【図 4】



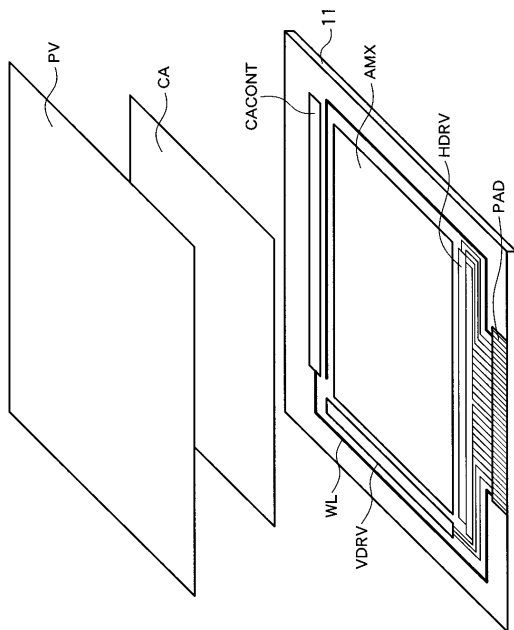
【図 5】



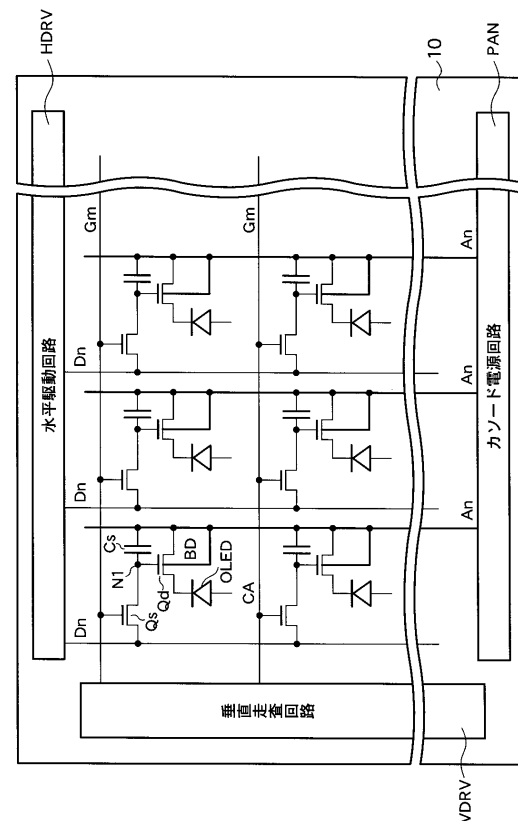
【図 6】



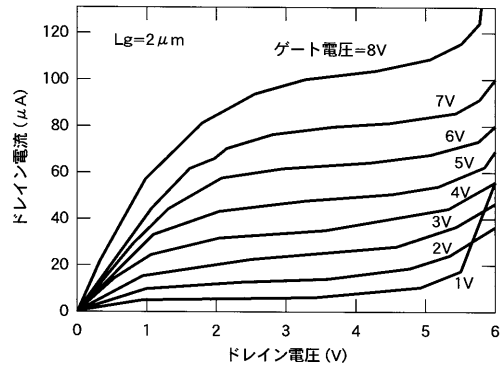
【図 7】



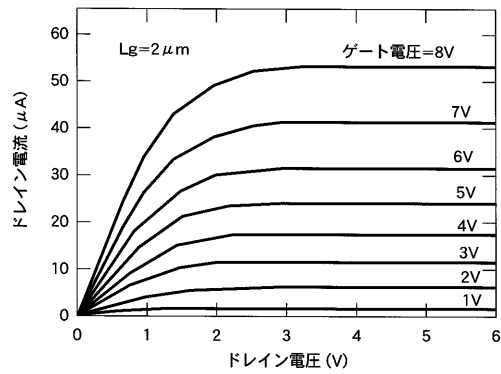
【図 8】



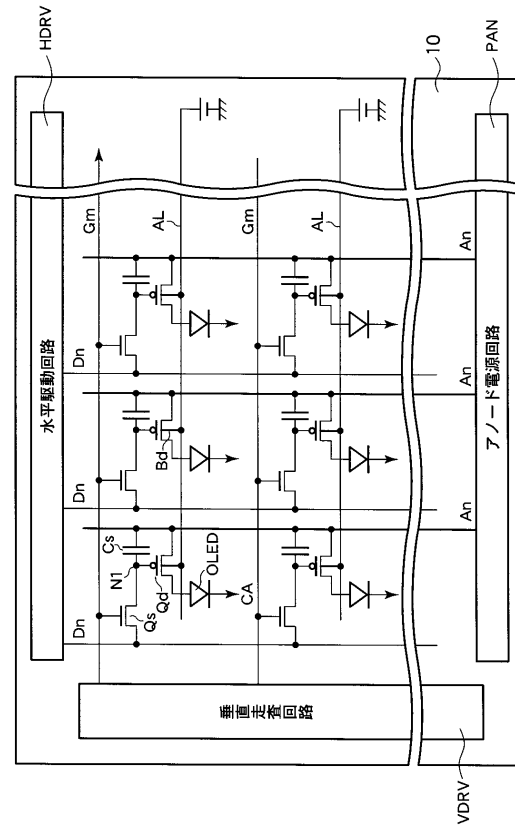
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/30	Z
	H 0 5 B 33/14	A
	H 0 1 L 29/78	6 2 6 B

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 河内 玄士朗
神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶先端技術開発センター内

(72)発明者 是成 貴弘
神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶先端技術開発センター内

F ターム(参考) 3K007 AB02 AB03 AB11 BA06 DB03 GA00
5C080 AA06 BB05 DD03 DD29 EE29 FF11 HH09 JJ02 JJ05 JJ06
5C094 AA10 AA37 BA03 BA27 CA19 DA09 DB01 FB14 HA08
5F110 AA13 AA14 AA15 BB01 BB04 CC02 DD02 DD15 EE04 EE28
EE44 FF02 FF09 FF25 FF30 GG02 GG13 GG24 GG28 GG32
GG45 GG52 GG60 HJ01 HJ13 HJ23 HL03 HL04 HL06 HL12
HL23 HM15 NN02 NN23 NN55 NN71 NN73 PP03 PP04 PP06
PP35 QQ09

专利名称(译)	发光型显示装置		
公开(公告)号	JP2005004183A	公开(公告)日	2005-01-06
申请号	JP2004140095	申请日	2004-05-10
[标]申请(专利权)人(译)	液晶先端技术开发中心股份有限公司		
申请(专利权)人(译)	有限公司先进的液晶技术开发中心		
[标]发明人	河内玄士朗 是成貴弘		
发明人	河内 玄士朗 是成 貴弘		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L29/786 H05B33/14		
FI分类号	G09F9/30.338 G09G3/20.624.B G09G3/20.641.D G09G3/20.642.D G09G3/20.670.K G09G3/30.Z H05B33/14.A H01L29/78.626.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB03 3K007/AB11 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ05 5C080/JJ06 5C094/AA10 5C094/AA37 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DB01 5C094/FB14 5C094/HA08 5F110/AA13 5F110/AA14 5F110/AA15 5F110/BB01 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD15 5F110/EE04 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF09 5F110/FF25 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG24 5F110/GG28 5F110/GG32 5F110/GG45 5F110/GG52 5F110/GG60 5F110/HJ01 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM15 5F110/NN02 5F110/NN23 5F110/NN55 5F110/NN71 5F110/NN73 5F110/PP03 5F110/PP04 5F110/PP06 5F110/PP35 5F110/QQ09 3K107/AA01 3K107/BB01 3K107/BB02 3K107/CC21 3K107/CC36 3K107/EE04 3K107/HH03 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC20 5C380/BB22 5C380/BD05 5C380/BD09 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC62 5C380/CD012 5C380/DA02 5C380/DA06		
代理人(译)	河野 哲 中村诚		
优先权	2003141922 2003-05-20 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够提高亮度或寿命的发光显示装置。 解决方案：两条相邻的扫描信号线Gm和相邻的视频信号线Dn 并且，由电流供应布线An限定并且布置在多个像素区域中的每个像素区域中的有机发光二极管元件OLED和EL驱动晶体管Qd。 提供给与驱动晶体管的漏极连接的有机发光二极管元件的电流由EL驱动晶体管的栅极-源极电压控制，并且控制被设置为EL驱动晶体管的第四电极的主体。 电极BD接地，使得在沟道区中产生的过量载流子经由体电极从驱动晶体管逸出。 [选型图] 图1

