

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6510144号  
(P6510144)

(45) 発行日 令和1年5月8日(2019.5.8)

(24) 登録日 平成31年4月12日(2019.4.12)

(51) Int.Cl.	F I
<b>G09G 3/3225 (2016.01)</b>	G09G 3/3225
<b>G09G 3/3266 (2016.01)</b>	G09G 3/3266
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 680H
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 642A
<b>H01L 27/32 (2006.01)</b>	H05B 33/14 A

請求項の数 16 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2018-517324 (P2018-517324)	(73) 特許権者	503260918
(86) (22) 出願日	平成29年3月16日 (2017.3.16)		アップル インコーポレイテッド
(65) 公表番号	特表2018-534613 (P2018-534613A)		Apple Inc.
(43) 公表日	平成30年11月22日 (2018.11.22)		アメリカ合衆国 95014 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン
(86) 国際出願番号	PCT/US2017/022808		One Apple Park Way, Cupertino, California 95014, U. S. A.
(87) 国際公開番号	W02017/172375	(74) 代理人	100076428
(87) 国際公開日	平成29年10月5日 (2017.10.5)		弁理士 大塚 康徳
審査請求日	平成30年5月2日 (2018.5.2)	(74) 代理人	100115071
(31) 優先権主張番号	62/327, 584		弁理士 大塚 康弘
(32) 優先日	平成28年4月26日 (2016.4.26)	(74) 代理人	100112508
(33) 優先権主張国	米国 (US)		弁理士 高柳 司郎
(31) 優先権主張番号	62/314, 281		
(32) 優先日	平成28年3月28日 (2016.3.28)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 発光ダイオードディスプレイ

(57) 【特許請求の範囲】

【請求項1】

有機発光ダイオードディスプレイであって、  
ディスプレイドライバ回路と、  
前記ディスプレイドライバ回路に結合されたデータラインと、  
前記ディスプレイドライバ回路に結合されたゲートラインと、  
行及び列を有するピクセルのレイアウトであって、前記ディスプレイの第1のエリア中の行の前記ゲートラインが、前記ディスプレイの第2のエリア中の行の前記ゲートラインよりもピクセルの前記レイアウト中の前記ピクセルのうち少数のものに結合された、ピクセルのレイアウト、

前記第1のエリア中の前記ゲートラインのうち少なくともいくつかは結合された補助ゲートラインローディング構造であって、前記補助ゲートラインローディング構造が、前記第1のエリア中の前記ゲートライン上のローディングを提供する、補助ゲートラインローディング構造と、

を備え、

前記第1のエリア中の前記行のうち第1の行が、前記第1のエリアの前記行のうち第2の行中の補助ゲートラインローディング構造に結合されている有機発光ダイオードディスプレイ。

【請求項2】

前記補助ゲートラインローディング構造は、前記ディスプレイの前記第1のエリアと前

記第2のエリアとの間のディスプレイ輝度のばらつきが2%よりも小さくなるように構成されている、請求項1に記載の有機発光ダイオードディスプレイ。

【請求項3】

前記補助ゲートラインローディング構造が、光を放射しないダミーピクセルを含んでいる、請求項2に記載の有機発光ダイオードディスプレイ。

【請求項4】

前記ダミーピクセルが、発光ダイオードの放射材料を含んでいない、請求項3に記載の有機発光ダイオードディスプレイ。

【請求項5】

前記補助ゲートラインローディング構造がキャパシタを含んでいる、請求項2に記載の有機発光ダイオードディスプレイ。

10

【請求項6】

前記行のうちの前記第1の行の前記ピクセルが、前記ゲートラインのうちの所与の1つに関連付けられており、前記ゲートラインのうちの前記所与の1つが、前記行のうちの前記第1の行から前記行のうちの前記第2の行に延びるゲートライン延長部を有している、請求項2に記載の有機発光ダイオードディスプレイ。

【請求項7】

有機発光ダイオードディスプレイであって、  
ディスプレイドライバ回路と、  
前記ディスプレイドライバ回路に結合されたデータラインと、  
前記ディスプレイドライバ回路に結合されたゲートラインと、  
行及び列を有するピクセルのアレイであって、前記ディスプレイの第1のエリア中の行の前記ゲートラインが、前記ディスプレイの第2のエリア中の行の前記ゲートラインよりもピクセルの前記アレイ中の前記ピクセルのうち少数のものに結合された、ピクセルのアレイと、

20

前記第1のエリア中の前記ゲートラインのうちの少なくともいくつかに結合された補助ゲートラインローディング構造であって、前記補助ゲートラインローディング構造が、前記第1のエリア中の前記ゲートライン上のローディングを提供する、補助ゲートラインローディング構造と、

を備え、

30

前記補助ゲートラインローディング構造が、前記第2のエリアと前記第1のエリアの前記ゲートラインとの間の距離の漸進的増加とともに、前記第1のエリアの前記ゲートライン上のローディングの量を漸進的に減少させる、有機発光ダイオードディスプレイ。

【請求項8】

有機発光ダイオードディスプレイであって、  
 ノッチをもつ基板と、  
 前記基板上の有機発光ダイオードピクセルと、  
 ディスプレイドライバ回路と、  
 前記ディスプレイドライバ回路及び前記有機発光ダイオードピクセルに結合されたデータラインと、

40

前記ディスプレイドライバ回路及び前記有機発光ダイオードピクセルに結合されたゲートラインであって、前記有機発光ダイオードピクセルが列及び行で配置されており、前記ノッチを含む前記ディスプレイの第1のエリア中の前記行が、前記ディスプレイの第2のエリア中の前記行よりも前記ピクセルのうち少数のものに結合された、ゲートラインと、

前記第1のエリア中の前記ゲートラインの少なくとも一部分に結合された補助ゲートラインローディング構造であって、前記ゲートライン上のゲートラインローディングを増加させ、それにより、前記第1のエリア中の前記ゲートラインと前記第2のエリア中の前記ゲートラインとの間のゲートラインローディングの差を低減する、補助ゲートラインローディング構造と、

を備え、

50

前記補助ゲートラインローディング構造が、前記ゲートラインの前記一部分中に前記ゲートラインに結合されたキャパシタを含んでいる、有機発光ダイオードディスプレイ。

【請求項 9】

前記ゲートラインの前記一部分中の各ゲートラインが、複数の前記キャパシタに結合された、請求項 8 に記載の有機発光ダイオードディスプレイ。

【請求項 10】

前記キャパシタの各々が上側電極及び下側電極を有している、請求項 9 に記載の有機発光ダイオードディスプレイ。

【請求項 11】

前記キャパシタの各々が、第 1 の導電層、第 2 の導電層、及び第 3 の導電層を有しており、前記第 1 の導電層及び前記第 3 の導電層が、互いに短絡され、第 1 のキャパシタ電極を形成しており、前記第 2 の導電層が、前記第 1 の導電層と前記第 3 の導電層との間に挿入され、第 2 のキャパシタ電極を形成している、請求項 9 に記載の有機発光ダイオードディスプレイ。

【請求項 12】

有機発光ダイオードディスプレイであって、

ノッチをもつ基板と、

前記基板上有機発光ダイオードピクセルと、

ディスプレイドライバ回路と、

前記ディスプレイドライバ回路及び前記有機発光ダイオードピクセルに結合されたデータラインと、

前記ディスプレイドライバ回路及び前記有機発光ダイオードピクセルに結合されたゲートラインであって、前記有機発光ダイオードピクセルが列及び行で配置されており、前記ノッチを含む前記ディスプレイの第 1 のエリア中の前記行が、前記ディスプレイの第 2 のエリア中の前記行よりも前記ピクセルのうち少数のものに結合された、ゲートラインと、

前記第 1 のエリア中の前記ゲートラインの少なくとも一部分に結合された補助ゲートラインローディング構造であって、前記ゲートライン上のゲートラインローディングを増加させ、それにより、前記第 1 のエリア中の前記ゲートラインと前記第 2 のエリア中の前記ゲートラインとの間のゲートラインローディングの差を低減する、補助ゲートラインローディング構造と、

を備え、

前記補助ゲートラインローディング構造が、前記第 1 のエリア中の異なるゲートラインに異なる量のキャパシタンスを印加する、有機発光ダイオードディスプレイ。

【請求項 13】

前記ディスプレイドライバ回路が、各行中に前記ゲートラインのうち 1 つに結合されたゲートドライバを含んでおり、前記第 1 のエリア中の前記ゲートドライバのうち少なくとも 1 つが、前記第 2 のエリア中の前記ゲートドライバのうち少なくとも 1 つとは異なる強度を有している、請求項 12 に記載の有機発光ダイオードディスプレイ。

【請求項 14】

前記ディスプレイドライバ回路が、異なるスルーレートを有する前記第 1 のエリア及び前記第 2 のエリア中の前記行の前記ゲートライン上にゲートライン信号を提供するように構成されている、請求項 13 に記載の有機発光ダイオードディスプレイ。

【請求項 15】

有機発光ダイオードディスプレイであって、

ノッチをもつ基板であって、前記基板が幅を有する、基板と、

前記基板上有機発光ダイオードピクセルと、

ディスプレイドライバ回路と、

前記ディスプレイドライバ回路に結合されると共に前記ピクセルに結合されたデータラインと、

前記ディスプレイドライバ回路に結合されると共に前記ピクセルに結合されたゲートラ

10

20

30

40

50

インであって、前記ピクセルが列及び行を有しており、前記ディスプレイの第1のエリア中の前記行の前記ゲートラインが、第2のエリア中の前記行の前記ゲートラインよりも前記ピクセルのうち少数のものに結合されており、前記第1のエリアと前記第2のエリアの両方の中の前記行の前記ゲートラインが前記基板の前記幅にわたっている、ゲートラインと、

前記第1のエリア中のゲートラインの第1のセットに結合された補助ゲートラインローディング構造であって、ゲートラインの前記第1のセット上のゲートラインローディングを増加させ、それにより、ゲートラインの前記第1のセットと前記第2のエリア中のゲートラインの第2のセットとの間のゲートラインローディングの差を低減する、補助ゲートラインローディング構造と、

10

を備え、

前記補助ゲートラインローディング構造がダミーピクセルを含んでいる、有機発光ダイオードディスプレイ。

【請求項16】

有機発光ダイオードディスプレイであって、

ノッチをもつ基板であって、前記基板が幅を有する、基板と、

前記基板上の有機発光ダイオードピクセルと、

ディスプレイドライバ回路と、

前記ディスプレイドライバ回路に結合されると共に前記ピクセルに結合されたデータラインと、

20

前記ディスプレイドライバ回路に結合されると共に前記ピクセルに結合されたゲートラインであって、前記ピクセルが列及び行を有しており、前記ディスプレイの第1のエリア中の前記行の前記ゲートラインが、第2のエリア中の前記行の前記ゲートラインよりも前記ピクセルのうち少数のものに結合されており、前記第1のエリアと前記第2のエリアの両方の中の前記行の前記ゲートラインが前記基板の前記幅にわたっている、ゲートラインと、

前記第1のエリア中のゲートラインの第1のセットに結合された補助ゲートラインローディング構造であって、ゲートラインの前記第1のセット上のゲートラインローディングを増加させ、それにより、ゲートラインの前記第1のセットと前記第2のエリア中のゲートラインの第2のセットとの間のゲートラインローディングの差を低減する、補助ゲート

30

を備え、

前記補助ゲートラインローディング構造が、ゲートラインの前記第1のセット中に各ゲートラインに結合された少なくとも1つのキャパシタを含んでいる、有機発光ダイオードディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、それらの全体が参照により本明細書に組み込まれる、2016年3月28日に出願された米国仮特許出願第62/314,281号、及び2016年4月26日に出願された米国仮特許出願第62/327,584号の優先権を主張する。

40

これは、一般にディスプレイに関し、より詳細には、発光ダイオードから形成されたピクセルをもつディスプレイに関する。

【背景技術】

【0002】

電子デバイスは、しばしばディスプレイを含む。例えば、携帯電話及びポータブルコンピュータは、ユーザに情報を提示するディスプレイを含む。

【0003】

有機発光ダイオードディスプレイなどのディスプレイは、発光ダイオードに基づくピクセルのアレイを有する。このタイプのディスプレイでは、各ピクセルは、発光ダイオード

50

と、光を生成するために発光ダイオードへの信号の印加を制御する薄膜トランジスタを含む。薄膜トランジスタは駆動トランジスタを含む。各駆動トランジスタは、それぞれの発光ダイオードと直列に結合され、その発光ダイオードを通して電流の流れを制御する。

【0004】

有機発光ダイオードディスプレイ中の駆動トランジスタのしきい値電圧は、動作履歴の影響により変化することがあり、これは輝度の非一様性をもたらし得る。輝度のばらつきは、形状が矩形でないディスプレイにおける制御問題からも起こり得る。注意が払われない場合、これらなどの影響はディスプレイ性能に悪影響を及ぼし得る。

【発明の概要】

【0005】

ディスプレイはピクセルのアレイを有し得る。ディスプレイドライバ回路がピクセルにデータ及び制御信号を供給し得る。各ピクセルは、7つのトランジスタ、キャパシタ、及び有機発光ダイオードなどの発光ダイオードを有し得るか、あるいは他の薄膜トランジスタ回路を有し得る。

【0006】

各ピクセルのトランジスタは、水平制御ラインを使用して制御信号を受信し得る。各ピクセルは、駆動トランジスタ及び発光ダイオードと直列に結合された、第1及び第2の放射イネーブルトランジスタを有し得る。第1及び第2の放射イネーブルトランジスタは、共通の水平制御ラインに結合され得るか、あるいは別個の水平制御ライン上で供給される別個の制御信号を使用して別々に制御され得る。ピクセルの放射イネーブルトランジスタが個々に制御されたとき、駆動トランジスタのソースノードは、浮動するのではなくピクセルの正電源端子に短絡され得るので、オンバイアスストレスがそのピクセルの駆動トランジスタに効果的に印加され得る。

【0007】

ディスプレイ中の行のすべてが、同じピクセルの数を有するとは限らないことがあり、したがって、異なる量の容量性ローディングによって特徴づけられ得る。ディスプレイの輝度の一様性を保証するために、ディスプレイドライバ回路は、ディスプレイ内のピクセルの異なる行に異なるゲートライン信号を提供するゲート駆動回路を有し得る。これにより、ディスプレイドライバ回路は、異なる行中の異なる容量性ローディングの影響によるディスプレイ輝度のばらつきを相殺するために、行ロケーション依存のゲートライン信号を発生することが可能になる。ディスプレイはまた、輝度のばらつきを平滑化するために、行依存の補助ゲートラインローディング構造及び/又は異なる行中の異なる強度のゲートドライバとともに提供され得る。

【図面の簡単な説明】

【0008】

【図1】一実施形態による、ディスプレイを有する例示的な電子デバイスの概略図である。

【0009】

【図2】一実施形態による例示的なディスプレイの概略図である。

【0010】

【図3】一実施形態による例示的なピクセル回路の図である。

【0011】

【図4】一実施形態による、ディスプレイ中で図3に示されているタイプのピクセル回路を使用することに関与する動作を示すタイミング図である。

【0012】

【図5】一実施形態による、図3に示されているタイプのピクセル中のスイッチングトランジスタを制御する例示的な放射イネーブル制御信号及び例示的なゲートライン信号を示す図である。

【0013】

【図6】一実施形態による、上部エッジに沿ってピクセルなしノッチを有し、したがって

10

20

30

40

50

、ディスプレイの異なる行中に異なる容量性ローディングを有する、例示的なディスプレイの図である。

【0014】

【図7】一実施形態による、異なる行中の異なる容量性ローディングの影響について相殺するために、ピクセルの異なる行に異なるゲートライン信号を提供するために使用され得るタイプのディスプレイドライバ回路の図である。

【0015】

【図8】一実施形態による、それぞれ第1及び第2の異なる容量性ローディングの影響によって特徴づけられる、ディスプレイ中の行の第1及び第2のセットにそれぞれ提供されるべき第1及び第2の例示的なゲートライン信号をそれぞれ示す。

10

【図9】一実施形態による、それぞれ第1及び第2の異なる容量性ローディングの影響によって特徴づけられる、ディスプレイ中の行の第1及び第2のセットにそれぞれ提供されるべき第1及び第2の例示的なゲートライン信号をそれぞれ示す。

【図10】一実施形態による、それぞれ第1及び第2の異なる容量性ローディングの影響によって特徴づけられる、ディスプレイ中の行の第1及び第2のセットにそれぞれ提供されるべき第1及び第2の例示的なゲートライン信号をそれぞれ示す。

【0016】

【図11】一実施形態による、個々に制御される放射イネーブルトランジスタを有する例示的なピクセル回路の図である。

【0017】

20

【図12】一実施形態に従ってどのようにオンバイアスストレスがディスプレイ中のピクセルに印加され得るかを示し、どのようにデータ書き込み動作が実施され得るかを示すタイミング図である。

【0018】

【図13】一実施形態に従ってディスプレイ輝度のばらつきを最小限に抑えるのを助けるためにどのようにゲートラインローディングがディスプレイ中の行位置に応じて調整され得るかを示すグラフである。

【0019】

【図14】一実施形態に従って輝度ばらつきを一様にするためにどのようにダミーピクセル構造などの補助データラインローディング構造がディスプレイ中の行に追加され得るかを示す図である。

30

【0020】

【図15】一実施形態に従って輝度ばらつきを一様にするためにどのように異なる量の補助ゲートラインローディング構造がディスプレイ中の行に追加され得るかを示す図である。

【0021】

【図16】一実施形態に従ってどのようにディスプレイの1つの行中に位置するゲートラインローディング構造を使用して別の行中のゲートラインローディングを増加させ得るかを示す図である。

【0022】

40

【図17】一実施形態に従って行位置に応じて短い行のゲートライン幅を増加させることによってどのように行依存の補助ゲートラインローディング構造が実装され得るかを示すディスプレイの部分の図である。

【0023】

【図18】一実施形態に従ってどのように行位置に応じてゲートドライバ強度が変化され得るかを示すディスプレイの部分の図である。

【0024】

【図19】一実施形態に従ってゲートラインにローディングを追加するためにどのようにキャパシタがゲートラインに結合され得るかを示す回路図である。

【0025】

50

【図20】一実施形態による例示的なキャパシタの側断面図である。

【図21】一実施形態による例示的なキャパシタの側断面図である。

【0026】

【図22】一実施形態に従ってゲートラインローディングを提供するキャパシタをもつディスプレイ中の例示的な行の図である。

【0027】

【図23】一実施形態に従ってゲートラインローディングを調整するためにゲートラインに蛇行経路セグメントが提供されているディスプレイ中の例示的な行の図である。

【0028】

【図24】一実施形態に従って補助ゲートラインローディング構造として働く低減フットプリント非放射ピクセル回路がゲートラインにローディングされたディスプレイ中の例示的な行の図である。

【0029】

【図25】一実施形態に従ってディスプレイ中のノッチを越えてディスプレイの非アクティブエリアにわたって延びる延長部を有するゲートラインをもつ例示的なディスプレイの図である。

【発明を実施するための形態】

【0030】

電子デバイスはディスプレイとともに提供され得る。ディスプレイをもつ例示的な電子デバイスの概略図が図1に示されている。図1のデバイス10は、ラップトップコンピュータ、組込み型コンピュータを含むコンピュータ用モニタ、タブレットコンピュータ、携帯電話、メディアプレーヤ、又は他のハンドヘルド若しくはポータブル電子デバイスなどのコンピューティングデバイス、腕時計型デバイス（例えば、リストストラップをもつウォッチ）、ペンダント型デバイス、ヘッドホン型若しくはイヤホン型デバイス、眼鏡に埋め込まれたデバイス若しくはユーザの頭部に装着する他の機器、又は他の着用可能な若しくはミニチュアデバイスなどのより小さいデバイス、テレビ、組込み型コンピュータを含まないコンピュータ用ディスプレイ、ゲーミングデバイス、ナビゲーションデバイス、ディスプレイをもつ電子機器がキオスク若しくは自動車に搭載されるシステムなどの組込みシステム、これらのデバイスのうちの2つ以上の機能を実装する機器、あるいは他の電子機器であり得る。

【0031】

図1に示されているように、電子デバイス10は制御回路16を有し得る。制御回路16は、デバイス10の動作をサポートする記憶及び処理回路を含み得る。記憶及び処理回路としては、ハードディスクドライブ記憶装置、不揮発性メモリ（例えば、フラッシュメモリ、又はソリッドステートドライブを形成するように構成された他の電氣的にプログラム可能な読み出し専用メモリ）、揮発性メモリ（例えば、静的又は動的なランダムアクセスメモリ）などの記憶装置が挙げられ得る。制御回路16中の処理回路を使用してデバイス10の動作を制御し得る。処理回路は、1つ以上のマイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ、ベースバンドプロセッサ、電力管理ユニット、オーディオチップ、特定用途向け集積回路などに基づき得る。

【0032】

入出力デバイス18など、デバイス10中の入出力回路を使用して、データがデバイス10に供給されること、及びデータがデバイス10から外部デバイスに提供されることを可能にし得る。入出力デバイス18としては、ボタン、ジョイスティック、スクロールホイール、タッチパッド、キーパッド、キーボード、マイクロフォン、スピーカー、トーン発生器、振動器、カメラ、センサ、発光ダイオード及び他の状態iインジケータ、データポートなどが挙げられ得る。ユーザは、入出力デバイス18を通じてコマンドを供給することによってデバイス10の動作を制御することができ、入出力デバイス18の出力ソースを使用してデバイス10から状態情報及び他の出力を受信し得る。

【0033】

10

20

30

40

50

入出力デバイス 18 は、ディスプレイ 14 など、1つ以上のディスプレイを含み得る。ディスプレイ 14 は、ユーザからのタッチ入力を収集するためのタッチセンサを含むタッチスクリーンディスプレイであってよく、あるいはディスプレイ 14 は、タッチに反応しなくてよい。ディスプレイ 14 のタッチセンサは、容量性タッチセンサ電極のアレイ、音響式タッチセンサ構造、抵抗性タッチ構成要素、力覚タッチセンサ構造、光学式タッチセンサ、又は他の好適なタッチセンサ配置に基づき得る。

【0034】

制御回路 16 を用いて、オペレーティングシステムコード及びアプリケーションなどのソフトウェアをデバイス 10 上で実行し得る。デバイス 10 の動作中に、制御回路 16 上で実行しているソフトウェアは、ディスプレイ 14 上に画像を表示し得る。

10

【0035】

ディスプレイ 14 は、有機発光ダイオードディスプレイ、結晶性半導体ダイからそれぞれ形成される個別の発光ダイオードのアレイから形成されるディスプレイ、又は任意の他の好適なタイプのディスプレイであり得る。本明細書では一例として、ディスプレイ 14 のピクセルが発光ダイオードを含む構成について時々説明する。ただし、これは例示に過ぎない。所望される場合、デバイス 10 のために任意の好適なタイプのディスプレイが使用され得る。

【0036】

図 2 は、例示的なディスプレイの図である。図 2 に示されているように、ディスプレイ 14 は、基板層 26 などの層を含み得る。層 26 などの基板層は、矩形で平坦な材料の層あるいは他の形状（例えば、1つ以上の湾曲した及び/又は直線のエッジをもつ円形形状又は他の形状）をもつ材料の層から形成され得る。ディスプレイ 14 の基板層は、ガラス層、ポリマー層、ポリマー及び無機材料を含む複合膜、金属箔などを含み得る。

20

【0037】

ディスプレイ 14 は、ピクセルアレイ 28 など、ユーザに画像を表示するためにピクセル 22 のアレイを有し得る。アレイ 28 中のピクセル 22 は、行及び列で配置され得る。アレイ 28 のエッジは直線であるか又は湾曲し得る（すなわち、アレイ 28 中のピクセル 22 の各行及び/又はピクセル 22 の各列は同じ長さを有し得るか又は異なる長さを有し得る）。アレイ 28 には、任意の好適な数の行及び列（例えば、10 以上、100 以上、又は 1000 以上など）が存在し得る。ディスプレイ 14 は、異なる色のピクセル 22 を含み得る。一例として、ディスプレイ 14 は、赤ピクセル、緑ピクセル、及び青ピクセルを含み得る。所望される場合、バックライトユニットは、ディスプレイ 14 にバックライト照明を提供し得る。

30

【0038】

ピクセル 22 の動作を制御するためにディスプレイドライバ回路 20 が使用され得る。ディスプレイドライバ回路 20 は、集積回路、薄膜トランジスタ回路、及び/又は他の好適な回路から形成され得る。図 2 の例示的なディスプレイドライバ回路 20 は、ディスプレイドライバ回路 20 A と、ゲートドライバ回路 20 B などの追加のディスプレイドライバ回路とを含む。ゲートドライバ回路 20 B は、ディスプレイ 14 の 1つ以上のエッジに沿って形成され得る。例えば、ゲートドライバ回路 20 B は、図 2 に示されているようにディスプレイ 14 の左側及び右側に沿って配置され得る。

40

【0039】

図 2 に示されているように、ディスプレイドライバ回路 20 A（例えば、1つ以上のディスプレイドライバ集積回路、薄膜トランジスタ回路など）は、信号経路 24 を介してシステム制御回路と通信する通信回路を含んでいることがある。経路 24 は、フレキシブルプリント回路上のトレース又は他のケーブルから形成され得る。制御回路は、電子デバイス 10 中の 1つ以上のプリント回路上に位置し得る。動作中に、制御回路（例えば、図 1 の制御回路 16）は、ディスプレイ 14 上に表示されるべき画像の画像データを回路 20 中のディスプレイドライバ集積回路などの回路に供給し得る。図 2 のディスプレイドライバ回路 20 A はディスプレイ 14 の上部に位置する。これは例示に過ぎない。ディスプレ

50

イドライバ回路20Aは、ディスプレイ14の下部エッジに沿って、ディスプレイ14の上部及び下部に、又はデバイス10の他の部分に位置し得る。

【0040】

ピクセル22上に画像を表示するために、ディスプレイドライバ回路20Aは、信号経路30を介してゲートドライバ回路20Bなどのサポートディスプレイドライバ回路に制御信号を発行しながら、対応する画像データをデータラインDに供給し得る。図2の例示的な配置では、データラインDは、ディスプレイ14を通過して垂直方向に走り、ピクセル22のそれぞれの列に関連付けられる。

【0041】

ゲートドライバ回路20B（ゲートラインドライバ回路又は水平制御信号回路と呼ばれることがある）は、基板26上に1つ以上の集積回路を使用して実装され得、及び/又は薄膜トランジスタ回路を使用して実装され得る。水平制御ラインG（ゲートライン、走査ライン、放射制御ラインなどと呼ばれることがある）は、ディスプレイ14を通過して水平方向に走る。各ゲートラインGは、ピクセル22のそれぞれの行に関連付けられる。所望される場合、ピクセルの各行に関連付けられたゲートラインGなどの複数の水平制御ライン（例えば、第1のゲートライン信号GI及び第2のゲートライン信号GW、1つ以上の放射制御信号など）が存在し得る。他の信号（例えば、電源信号など）を分配するために、ディスプレイ14中の個々に制御される及び/又はグローバル信号経路も使用され得る。

10

【0042】

ゲートドライバ回路20Bは、ディスプレイ14中のゲートラインG上で制御信号をアサートし得る。例えば、ゲートドライバ回路20Bは、経路30上で回路20Aからクロック信号及び他の制御信号を受信し得、その受信された信号に応じて、アレイ28中のピクセル22の第1の行中のゲートライン信号Gから開始して、ゲートラインG上でゲートライン信号を順にアサートし得る。各ゲートラインがアサートされると、データラインDからのデータは、ピクセルの対応する行にローディングされ得る。このようにして、ディスプレイドライバ回路20A及び20Bなどの制御回路は、ディスプレイ14上に所望の画像を表示するようにピクセル22に指示する信号をピクセル22に提供し得る。各ピクセル22は、ディスプレイドライバ回路20からの制御及びデータ信号に応答する発光ダイオード及び回路（例えば、基板26上の薄膜回路）を有し得る。

20

30

【0043】

アレイ28中の各ピクセル22のために使用され得るタイプの例示的なピクセル回路が図3に示されている。図3の例では、ピクセル回路22は、7つのトランジスタT1、T2、T3、T4、T5、T6、及びTDと、1つのキャパシタCstとを有し、したがって、ピクセル回路22は7T1Cピクセル回路と呼ばれることがある。所望される場合、ピクセル22中で他の数のトランジスタ及びキャパシタ（例えば、より少ないトランジスタ、より多くのトランジスタ、より多くのキャパシタなど）が使用され得る。トランジスタは、pチャネルトランジスタ（例えば、図3に示されているようにpチャネル金属酸化物半導体トランジスタ）であり得、及び/又はnチャネルトランジスタ若しくは他のタイプのトランジスタであり得る。ディスプレイ14のピクセル回路22の薄膜トランジスタのアクティブ領域及び他の部分は、シリコン（例えば、ポリシリコンチャネル領域）、半導体酸化物（例えば、インジウムガリウム酸化亜鉛チャネル領域）、又は他の好適な半導体薄膜層から形成され得る。

40

【0044】

図3に示されているように、ピクセル回路22は、発光ダイオード44（例えば、有機発光ダイオード、結晶性マイクロ発光ダイオードダイなど）を含む。発光ダイオード44は、トランジスタTDによって発光ダイオード44を通過して駆動された電流Iの量に比例して光46を放射し得る。トランジスタTD、トランジスタT4、トランジスタT5、及び発光ダイオード44は、それぞれの電源端子間に直列に結合され得る（例えば、正電源端子ELVDD及び接地電源端子ELVSSを参照されたい）。トランジスタTDは、ノ

50

ードNbに結合されたソース端子と、トランジスタT5に結合されたドレイン端子と、ノードNaに結合されたゲート端子とを有し得る。トランジスタTDのゲートにおけるノードNa上の電圧は、トランジスタTDによって生成される電流Iの量を制御する。この電流は発光ダイオード44を通して駆動され、したがって、トランジスタTDは駆動トランジスタと呼ばれることがある。

【0045】

トランジスタT4及びT5は、トランジスタTDとダイオード44との間の電流の流れを遮断するためにオフにされ得、トランジスタT4及びT5は、トランジスタTDとダイオード44との間の電流の流れを可能にするためにオンにされ得る。放射イネーブル制御信号EMが、共有ゲートラインからトランジスタT4及びT5のゲートに印加され得る。動作中に、トランジスタT4及びT5は放射イネーブル制御信号EMによって制御され、したがって、放射トランジスタ又は放射イネーブルトランジスタと呼ばれることがある。スイッチングトランジスタ制御信号、走査信号又はゲートライン信号（例えば、ゲート初期化及びゲート書込み信号、ゲート信号など）と呼ばれることがある制御信号GI及びGWは、スイッチングトランジスタT1、T2、T3、及びT6のゲートに印加され、トランジスタT1、T2、T3、及びT6の動作を制御する。

10

【0046】

制御信号EM、GI、及びGWは、ディスプレイ14の動作中にディスプレイ14のピクセル22を様々な状態に置くようにディスプレイドライバ回路20によって制御され得る。これらの様々な状態中に、画像データがピクセル22にローディングされ、ピクセル22は、発光ダイオード44を使用して、ローディングされたピクセルデータに比例する光46を放射する。トランジスタ履歴（例えば、履歴Vgs値）の差に起因するしきい値電圧ばらつきを最小限に抑えるために、ピクセルの各々は、トランジスタTDを駆動するために（オンバイアスストレスと呼ばれることがある）既知の電圧ストレスを意図的に印加することによって調整され得る。

20

【0047】

一例として、ディスプレイドライバ回路20は、（図4の位相62などの第2の動作モードで）光を放射するためにピクセルを使用する前に、制御信号EM、GI、及びGWを使用してピクセル22を第1の動作モードに置き得る（例えば、図4の位相60を参照されたい）。動作中に、位相60と位相62は繰り返し交替することができる。

30

【0048】

事前調整位相又はオンバイアスストレス、データ書込み、及びしきい値電圧補正位相と呼ばれることがある、位相60中に、オンバイアスストレスが各ピクセル22の駆動トランジスタTDに印加され得、データラインからのデータ(D)は、そのピクセル22のキャパシタCst（ノードNa）上にローディングされ得る。放射位相と呼ばれることがある位相62中に、各ピクセル22の駆動トランジスタTDは、発光ダイオード44が光46を放射するように、そのピクセルの発光ダイオード44に駆動電流Iを供給する。位相60中に、キャパシタCst上にローディングされたデータは、トランジスタTDの駆動電流Iが放射位相62中にVtに依存しないように、駆動トランジスタTDのしきい値Vtに等しい量だけVdata（データラインD上の電圧）からシフトされ得る（すなわち、図3のピクセル回路を使用して内部しきい値電圧補正方式を実装し得る）。

40

【0049】

図5は、位相60中のピクセル22の放射信号EMとゲートライン信号GI及びGWとについての例示的な信号トレースを示す。

【0050】

図5に示されているように、放射信号EMは、時間t1において高に取られ、位相60中に高に保持され得、それにより、トランジスタT4及びT5はオフにされ、電流Iが発光ダイオード44を通過することが防止される。高であるEMとともに、ゲートライン信号GIは、時間t1において低に取られ得る。これにより、トランジスタT3はオンになり、それにより、駆動トランジスタTDのゲートにおいてノードNa上に初期化電圧Vi

50

$n_i$  (例えば、-2ボルト又は他の好適な電圧などの低電圧信号)がかけられる(すなわち、既知のオンバイアスストレスが駆動トランジスタTDに印加されてトランジスタTDが事前調整され、それにより、トランジスタTDの動作履歴に起因するトランジスタTDのしきい値 $V_t$ のしきい値電圧ばらつきを最小限に抑えるのに役立つ)。トランジスタT3は、次いで時間 $t_2$ において、信号GIを高に取ることによってオフにされ得る。時間 $t_3$ において、ゲートライン信号GWは低に取られ得る。これにより、トランジスタT1、T2、及びTDはオンになり、したがって、データラインDからのデータ( $V_{data}$ )は、経路64を介してノードNa上にローディングされる。所望される場合、信号GI及びGWを低に取るプロセスは、トランジスタTDを事前調整し $V_{data}$ をノードNa上に満足にローディングするのを助けるために、(例えば、図5に示されているように3回又は他の好適な回数)繰り返され得る。

10

## 【0051】

ディスプレイ14がディスプレイ14の各行中にピクセル22の同じ数を有するデバイス10の構成では、ディスプレイ14のゲートライン上の容量性ローディングは、ディスプレイ14の行のすべてにわたって比較的一様になる。図6の例示的な構成など、ディスプレイ14の他の構成では、ディスプレイ14の異なる行は異なる数のピクセル22を含んでいることがある。これは、ゲートライン(例えば、信号GI及びGWなどの信号を搬送するゲートライン)上の行依存の容量性ローディングを生じ得、これは、事前調整動作と、及びノードNa上にローディングされるデータとに影響を及ぼし、したがって、各行のピクセル22中の光46の得られる輝度に影響を及ぼすことができる。

20

## 【0052】

図6の例示的な配置では、ディスプレイ14は、4つの湾曲したコーナートリセス(すなわち、ピクセルなしノッチ付き領域66)をもつ長方形形状を有する。ノッチは、ピクセル22の行を遮断し、ディスプレイ14の基板の幅にわたる通常長さの行よりも少ないピクセルを有する短い行を作り出す。ディスプレイ14の湾曲したコーナーにより、ディスプレイ14の上部エッジ及び下部エッジ中の各行は、わずかに異なる量の容量性ローディングを有することになる。ディスプレイ14の上部エッジ及び下部エッジにおけるディスプレイ14の周辺エッジの漸進的に湾曲した形状により、ゲートラインをローディングするピクセル22の数の行ごとの変化は、これらの領域において漸進的になる。その結果、隣接する行の間の行長さ(したがってピクセルカウント)の変化に起因するルミネンスばらつきは最小になり、ディスプレイ14の閲覧者に注目されなくなる。

30

## 【0053】

ノッチ66によるディスプレイ14の変形など、より急激な形状変化は、より著しい変化をゲートライン上のピクセルローディングにもたらす。図6のディスプレイ14中の行 $R_{M+1} \sim R_N$ などの行は、互いに等しい(又は、ディスプレイ14の下部エッジの近くにある行の場合、ほぼ等しい)ピクセルカウントを有する。行 $R_0 \sim R_M$ などの行は、行 $R_{M+1} \sim R_N$ のピクセルカウントの半分未満のピクセルカウントを有することになる。この理由は、行 $R_0 \sim R_M$ 中の各ゲートラインが領域66の左境界又は右境界のみに延びることになり、領域66を横断することが不可能になるからである。

## 【0054】

ディスプレイ14のA領域中のゲートライン(すなわち、領域66に隣接するディスプレイ14の上部エッジ中の行 $R_0 \sim R_M$ のゲートライン)、及びディスプレイ14のエリアB中のゲートライン(すなわち、行 $R_{M+1} \sim R_N$ のゲートライン)は、図6の例では異なる量のローディングを経験するので、それらのデータライン上に同等の $V_{data}$ 値が存在する場合でさえ、エリアA及びB中のピクセル22が、それらの蓄積キャパシタ $C_{st}$ 上で異なる電圧とともにローディングされる危険がある。これらの行依存のゲートラインローディングの影響について補償するために、ディスプレイドライバ回路20は、行に応じて変化するゲートライン信号Gを作成し得る。例えば、ディスプレイドライバ回路20は、エリアB中の行のためのゲートライン信号よりも短いパルス幅を有するエリアA中の行のためのゲートライン信号を生成することができる。エリアAにおいて使用される

40

50

、より短いパルス幅をもつゲートライン信号は、その場合、エリアBにおいて使用される、より長いパルス幅をもつゲートライン信号がエリアB中のピクセルをローディングするのと同じ方法で、エリアA中のピクセルをローディングする。

【0055】

エリアB中のピクセル22の行とは異なるゲート信号をエリアA中のピクセル22の行に提供する例示的なディスプレイドライバ回路が図6に示されている。図7に示されているように、ディスプレイドライバ回路20A（例えば、集積回路、薄膜トランジスタ回路など）は、異なるクロック信号（例えば、パルス幅、パルススルーレート、及び/又は他の属性が異なるクロック信号）を生成するクロック発生器70及び72などのクロック発生器を含み得る。これらの信号は、マルチプレクサ74及びクロック分配経路76を介してゲートドライバ回路20Bのゲートドライバ回路78のクロック入力に提供され得る。各ゲートドライバ回路78の出力Gは、シフトレジスタを形成するために後続のゲートドライバ回路78に提供され得る。図7の例では、各ゲートドライバ回路は、ピクセル22のそれぞれの行についてゲート信号を生成する。所望される場合、回路20Bは、各行について複数のゲートライン出力信号（例えば、信号GI及びGW）を生成し得る。回路78から形成されるシフトレジスタにより、ゲートライン信号（又は各回路78が、各行中に複数のゲートラインに対応する複数の出力を有するときのゲートライン信号）は、ディスプレイ14の各行において順にアサートされることが可能になる。

10

【0056】

ライン76からのクロック信号は、各ゲートドライバ回路78のクロック入力に分配され、これは、次いで、対応する出力信号Gを生成するにはこれらのクロックを使用する。所与のゲートライン信号が生成されているときのライン76上のクロック信号の形状は、所与のゲートライン信号の形状を制御するために使用され得る。特に、ライン76上のクロック信号のクロック信号属性（例えば、パルス幅）は、ゲートライン信号属性（例えば、パルス幅）に影響を及ぼし、したがって、経路76上のクロック信号への変化は、ゲートライン信号Gを制御するのに使用され得る。

20

【0057】

ゲートドライバ回路20Bのゲートドライバ回路78に第1のタイプのクロック信号を供給することが所望されるとき（例えば、エリアA中のピクセルのためのゲートライン信号を生成するとき）、ディスプレイドライバ回路20Aは、クロック発生器70の出力CLKAが経路76を介して回路20Aにおいてゲートドライバ回路78にルーティングされるようにマルチプレクサ74を構成し得る。ゲートドライバ回路20Bのゲートドライバ回路78に第2のタイプのクロック信号を供給することが所望されるとき（例えば、エリアB中のピクセルのためのゲートライン信号を生成するとき）、ディスプレイドライバ回路20Aは、クロック発生器72の出力CLKBが経路76を介して回路20Aにおいてゲートドライバ回路78にルーティングされるようにマルチプレクサ74を構成し得る。画像データの各フレーム中に、マルチプレクサ74は、エリアAの行中に（クロック発生器70を経路76に結合して）その第1の状態に入れられ得、エリアBの行中に（クロック発生器72を経路76に結合して）その第2の状態に入れられ得る。

30

【0058】

図8、図9、及び図10は、エリアBとエリアAとの間のルミナンスばらつきを低減するためにそれぞれエリアB及びエリアAに提供され得るタイプの例示的な信号CLKB及びCLKAを示す。図8の例では、クロックCLKBとクロックCLKAのスルーレートは異なる。トランジスタT2のゲートとノードNaとの間に寄生キャパシタンスがあり、これにより、CLKB信号などのより速いスルーレート信号は、CLKA信号などのより遅いスルーレート信号よりもデータラインDからノードNa上に多くのデータを受け渡すことが可能になる。（ゲートラインがピクセル22によってより重くローディングされる）領域Bにおいてより速いスルーレート信号CLKBを使用し、（ゲートラインがピクセル22によってあまり重くローディングされない）領域Aにおいてより遅いスルーレート信号CLKAを使用することによって、データ信号Vdataは、領域A及び領域Bにお

40

50

いてノードN a上に一様にロードされることになり、それにより、領域Aと領域Bとの間の望ましくないピクセル輝度ばらつきが低減される。図9の例では、信号CLK Aのパルス幅（パルス持続期間）は、信号CLK Bのパルス幅（パルス持続期間）よりも小さい。領域Bにおいて使用されるCLK Bのより長いパルス幅は、領域Bにおいてピクセルの行中のゲートライン上の追加のローディングについて補償するのに役立つ。図10の例では、クロック信号CLK Aは、領域Aに対して領域Bにおいてピクセルの行中のゲートライン上の追加のローディングについて補償するのを助けるために、（1ステッププロファイルを有する）CLK Bよりも短いパルス形状と遅いスルーレートとをCLK Aのパルスに提供する2ステッププロファイルを有する。図8、図9、及び図10の例は、クロックCLK A及びCLK B（並びに、したがって、ディスプレイ14のそれぞれのエリアA及びエリアB中のピクセル22に供給されるゲートライン信号G）のために使用され得る信号プロファイルの例である。所望される場合、他のタイプの信号、及び信号CLK Aと信号CLK Bの他の組合せが使用され得る。

#### 【0059】

駆動トランジスタTDへの既知のオンバイアスストレスの印加の有効性を向上させるために、図11のピクセル22のための例示的なピクセル回路に示されているように、放射信号EMを、2つのそれぞれの独立して制御される放射信号EM1及びEM2に分離することが望ましいことがある。図11の例では、放射制御信号（放射イネーブル信号）EM2は、放射トランジスタT4を制御するのに使用され、放射制御信号（放射イネーブル信号）EM1は、放射トランジスタT5を制御するのに使用される。図3のピクセル回路22によって示されているタイプの配置では、放射信号EMは、電圧Vin iがトランジスタT3を介してノードN a上に駆動されているオンバイアスストレス動作中に高である。EMが高であるので、図3のトランジスタT4は、位相60のオンバイアスストレス動作中にオフであり、図3のトランジスタTDのソースにおけるノードN b上の電圧は浮動し、それにより、駆動トランジスタTDにわたるVgs電圧を低減することができる。対照的に、図11の信号EM2は、オンバイアスストレス動作中に低に保持されてトランジスタT4はオンになり、それにより、ノードN b（トランジスタTDのソース）は正電源電圧ELVDDにおいて高に保持されて、大きいゲートソース電圧Vgsが駆動トランジスタTDに効果的に印加され得る。これは、オンバイアスストレス位相中にGIが低に取られたとき、どのようにEM1が高でありEM2が低であることを示す図12に示されている。

#### 【0060】

所望される場合、ディスプレイドライバ回路20は、ディスプレイ中の行ごとのルミネンスばらつきを低減するためにピクセル22に行依存のゲートライン信号を供給し得、そのピクセルは、共通に制御される放射制御トランジスタを有する（例えば、図3のピクセル22を参照されたい）か、あるいはそのピクセルは、独立して制御される放射トランジスタを有する。

#### 【0061】

データラインDから各ピクセル22のノードN a上にローディングされる電荷（信号Vdata）の量は、そのピクセルのゲートライン信号の特性に依存する。データローディング動作中に、ゲートライン信号GW（すなわち、図5の第3のGWパルス）は、トランジスタT1、TD、及びT2を通してデータラインDからノードN a上にデータをローディングするために（図5の例では低に取られて）アサートされる。図3のトランジスタT3の寄生キャパシタンス（Cgs）に起因して、より速いスルーレートとより長いパルス持続期間とをもつ信号GWは、より遅いスルーレートとより短い持続時間とをもつ信号GWよりも多くの電圧VdataをノードN a上にローディングする傾向がある。

#### 【0062】

ゲートラインローディングは、ゲートライン上のゲートラインパルスの形状に影響を及ぼし、したがって、ピクセル輝度に影響を及ぼすことができる。より大きい量のゲートラインローディングをもつゲートラインは、より小さい量のゲートラインローディングをも

10

20

30

40

50

つゲートラインよりも薄暗い傾向がある。ディスプレイ14中の行は、輝度ばらつきを低減するのを助けるために異なる量のゲートラインローディングを提供され得る。これらのゲートラインローディング調整は、図8、図9、及び図10に関して説明したように、ディスプレイ14中のピクセルの行に提供されるゲートラインパルスの形状が行依存の輝度ばらつきを低減するように調整される技法を使用することに加えて及び/又はその代わりに行われ得る。一例として、より少ないピクセルを有するより短い行は、それらの行がディスプレイ中でより長い行と同様に又はそれと同等に挙動するようになるのを助けるために、(ダミーロード又は補助ゲートラインローディング構造と呼ばれることがある)補助ロードを与えられ得る。

#### 【0063】

等しくない長さのピクセル(異なる数のピクセル)の行を有するディスプレイ中の輝度ばらつきを平滑化するのを助けるために使用され得る様々なローディング方式の影響を示すグラフが図13に示されている。図13の例では、ゲートラインローディング(ロード)は、(例えば、図6の行R0において開始してディスプレイ14の上側部分の)行の数の関数としてプロットされている。実線90は、補助ローディング構造なしの図6に示されているタイプのディスプレイに対応する。行RMよりも小さい行(すなわち、図6のエリアA中の行)は、漸進的に増加する量のローディングを経験する。行RMの後に(すなわち、エリアB中で)、ローディングはロード値LMに達する。補償されていないディスプレイ構成(実線90)では、それぞれの行RM及び行RM+1のゲートラインによるローディング量の経験に比較的鋭い不連続性(ローディング差DLM)が存在し得る。この不連続性は、行RM中のピクセルの輝度と行RM+1中のピクセルの輝度との間の顕著なばらつきにつながり得る。例えば、ロードが、連続する行の間で10%超だけ変化する場合、連続する行中のピクセルの輝度は10%超又は他の可視量だけ変化し得る。

#### 【0064】

これらなどの輝度ばらつきは、ディスプレイ14の適切な行(例えば、行のゲートライン上のピクセルが欠如していることにより、本来なら過少ローディングされるはずである行)に補助ゲートラインローディング構造を追加することによって平滑化され得る。例えば、所与の数のピクセルにゲートラインが結合されたディスプレイの第1のエリアと、その所与の数のピクセルより少ないものにゲートラインが結合されたディスプレイの第2のエリアとの間の輝度ばらつきは、10%未満の輝度ばらつき、20%未満の輝度ばらつき、50%未満、15%未満、5%未満、2%未満、1%未満、又は他の好適な輝度ばらつき値未満である輝度ばらつきに低減され得る)。ライン92によって示されている1つの例示的な配置では、ゲートラインローディングは、行98のゲートラインに補助ロードを追加することによって平滑化される。所望される場合、(例えば、ライン94によって示されているように、行R0~RMのゲートラインの各々に異なる量のロードを追加することによって)更なる平滑化が達成され得る。所望される場合、行R0~RM中のゲートラインは、ディスプレイ14中の行のすべてのゲートライン上のローディングを等化するのに十分な補助ゲートラインローディングを追加することによって補償され得る(例えば、図13の例示的なローディングライン96を参照されたい)。概して、任意の好適な量の補助ローディングが、ディスプレイ14の適切な行に追加され得る。補助ロードは、(例えば、ライン96によって示されているようにすべての行についてローディングを完全に等化するために)大きくなり得るか、(例えば、ライン94によって示されているように平滑化するために)中程度であり得るか、あるいは、ライン92によって示されているように、(例えば、比較的穏当な数の行(例えば、行98)にローディングを追加することによって行RM/RM+1におけるロード不連続性を平滑化するのを助けるために比較的小さくなり得る。また、これらの方式のいずれも、図8、図9、及び図10に関して説明したタイプの行依存のゲート信号整形方式、並びに/あるいは(輝度の不連続性を平滑化するのを助けるためにディスプレイ14においていかなる好適な数の行にわたっても拡張し得る)他のディスプレイ輝度平滑化配置と組み合わせられ得る。

#### 【0065】

ディスプレイ14の適切な行のゲートラインに補助ロードを追加するための例示的な配置が図14～図25に示されている。

【0066】

図14の例示的な構成に示されているように、選択されたゲートラインG（例えば、図3のゲートラインGI及び/又はGWあるいは他の好適なゲートライン）は、ダミーピクセル22Dなどの補助ローディング構造（補助ゲートラインローディング構造）に結合されたゲートライン延長部GEなどの延長部分とともに提供され得る。図14のディスプレイ14は、ピクセルなしノッチ66など、ノッチ又は他のピクセルなしエリアを有する。ディスプレイ14は、基板102など、1つ以上の基板層を有し得る。基板104は、エッジ104などのエッジを有し得る。エッジ104は、（図14の例におけるように）直線であるか又は湾曲し得る。ディスプレイノッチに隣接する基板102の狭いボーダー部分（すなわち、非アクティブエリアIA）は、ピクセル22なしであるが、ダミーピクセル22Dなどの補助ゲートラインローディング構造を含んでいることがある。図14では、非アクティブエリアIAは、破線100によって（アクティブピクセル22を含んでいる）アクティブエリアAAから分離されている。ダミーピクセル22Dがあまりに遠く非アクティブエリアIAに浸入しないことを保証するために（すなわち、ダミーピクセル22Dが基板102のエッジ104のあまりに近くにないことを保証するために）、ダミーピクセル22Dのレイアウトは湾曲したエッジ104に適應し得る。行RM+1中のゲートラインGによって経験される大量のローディング（長い行と呼ばれることがある）と、行R0～RM中のゲートラインGによって経験されるより少量のローディング（短い行と呼ばれることがある）との間でスムーズに遷移するために、比較的少量の補助ローディングは行RMにおいて供給され得（例えば、図14の例では4つのダミーピクセル22D）、漸進的により少量の補助ローディングは、行RMから漸進的により遠い行において供給され得（例えば、図14の例では2つの補助ダミーピクセル22Dが行RM-1中のゲートラインに結合され得る、など）。図14の例示的な構成では、ただ2つの行（RM及びRM-1が補助ローディングを供給されているが、概して、任意の好適な数の行（例えば、2～20個の行、2～100個の行、50～1000個の行、25個超の行、2000個未満の行など）が補助ローディングを供給され得る。任意の好適な数（例えば、1～1000個、10個超、500個未満など）のダミーピクセル22Dが、行依存の輝度ばらつきを低減するために、ディスプレイ14の各行中のゲートラインGWに結合され得（例えば、図3のゲートラインGWを参照されたい）、及び/又はディスプレイ14中の他の好適な水平制御ラインに結合され得る。

【0067】

ダミーピクセル22Dは、通常ピクセル22のピクセル回路のすべてを含んでよいが、これらのピクセルが光を放射するのを防止する、小さいが重要な修正を伴う。アクティブピクセル22をダミーピクセル22Dに変換するために行われ得る修正の例としては、ピクセル22Dからピクセル22の放射材料を省略すること、ピクセル22Dのアノードを省略すること、開回路を作成するためにピクセル22D中の薄膜トランジスタ回路をピクセル22D中の発光ダイオードに結合している金属トレースの小さい部分を省略することなどが挙げられる。図14のピクセル22Dの各々の（上方から閲覧されたときに略記される）フットプリントは、ピクセル22の各々のフットプリントと同じであり得る。

【0068】

所望される場合、キャパシタから形成された補助ローディング構造が使用され得る。このタイプの配置は図15に示されている。図15の例では、行k+1と行k+2との間のローディング不連続性を平滑化するのに助けるために、行k及び行k+1中に補助ロード22LDが提供されている。図15の回路図は、どのようにゲートラインGI及びGW上のゲートライン信号がゲートドライバ回路20B中の同じゲートドライバによって生成され得るかを示している。例えば、ゲートライン信号GI(k+1)は、行k+1中のGIラインを行k中のゲートラインGWのためのゲートドライバ20B～Dの出力に結合することによって生成され得る（すなわち、GI(k+1)=GW(k)）。補助ゲートライ

10

20

30

40

50

ンローディング構造（補助ゲートラインロード）22LDは、各行においてゲートラインGIとゲートラインGWの両方に結合され得るか、あるいは、図15に示されているように、ゲートライン延長部GEによって消費されるエリアを低減するために、各行において単一のゲートライン（すなわち、ゲートラインGW）のみに結合され得る。

#### 【0069】

図15の例では、各補助ロード22LDは、それが結合されたゲートラインと同じ行中に位置する。所望される場合、ゲートライン延長部GEは、複数の行にわたっている図16の部分GE'など、曲がった部分を有し得る。これにより、ローディング構造のうちのいくつかは、それらが結合されたゲートライン以外の行中に位置することが可能になる。図16の配置では、例えば、補助ローディング構造22LD'は行RM中に位置するが、ゲートライン延長部GE'を使用して行RM-2中のゲートラインGWに結合される。このタイプの配置は、補助ローディング構造の配置を最適化するのに助けるために使用され得る（例えば、これらの構造を基板エッジ104のあまりに近くに配置することなしに又はポードーIAのサイズを過大に増加させることなしに、より多くの補助ローディング構造がポードーIAに組み込まれ得るように）。

#### 【0070】

図17の例示的なディスプレイ14は、異なる行中に異なる幅のゲートラインを含む。長い行RM+1は、通常にサイズ決定されたゲートラインG（すなわち、幅W2のゲートライン）を有する。短い行は、ローディングを向上させるために適切に拡張されたゲートラインとともに提供され得る。例えば、補助ローディング構造は、行RMについては、行RM中のゲートラインGの幅をW2よりも大きい値W1に増加させることによって形成され得る。ゲートラインGの幅を拡張することによって提供される追加のキャパシタンスは、その追加の幅が補助ゲートラインローディング構造として働くことを可能にする。

#### 【0071】

図18は、様々な数のピクセルをもつ行について補償するためにどのようにゲートドライバ20B~Dなどのゲートドライバの強度が変化され得るかを示す。例えば、行RM+1など、通常の（長い）行中の出力バッファ（ゲートドライバ）20B~Dは、出力バッファが通常の強度でゲートラインG上にゲートライン信号を駆動するように、通常サイズのトランジスタを有し得るが、行RMなど、短い行中の出力バッファ20B~Dは、強度を低減していることがある（例えば、長い行のゲートドライバ中のトランジスタよりも小さく、したがってより弱いトランジスタ）。行依存のゲートドライバ強度調整は、1つ以上の他の輝度不連続性平滑化配置（例えば、補助ローディング構造、ゲートライン信号スルーレート修正など）と組み合わせて行われ得る。

#### 【0072】

図19は、ゲートラインGと接地ラインGNDとの間に並列に結合された2つのキャパシタCから形成される例示的な補助ローディング構造の回路図である。接地ラインGNDは、接地電源ライン（例えば、ELVSS）から、ゲートドライバ接地（例えば、VGL）から、又は他の好適な信号経路から形成され得る。図19のキャパシタCは、（例として）図20及び図21に示されているタイプの構造から形成され得る。

#### 【0073】

図20の例では、キャパシタCは、誘電体114によって分離された第1の電極110と第2の電極112とを有する。誘電体114は、ディスプレイ14において無機及び/又は有機誘電体材料の1つ以上の層から形成され得る。電極110及び112は、金属層、導電性半導体層（例えば、ドーブポリシリコンなど）、又は他の導電層から形成され得る。例えば、電極110及び112は、ディスプレイ14の薄膜トランジスタ回路において第1のゲート金属層、第2のゲート金属層、ソースドレイン金属層、シリコン層、又は他の好適な導電層などの導電層から形成され得る。特に、電極110は、第2のゲート金属層から形成された上側電極であり得、電極112は、第1のゲート金属層から形成された下側電極であり得、上側電極110は、ソースドレイン金属層から形成され得、下側電極112は、第2のゲート金属層から形成され得るか、あるいは上側電極110は、第1

10

20

30

40

50

のゲート金属層又はソースドレイン金属層から形成され得、下側電極 112 は、ドーブポリシリコン層又は他のドーブ半導体層から形成され得る。

【0074】

図21の例示的な構成では、キャパシタCのための第1の電極は、互いに短絡された上側層116Aと下側層116Bとから形成される。図21のキャパシタCのための第2の電極は導電層118から形成される。誘電体114は、第1の電極と第2の電極を分離し得る。電極層116Aは、ソースドレイン金属層から形成され得、電極層116Bは、ドーブ半導体層（例えば、ドーブポリシリコン層）などの導電層から形成され得る。電極118は、ゲート金属層（例えば、ディスプレイ14が複数のゲート金属層を有する構成における第1のゲート金属層）から形成され得る。

10

【0075】

所望される場合、他のキャパシタ構成が使用され得る。図20及び図21の例示的なキャパシタ構成は例示にすぎない。キャパシタCは、信号ライン（例えば、ゲートライン及び接地ライン）を使用して互いに結合された個々のキャパシタ電極から形成され得る。どのくらいの補助ゲートラインローディングが行われるかを調整するために各行から様々な数のキャパシタが追加又は削除され得るか、あるいはディスプレイ14の各行は、補助ローディングのために単一の未分割キャパシタ構成を有し得る。信号ライン（例えば、ゲートライン及び接地ライン）によって互いに結合された複数のより小さいキャパシタの使用は、（例えば、所与のキャパシタに蓄積される電荷量を低減することによって）製造中の静電放電事象からの損傷の危険を低減するのを助け得る。

20

【0076】

図22は、ゲートラインGに結合されており、関連する接地ラインGNDに結合されている、複数のキャパシタC（例えば、図20及び/又は図21に示されているタイプのキャパシタ）から補助ローディング構造22Dが形成されている、例示的な構成におけるディスプレイ14の行を示す。

【0077】

図23は、部分122など、ゲートライン延長部GEの部分に蛇行経路形状を提供することによってどのようにゲートライン延長部GEにおけるゲートラインGの抵抗が調整され得るかを示す。ゲートライン延長部Gは、1つ以上のキャパシタCから形成されたローディング構造22D又は他のローディング構造などの補助ロードに結合され得る。ライン部分GEの抵抗への調整は、ゲートラインGに課されたローディングの影響を調整するのに役立つ（すなわち、蛇行経路は、行において補助ゲートラインローディング構造の一部を形成すると考えられ得る）。

30

【0078】

図24は、どのように補助ローディング構造22Dが小形ピクセル様のダミーピクセル回路から形成され得るかを示す。これらの回路は、通常のピクセル22と同じトランジスタ、キャパシタ、信号トレース、及び他の薄膜回路のうちのいくつかを含み得るが、ピクセル22の構成要素のうちのnいくつかは省略されているので、より小さいフットプリントを有する。ピクセル22からの1つ以上のピクセル構成要素の省略は、ダミーピクセル回路のフットプリントが低減されることを可能にし、ダミーピクセル回路が光を放射することを不可能にする。同時に、ゲートラインGに課されるローディングの量は、通常のピクセル22によって課されるものと同じ又はほぼ同じであり得る。図24の補助ローディング構造22Dのための低減サイズ（圧縮）ダミーピクセル回路を形成するためにピクセル22から削除され得るピクセル構成要素の一例は、（ピクセルエリアの比較的大きい量を通常は消費する）発光ダイオード44のアノードである。通常のピクセル22に対してダミーピクセル回路のサイズを低減するために、ピクセル回路のレイアウトは、アノードが削除された後に縮小され得る。対照的に、図14に示されているタイプのダミーピクセル22Dは、ピクセル22と同じフットプリントを有し得る。

40

【0079】

所望される場合、エリアA中のゲートラインの各々は、ディスプレイ14中のノッチを

50

越えて延びるピクセルなし部分（ゲートライン延長部分）を有し得、それは、そのゲートラインのローディングを増加させるのに役立つ。図 25 に示されているように、例えば、短い行は、ノッチ 66 の存在により長い行よりも少ないピクセルを含んでいるが、ゲートライン延長部 GE は、短い行中のゲートラインの各々がディスプレイ 14（すなわち、ディスプレイ 14 の基板）の幅にわたることを可能にするために十分に延長され得る。図 25 のゲートライン延長部 GE は、追加の補助ゲートラインローディング構造及び / 又はゲート信号スルーレート修正、ゲートドライバ回路修正などの必要を部分的に又は完全になくすために、ディスプレイ 14 の短い行上の十分なローディングを課し得る。

【 0 0 8 0 】

図 25 の例示的な構成では、ゲートドライバ回路 20B は、ゲートライン G の左端と右端の両方に結合されたゲートドライバ 20B ~ D を含む。ディスプレイ 14 の長い行では（すなわち、エリア B 中では）、各ゲートラインの左端と右端の両方におけるドライバの使用は、十分なデータローディングを保証するのを助け得る。短い行では（すなわち、エリア A 中では）、左ドライバと右ドライバの両方が必要であるとは限らず、これらのドライバのうちの 1 つは、ディスプレイ輝度のばらつきを低減するのを助けるために省略され得る。このタイプの配置では、ディスプレイ 14 のエッジのうちの 1 つ（例えば、図 25 の右側エッジ）に沿ったゲートドライバ 20B ~ D の一部又は全部は、ディスプレイ 14 の短い行から省略され得、したがって、短い行の一部又は全部は、ただ 1 つのゲートライン端部（例えば、ゲートライン G の左端）に結合されたゲートドライバによって駆動され得るが、長い行のすべては、ゲートライン G の両方の対向端に（例えば、各ゲートライン G の左端及び右端に）結合されたゲートドライバによって駆動され得る。（各ゲートラインに結合されたゲートドライバの数が、異なる行の間で変化する）このタイプの構成は、ディスプレイ輝度のばらつき（行依存のゲートライン信号スルーレートばらつき、行依存のゲートドライバ強度、行依存の補助ローディングばらつきなど）を平滑化するための 1 つ以上の他の配置と組み合わせられ得る。

【 0 0 8 1 】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータラインと、ディスプレイドライバ回路に結合されたゲートラインと、列及び行を有するピクセルのアレイと、を含むディスプレイが提供され、ディスプレイの第 1 のエリア中の行はディスプレイの第 2 のエリア中の行よりも短く、ディスプレイドライバ回路は、異なる第 1 のエリア及び第 2 のエリア中の行のゲートライン上にゲートライン信号を提供するように構成されている。

【 0 0 8 2 】

別の実施形態によれば、ディスプレイドライバ回路は、第 1 のクロック信号を発生する第 1 のクロック発生器と、第 2 のクロック信号を発生する第 2 のクロック発生器とを含んでいる。

【 0 0 8 3 】

別の実施形態によれば、ディスプレイドライバ回路は、第 1 のクロック信号を受信する第 1 の入力と、第 2 のクロック信号を受信する第 2 の入力と、クロック経路に結合された出力とを有するマルチプレクサを含んでいる。

【 0 0 8 4 】

別の実施形態によれば、ディスプレイドライバ回路は、行の各々中にゲートドライバ回路を有するゲートドライバ回路を含んでおり、ゲートドライバ回路はクロック経路上で信号を受信する。

【 0 0 8 5 】

別の実施形態によれば、第 1 のエリアはピクセルなしノッチを有し、ディスプレイドライバ回路は、第 1 のエリアの行中のゲートドライバ回路に第 1 のクロック信号を供給するように、及び第 2 のエリアの行中のゲートドライバ回路に第 2 のクロック信号を供給するようにマルチプレクサに指示するように構成されている。

【 0 0 8 6 】

10

20

30

40

50

別の実施形態によれば、第1のクロック信号と、第1のエリアの行中のゲートドライバ回路によって生成された対応するゲートライン信号とは、第2のクロック信号及び第2のエリアの行中のゲートドライバ回路によって生成された対応するゲートライン信号よりも遅いスルーレートを有している。

【0087】

別の実施形態によれば、第1のクロック信号と、第1のエリアの行中のゲートドライバ回路によって生成された対応するゲートライン信号とは、第2のクロック信号及び第2のエリアの行中のゲートドライバ回路によって生成された対応するゲートライン信号よりも短いパルス持続期間を有している。

【0088】

別の実施形態によれば、第1のクロック信号と、第1のエリアの行中のゲートドライバ回路によって生成された対応するゲートライン信号とは、2ステッププロファイルを有しており、第2のクロック信号及び第2のエリアの行中のゲートドライバ回路によって生成された対応するゲートライン信号は、1ステッププロファイルを有している。

【0089】

別の実施形態によれば、各ピクセルは7つのトランジスタと1つのキャパシタとを有している。

【0090】

別の実施形態によれば、各ピクセル中の7つのトランジスタは、第1の電源端子と第2の電源端子との間に有機発光ダイオードと直列に結合された駆動トランジスタ並びに第1及び第2の放射トランジスタを含んでいる。

【0091】

別の実施形態によれば、ディスプレイは、各行中に、ディスプレイドライバ回路から上記行のピクセルに第1の放射制御信号を受け渡す第1の放射制御ラインと、ディスプレイドライバ回路から上記行のピクセルに第2の放射制御信号を受け渡す第2の放射制御ラインとを含んでいる。

【0092】

別の実施形態によれば、各ピクセルは7つのトランジスタと1つのキャパシタとを有している。

【0093】

別の実施形態によれば、各ピクセル中の7つのトランジスタは、第1の電源端子と第2の電源端子との間に有機発光ダイオードと直列に結合された駆動トランジスタ並びに第1及び第2の放射トランジスタを含んでいる。

【0094】

別の実施形態によれば、各行中の第1の放射ラインは、上記行中の各ピクセルの第1の放射トランジスタに結合されており、各行中の第2の放射ラインは、上記行中の各ピクセルの第2の放射トランジスタに結合されている。

【0095】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータラインと、ディスプレイドライバ回路に結合されたゲートラインと、列及び行を有するピクセルのアレイと、を含むディスプレイが提供され、各ピクセルは7つのトランジスタと1つのキャパシタとを有しており、各ピクセル中の7つのトランジスタは、第1の電源端子と第2の電源端子との間に有機発光ダイオードと直列に結合された駆動トランジスタ並びに第1及び第2の放射トランジスタを含んでおり、ディスプレイは、各行中に、ディスプレイドライバ回路から上記行のピクセルに第1の放射制御信号を受け渡す第1の放射制御ラインと、ディスプレイドライバ回路から上記行のピクセルに第2の放射制御信号を受け渡す第2の放射制御ラインと、を含んでいる。

【0096】

別の実施形態によれば、各行中の第1の放射ラインは、上記行中の各ピクセルの第1の放射トランジスタに結合されており、各行中の第2の放射ラインは、上記行中の各ピクセル

10

20

30

40

50

ルの第2の放射トランジスタに結合されている。

【0097】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータラインと、ディスプレイドライバ回路に結合されたゲートラインと、列及び行を有するピクセルのアレイと、を含むディスプレイが提供され、各ピクセルは、少なくとも7つのpチャネル金属酸化物半導体トランジスタ及び少なくとも1つのキャパシタを有しており、各ピクセル中のトランジスタは、第1の電源端子と第2の電源端子との間に有機発光ダイオードと直列に結合された駆動トランジスタ並びに第1及び第2の放射トランジスタを含んでおり、ディスプレイは、ディスプレイドライバ回路から各行のピクセルに第1の放射制御信号を受け渡す上記行中の第1の放射制御ラインと、ディスプレイドライバ回路から各行のピクセルに第2の放射制御信号を受け渡す上記行中の第2の放射制御ラインと、各行中の各ピクセルのトランジスタにおいて少なくとも第1及び第2のスイッチングトランジスタを制御する上記行中の第1及び第2のゲートラインと、を含んでいる。

10

【0098】

別の実施形態によれば、ディスプレイドライバ回路は、第1のクロック信号を発生する第1のクロック発生器と、第2のクロック信号を発生する第2のクロック発生器とを含んでおり、第1のクロック信号を受信する第1の入力と、第2のクロック信号を受信する第2の入力と、クロック経路に結合された出力とを有するマルチプレクサを含んでいる。

【0099】

別の実施形態によれば、各行中の第1の放射ラインは、上記行中の各ピクセルの第1の放射トランジスタに結合されており、各行中の第2の放射ラインは、上記行中の各ピクセルの第2の放射トランジスタに結合されている。

20

【0100】

別の実施形態によれば、ディスプレイドライバ回路は、クロック経路上で信号を受信する行の各々中のゲートドライバ回路を含む。

【0101】

一実施形態によれば、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されたデータラインと、ディスプレイドライバ回路に結合されたゲートラインと、行及び列を有するピクセルのアレイと、を含むディスプレイが提供され、ディスプレイの第1のエリア中の行のゲートラインは、ディスプレイの第2のエリア中の行よりもピクセルのアレイ中のピクセルのうち少数のものに結合されており、ディスプレイは、第1のエリア中のゲートラインのうち少なくともいくつかに結合された補助ゲートラインローディング構造であって、上記ゲートライン上のローディングを増加させ、それにより、ディスプレイの第1のエリアと第2のエリアとの間のディスプレイ輝度のばらつきを平滑化する、補助ゲートラインローディング構造を含んでいる。

30

【0102】

別の実施形態によれば、補助ゲートラインローディング構造は、光を放射しないダミーピクセルを含んでいる。

【0103】

別の実施形態によれば、ダミーピクセルは、発光ダイオードの放射材料を含んでいない。

40

【0104】

別の実施形態によれば、補助ゲートラインローディング構造はキャパシタを含んでいる。

【0105】

別の実施形態によれば、第1のエリア中の行のうち第1の行は、第1のエリアの行のうち第2の行中の補助ゲートラインローディング構造に結合されている。

【0106】

別の実施形態によれば、行のうち第1の行のピクセルは、ゲートラインのうち第1の行の

50

の1つに関連付けられており、ゲートラインのうちの所与の1つは、行のうちの第1の行から行のうちの第2の行に延びるゲートライン延長部を有している。

【0107】

別の実施形態によれば、補助ゲートラインローディング構造は、第1のエリアから第2のエリアへの距離の漸進的增加とともに、第1のエリアのゲートライン上のローディングの量を漸進的に減少させる。

【0108】

一実施形態によれば、ノッチをもつ基板と、基板上の有機発光ダイオードピクセルと、ディスプレイドライバ回路と、ディスプレイドライバ回路及び有機発光ダイオードピクセルに結合されたデータラインと、ディスプレイドライバ回路及び有機発光ダイオードピクセルに結合されたゲートラインと、を含む有機発光ダイオードディスプレイが提供され、有機発光ダイオードピクセルは列及び行で配置されており、ノッチを含むディスプレイの第1のエリア中の行は、ディスプレイの第2のエリア中の行よりもピクセルのうち少数のものに結合されており、有機発光ダイオードディスプレイは、第1のエリア中のゲートラインの少なくとも部分に結合された補助ゲートラインローディング構造であって、上記ゲートライン上のゲートラインローディングを増加させ、それにより、第1のエリア中のゲートラインと第2のエリア中のゲートラインとの間のゲートラインローディングの差を低減する、補助ゲートラインローディング構造を含んでいる。

【0109】

別の実施形態によれば、補助ゲートラインローディング構造は、ゲートラインの部分中にゲートラインに結合されたキャパシタを含んでいる。

【0110】

別の実施形態によれば、ゲートラインの部分中の各ゲートラインは、複数のキャパシタに結合されている。

【0111】

別の実施形態によれば、キャパシタの各々は上側電極及び下側電極を有している。

【0112】

別の実施形態によれば、キャパシタの各々は、第1の導電層、第2の導電層、及び第3の導電層を有しており、第1の導電層及び第3の導電層は、互いに短絡され、第1のキャパシタ電極を形成しており、第2の導電層は、第1の導電層と第3の導電層との間に挿入され、第2のキャパシタ電極を形成している。

【0113】

別の実施形態によれば、補助ゲートラインローディング構造は、第1のエリア中の異なるゲートラインに異なる量のキャパシタンスを与える。

【0114】

別の実施形態によれば、ゲートドライバ回路は、各行中にゲートラインのうちの1つに結合されたゲートドライバを含んでおり、第1のエリア中のゲートドライバのうちの少なくとも1つは、第2のエリア中のゲートドライバのうちの少なくとも1つとは異なる強度を有している。

【0115】

別の実施形態によれば、ディスプレイドライバ回路は、異なるスルーレートを有する第1のエリア及び第2のエリア中の行のゲートライン上にゲートライン信号を提供するように構成されている。

【0116】

一実施形態によれば、ノッチをもつ基板であって、基板が幅を有する、基板と、基板上の有機発光ダイオードピクセルと、ディスプレイドライバ回路と、ディスプレイドライバ回路に結合されると共にピクセルに結合されたデータラインと、ディスプレイドライバ回路に結合されピクセルに結合されたゲートラインと、を含む有機発光ダイオードディスプレイが提供され、ピクセルは列及び行を有しており、ディスプレイの第1のエリア中の行のゲートラインは、第2のエリア中の行のゲートラインよりもピクセルのうち少数のもの

10

20

30

40

50

に結合されており、第1のエリアと第2のエリアの両方の中の行のゲートラインは基板の幅にわたっており、第1のエリア中の行のゲートラインは、ノッチを越えて延びるピクセルなし部分をそれぞれ有している。

【0117】

別の実施形態によれば、有機発光ダイオードディスプレイは、第1のエリア中のゲートラインの第1のセットに結合された補助ゲートラインローディング構造を含んでおり、この補助ゲートラインローディング構造は、ゲートラインの第1のセット上のゲートラインローディングを増加させ、それにより、ゲートラインの第1のセットと第2のエリア中のゲートラインの第2のセットとの間のゲートラインローディングの差を低減する。

【0118】

別の実施形態によれば、補助ゲートラインローディング構造はダミーピクセルを含んでいる。

【0119】

別の実施形態によれば、補助ゲートラインローディング構造は、ゲートラインの第1のセット中に各ゲートラインに結合された少なくとも1つのキャパシタを含んでいる。

【0120】

別の実施形態によれば、補助ゲートラインローディング構造は、ゲートラインの第1のセットに結合されたキャパシタを含んでおり、ゲートラインの第1のセット中のゲートラインのうちの少なくとも所与の1つは、ゲートラインのうちの所与の1つとは異なる行中のキャパシタに結合されている。

【0121】

前述の内容は例示にすぎず、説明した実施形態の範囲及び趣旨から逸脱することなく、当業者によって様々な修正が行われ得る。前述の実施形態は、個々に又は任意の組合せで実装され得る。

10

20

【図1】

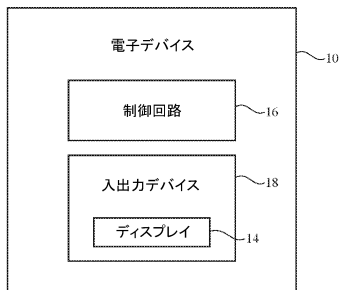


FIG. 1

【図2】

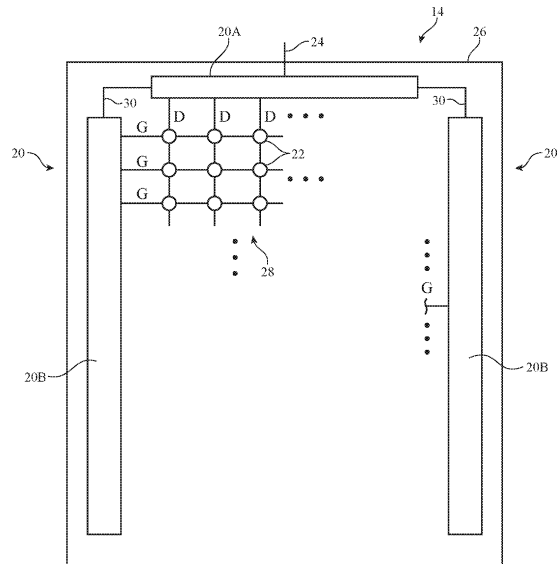


FIG. 2



【図 8】

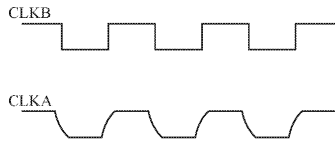


FIG. 8

【図 9】

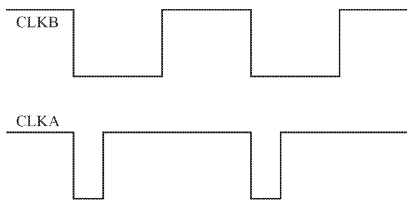


FIG. 9

【図 10】

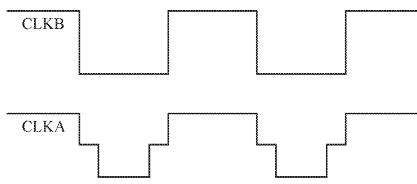


FIG. 10

【図 11】

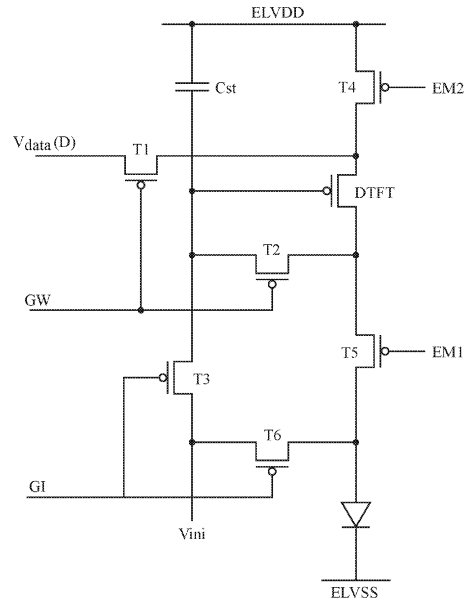


FIG. 11

【図 12】

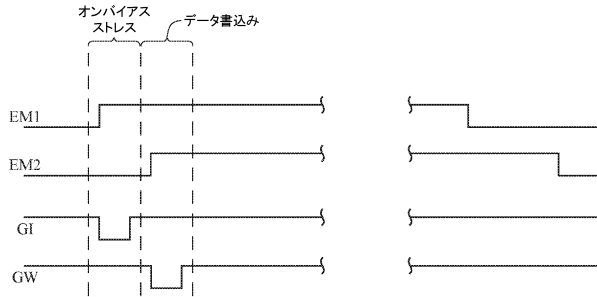


FIG. 12

【図 14】

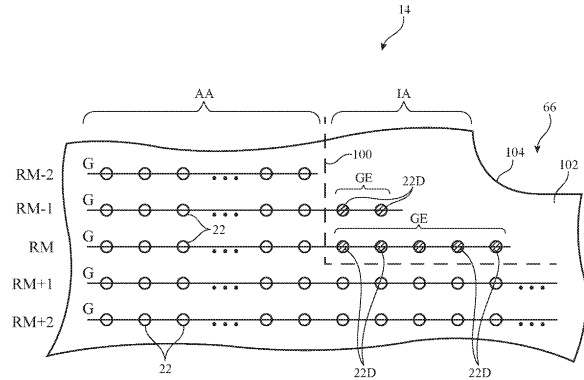


FIG. 14

【図 13】

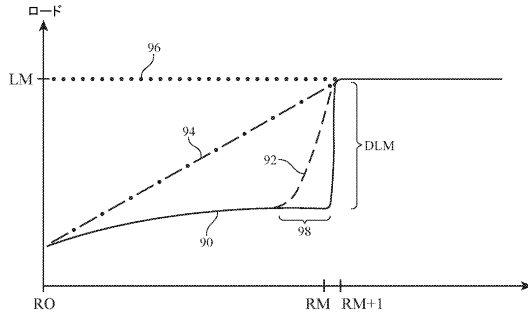


FIG. 13

【 15 】

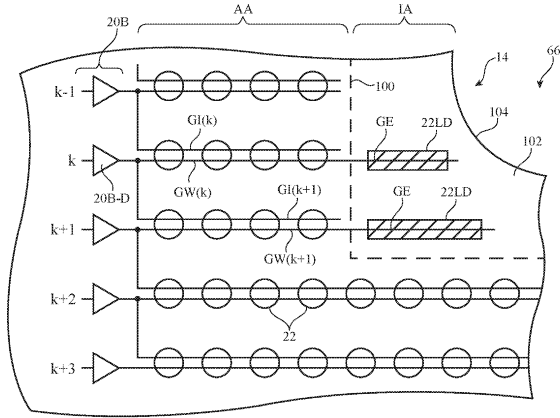


FIG. 15

【 16 】

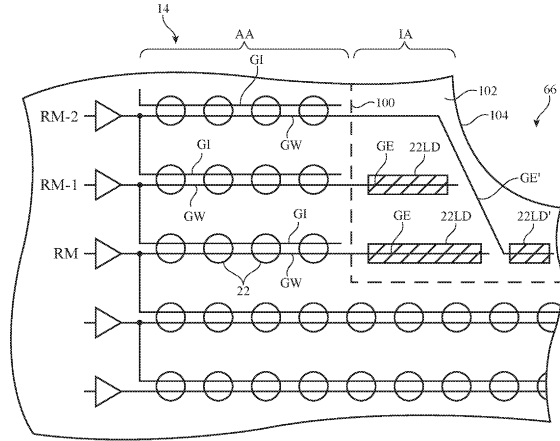


FIG. 16

【 17 】

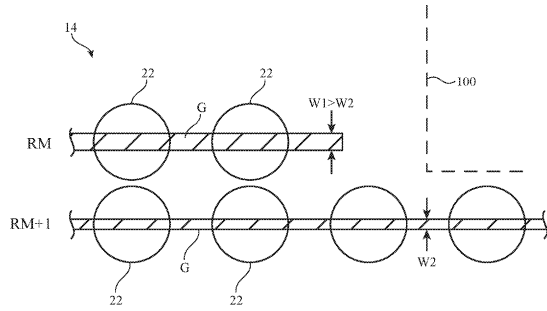


FIG. 17

【 18 】

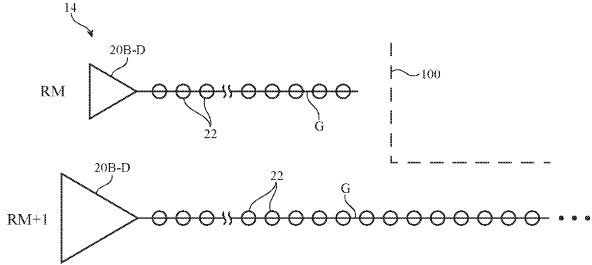


FIG. 18

【 21 】

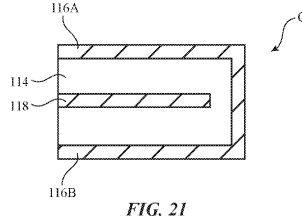


FIG. 21

【 19 】

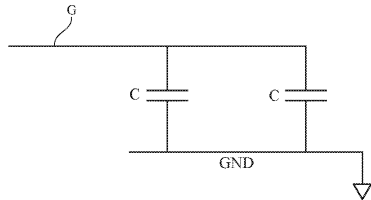


FIG. 19

【 22 】

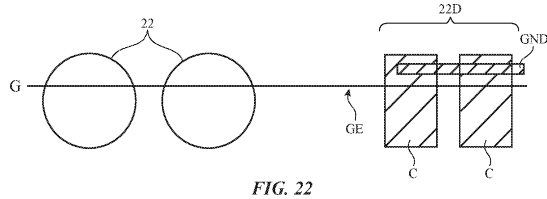


FIG. 22

【 20 】

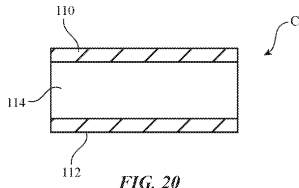


FIG. 20

【 23 】

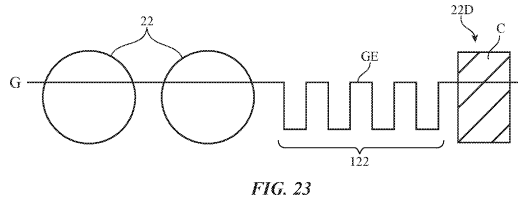


FIG. 23

【 24 】

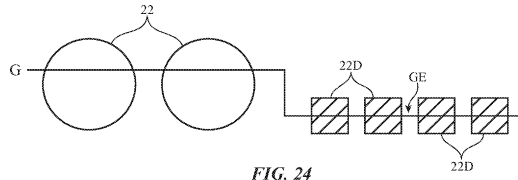


FIG. 24



## フロントページの続き

- (51)Int.Cl. F I  
H 0 1 L 27/32
- (74)代理人 100116894  
弁理士 木村 秀二
- (74)代理人 100130409  
弁理士 下山 治
- (74)代理人 100134175  
弁理士 永川 行光
- (72)発明者 ユー, チェン - ホー  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 リン, チン - ウエイ  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 ヤン, シューアン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 チャン, ティン - クオ  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 ツァイ, ツィン - ティン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 リュートル - ルイ, ワレン, エス.  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 チャン, シー チャン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 チェン, ユー チェン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー
- (72)発明者 チョン, ジョン, ズィー.  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, インフィニット ループ 1  
エム/エス 3 6 - 2 ピーエーティー

審査官 橋 皇徳

- (56)参考文献 国際公開第2007/105700(WO, A1)  
韓国公開特許第10-2016-0000817(KR, A)  
国際公開第2008/062575(WO, A1)  
特開2015-215599(JP, A)  
国際公開第2009/054166(WO, A1)  
特開2010-054871(JP, A)  
特開2004-125895(JP, A)  
特開2006-234918(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8

H 0 1 L 2 7 / 3 2

H 0 1 L 5 1 / 5 0

专利名称(译)	发光二极管显示器		
公开(公告)号	<a href="#">JP6510144B2</a>	公开(公告)日	2019-05-08
申请号	JP2018517324	申请日	2017-03-16
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	リンチンウェイ ツアイツインティン チャンシーチャン		
发明人	ユー, チェン-ホー リン, チン-ウェイ ヤン, シューアン チャン, テイン-クオ ツアイ, ツイン-ティン リュートル-ルイ, ワレン, エス. チャン, シー チャン チェン, ユー チェン チョン, ジョン, ズイー.		
IPC分类号	G09G3/3225 G09G3/3266 G09G3/20 H01L51/50 H01L27/32		
CPC分类号	G06F3/044 G09G3/3233 G09G3/3266 G09G2300/0413 G09G2300/0426 G09G2310/0232 G09G2320/0223 G09G2320/0233 H01L27/3223 H01L27/3276 G09G2300/0842 G09G2300/0809 H01L27/323 H01L2227/32		
FI分类号	G09G3/3225 G09G3/3266 G09G3/20.680.H G09G3/20.642.A H05B33/14.A H01L27/32		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	62/327584 2016-04-26 US 62/314281 2016-03-28 US		
其他公开文献	JP2018534613A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

显示器 ( 10 ) 可包括像素阵列 ( 22 )。显示驱动器电路向像素提供数据和控制信号。显示器的第一区域 ( A ) 中的行 ( R0 , RM ) 比显示器的第二区域 ( B ) 中的行 ( RM + 1 ) 短。显示驱动器电路包括栅极驱动器电路, 其向显示器中的不同像素行提供不同的栅极线信号。不同的行也可以具有不同的栅极驱动器强度和不同的辅助栅极线负载结构。每个像素可以具有七个晶体管, 电容器和诸如有机发光二极管的发光二极管。七个晶体管可以使用水平控制线接收控制信号。每个像素可以具有与像素的驱动晶体管和发光二极管串联耦合的第一和第二辐射使能晶体管。第一和第二辐射使能晶体管可以耦合到公共控制线, 或者可以单独控制, 使得偏置应力可以有效地施加到驱动晶体管。

(45) 発行日 令和1年5月8日(2019.5.8)

(24) 登録日 平成31年4月12日(2019.4.12)

(5) Int. Cl.	F I
G O 9 G 3/3225 (2016.01)	G O 9 G 3/3225
G O 9 G 3/3286 (2016.01)	G O 9 G 3/3286
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 8 0 H
H O 1 L 51/50 (2006.01)	G O 9 G 3/20 6 4 2 A
H O 1 L 27/32 (2006.01)	H O 5 B 33/14 A

請求項の数 16 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2018-517324 (P2018-517324)	(73) 特許権者	503260918
(86) (22) 出願日	平成29年3月16日(2017.3.16)		アップル インコーポレイテッド
(65) 公表番号	特表2018-534613 (P2018-534613A)		Apple Inc.
(43) 公表日	平成30年11月22日(2018.11.22)		アメリカ合衆国 95014 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン
(86) 国際出願番号	PCT/US2017/022808		One Apple Park Way, Cupertino, California 95014, U.S.A.
(87) 国際公開番号	W02017/172375		
(87) 国際公開日	平成29年10月5日(2017.10.5)	(74) 代理人	100076428
審査請求日	平成30年5月2日(2018.5.2)		弁理士 大塚 康徳
(31) 優先権主張番号	62/327,584		100115071
(32) 優先日	平成28年4月26日(2016.4.26)		弁理士 大塚 康弘
(33) 優先権主張国	米国 (US)		100112508
(31) 優先権主張番号	62/314,281		弁理士 高柳 司郎
(32) 優先日	平成28年3月28日(2016.3.28)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 発光ダイオードディスプレイ