

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3610923号
(P3610923)

(45) 発行日 平成17年1月19日(2005. 1. 19)

(24) 登録日 平成16年10月29日(2004. 10. 29)

(51) Int.Cl.⁷

F I

G09G 3/30

G09G 3/30 J

G09G 3/20

G09G 3/20 611H

H05B 33/08

G09G 3/20 624B

H05B 33/14

G09G 3/20 641D

H05B 33/08

請求項の数 20 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2001-161890 (P2001-161890)
 (22) 出願日 平成13年5月30日 (2001. 5. 30)
 (65) 公開番号 特開2002-351400 (P2002-351400A)
 (43) 公開日 平成14年12月6日 (2002. 12. 6)
 審査請求日 平成14年4月16日 (2002. 4. 16)

(73) 特許権者 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 湯本 昭
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 濱本 禎広

(56) 参考文献 実開昭62-122488 (JP, U)

(58) 調査した分野(Int.Cl.⁷, DB名)
 G09G3/30、3/20
 H05B33/00-33/28

(54) 【発明の名称】 アクティブマトリクス型表示装置およびアクティブマトリクス型有機エレクトロルミネッセンス
 表示装置、並びにそれらの駆動方法

(57) 【特許請求の範囲】

【請求項1】

流れる電流によって輝度が変化する電気光学素子を有する画素回路がマトリクス状に配置
 されてなる画素部と、

輝度に応じた大きさの書き込み電流を前記画素回路の各々に対してデータ線を介して供給
 することによって輝度情報の書き込みを行うデータ線駆動回路と、

データ線毎に設けられ、当該データ線に対して前記書き込み電流を打ち消す方向の駆動電
 流を流す電流駆動回路とを備え、

前記電流駆動回路は、

その流すべき駆動電流値の情報を電流の形で与えられ、その与えられた電流を電圧の形に 10
 変換する変換部と、

前記変換部で変換された電圧を保持する保持部と、

前記保持部で保持された電圧を電流に変換し、この電流を前記駆動電流としてデータ線に
 流す駆動部とを有する

ことを特徴とするアクティブマトリクス型表示装置。

【請求項2】

前記変換部は、ドレインとゲートが電氣的に短絡された状態にあるとき、前記駆動電流値
 の情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第1
 の絶縁ゲート型電界効果トランジスタを含み、

前記保持部は、前記第1の絶縁ゲート型電界効果トランジスタのゲート・ソース間に発生 20

する電圧を保持するキャパシタを含み、

前記駆動部は、前記キャパシタの保持電圧に基づいて前記駆動電流をデータ線に流す第2の絶縁ゲート型電界効果トランジスタを含む

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】

前記変換部は、前記第1の絶縁ゲート型電界効果トランジスタに対して前記駆動電流値の情報を電流の形で選択的に供給する第1のスイッチ素子を含み、

前記保持部は、前記第1の絶縁ゲート型電界効果トランジスタのゲート・ソース間に発生する電圧を前記キャパシタに選択的に供給するとともに、前記第1のスイッチ素子に先立って非導通状態となる第2のスイッチ素子を含む

10

ことを特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項4】

前記第1の絶縁ゲート型電界効果トランジスタと前記第2の絶縁ゲート型電界効果トランジスタとが同一のトランジスタである

ことを特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項5】

前記第1の絶縁ゲート型電界効果トランジスタと前記第2の絶縁ゲート型電界効果トランジスタとが、近接して配置された2つの異なるトランジスタである

ことを特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項6】

20

前記駆動電流値の情報は、前記データ線を介して前記電流駆動回路に与えられる

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項7】

前記駆動電流値の情報は、前記画素回路に対してデータ書き込みが行われていない期間に前記電流駆動回路に与えられる

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項8】

前記データ線駆動回路は1本のデータ線について2個ずつ設けられ、一方のデータ線駆動回路がデータ線を駆動する間に他方のデータ線駆動回路が画像情報の取り込みを行い、

前記電流駆動回路は1本のデータ線について2個ずつ設けられ、この2個の電流駆動回路が輝度情報の書き込み期間において前記2個のデータ線駆動回路の各動作に同期して動作する

30

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項9】

前記データ線駆動回路は、表示すべき輝度情報に対して前記駆動電流値分だけ上乘せされた書き込み電流をデータ線に流す

ことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項10】

流れる電流によって輝度が変化する電気光学素子を表示素子として用いた電流書き込み型の画素回路がマトリクス状に配置されてなる画素部と、輝度に応じた大きさの書き込み電流を前記画素回路の各々に対してデータ線を介して供給することによって輝度情報の書き込みを行うデータ線駆動回路と、データ線毎に設けられ、当該データ線に対して前記書き込み電流を打ち消す方向の駆動電流を流す電流駆動回路とを備えたアクティブマトリクス型表示装置において、

40

前記画素回路への輝度情報の書き込みが行われていない期間中に、その流すべき駆動電流値の情報を電流の形で前記電流駆動回路に与えるとともに、その電流を電圧の形で前記電流駆動回路に保持させ、

その後前記画素回路への輝度情報の書き込みが行われる際に、前記電流駆動回路からその保持した電圧に応じた電流を前記駆動電流としてデータ線に流す

ことを特徴とするアクティブマトリクス型表示装置の駆動方法。

50

【請求項 1 1】

第 1、第 2 の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を有する画素回路がマトリクス状に配置されてなる画素部と、輝度に応じた大きさの書き込み電流を前記画素回路の各々に対してデータ線を介して供給することによって輝度情報の書き込みを行うデータ線駆動回路と、データ線毎に設けられ、当該データ線に対して前記書き込み電流を打ち消す方向の駆動電流を流す電流駆動回路とを備え、
前記電流駆動回路は、
その流すべき駆動電流値の情報を電流の形で与えられ、その与えられた電流を電圧の形に変換する変換部と、
前記変換部で変換された電圧を保持する保持部と、
前記保持部で保持された電圧を電流に変換し、この電流を前記駆動電流としてデータ線に流す駆動部とを有する
ことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

10

【請求項 1 2】

前記変換部は、ドレインとゲートが電氣的に短絡された状態にあるとき、前記駆動電流値の情報が電流の形で供給されることによってそのゲート・ソース間に電圧を発生する第 1 の絶縁ゲート型電界効果トランジスタを含み、
前記保持部は、前記第 1 の絶縁ゲート型電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、
前記駆動部は、前記キャパシタの保持電圧に基づいて前記駆動電流をデータ線に流す第 2 の絶縁ゲート型電界効果トランジスタを含む
ことを特徴とする請求項 1 1 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

20

【請求項 1 3】

前記変換部は、前記第 1 の絶縁ゲート型電界効果トランジスタに対して前記駆動電流値の情報を電流の形で選択的に供給する第 1 のスイッチ素子を含み、
前記保持部は、前記第 1 の絶縁ゲート型電界効果トランジスタのゲート・ソース間に発生する電圧を前記キャパシタに選択的に供給するとともに、前記第 1 のスイッチ素子に先立って非導通状態となる第 2 のスイッチ素子を含む
ことを特徴とする請求項 1 2 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

30

【請求項 1 4】

前記第 1 の絶縁ゲート型電界効果トランジスタと前記第 2 の絶縁ゲート型電界効果トランジスタとが同一のトランジスタである
ことを特徴とする請求項 1 2 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項 1 5】

前記第 1 の絶縁ゲート型電界効果トランジスタと前記第 2 の絶縁ゲート型電界効果トランジスタとが、近接して配置された 2 つの異なるトランジスタである
ことを特徴とする請求項 1 2 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

40

【請求項 1 6】

前記駆動電流値の情報は、前記データ線を介して前記電流駆動回路に与えられる
ことを特徴とする請求項 1 1 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項 1 7】

前記駆動電流値の情報は、前記画素回路に対してデータ書き込みが行われていない期間に前記電流駆動回路に与えられる
ことを特徴とする請求項 1 1 記載のアクティブマトリクス型有機エレクトロルミネッセンス

50

ス表示装置。

【請求項 18】

前記データ線駆動回路は 1 本のデータ線について 2 個ずつ設けられ、一方のデータ線駆動回路がデータ線を駆動する間に他方のデータ線駆動回路が画像情報の取り込みを行い、前記電流駆動回路は 1 本のデータ線について 2 個ずつ設けられ、この 2 個の電流駆動回路が輝度情報の書き込み期間において前記 2 個のデータ線駆動回路の各動作に同期して動作する

ことを特徴とする請求項 11 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項 19】

前記データ線駆動回路は、表示すべき輝度情報に対して前記駆動電流値分だけ上乗せされた電流をデータ線に流す

ことを特徴とする請求項 11 記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項 20】

流れる電流によって輝度が変化する電気光学素子を表示素子として用いた電流書き込み型の画素回路がマトリクス状に配置されてなる画素部と、輝度に応じた大きさの書き込み電流を前記画素回路の各々に対してデータ線を介して供給することによって輝度情報の書き込みを行うデータ線駆動回路と、データ線毎に設けられ、当該データ線に対して前記書き込み電流を打ち消す方向の駆動電流を流す電流駆動回路とを備えたアクティブマトリクス型有機エレクトロルミネッセンス表示装置において、

前記画素回路への輝度情報の書き込みが行われていない期間中に、その流すべき駆動電流値の情報を電流の形で前記電流駆動回路に与えるとともに、その電流を電圧の形で前記電流駆動回路に保持させ、

その後前記画素回路への輝度情報の書き込みが行われる際に、前記電流駆動回路からその保持した電圧に応じた電流を前記駆動電流としてデータ線に流す

ことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素毎に能動素子を有して当該能動素子によって画素単位で表示制御が行われるアクティブマトリクス型表示装置およびその駆動方法に関し、特に流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いるアクティブマトリクス型表示装置および当該電気光学素子として有機材料のエレクトロルミネッセンス（以下、有機 EL (electroluminescence) と記す）素子を用いるアクティブマトリクス型有機 EL 表示装置およびそれらの駆動方法に関する。

【0002】

【従来の技術】

表示装置、例えば画素の表示素子として液晶セルを用いた液晶ディスプレイなどにおいては、多数の画素をマトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として有機 EL 素子を用いた有機 EL ディスプレイなどでも同様である。

【0003】

ただし、有機 EL ディスプレイの場合は、画素の表示素子として発光素子を用いる、いわゆる自発光型のディスプレイであるため、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。また、各発光素子の輝度がそれに流れる電流値によって制御される、即ち有機 EL 素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶ディスプレイなどとは大きく異なる。

【0004】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor；TFT）によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0005】

図16に、アクティブマトリクス型の有機ELディスプレイにおける画素回路（単位画素の回路）の従来例を示す（より詳細には、米国特許第5,684,365号公報、特開平 10 8-234683号公報を参照）。

【0006】

この従来例に係る画素回路は、図16から明らかなように、アノード（陽極）が正電源V_{dd}に接続された有機EL素子101と、ドレインが有機EL素子101のカソード（陰極）に接続され、ソースがグランドに接続「以下、「接地」と記す」されたTFT102と、TFT102のゲートとグランドとの間に接続されたキャパシタ103と、ドレインがTFT102のゲートに、ソースがデータ線106に、ゲートが走査線105にそれぞれ接続されたTFT104とを有する構成となっている。

【0007】

ここで、有機EL素子は多くの場合整流性があるため、OLED（Organic Light Emitting Diode）と呼ばれることがある。したがって、図16およびその他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性を要求するものではない。

【0008】

上記構成の画素回路の動作は次の通りである。まず、走査線105の電位を選択状態（ここでは、高レベル）とし、データ線106に書き込み電位V_wを印加すると、TFT104が導通してキャパシタ103が充電または放電され、TFT102のゲート電位は書き込み電位V_wとなる。次に、走査線105の電位を非選択状態（ここでは、低レベル）とすると、走査線105とTFT102とは電氣的に切り離されるが、TFT102のゲート電位はキャパシタ103によって安定に保持される。

【0009】

そして、TFT102およびOLED101に流れる電流は、TFT102のゲート・ソース間電圧V_{gs}に応じた値となり、OLED101はその電流値に応じた輝度で発光し続ける。ここで、走査線105を選択してデータ線106に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。上述のように、図16に示す画素回路では、一度電位V_wの書き込みを行えば、次に書き込みが行われるまでの間、OLED101は一定の輝度で発光を継続する。

【0010】

このような画素回路（以下、単に画素と記す場合もある）111を図17に示すようにマトリクス状に多数並べ、走査線112-1～112-nを走査線駆動回路113によって 40 順次選択しながら、電圧駆動型のデータ線駆動回路（電圧ドライバ）114からデータ線115-1～115-mを通して書き込みを繰り返すことにより、アクティブマトリクス型表示装置（有機ELディスプレイ）を構成することができる。ここでは、m列n行の画素配列を示している。この場合、当然のことながら、データ線がm本、走査線がn本となる。

【0011】

単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。このため、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディス 50

プレイでは有利となる。

【 0 0 1 2 】

ところで、アクティブマトリクス型有機 E L ディスプレイにおいては、能動素子として一般的に、ガラス基板上に形成された T F T (薄膜電界効果トランジスタ) が利用される。ところが、この T F T の形成に使用されるアモルファスシリコン (非晶質シリコン) やポリシリコン (多結晶シリコン) は、単結晶シリコンに比べて結晶性が悪く、導電機構の制御性が悪いために、形成された T F T は特性のばらつきが大きいことが良く知られている。

【 0 0 1 3 】

特に、比較的大型のガラス基板上にポリシリコン T F T を形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、アモルファスシリコン膜の形成後、レーザアニール法によって結晶化が行われる。しかしながら、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。この結果、同一基板上に形成した T F T でも、そのしきい値 V_{th} が画素によって数百 m V、場合によっては 1 V 以上ばらつくこともまれではない。

【 0 0 1 4 】

この場合、例えば異なる画素に対して同じ電位 V_w を書き込んでも、画素によって T F T のしきい値 V_{th} がばらつくことになる。これにより、O L E D (有機 E L 素子) に流れる電流 I_{ds} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。このことは、しきい値 V_{th} のみではなく、キャリアの移動度 μ などのばらつきについても同様のことが言える。

【 0 0 1 5 】

かかる問題を改善するため、本願発明者は、一例として、図 1 8 に示す電流書き込み型の画素回路を提案している (国際公開番号 W O 0 1 / 0 6 4 8 4 の公報参照) 。

【 0 0 1 6 】

この電流書き込み型画素回路は、図 1 8 から明らかなように、アノードが正電源 V_{dd} に接続された O L E D 1 2 1 と、ドレインが O L E D 1 2 1 のカソードに接続され、ソースが接地された N チャネル T F T 1 2 2 と、この T F T 1 2 2 のゲートとグランドとの間に接続されたキャパシタ 1 2 3 と、ドレインがデータ線 1 2 8 に、ゲートが走査線 1 2 7 にそれぞれ接続された P チャネル T F T 1 2 4 と、ドレインが T F T 1 2 4 のソースに接続され、ソースが接地された N チャネル T F T 1 2 5 と、ドレインが T F T 1 2 5 のドレインに、ソースが T F T 1 2 2 のゲートに、ゲートが走査線 1 2 7 にそれぞれ接続された P チャネル T F T 1 2 6 とを有する構成となっている。

【 0 0 1 7 】

上記構成の画素回路が図 1 6 に示す画素回路と決定的に異なる点は、次の通りである。すなわち、図 1 6 に示す画素回路においては輝度データが電圧の形で画素に与えられるのに対して、図 1 8 に示す画素回路においては輝度データが電流の形で画素に与えられる点にある。

【 0 0 1 8 】

先ず、輝度情報を書き込む際には、走査線 1 2 7 を選択状態 (ここでは、低レベル) にし、データ線 1 2 8 に輝度情報に応じた電流 I_w を流す。この電流 I_w は、T F T 1 2 4 を通して T F T 1 2 5 に流れる。このとき、T F T 1 2 5 に生ずるゲート・ソース間電圧を V_{gs} とする。T F T 1 2 5 のゲート・ドレイン間は短絡されているので、T F T 1 2 5 は飽和領域で動作する。

【 0 0 1 9 】

よって、良く知られた M O S トランジスタの式にしたがって

$$I_w = \mu_1 C_{ox} \times W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \quad \dots \dots (1)$$

が成立する。(1) 式において、 V_{th1} は T F T 1 2 5 のしきい値、 μ_1 はキャリアの移動度、 C_{ox} は単位面積当たりのゲート容量、 W_1 はチャネル幅、 L_1 はチャネル長

10

20

30

40

50

である。

【0020】

次に、OLED121に流れる電流を I_{drv} とすると、この電流 I_{drv} はOLED121と直列に接続されたTFT122によって電流値が制御される。図18に示す画素回路では、TFT122のゲート・ソース間電圧が(1)式の V_{gs} に一致するので、TFT122が飽和領域で動作すると仮定すれば、

$$I_{drv} = \mu^2 C_{ox} \frac{W^2}{L^2} \frac{1}{2} (V_{gs} - V_{th})^2 \quad \dots (2)$$

となる。

【0021】

ちなみに、MOSトランジスタが飽和領域で動作する条件は、一般に、

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots (3)$$

であることが知られている。(2)式、(3)式の各パラメータの意味は(1)式と同様である。ここで、TFT125とTFT122とは、小さな画素内部に近接して形成されるため、事実上、 $\mu_1 = \mu_2$ 、 $C_{ox1} = C_{ox2}$ 、 $V_{th1} = V_{th2}$ と考えられる。すると、(1)式と(2)式とから容易に

$$I_{drv} / I_w = (W^2 / W^1) / (L^2 / L^1) \quad \dots (4)$$

が導かれる。

【0022】

すなわち、キャリアの移動度 μ 、単位面積当たりのゲート容量 C_{ox} 、しきい値 V_{th} の値自体がパネル面内で、あるいはパネル毎にばらついたとしても、OLED121に流れる電流 I_{drv} は正確に書き込み電流 I_w に比例するので、結果として、OLED121の発光輝度を正確に制御できる。例えば、特に $W^2 = W^1$ 、 $L^2 = L^1$ と設計すれば、 $I_{drv} / I_w = 1$ 、即ちTFT特性のばらつきによらず、書き込み電流 I_w とOLED121に流れる電流 I_{drv} とは同一の値となる。

【0023】

図19は、電流書き込み型画素回路の他の回路例を示す回路図である。本回路例に係る画素回路は、図18に示す回路例の画素回路とはトランジスタの導電型(Nチャネル/Pチャネル)の関係が逆になっている。すなわち、図18のNチャネルTFT122、125がPチャネルTFT132、135に、図18のPチャネルTFT124、126がNチャネルTFT134、136にそれぞれ置換されている。また、電流の流れる向き等も異

【0024】

上述した図18および図19に示すような電流書き込み型画素回路をマトリクス状に並べることにより、アクティブマトリクス型有機EL表示装置を構成することが可能である。図20にその構成例を示す。

【0025】

図20において、マトリクス状に m 列 n 行分だけ配置された電流書き込み型の画素回路141の各々に対して、各行毎に走査線142-1~142- n が配線されている。そして、走査線142-1~142- n に対して図18のTFT124のゲート(または、図19のTFT134のゲート)が、さらに図18のTFT126のゲート(または、図19のTFT136のゲート)がそれぞれ画素毎に接続される。走査線142-1~142- n は、走査線駆動回路143によって順に駆動される。

【0026】

また、画素回路141の各々に対して、各列毎にデータ線144-1~144- m が配線されている。これらデータ線144-1~144- m の各一端は、電流駆動型のデータ線駆動回路(電流ドライバCS)145の各列の出力端に接続されている。そして、このデータ線駆動回路145によってデータ線144-1~144- m を通して各画素に対して輝度情報の書き込みが行われる。

【0027】

【発明が解決しようとする課題】

10

20

30

40

50

このように、画素回路として、図 18 または図 19 に示すような、輝度データが電流値の形で与えられる回路、即ち電流書き込み型画素回路を採用した場合、低輝度データの書き込みが難しいという課題がある。例えば、黒に極めて近い低輝度データの書き込みではゼロに極めて近い微小電流を書き込むことになるが、この場合、図 18 の回路例で言えば T F T 1 2 5 のインピーダンスが高くなり、大きな寄生容量を持つデータ線の電位が安定するまでに長い時間がかかる。これは、図 20 のデータ線駆動回路 1 4 5 の内部動作についても同様であり、微小電流を高速かつ正確に供給することは一般に難しい。

【 0 0 2 8 】

さらに、黒データの書き込みは書き込み電流値がゼロということであるが、完全な黒を書き込むには理論的には無限大の時間を要する。つまり、黒を書き込む直前の走査サイクルにおいて、仮に高輝度データ（大きめの電流）が書き込まれた場合、図 18 のデータ線 1 2 8 や図 20 のデータ線 1 4 4 - 1 ~ 1 4 4 - m は比較的高い電位にある。そして、その直後の走査サイクルで黒を書く際に、図 18 の T F T 1 2 5 の作用によってデータ線電位が低下していくが、電位の低下につれて T F T 1 2 5 のゲート・ソース間電圧 V_{gs} が小さくなるため、その駆動電流が減少して電位低下が急速に緩慢になり、理論的には無限大の時間が経過した後、データ線電位が T F T 1 2 5 のしきい値電圧 V_{th} になる。

【 0 0 2 9 】

現実の書き込み時間は有限（常識的には 1 走査周期以内）であるから、書き込み終了時、図 18 の T F T 1 2 2 のゲート・ソース間電圧は T F T 1 2 5 のしきい値電圧 V_{th} よりも高い。先に述べたように、T F T 1 2 2 は T F T 1 2 5 と近接して配置されるため、そのしきい値電圧もほぼ V_{th} であり、そのゲート・ソース間電圧がしきい値電圧 V_{th} よりも高いということは、T F T 1 2 2 が完全にはカットオフしないということを意味する。

【 0 0 3 0 】

この事情を図 21 の特性（A）に示す。現象的には、黒を書いたつもりの画素も、実際は弱く発光することになる（以下、この現象を「黒浮き」と称することがある）。液晶ディスプレイには無い有機 E L ディスプレイの大きな特長としてコントラスト比の高さが挙げられるが、これは発光素子に電流を流さないことによって完全な「黒」表示が可能なことに起因する。しかるに、わずかであっても黒浮きがあると、画像のコントラスト比を著しく損なうため、これは無視できない問題となる。

【 0 0 3 1 】

この問題を解決するために、本願発明者は、先述した特許出願（国際公開番号 W O 0 1 / 0 6 4 8 4 の公報参照）において、データ線毎にリーク素子（以下、電流バイアス素子、あるいは電流バイアス回路と呼ぶことがある）を設けることで、高コントラストな画像表示を可能とする技術も提案している。その回路構成の一例を図 22 に示す。同図において、データ線 1 2 8 とグラウンドとの間に接続された N チャネル T F T 1 2 9 がリーク素子である。この T F T 1 2 9 のゲート電位 V_g としては、最も単純には一定電位が与えられる。

【 0 0 3 2 】

T F T 1 2 9 は、データ線駆動回路（図 20 のデータ線駆動回路 1 4 5）による駆動電流 I_d を打ち消す方向のバイアス電流 I_b を流すため、先述した黒書き込み時のデータ線電位の低下速度が速く、とりわけデータ線電位が有限の時間でしきい値電圧 V_{th} を下回るということは、完全な黒書き込みが可能であることを意味する。すなわち、データ線毎にリーク素子を設けることで、高コントラストな画像の表示が可能となる。この事情を図 21 の特性（B）に示す。

【 0 0 3 3 】

ところが、データ線毎にリーク素子を設ける従来技術では、次のような問題が生ずる。すなわち、リーク素子（電流バイアス素子）としては、図 22 に示すように、T F T を利用するのが現実的である。しかし、冒頭に述べたように、T F T は特性ばらつきが大きいいため、バイアス電流 I_b にもばらつきが生じ易い。図 22 において、輝度データの書き込み

10

20

30

40

50

時に画素に流れる実質的な書き込み電流 I_w は、データ線駆動回路が駆動する電流 I_d からバイアス電流 I_b を差し引いた電流であるから、データ線毎に発光素子の輝度がばらつく結果となり、現実的には表示画像の筋状のむら（筋むら）となって現れる。

【0034】

これは特に、バイアス電流 I_b の電流値を大きく設定する程に顕著な問題となって現れるため、バイアス電流 I_b を大きな電流値に設定することは不可能であった。なお、電流バイアス素子としては単純な抵抗素子でも良いが、適当な抵抗値を精度良く、かつ小面積で形成することは一般に難しい上、ばらつきの制御が難しいという点では TFT の場合と基本的には相違は無い。

【0035】

本発明は、上記課題に鑑みて為されたものであり、その目的とするところは、電流書き込み型画素回路を用いた場合において、表示画像のむらを生じることなく、高品位な黒および低輝度階調表示が可能で、なおかつ、輝度むらの無い画像表示が可能なアクティブマトリクス型表示装置およびアクティブマトリクス型有機 EL 表示装置、並びにそれらの駆動方法を提供することにある。

【0036】

【課題を解決するための手段】

上記目的を達成するために、本発明では、流れる電流によって輝度が変化する電気光学素子を有する画素回路がマトリクス状に配置されてなる画素部と、輝度に応じた大きさの書き込み電流を画素回路の各々に対してデータ線を介して供給することによって輝度情報の書き込みを行うデータ線駆動回路と、データ線毎に設けられ、データ線に対して書き込み電流を打ち消す方向の駆動電流を流す電流駆動回路とを備えたアクティブマトリクス型表示装置において、この電流駆動回路（以下の実施形態例では、電流バイアス回路に相当する）が、その流すべき駆動電流値の情報を電流の形で与えられ、その与えられた電流を電圧の形に変換する変換部と、この変換部で変換された電圧を保持する保持部と、この保持部で保持された電圧を電流に変換し、この電流を駆動電流としてデータ線に流す駆動部とを有する構成を採っている。

【0037】

上記構成のアクティブマトリクス型表示装置または電気光学素子として有機 EL 素子を用いたアクティブマトリクス型有機 EL 表示装置において、電流駆動回路ではまず、画素へのデータ書き込みが行われない期間に駆動電流値の情報が電流の形で与えられると、この電流を電圧の形に変換して保持する。その後、各画素へのデータ書き込みが行われる際に、保持した電圧を電流に変換して書き込み電流を打ち消す方向の駆動電流としてデータ線に流し、これをバイアス電流として利用する。このとき、上記駆動電流値の情報に基づく一定の駆動電流がデータ線に流れるため、バイアス電流がデータ線毎にばらつくことがない。

【0038】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0039】

〔第1実施形態〕

図1は、本発明の第1実施形態に係るアクティブマトリクス型表示装置の概略構成図である。ここでは、各画素の電気光学素子として有機 EL 素子を、能動素子として電界効果トランジスタ、例えばポリシリコン TFT をそれぞれ用い、ポリシリコン TFT を形成した基板上に有機 EL 素子を形成してなるアクティブマトリクス型有機 EL 表示装置に適用した場合を例に採って説明するものとする。

【0040】

図1において、電流書き込み型画素回路 11 がマトリクス状に m 列 n 行分だけ配置されている。電流書き込み型画素回路 11 としては、例えば、図18に示した回路構成のものが用いられる。これら画素回路 11 の各々に対して、各行毎に走査線 $12-1 \sim 12-n$ が

10

20

30

40

50

配線されている。走査線 12 - 1 ~ 12 - n は、走査線駆動回路 13 によって順に駆動される。

【0041】

また、画素回路 11 の各々に対して、各列毎にデータ線 14 - 1 ~ 14 - m が配線されている。これらデータ線 14 - 1 ~ 14 - m の各一端は、電流駆動型のデータ線駆動回路（電流ドライバ）15 の各列の出力端に接続されている。データ線駆動回路 15 は、データ線 14 - 1 ~ 14 - m を通して画素回路 11 の各々に対して輝度データを書き込む。データ線駆動回路 15 が配置された例えば反対側には、データ線 14 - 1 ~ 14 - m 毎に配された電流バイアス回路 16 - 1 ~ 16 - m からなる電流バイアス回路（電流駆動回路）16 が設けられている。そして、この電流バイアス回路 16 内の各電流バイアス回路 16 - 1 ~ 16 - m に対して制御線 17 が共通に配線されている。

10

【0042】

ここで、有機 EL 素子の構造の一例について説明する。図 2 に、有機 EL 素子の断面構造を示す。同図から明らかなように、有機 EL 素子は、透明ガラスなどからなる基板 21 上に、透明導電膜からなる第 1 の電極（例えば、陽極）22 を形成し、その上にさらに正孔輸送層 23、発光層 24、電子輸送層 25 および電子注入層 26 を順次堆積させて有機層 27 を形成した後、この有機層 27 の上に金属からなる第 2 の電極（例えば、陰極）28 を形成した構成となっている。そして、第 1 の電極 22 と第 2 の電極 28 との間に直流電圧 E を印加することで、発光層 24 において電子と正孔が再結合する際に発光するようになっている。

20

【0043】

続いて、電流バイアス回路 16（16 - 1 ~ 16 - m）の具体的な構成例について、いくつか例を挙げて説明する。

【0044】

（第 1 具体例）

図 3 は、電流バイアス回路 16 の第 1 具体例を示す回路図である。図 3 において、データ線 14 とグランドとの間には例えば N チャネル TFT 31 が接続されている。また、TFT 31 のドレインとゲートとの間には、例えば P チャネル TFT 32 が接続されている。この TFT 32 のゲートは、制御線 17 に接続されている。TFT 31 のゲートとグランドとの間には、キャパシタ 33 が接続されている。

30

【0045】

次に、第 1 具体例に係る電流バイアス回路 16 の回路動作について説明する。まず、データ書き込みが行われない垂直ブランキング期間中に制御線 17 を低レベルにして TFT 32 を導通状態とし、電流源 CS によって電流 Ib をデータ線 14 に流す。このとき、TFT 31 は、そのゲート・ドレイン間を TFT 32 によって短絡された状態にあるため飽和領域で動作する。なお、電流 Ib を流す電流源 CS としては、図 1 のデータ線駆動回路 15 を用いることができるが、それ専用の電流源を別途設けても良いことは勿論である。これは、後述する別の具体例の場合にも同様のことが言える。

【0046】

電流 Ib は、TFT 31 のドレイン・ソース間を流れるので、このとき MOS トランジスタ特性、すなわち

40

$$I_b = \mu C_o \times W / L / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (5)$$

に従い、電流 Ib の大きさに応じたゲート・ソース間電圧 Vgs が生じる。ここで、各パラメータの意味は（1）式の場合と同様である。

【0047】

TFT 31 のゲート・ソース間電圧 Vgs はキャパシタ 33 に蓄えられる。この状態で制御線 17 を高レベルとして TFT 32 を非導通状態とすると、キャパシタ 33 によって TFT 31 のゲート・ソース間電圧 Vgs が保持される。その後、各画素へのデータ書き込みが行われる際に、TFT 31 は、キャパシタ 33 に保持された電圧を電流に変換してデータ線 14 に流す。このとき、TFT 31 は飽和領域で動作していれば、（5）式にした

50

がって、書き込まれた電流値 I_b と等しい電流値を流す電流源として動作する。

【0048】

ここで、(5) 式の各パラメータは、一般にデータ線毎に、あるいは製造パネル毎にばらつくことになる。しかし、本具体例に係る電流バイアス回路が流す電流値は、これらのパラメータの値によらず、書き込まれた電流値 I_b と等しい。すなわち、データ線毎、あるいは製造パネル毎のばらつきを生じない。なお、TFT31 が飽和領域で動作するためには、(3) 式が成り立つこと、即ちデータ線電位がある程度高い必要がある。

【0049】

次に、第1具体例に係る電流バイアス回路を図1の電流バイアス回路16-1~16-m 10
として用いた場合のアクティブマトリクス型有機EL表示装置の動作について、図4のタイミングチャートを用いて以下に説明する。

【0050】

先ず、各画素回路11へのデータ書き込みに先立ち、電流バイアス回路16-1~16-m
の制御線17が選択(ここでは、低レベル)される。このとき、データ線駆動回路15
が電流バイアス回路16-1~16-mに電流 I_b を流す。その後、制御線17が非選択
(ここでは、高レベル)とされる。電流 I_b の電流値は、特段の理由がなければ各データ
線14-1~14-mに対して共通の値である。

【0051】

続いて、各画素回路11の走査線12-1~12-nが順次選択されながらデータの書き
込みが行われる。この書き込み動作において、前述の通り、電流バイアス回路16-1~ 20
16-mは電流 I_b を流し続ける。したがって、図21において説明したように、図1に
示すアクティブマトリクス型有機EL表示装置は、高品位な黒レベル表示が可能である上
、TFTの特性ばらつきによる表示画像の筋むらを生ずることがない。

【0052】

また、本実施形態に係る有機EL表示装置においては、電流バイアス回路16-1~16
-mにバイアス電流値を書き込む際、輝度データの書き込みに使用されるデータ線駆動回
路15およびデータ線14-1~14-mをそのまま使用する構成となっているため、構
成上、図20に示す従来例に係る有機EL表示装置に比べて殆ど複雑化していないことも
優れた点である。

【0053】

なお、電流バイアス回路16-1~16-mに対するバイアス電流値の書き込みは、画素
回路11へのデータ書き込みが行われていない垂直ブランキング期間を利用して、1フレ
ーム毎に行われるのが合理的である。

【0054】

(第2具体例)

図5は、電流バイアス回路16の第2具体例を示す回路図であり、図中、図3と同等部分
には同一符号を付して示している。

【0055】

図5において、TFT31はゲートとドレインが共通接続されている。このTFT31の
ドレイン(ゲート)とデータ線14との間には例えばPチャネルTFT34が接続されて 40
いる。また、TFT31のゲート(ドレイン)には、例えばPチャネルTFT35のソー
スが接続されている。TFT34, 35の各ゲートは制御線17に接続されている。

【0056】

キャパシタ33はTFT35のドレインとグランドとの間に接続されている。TFT35
のドレインには、例えばNチャネルTFT36のゲートが接続されている。TFT36は
、ドレインがデータ線14に接続され、ソースが接地されている。TFT31とTFT3
6とは近接配置されることでほぼ同一のトランジスタ特性を有し、カレントミラー回路を
形成している。

【0057】

次に、第2具体例に係る電流バイアス回路16の回路動作について説明する。先ず、制御 50

線 17 を低レベルにして T F T 3 4 および T F T 3 5 を導通状態として、電流源 C S によって電流 I_w をデータ線 14 に流す。T F T 3 1 は、そのゲート・ドレイン間が短絡されているため飽和領域で動作する。電流 I_w はノード N で電流 I_1 と電流 I_2 とに分流する。そして、電流 I_1 は導通状態にある T F T 3 4 を通して T F T 3 4 に流れ、電流 I_2 は T F T 3 6 に流れる。

【 0 0 5 8 】

T F T 3 1 と T F T 3 6 とは、導通状態にある T F T 3 5 によって各ゲートが同電位とされているので、以下の各式が成立する。

$$I_1 = \mu C_{ox} W_1 / L_1 / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (6)$$

$$I_2 = \mu C_{ox} W_2 / L_2 / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (7)$$

$$I_w = I_1 + I_2 \quad \dots \dots (8)$$

ここで、各パラメータの意味は (1) 式に準ずる。また、T F T 3 1 と T F T 3 6 とは近接配置されるため、キャリアの移動度 μ 、単位面積当たりのゲート容量 C_{ox} およびしきい値電圧 V_{th} が等しいとしている。

【 0 0 5 9 】

(6) 式 ~ (8) 式より容易に

$$I_2 = (W_2 / L_2) / (W_1 / L_1 + W_2 / L_2) \cdot I_w \quad \dots \dots (9)$$

を導くことができる。T F T 3 1 のゲート・ソース間電圧 V_{gs} は、T F T 3 5 を通してキャパシタ 33 に蓄えられる。この状態で制御線 17 を高レベルとして T F T 3 4 および T F T 3 5 を非導通にすると、キャパシタ 33 によって T F T 3 1 のゲート・ソース間電圧 V_{gs} が保持されるため、T F T 3 6 が飽和領域で動作していれば、(9) 式で与えられる電流 I_2 を流す電流源として動作する。

【 0 0 6 0 】

すなわち、(6) 式、(7) 式の移動度 μ 、ゲート容量 C_{ox} およびしきい値電圧 V_{th} は一般にデータ線毎に、あるいは製造パネル毎にばらつくが、本具体例に係る電流バイアス回路が流す電流値はこれらのパラメータによらず、電流 I_2 となる。これがバイアス電流値であるから、(9) 式の電流 I_2 を電流 I_b に書き換えれば、

$$I_b = (W_2 / L_2) / (W_1 / L_1 + W_2 / L_2) \cdot I_w \quad \dots \dots (10)$$

となり、このバイアス電流値 I_b は、データ線毎、あるいは製造パネル毎のばらつきを生じない。

【 0 0 6 1 】

図 3 の第 1 具体例に係る電流バイアス回路においては、書き込み電流 I_w とバイアス電流 I_b とが一致したが、図 5 の第 2 具体例に係る電流バイアス回路においては、カレントミラー回路を形成する T F T 3 1 および T F T 3 6 のチャネル長やチャネル幅の設定、即ちミラー比の設定によって書き込み電流 I_w とバイアス電流 I_b との比を制御できるのが特徴である。なお、T F T 3 6 が飽和領域で動作するためには、(3) 式が成り立つこと、即ちデータ線電位がある程度高い必要がある。

【 0 0 6 2 】

(第 2 具体例の変形例 1)

なお、第 2 具体例に係る電流バイアス回路では、T F T 3 4 と T F T 3 5 とを同一の制御線 17 によって制御する構成を採っているが、図 6 に示すように、T F T 3 4 と T F T 3 5 とを別々の制御線 17 A, 17 B (制御線 1, 2) によって制御する構成を採ることも可能である。このとき、図 7 のタイミングチャートに示すように、T F T 3 5 を制御する制御線 2 (17 B) が、T F T 3 4 を制御する制御線 1 (17 A) に先立って非選択となる。

【 0 0 6 3 】

このように、T F T 3 4 と T F T 3 5 とを別々の制御線 17 A, 17 B による制御の下に、T F T 3 5 を T F T 3 4 に先立って非導通状態とすることにより、第 2 具体例に係る電流バイアス回路の場合のように、制御線 17 が非選択となる瞬間に、T F T 3 4 のインピーダンスが上昇し、所定の電流 I_w が T F T 3 1 に流れなくなるような懸念はなく、した

10

20

30

40

50

がってより確実な動作が可能となる。

【 0 0 6 4 】

(第 2 具体例の変形例 2)

また、第 2 具体例に係る電流バイアス回路では、T F T 3 1 のゲートとドレインを直接短絡するとともに、T F T 3 5 を T F T 3 1 のゲート (ドレイン) と T F T 3 6 のゲートとの間に挿入する構成を採っているが、図 8 に示すように、T F T 3 1 のゲートと T F T 3 6 のゲートとを直接接続し、T F T 3 5 を T F T 3 1 のゲートとドレインとの間に挿入する構成を採っても、全く同じ動作を行うことができる。

【 0 0 6 5 】

(第 3 具体例)

図 9 は、電流バイアス回路 1 6 の第 3 具体例を示す回路図であり、図中、図 6 と同等部分には同一符号を付して示している。

【 0 0 6 6 】

本具体例では、第 2 具体例の変形例 1 に係る構成に加えて、データ線 1 4 と T F T 3 6 のドレインとの間に例えば P チャネル T F T 3 7 を挿入し、この T F T 3 7 を制御線 1 7 C (制御線 3) によって制御する構成となっている。制御線 3 は、図 1 0 のタイミングチャートに示すように、制御線 1 が低レベルになるときに高レベルとなる。

【 0 0 6 7 】

このように、制御線 1 が低レベルとなり、T F T 3 4 が導通状態となって書き込みが行われるときに、制御線 3 が高レベルとなり、T F T 3 7 が非導通状態となることにより、書き込み電流 I_w は T F T 3 6 には流れない。したがって、

$$I_w = \mu C_o \times W_1 / L_1 / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (11)$$

$$I_b = \mu C_o \times W_2 / L_2 / 2 (V_{gs} - V_{th})^2 \quad \dots \dots (12)$$

となる。これにより、

$$I_b = (W_2 / L_2) / (W_1 / L_1) \cdot I_w \quad \dots \dots (13)$$

が得られる。

【 0 0 6 8 】

すなわち、第 2 具体例の変形例 1 に係る電流バイアス回路では、(1 0) 式から明らかなように、書き込み電流 I_w よりバイアス電流 I_b は小さくならざるを得ないのに対して、本変形例に係る電流バイアス回路では、書き込み電流 I_w とバイアス電流 I_b との比を自由に選ぶことができる。さらに、制御線 3 を高レベルにすることによって、必要に応じて本電流バイアス回路の動作を停止させることが可能である。

【 0 0 6 9 】

なお、以上説明した電流バイアス回路 1 6 の各具体例およびその変形例において、スイッチ用トランジスタとして主に P チャネル M O S トランジスタを、その他には主に N チャネル M O S トランジスタを使用して回路を構成しているが、これは一例であって、本発明の適用はこれに限定されるものではない。

【 0 0 7 0 】

[第 2 実施形態]

図 1 1 は、本発明の第 2 実施形態に係るアクティブマトリクス型表示装置の概略構成図である。本実施形態においても、第 1 実施形態の場合と同様に、各画素の電気光学素子として有機 E L 素子を、能動素子として電界効果トランジスタ、例えばポリシリコン T F T をそれぞれ用い、ポリシリコン T F T を形成した基板上に有機 E L 素子を形成してなるアクティブマトリクス型有機 E L 表示装置に適用した場合を例に採って説明するものとする。

【 0 0 7 1 】

図 1 1 において、電流書き込み型画素回路 4 1 がマトリクス状に m 列 n 行分だけ配置されている。電流書き込み型画素回路 4 1 としては、例えば、図 1 9 に示した回路構成のものが用いられる。これら画素回路 4 1 の各々に対して、各行毎に走査線 4 2 - 1 ~ 4 2 - n が配線されている。走査線 4 2 - 1 ~ 4 2 - n は、走査線駆動回路 4 3 によって順に駆動される。

10

20

30

40

50

【 0 0 7 2 】

また、画素回路 4 1 の各々に対して、各列毎にデータ線 4 4 - 1 ~ 4 4 - m が配線されている。これらデータ線 4 4 - 1 ~ 4 4 - m の各一端は、電流駆動型のデータ線駆動回路（電流ドライバ）4 5 の各列の出力端に接続されている。データ線駆動回路 4 5 は、データ線 4 4 - 1 ~ 4 4 - m を通して画素回路 1 1 の各々に対して輝度データを書き込む。

【 0 0 7 3 】

ここで、第 1 実施形態では、データ線駆動回路 1 5 を 1 行分（1 系統）で構成していたのに対し、本実施形態では、データ線駆動回路 4 5 を 2 行分（2 系統）の電流ドライバ（C D）4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m で構成している。これら 2 行分の電流ドライバ回路 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m には、外部から輝度データ s i n が供給される。また、2 行分の電流ドライバ回路 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m は、1 走査線期間の周期で極性が反転し、かつ互いに逆相の 2 系統の駆動制御信号によって駆動制御されるようになっている。

10

【 0 0 7 4 】

2 行分の電流ドライバ回路 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m を水平走査するために水平スキャナ（H S C A N）4 6 が設けられている。この水平スキャナ 4 6 には、水平スタートパルス h s p および水平クロック信号 h c k が入力される。水平スキャナ 4 6 は例えばシフトレジスタからなり、水平スタートパルス h s p の入力後、水平クロック信号 h c k の遷移（立ち上がりおよび立ち下がり）に対応して、1 系統の書き込み制御信号 w e 1 ~ w e m を順次発生する。この 1 系統の書き込み制御信号 w e 1 ~ w e m は、2 行分の電流ドライバ回路 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m に供給される。

20

【 0 0 7 5 】

このように、データ線駆動回路 4 5 を 2 行分（2 系統）の電流ドライバ 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m で構成することで、これら 2 行分の電流ドライバ 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m を走査線の切り替わり毎に被書き込み状態 / 駆動状態として交互に動作させることができる。これにより、データ線駆動回路 4 5 への書き込み時間とデータ線 4 4 - 1 ~ 4 4 - m の駆動時間との両方を、概ね 1 走査周期分確保することができるため、確実な動作が可能となる。

【 0 0 7 6 】

本実施形態ではさらに、データ線駆動回路 4 5 が配置された例えば反対側に設けられる電流バイアス回路 4 7 についても、データ線駆動回路 4 5 が 2 行分の電流ドライバ 4 5 A - 1 ~ 4 5 A - m, 4 5 B - 1 ~ 4 5 B - m で構成されているのに対応して、データ線 4 4 - 1 ~ 4 4 - m 毎に設けられた 2 行分（2 系統）の電流バイアス回路 4 7 A - 1 ~ 4 7 A - m, 4 7 B - 1 ~ 4 7 B - m によって構成されている。

30

【 0 0 7 7 】

これら 2 行分の電流バイアス回路 4 7 A - 1 ~ 4 7 A - m, 4 7 B - 1 ~ 4 7 B - m にはそれぞれ、2 系統の制御線、即ち書き込み制御線 4 8（4 8 - 1, 4 8 - 2）と駆動制御線 4 9（4 9 - 1, 4 9 - 2）が配線されている。電流バイアス回路 4 7（4 7 A - 1 ~ 4 7 A - m, 4 7 B - 1 ~ 4 7 B - m）としては、一例として、図 1 2 に示す回路構成のものが用いられる。

40

【 0 0 7 8 】

図 1 2 において、データ線 4 4 には例えば N チャネル T F T 5 1 のドレインが接続されている。この T F T 5 1 のゲートは駆動制御線 4 8 に接続されている。T F T 5 1 のソースとグランドとの間には、例えば P チャネル T F T 5 2 が接続されている。また、T F T 5 2 のドレインとゲートとの間には、例えば N チャネル T F T 5 3 が接続されている。この T F T 5 3 のゲートは、書き込み制御線 4 9 に接続されている。T F T 5 2 のゲートとグランドとの間には、キャパシタ 5 4 が接続されている。

【 0 0 7 9 】

上記具体例に係る電流バイアス回路 4 7 は、図 3 に示した第 1 具体例に係る電流バイアス

50

回路 16 と基本的な構成および動作は同じであるが、データ電流を流す向きが異なっており、それに伴って、トランジスタの導電型（Nチャネル / Pチャネル）の関係が逆になっている。また、構成上において、データ線 44 との間に T F T 51 が挿入されている点で相違している。

【 0080 】

次に、上記構成の第 2 実施形態に係るアクティブマトリクス型有機 E L 表示装置の動作について、図 13 のタイミングチャートに基づいて説明する。

【 0081 】

まず、垂直ブランキング期間内であって、第 1 行の電流ドライバ 45 A - 1 ~ 45 A - m が被書き込み状態である期間において、これら電流ドライバ 45 A - 1 ~ 45 A - m にバイアスデータ（輝度データ *s i n* の高レベル）を書き込む。このバイアスデータは電圧の形で与えられても良いし、電流の形で与えられても良い。続いて、第 1 行の電流ドライバ 45 A - 1 ~ 45 A - m をデータ線駆動状態にするとともに、書き込み制御線 *b w* 1 (48 - 1) および駆動制御線 *b d* 1 (49 - 1) を共に高レベルとすることで、第 1 行の電流バイアス回路 47 A - 1 ~ 47 A - m にバイアス電流 *I b* が書き込まれる。

10

【 0082 】

同様に、第 2 行の電流ドライバ 45 B - 1 ~ 45 B - m が被書き込み状態である期間において、これら電流ドライバ 45 B - 1 ~ 45 B - m にバイアス電流を書き込み、続いて第 2 行の電流バイアス回路 47 B - 1 ~ 47 B - m をデータ線駆動状態にするとともに、書き込み制御線 *b w* 2 (48 - 2) および駆動制御線 *b d* 2 (49 - 2) を共に高レベルとすることで、第 2 行の電流バイアス回路 47 B - 1 ~ 47 B - m にバイアス電流 *I b* が書き込まれる。

20

【 0083 】

一方、輝度データ書き込み期間において、第 1 行の電流ドライバ 45 A - 1 ~ 45 A - m が駆動を行う走査サイクルでは、駆動制御線 *b d* 1 を高レベル、即ち第 1 行の電流バイアス回路 47 A - 1 ~ 47 A - m が動作するようにし、第 2 行の電流ドライバ 45 B - 1 ~ 45 B - m が駆動を行う走査サイクルでは、駆動制御線 *b d* 2 を高レベル、即ち第 2 行の電流バイアス回路 47 B - 1 ~ 47 B - m が動作するようにする。

【 0084 】

ところで、データ線駆動回路 45 は、与えられたバイアスデータに対応してバイアス電流 *I b* を生成するが、バイアス電流 *I b* の電流値は T F T の特性ばらつき等の要因で、回路毎（データ線毎）にばらつく可能性がある。

30

【 0085 】

これに対して、第 1 実施形態（図 1）においては、バイアス電流の生成と画像データ電流の生成とを同一のデータ線駆動回路 15 が行うため、バイアス電流値の誤差が相殺される。すなわち、まず、生成されたバイアス電流値 *I b* はデータ線 14 - 1 ~ 14 - m 毎に設置された電流バイアス回路 16 - 1 ~ 16 - m に書き込まれ、保持される。

【 0086 】

続いて、輝度データの書き込み時、上記バイアスデータに等しい輝度データがデータ線駆動回路 45 に与えられた場合、データ線駆動回路 45 はバイアス電流値 *I b* に等しい駆動電流を発生する。このとき、電流バイアス回路 16 - 1 ~ 16 - m がこれを相殺する電流をデータ線 14 - 1 ~ 14 - m に流すので、画素回路 11 に書き込まれる電流値はバイアス電流値 *I b* によらずゼロとなる。

40

【 0087 】

すなわち、バイアスデータに等しい輝度データをデータ線駆動回路 45 に与えれば、このデータ線駆動回路 45 に存在するばらつきによらず、全データ線に亘って正確な黒レベルや黒レベル付近の階調を実現でき、より輝度むらの少ない画像を表示できる。

【 0088 】

本実施形態でも、データ線駆動回路 45 として、2 行分の電流ドライバ 45 A - 1 ~ 45 A - m , 45 B - 1 ~ 45 B - m を備えてなるアクティブマトリクス型有機 E L 表示装置

50

において、2行分の電流ドライバ45A-1～45A-m, 45B-1～45B-mがそれぞれ生成するバイアス電流値を保持するために、2行分の電流バイアス回路47A-1～47A-m, 47B-1～47B-mを設置し、これらを輝度データの書き込み期間においては電流ドライバ45A-1～45A-m, 45B-1～45B-mの各動作に同期して動作させるようにしたことで、同様の作用効果を得ることができる。

【0089】

なお、本実施形態では、電流バイアス回路47の具体例として、第1実施形態の第1具体例に係る電流バイアス回路16と基本的な構成および動作は同じものを例に採ったが、これに限られるものではなく、第1実施形態の他の具体例あるいはその変形例に対応した回路構成のものを用いることも可能である。

10

【0090】

次に、上述した第1, 第2実施形態に係るアクティブマトリクス型有機EL表示装置に代表される画像表示装置における階調表示方法について説明する。ここでは、一例として、8ビットのデジタル信号によって輝度情報が与えられる場合を例に採って説明するものとする。

【0091】

図14は一般的に望ましいとされる階調表示特性を示す特性図であり、図15は本発明に係る階調表示特性を示す特性図である。これらの図において、横軸はデジタル入力値(0-255)を示し、縦軸はデジタル入力値に対応する輝度値ないし電流値を示している。

20

【0092】

図14の特性図では、輝度情報が8ビットのデジタル信号によって与えられる場合、表示できる輝度値は最大で256($=2^8$)段階に制限される。この場合、図14に示すように、低輝度時により細かい輝度ステップで表示を行う方が人間の視覚特性上都合が良いことが知られている。さらに、画像のコントラスト感を高めるためには、最低輝度部の数階調程度を、入力に関係なくほぼゼロ輝度とした方が多い場合が多いため、図14はこれらを考慮した特性(いわゆるγカーブ特性)となっている。

【0093】

これに対して、図15の特性図では、最小入力部分の電流がほぼゼロとなっているのは図14と同様であるが、その他の部分において図14の特性に対してバイアス電流I_b分だけかさ上げ(上乘せ)された形になっている。第1, 第2実施形態に係るアクティブマトリクス型有機EL表示装置においては、先述した電流バイアス回路16, 47によって、データ線駆動回路15, 45の駆動電流I_dからバイアス電流I_bだけ差し引いた電流が画素回路11, 41への実質的な書き込み電流I_wとなるので、書き込み電流I_wの特性は図15の特性と一致する。

30

【0094】

図20の従来例に係るアクティブマトリクス型有機EL表示装置においては、画素の発光輝度は少なくとも低輝度部においては概ね書き込み電流I_wに比例するので、発光輝度の特性が図14の特性を持つことになり、望ましい階調表示を実現できる。この場合、第1, 第2実施形態に係るアクティブマトリクス型有機EL表示装置のデータ線駆動回路15, 45が駆動すべき最小の電流は、黒(電流ゼロ)を除けばバイアス電流I_bであり、ゼロに極めて近い微小な電流値を扱う必要がない。

40

【0095】

上述したように、第1, 第2実施形態に係るアクティブマトリクス型有機EL表示装置において、データ線に輝度情報に応じた大きさの電流を流すデータ線駆動回路が、表示すべき輝度情報に対して概ねバイアス電流I_bの値分だけ上乘せした電流をデータ線に流すようにしたことにより、バイアス電流I_bを大きく設定しても、従来例のような画像むらを生ずることがないため、書き込み電流に予めバイアス電流I_b程度の電流値を上乘せすることによって低輝度部の正確な階調再現を行うことが可能となる。

【0096】

50

すなわち、本来表示すべき輝度に対応する書き込み電流 I_w にバイアス電流 I_b を上乗せして書き込んだ場合、これを打ち消す方向で大きさ I_b の電流を電流バイアス回路 16, 47 が流すことから、画素回路 11, 41 には I_w の電流が流れるので、本来の階調表示がなされる。

【0097】

この際、書き込み電流 I_w を流すデータ線駆動回路 15, 45 から見た場合、黒（電流ゼロ）を除けば I_b が電流の最小レベルとなる。したがって、黒に近い低輝度データを書き込む場合において、ゼロに近い微小な電流を取り扱う必要がなく、高速かつ高精度な動作が容易に実現可能となる。一方、書き込み電流 I_w をゼロとすれば、比較的大きなバイアス電流 I_b の作用により、完全な黒を高速に画素に書き込むことができる。

10

【0098】

なお、上記各実施形態においては、画素の表示素子として有機 EL 素子を、能動素子としてポリシリコン薄膜トランジスタをそれぞれ用い、ポリシリコン薄膜トランジスタを形成した基板上に有機 EL 素子を形成してなるアクティブマトリクス型有機 EL 表示装置に適用する場合を例に採って説明したが、本発明はこれに限られるものではなく、輝度情報が電流の形で与えられる電流書き込み型の画素回路を用いるアクティブマトリクス型表示装置全般に適用可能である。

【0099】

【発明の効果】

以上説明したように、本発明によれば、輝度データ電流を打ち消す方向の駆動電流をバイアス電流として各データ線に流すとともに、そのバイアス電流値がデータ線間でばらつかないようにしたことにより、黒データを含む低輝度データの高速な書き込みを実現でき、かつ輝度むらのない画像表示が可能となる。

20

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るアクティブマトリクス型表示装置の概略構成図である。

【図2】有機 EL 素子の構成の一例を示す断面構造図である。

【図3】電流バイアス回路の第1具体例を示す回路図である。

【図4】第1具体例に係る電流バイアス回路を用いたアクティブマトリクス型有機 EL 表示装置の動作を説明するためのタイミングチャートである。

30

【図5】電流バイアス回路の第2具体例を示す回路図である。

【図6】第2具体例の変形例1を示す回路図である。

【図7】変形例1に係るタイミングチャートである。

【図8】第2具体例の変形例2を示す回路図である。

【図9】電流バイアス回路の第3具体例を示す回路図である。

【図10】第3具体例に係るタイミングチャートである。

【図11】本発明の第2実施形態に係るアクティブマトリクス型表示装置の概略構成図である。

【図12】電流バイアス回路の一具体例を示す回路図である。

【図13】第2実施形態に係るアクティブマトリクス型表示装置の動作を説明するためのタイミングチャートである。

40

【図14】一般的に望ましいとされる階調表示特性を示す特性図である。

【図15】本発明に係る階調表示特性を示す特性図である。

【図16】従来例に係る電圧書き込み型画素回路の回路構成を示す回路図である。

【図17】従来例に係る電圧書き込み型画素回路を用いたアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図18】従来例1に係る電流書き込み型画素回路の回路構成を示す回路図である。

【図19】従来例2に係る電流書き込み型画素回路の回路構成を示す回路図である。

【図20】従来例に係る電流書き込み型画素回路を用いたアクティブマトリクス型表示装置の構成例を示すブロック図である。

50

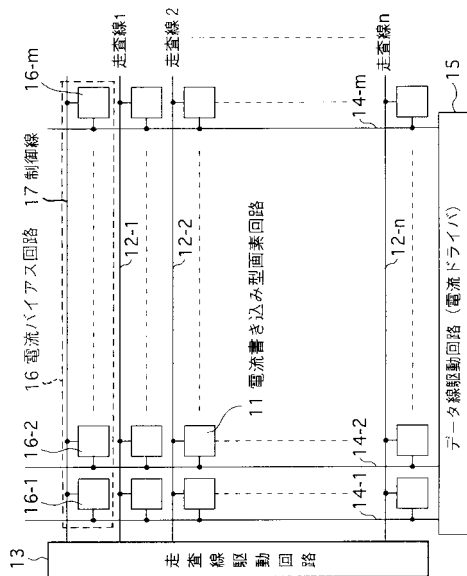
【図 2 1】電流バイアス回路の効果の説明図である。

【図 2 2】リーク素子を用いた従来例に係る電流書き込み型画素回路の回路構成を示す回路図である。

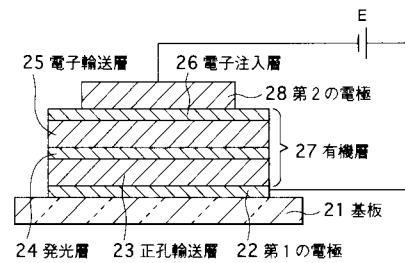
【符号の説明】

1 1 , 4 1 ... 有機 E L 素子、1 2 - 1 ~ 1 2 - n , 4 2 - 1 ~ 4 2 - n ... 走査線、1 3 , 4 3 ... 走査線駆動回路、1 4 , 1 4 - 1 ~ 1 4 - m , 4 4 , 4 4 - 1 ~ 4 4 - m ... データ線、1 5 , 4 5 ... データ線駆動回路、1 6 , 1 6 - 1 ~ 1 6 - m , 4 7 , 4 7 A - 1 ~ 4 7 A - m , 4 7 B - 1 ~ 4 7 B - m ... 電流バイアス回路、2 3 ... 正孔輸送層、2 4 ... 発光層、2 5 ... 電子輸送層、2 7 ... 有機層

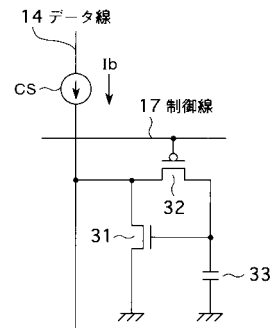
【図 1】



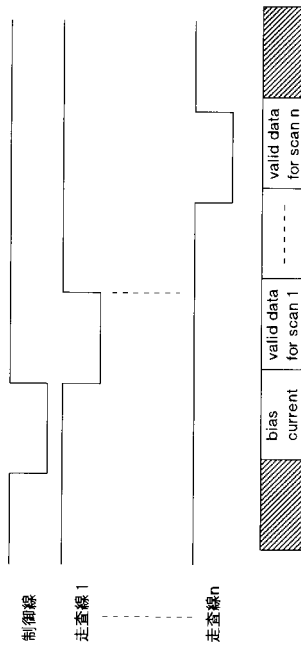
【図 2】



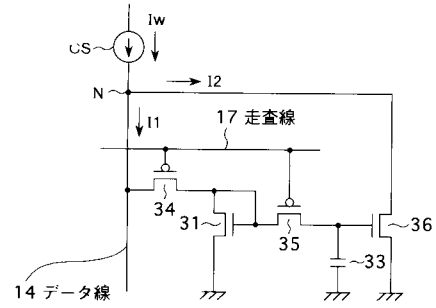
【図 3】



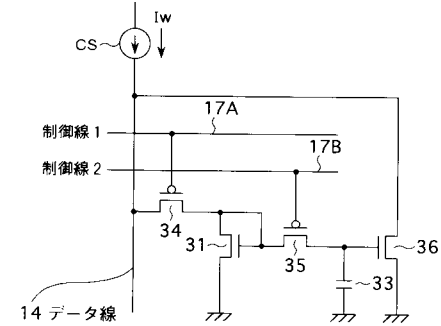
【図 4】



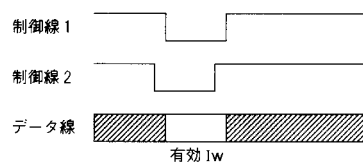
【図 5】



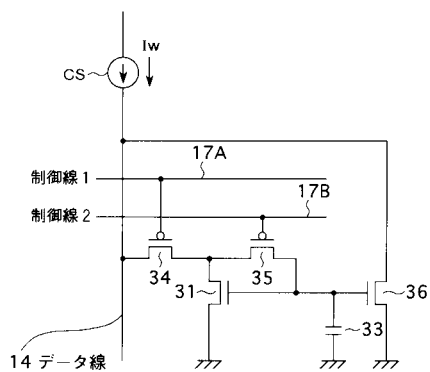
【図 6】



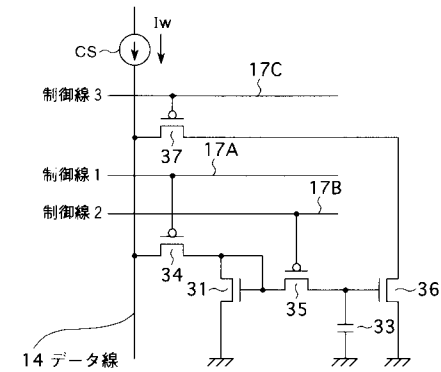
【図 7】



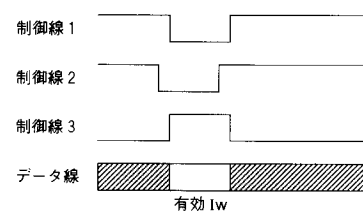
【図 8】



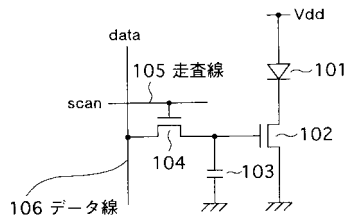
【図 9】



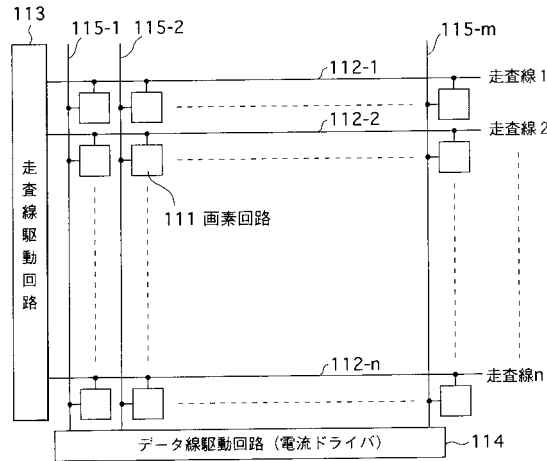
【図 10】



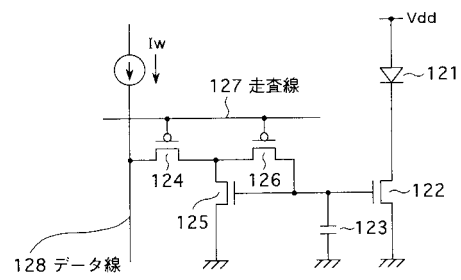
【図 16】



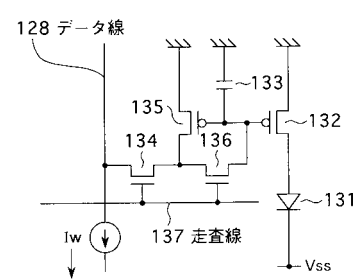
【図 17】



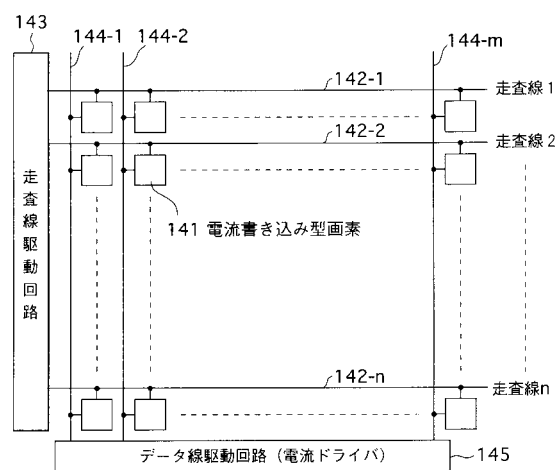
【図 18】



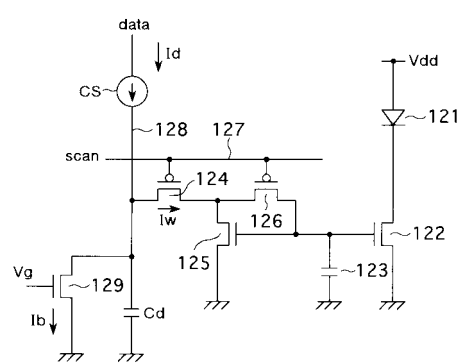
【図 19】



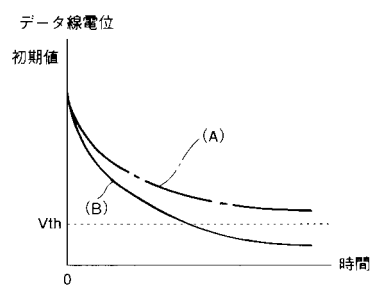
【図 20】



【図 22】



【図 21】



フロントページの続き

(51) Int.Cl.⁷

F I

H 0 5 B 33/14

A

专利名称(译)	有源矩阵型显示装置，有源矩阵型有机电致发光显示装置及其驱动方法		
公开(公告)号	JP3610923B2	公开(公告)日	2005-01-19
申请号	JP2001161890	申请日	2001-05-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	湯本 昭		
发明人	湯本 昭		
IPC分类号	H05B33/08 G09G3/20 G09G3/30 G09G3/32 H01L51/50 H05B33/14		
CPC分类号	G09G3/3241 G09G2300/0417 G09G2300/0842 G09G2310/0262 G09G2310/063 G09G2320/0223		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D H05B33/08 H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB02 3K007/BA06 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH01 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AC04 5C380/BA12 5C380/BA15 5C380/BA19 5C380/BA20 5C380/BA21 5C380/BA24 5C380/BA31 5C380/BA34 5C380/BA37 5C380/BB02 5C380/BB23 5C380/BC02 5C380/BC09 5C380/BC14 5C380/BC20 5C380/CA04 5C380/CA13 5C380/CA25 5C380/CA29 5C380/CA48 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CC12 5C380/CC14 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CD012 5C380/CD014 5C380/CE04 5C380/CF12 5C380/CF18 5C380/CF26 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA49 5C380/HA06 5C380/HA13		
代理人(译)	船桥 国则		
其他公开文献	JP2002351400A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有源矩阵型显示装置和有源矩阵型有机EL显示装置，其中当使用当前写入型像素电路时，在显示图像中不产生不规则性，高质量黑色和低亮度等级执行显示并且在没有亮度不规则的情况下进行图像显示，并提供用于有源矩阵型显示装置和有机EL显示装置的驱动装置。解决方案：为有源矩阵型有机EL显示装置中的每条数据线提供电流偏置电路，该电流偏置电路产生具有消除数据线的写入电流的方向的电流。具有可以通过TFT31将从数据线14经由TFT34给出的电流转换为电压的结构的电路通过TFT35将转换后的电压保持在电容器33中，并将电容器33的保持电压转换回电流通过TFT36，将给予数据线14的偏置电流用作电流偏置电路。因此，具有上述结构的电路消除了数据线之间的偏置电流的偏差。

【 图 1 】

