

【特許請求の範囲】**【請求項 1】**

発光デバイスを駆動するための駆動トランジスタのソースに連結されたデータ線から、データ信号を受信するように構成された第 1 駆動サブ回路と、

第 1 段階において、前記データ線に連結された検出サブ回路と、

第 2 段階において、前記データ線に連結された第 2 駆動サブ回路と、を備え、

前記検出サブ回路は、前記第 1 段階において、前記駆動トランジスタに関連付けられた第 1 の電気的パラメータと、前記発光デバイスに関連付けられた第 2 の電気的パラメータと、を検出するように構成され、

前記第 2 駆動サブ回路は、前記第 2 段階において、前記第 1 の電気的パラメータおよび前記第 2 の電気的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、前記データ線を介して前記駆動トランジスタに前記補償されたデータ信号を提供するように構成される、表示パネル内に位置する画素駆動回路。

10

【請求項 2】

前記第 1 駆動サブ回路は、固定電圧を与えられた入力ポートに連結された第 1 トランジスタと、前記第 1 トランジスタに制御されて前記固定電圧を受け取るように構成されたゲート、および第 1 電源に連結されたドレインを有する前記駆動トランジスタと、前記駆動トランジスタの前記ゲートとソースの間に連結されたキャパシタと、前記ソースに連結された第 1 端子および第 2 電源に連結された第 2 端子を有する前記発光デバイスと、前記駆動トランジスタの前記ソースに連結されたドレイン、および前記データ線に連結されたソースを有する第 2 トランジスタと、を備える、請求項 1 に記載の画素駆動回路。

20

【請求項 3】

前記固定電圧は、前記表示パネル内に位置する各画素駆動回路の共通電圧信号である、請求項 2 に記載の画素駆動回路。

【請求項 4】

前記検出サブ回路および前記第 2 駆動サブ回路は表示パネル内のひとつのソース駆動チップに集積された、請求項 1 に記載の画素駆動回路。

【請求項 5】

前記データ線に接続された第 1 端子と、前記検出サブ回路に接続された第 2 端子と、前記第 2 駆動サブ回路に接続された第 3 端子と、を有するスイッチをさらに備え、前記スイッチは、前記第 1 段階において前記第 1 端子を前記第 2 端子に接続し、前記第 2 段階において前記第 1 端子を前記第 3 端子に接続するように構成された、請求項 1 に記載の画素駆動回路。

30

【請求項 6】

前記第 1 トランジスタは、第 1 制御ポートに連結されたゲートと、前記入力ポートに連結され、前記固定電圧を受け取るように構成された第 1 端子と、前記駆動トランジスタの前記ゲートに連結された第 2 端子と、を備え、前記第 2 トランジスタは、第 2 制御ポートに連結されたゲートと、前記データ線に連結された第 1 端子と、前記駆動トランジスタの前記ソースに連結された第 2 端子と、を備える、請求項 2 に記載の画素駆動回路。

【請求項 7】

前記発光デバイスは、有機発光ダイオードを備える、請求項 1 に記載の画素駆動回路。

40

【請求項 8】

前記検出サブ回路は、前記第 1 段階のトランジスタ検出段階において、前記駆動トランジスタを流れる電流に対応する電圧を検出することで、前記駆動トランジスタと関連する第 1 の電気的パラメータを検出するように構成され、前記第 1 の電気的パラメータは、前記駆動トランジスタのスレショルド電圧のドリフトおよび電子移動度のドリフトに関連する情報を含む、請求項 1 に記載の画素駆動回路。

【請求項 9】

前記検出サブ回路は、前記第 1 段階の LED 検出段階において、前記発光デバイスを流れる電流を検出することで、前記発光デバイスと関連する第 2 の電気的パラメータを検出

50

するように構成され、前記第 2 の電氣的パラメータは、前記発光デバイスの発光効率および輝度減衰率に関連する情報を含む、請求項 1 に記載の画素駆動回路。

【請求項 10】

前記トランジスタ検出段階は、前記データ線がテスト入力ポートからテスト電圧を受け取り、前記駆動トランジスタが導電状態にあり、検出サブ回路が前記駆動トランジスタの前記ソースにおける前記テスト電圧を検出する第 1 サブ段階と、前記テスト入力ポートがフローティングされ、固定の持続時間前記駆動トランジスタを流れる前記電流に誘発されて検出電圧まで充電される前記駆動トランジスタの前記ソースに前記データ線が接続され、前記第 1 の電氣的パラメータを推測するために前記検出サブ回路が前記データ線内の前記検出電圧を検出する第 2 サブ段階と、前記データ線が前記テスト電圧にリセットされる第 3 サブ段階と、を含む、請求項 8 に記載の画素駆動回路。

10

【請求項 11】

前記 LED 検出段階は、前記データ線がテスト入力ポートからテスト電圧を受け取り、前記発光デバイスが導電状態にあり、前記第 2 の電氣的パラメータを推測するために、前記データ線内において前記発光デバイスを流れる前記電流を前記検出サブ回路が検出する第 4 サブ段階と、前記データ線が前記テスト電圧にリセットされる第 5 サブ段階と、を含む、請求項 9 に記載の画素駆動回路。

【請求項 12】

前記第 2 駆動サブ回路は、ソース駆動チップの一部であり、前記第 2 段階において、データソースから前記生データ信号を受信し、前記生データ信号の補償を基に、前記第 2 トランジスタを介して、前記補償されたデータ信号を前記データ線、さらには前記駆動トランジスタの前記ソースへ提供して、前記発光デバイスを流れる駆動電流を発生するように構成された、請求項 1 に記載の画素駆動回路。

20

【請求項 13】

前記第 2 段階は、前記第 1 トランジスタおよび前記第 2 トランジスタが導電状態にあり、前記固定電圧が前記駆動トランジスタの前記ゲートに印加されて前記駆動トランジスタを導電状態にし、前記補償されたデータ信号は前記駆動トランジスタの前記ソースに印加されて、ゲート・ソース間電圧の電位差が、前記固定電圧から前記補償されたデータ信号を減じた値と等しくなる第 6 サブ段階を含み、加えて、前記第 1 トランジスタおよび前記第 2 トランジスタが非導通状態にあり、前記第 2 電源で与えられた電圧に前記発光デバイスを流れる前記駆動電流に誘発された電位差を加えた値まで前記駆動トランジスタの前記ソースが充電される第 7 サブ段階と、を含む、請求項 12 に記載の画素駆動回路。

30

【請求項 14】

トランジスタ検出段階において、前記データ線を介し前記検出サブ回路を使用して前記駆動トランジスタに関連付けられた第 1 の電氣的パラメータを検出する工程と、

LED 検出段階において、前記データ線を介し前記検出サブ回路を使用して、前記発光デバイスに関連付けられた第 2 の電氣的パラメータを検出する工程と、

ディスプレイ駆動段階において、第 1 制御信号を前記第 1 制御線に印加することで前記第 1 トランジスタを導電状態にして前記駆動トランジスタのゲートへ前記固定電圧を印加させ、前記第 2 駆動サブ回路を使用して、第 1 の電氣的パラメータおよび第 2 の電氣的パラメータを基に、前記駆動トランジスタの前記ソースに連結された前記データ線を介して補償されたデータ信号を提供し、前記第 2 制御線に第 2 制御信号を印加することで前記第 2 トランジスタを導電状態にして前記駆動トランジスタの前記ソースへ前記補償されたデータ信号を印加させ、OLED を流れる駆動電流を生じさせて発光させる工程と、を含む、請求項 1 ~ 13 のいずれか一項に記載の画素駆動回路を駆動するデータ信号を補償する方法。

40

【請求項 15】

前記データ線を介し前記検出サブ回路を使用して第 1 の電氣的パラメータを検出する工程は、

前記第 1 制御信号を前記第 1 制御線に印加することで前記第 1 トランジスタを導電状態

50

にして前記駆動トランジスタの前記ゲートに前記固定電圧を印加し、前記駆動トランジスタを導電状態にすることと、

テスト入力ポートからテスト電圧を印加し、前記第 2 制御線に前記第 2 制御信号を印加することで、前記第 2 トランジスタを導通状態にして前記駆動トランジスタの前記ソースへ前記テスト電圧を印加することと、

前記第 1 制御信号により前記第 1 トランジスタをターンオフすることと、

前記テスト入力ポートから前記テスト電圧をカットオフすることと、

前記第 1 電源から前記駆動トランジスタの前記ソースを充電することと、

所定の持続時間充電された前記駆動トランジスタの前記ソースにおける電位レベルに対応する前記データ線内の電圧値を検出することと、を含む

10

請求項 14 に記載の方法。

【請求項 16】

前記データ線内の前記電圧値は外付 IC チップで処理されて、前記駆動トランジスタのスレショルド電圧のドリフトおよび電子移動度のドリフトに関連する情報を含む、前記駆動トランジスタに関する第 1 の電氣的パラメータを推測し、前記第 1 の電氣的パラメータは前記補償されたデータ信号を生成するのに用いられる、請求項 15 に記載の方法。

【請求項 17】

前記データ線を介し前記検出サブ回路を使用して第 2 の電氣的パラメータを検出する工程は、

前記第 1 制御信号により前記第 1 トランジスタをターンオフすることと、

20

前記データ線に前記テスト電圧を印加することと、

前記第 2 制御線に第 2 制御信号を印加することで前記第 2 トランジスタを導通状態に制御して、前記発光デバイスの前記第 1 端子へ前記テスト電圧を印加させることと、

前記発光デバイスを流れる前記データ線内の電流値を検出することと、を含む、請求項 14 に記載の方法。

【請求項 18】

前記電流値を外付 IC チップで処理して、前記発光デバイスの発光効率および輝度減衰率に関連する情報を含む、前記発光デバイスに関する第 2 の電氣的パラメータを推測し、前記第 2 の電氣的パラメータは前記補償されたデータ信号を生成するのに用いられる、請求項 17 に記載の方法。

30

【請求項 19】

請求項 1 に記載の画素駆動回路を複数備え、複数の画素駆動回路は各々、スイッチにより制御されるデータ線を介して検出サブ回路および第 2 駆動サブ回路に交互に連結された第 1 駆動サブ回路を含み、第 1 駆動サブ回路の各々は、

固定電圧を与えられた入力ポートに連結された第 1 トランジスタと、

前記第 1 トランジスタに制御されて前記固定電圧を受け取るように構成されたゲート、および第 1 電源に連結されたドレインを有する駆動トランジスタと、

前記駆動トランジスタの前記ゲートとソースの間に連結されたキャパシタと、

前記ソースに連結された第 1 端子および第 2 電源に連結された第 2 端子を有する発光デバイスと、

40

前記駆動トランジスタの前記ソースに連結されたドレイン、および前記データ線に連結されたソースを有する第 2 トランジスタと、を備え、

前記駆動トランジスタに関連付けられた第 1 の電氣的パラメータおよび前記発光デバイスに関連付けられた第 2 の電氣的パラメータを検出するように前記検出サブ回路が構成された第 1 段階において、前記データ線は前記検出サブ回路に接続され、前記第 2 駆動サブ回路から切断され、

第 1 の電氣的パラメータおよび第 2 の電氣的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、前記データ線へ前記補償されたデータ信号を提供するように前記第 2 駆動サブ回路が構成された第 2 段階において、前記データ線は前記検出サブ回路から切断され、前記第 2 駆動サブ回路に接続され、前記第 2 トランジスタによ

50

り制御される前記駆動トランジスタの前記ソースへ前記補償されたデータ信号を印加可能である、表示パネル。

【請求項 20】

前記発光デバイスは有機発光ダイオードであり、各画素駆動回路に関連付けられた前記検出サブ回路および前記第 2 駆動サブ回路は前記表示パネル内の前記データ線に連結されたひとつのソース駆動チップに集積された、請求項 19 に記載の表示パネルを備える表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

関連出願の相互参照

本出願は、2017 年 5 月 12 日に提出した中国特許出願 No. 2017 10335042.4 の優先権を主張し、その内容が全て本出願に援用される。

【0002】

本発明は、表示技術に関し、特に、画素駆動回路およびその補償方法、表示パネル、ならびにそれを有する表示装置に関する。

【背景技術】

【0003】

有機発光ダイオード (OLED) ディスプレイは多数のアプリケーションで広く応用されている。OLED ディスプレイには、通常、個々のダイオードからの発光が不均一であり、表示品質を保証するのに一定の補償を要するという課題がある。典型的な補償スキームにおいては、各画素駆動回路内に位置する駆動トランジスタの電気特性をセンス線から検出し、データ線を介して駆動トランジスタに返送される補償されたデータ信号を生成する必要がある。センス線およびデータ線は表示パネル内に別々に配置されるため、画素の開口率が減少し、IC レイアウトの数が増加し、表示パネルの製造コストを押し上げている。

20

【発明の概要】

【課題を解決するための手段】

【0004】

一つの方面において、本開示は表示パネル内に位置する画素駆動回路を提供する。前記画素駆動回路は、発光デバイスを駆動するための駆動トランジスタのソースに連結されたデータ線から、データ信号を受信するように構成された第 1 駆動サブ回路を含む。また、前記画素駆動回路は、第 1 段階において前記データ線に連結された検出サブ回路を含む。さらに、前記画素駆動回路は、第 2 段階において前記データ線に連結された第 2 駆動サブ回路を含む。前記検出サブ回路は、前記第 1 段階において、前記駆動トランジスタに関連付けられた第 1 の電気的パラメータと、前記発光デバイスに関連付けられた第 2 の電気的パラメータと、を検出するように構成される。前記第 2 駆動サブ回路は、前記第 2 段階において、前記第 1 の電気的パラメータおよび前記第 2 の電気的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、前記データ線を介して前記駆動トランジスタに前記補償されたデータ信号を提供するように構成される。

30

40

【0005】

前記第 1 駆動サブ回路は、固定電圧を与えられた入力ポートに連結された第 1 トランジスタを含んでもよい。前記駆動トランジスタは、前記第 1 トランジスタに制御されて前記固定電圧を受け取るように構成されたゲート、および第 1 電源に連結されたドレインを含む。また、第 1 駆動サブ回路は、前記駆動トランジスタの前記ゲートとソースの間に連結されたキャパシタを含む。さらに、第 1 駆動サブ回路は、前記ソースに連結された第 1 端子および第 2 電源に連結された第 2 端子を有する前記発光デバイスを含む。加えて、第 1 駆動サブ回路は、前記駆動トランジスタの前記ソースに連結されたドレイン、および前記データ線に連結されたソースを有する第 2 トランジスタを含む。

【0006】

50

前記固定電圧は、前記表示パネル内に位置する各画素駆動回路の共通電圧信号であってもよい。

【 0 0 0 7 】

前記検出サブ回路および前記第 2 駆動サブ回路は表示パネル内のひとつのソース駆動チップに集積されてもよい。

【 0 0 0 8 】

前記画素駆動回路は、前記データ線に接続された第 1 端子と、前記検出サブ回路に接続された第 2 端子と、前記第 2 駆動サブ回路に接続された第 3 端子と、を有するスイッチをさらに含んでもよい。前記スイッチは、前記第 1 段階において前記第 1 端子を前記第 2 端子に接続し、前記第 2 段階において前記第 1 端子を前記第 3 端子に接続するように構成される。

10

【 0 0 0 9 】

前記第 1 トランジスタは、第 1 制御ポートに連結されたゲートと、前記入力ポートに連結され、前記固定電圧を受け取るように構成された第 1 端子と、前記駆動トランジスタの前記ゲートに連結された第 2 端子と、を含んでもよい。前記第 2 トランジスタは、第 2 制御ポートに連結されたゲートと、前記データ線に連結された第 1 端子と、前記駆動トランジスタの前記ソースに連結された第 2 端子と、を含む。

【 0 0 1 0 】

前記発光デバイスは、有機発光ダイオードを備えてもよい。

【 0 0 1 1 】

20

前記画素駆動回路は、前記第 1 段階のトランジスタ検出段階において、前記駆動トランジスタを流れる電流に対応する電圧を検出することで、前記駆動トランジスタと関連する第 1 の電氣的パラメータを検出するように構成されてもよい。前記第 1 の電氣的パラメータは、前記駆動トランジスタのスレショルド電圧のドリフトおよび電子移動度のドリフトに関連する情報を含む。

【 0 0 1 2 】

前記検出サブ回路は、前記第 1 段階の L E D 検出段階において、前記発光デバイスを流れる電流を検出することで、前記発光デバイスと関連する第 2 の電氣的パラメータを検出するように構成されてもよい。前記第 2 の電氣的パラメータは、前記発光デバイスの発光効率および輝度減衰率に関連する情報を含む。

30

【 0 0 1 3 】

前記トランジスタ検出段階は、前記データ線がテスト入力ポートからテスト電圧を受け取り、前記駆動トランジスタが導電状態にあり、検出サブ回路が前記駆動トランジスタの前記ソースにおける前記テスト電圧を検出する第 1 サブ段階を含んでもよい。さらに、前記トランジスタ検出段階は、前記テスト入力ポートがフローティングされ、固定の持続時間前記駆動トランジスタを流れる前記電流に誘発されて検出電圧まで充電される前記駆動トランジスタの前記ソースに前記データ線が接続され、前記第 1 の電氣的パラメータを推測するために前記検出サブ回路が前記データ線内の前記検出電圧を検出する第 2 サブ段階を含む。前記トランジスタ検出段階は、前記データ線が前記テスト電圧にリセットされる第 3 サブ段階をさらに含む。

40

【 0 0 1 4 】

前記 L E D 検出段階は、前記データ線がテスト入力ポートからテスト電圧を受け取り、前記発光デバイスが導電状態にあり、前記第 2 の電氣的パラメータを推測するために、前記データ線内において前記発光デバイスを流れる前記電流を前記検出サブ回路が検出する第 4 サブ段階を含んでもよい。また、前記 L E D 検出段階は、前記データ線が前記テスト電圧にリセットされる第 5 サブ段階を含む。

【 0 0 1 5 】

前記第 2 駆動サブ回路は、ソース駆動チップの一部であり、前記第 2 段階段階において、データソースから前記生データ信号を受信し、前記生データ信号の補償を基に、前記第 2 トランジスタを介して、前記補償されたデータ信号を前記データ線、さらには前記駆動

50

トランジスタの前記ソースへ提供して、前記発光デバイスを流れる駆動電流を発生するように構成されてもよい。

【0016】

前記第2段階は、前記第1トランジスタおよび前記第2トランジスタが導電状態にあり、前記固定電圧が前記駆動トランジスタの前記ゲートに印加されて前記駆動トランジスタを導電状態にし、前記補償されたデータ信号が前記駆動トランジスタの前記ソースに印加される第6サブ段階を含んでもよい。これにより、ゲート・ソース間電圧の電位差が、前記固定電圧から前記補償されたデータ信号を減じた値と等しくなる。また、前記第2段階は、前記第1トランジスタおよび前記第2トランジスタが非導通状態にあり、前記第2電源で与えられた電圧に前記発光デバイスを流れる前記駆動電流に誘発された電位差を加えた値まで前記駆動トランジスタの前記ソースが充電される第7サブ段階を含む。

10

【0017】

別の方面において、本開示は本開示で述べる画素駆動回路を駆動するためのデータ信号の補償方法を提供する。この方法は、トランジスタ検出段階において、前記データ線を介し前記検出サブ回路を使用して前記駆動トランジスタに関連付けられた第1の電気的パラメータを検出する工程を含む。また、この方法は、LED検出段階において、前記データ線を介し前記検出サブ回路を使用して、前記発光デバイスに関連付けられた第2の電気的パラメータを検出する工程を含む。さらに、この方法は、ディスプレイ駆動段階において、第1制御信号を前記第1制御線に印加することで前記第1トランジスタを導電状態にして前記駆動トランジスタのゲートへ前記固定電圧を印加させ、前記第2駆動サブ回路を使用して、第1の電気的パラメータおよび第2の電気的パラメータを基に、前記駆動トランジスタの前記ソースに連結された前記データ線を介して補償されたデータ信号を提供し、前記第2制御線に第2制御信号を印加することで前記第2トランジスタを導電状態にして前記駆動トランジスタの前記ソースへ前記補償されたデータ信号を印加させ、OLEDを流れる駆動電流を生じさせて発光させる工程を含む。

20

【0018】

前記データ線を介し前記検出サブ回路を使用して第1の電気的パラメータを検出する方法は、前記第1制御信号を前記第1制御線に印加することで前記第1トランジスタを導電状態にして前記駆動トランジスタの前記ゲートに前記固定電圧を印加し、前記駆動トランジスタを導電状態にすることを含んでもよい。前記検出サブ回路を使用する方法は、テスト入力ポートからテスト電圧を印加し、前記第2制御線に前記第2制御信号を印加することで、前記第2トランジスタを導通状態にして前記駆動トランジスタの前記ソースへ前記テスト電圧を印加することをさらに含む。また、前記検出サブ回路を使用する方法は、前記第1制御信号により前記第1トランジスタをターンオフすることと、前記テスト入力ポートから前記テスト電圧をカットオフすることを含む。さらに、前記検出サブ回路を使用する方法は、前記第1電源から前記駆動トランジスタの前記ソースを充電することを含む。加えて、前記検出サブ回路を使用する方法は、所定の持続時間充電された前記駆動トランジスタの前記ソースにおける電位レベルに対応する前記データ線内の電圧値を検出することを含む。

30

【0019】

前記データ線内の前記電圧値は外付ICチップで処理されて、前記駆動トランジスタのスレシールド電圧のドリフトおよび電子移動度のドリフトに関連する情報を含む、前記駆動トランジスタに関する第1の電気的パラメータを推測してもよい。前記第1の電気的パラメータは前記補償されたデータ信号を生成するのに用いられる。

40

【0020】

前記データ線を介し前記検出サブ回路を使用して第2の電気的パラメータを検出する方法は、前記第1制御信号により前記第1トランジスタをターンオフすることと、前記データ線に前記テスト電圧を印加することと、を含んでもよい。また、前記検出サブ回路を使用する方法は、前記第2制御線に第2制御信号を印加することで前記第2トランジスタを導通状態に制御して、前記発光デバイスの前記第1端子へ前記テスト電圧を印加させるこ

50

とを含む。さらに、前記検出サブ回路を使用する方法は、前記発光デバイスを流れる前記データ線内の電流値を検出することを含む。

【0021】

前記電流値を外付ＩＣチップで処理して、前記発光デバイスの発光効率および輝度減衰率に関連する情報を含む、前記発光デバイスに関する第２の電氣的パラメータを推測してもよい。前記第２の電氣的パラメータは前記補償されたデータ信号を生成するのに用いられる。

【0022】

さらに別の方面において、本開示は、画素駆動回路を複数備え、複数の画素駆動回路は各々、検出サブ回路に交互に連結された第１駆動サブ回路およびスイッチにより制御されるデータ線を介して連結された第２駆動サブ回路を含む表示パネルを提供する。第１駆動サブ回路の各々は、固定電圧を与えられた入力ポートに連結された第１トランジスタと、前記第１トランジスタに制御されて前記固定電圧を受け取るように構成されたゲート、および第１電源に連結されたドレインを有する駆動トランジスタと、を含む。第１駆動サブ回路の各々は、前記駆動トランジスタの前記ゲートとソースの間に連結されたキャパシタと、前記ソースに連結された第１端子および第２電源に連結された第２端子を有する発光デバイスと、をさらに含む。また、第１駆動サブ回路の各々は、前記駆動トランジスタの前記ソースに連結されたドレイン、および前記データ線に連結されたソースを有する第２トランジスタを含む。前記駆動トランジスタに関連付けられた第１の電氣的パラメータおよび前記発光デバイスに関連付けられた第２の電氣的パラメータを検出するように前記検出サブ回路が構成された第１段階において、前記データ線は前記検出サブ回路に接続され、前記第２駆動サブ回路から切断される。第１の電氣的パラメータおよび第２の電氣的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、前記データ線へ前記補償されたデータ信号を提供するように前記第２駆動サブ回路が構成された第２段階において、前記データ線は前記検出サブ回路から切断され、前記第２駆動サブ回路に接続される。前記第２トランジスタにより制御される前記駆動トランジスタの前記ソースへ前記補償されたデータ信号を印加可能である。

【0023】

前記発光デバイスは有機発光ダイオードであり、各画素駆動回路に関連付けられた前記検出サブ回路および前記第２駆動サブ回路は前記表示パネル内の前記データ線に連結されたひとつのソース駆動チップに集積されてもよい。

【図面の簡単な説明】

【0024】

以下の図面は開示された様々な実施形態の例にすぎず、本発明の範囲を限定するものではない。

【図１】本開示の一実施形態による画素駆動回路の簡略図である。

【図２】本開示の一実施形態によるトランジスタ検出段階において作動している画素駆動回路の模式図である。

【図３】本開示の一実施形態によるトランジスタ検出段階において作動している画素駆動回路のタイミング図である。

【図４】本開示の一実施形態によるＬＥＤ検出段階において作動している画素駆動回路の模式図である。

【図５】本開示の一実施形態によるＬＥＤ検出段階において作動している画素駆動回路のタイミング図である。

【図６】本開示の一実施形態によるディスプレイ駆動段階において作動している画素駆動回路の模式図である。

【図７】本開示の一実施形態によるディスプレイ駆動段階において作動している画素駆動回路のタイミング図である。

【図８】本開示のいくつかの実施形態による画素駆動回路を駆動するためのデータ信号を補償する方法を示すフローチャートである。

10

20

30

40

50

【発明を実施するための形態】**【0025】**

以下では、実施形態を参照しつつ、本開示について具体的に説明する。なお、いくつかの実施形態に関する以下の説明は例示及び説明としてのものに過ぎない。開示されるそのまの形態は全てを網羅している訳ではなく、また、本開示はこれらに限定されるものでもない。

【0026】

そこで、本開示は、特に、従来技術における制限及び欠点に起因する一つ以上の課題を実質的に解消する、画素駆動回路、それを有する表示パネルおよび表示装置、ならびにその画素駆動回路の駆動方法を提供する。

10

【0027】

ひとつの方面において、本開示は図1に示す画素駆動回路を提供する。画素駆動回路は、少なくとも表示パネル内のデータ線を介してサブ画素に関連付けられるように配置される。図1を参照すると、画素駆動回路は、発光デバイスを駆動するための駆動トランジスタのソースに連結されたデータ線からデータ信号を受信するように構成された第1駆動サブ回路を含む。画素駆動回路は、第1段階においてデータ線に連結された検出サブ回路と、第2段階においてデータ線に連結された第2駆動サブ回路と、をさらに含む。検出サブ回路は、第1段階において、駆動トランジスタに関連付けられた第1の電気的パラメータと、発光デバイスに関連付けられた第2の電気的パラメータと、を検出するように構成される。第2駆動サブ回路は、第2段階において、第1の電気的パラメータおよび第2の電気的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、データ線を介して駆動トランジスタへ補償されたデータ信号を提供するように構成される。

20

【0028】

図1の回路において、本発明の実施形態において用いられるトランジスタはすべて薄膜トランジスタあるいは電界効果トランジスタまたはその他の特性を有する同タイプのものとして形成されてもよい。トランジスタのソース端末とドレイン端末は対称で区別できないため、本明細書において、トランジスタのソース端末とドレイン端末のうちのひとつを第1端子と呼び、もうひとつを第2端子と呼び、ゲートについては区別せずに制御端子と呼ぶものとする。加えて、トランジスタの特性によりトランジスタのタイプはN型とP型を含む。本開示において開示する実施形態ではN型トランジスタを使用する。N型トランジスタの第1端子はソースであり、第2端子はドレインである。ゲートに高電圧レベルが印加されるとき、トランジスタはドレイン・ソース間が導電状態にある。トランジスタがP型トランジスタの場合はその逆となる。また、本開示で述べる実施形態において、発光デバイスは電流駆動型の発光デバイスである。具体的には、発光デバイスは有機発光ダイオード(OLED)である。

30

【0029】

図1を参照すると、一実施形態において、第1駆動サブ回路は、駆動トランジスタDTFTと、第1トランジスタT1と、キャパシタCと、第2トランジスタT2と、第2トランジスタT2を介してデータ線にさらに連結されるノードAを介して駆動トランジスタDTFTに連結されるOLEDと、を含む。第1駆動サブ回路は、異なる数のトランジスタおよびキャパシタを有する異なる構成でありながら、データ線に供給されるデータ信号を基に、OLEDを駆動して発光するという基本的に同一の機能を実現してもよい。検出サブ回路および第2駆動サブ回路は、画素駆動回路に関連付けられたデータ線を介して第2トランジスタT2に連結される。第1トランジスタT1は、第1制御線Scan_1に連結された制御端子またはゲートを有する。第1トランジスタT1は、固定電圧が与えられるように構成された入力ポートInput_2に連結された第1端子を有する。第1トランジスタT1は、駆動トランジスタDTFTの制御端子またはゲートに連結された第2端子を有する。この実施形態において、第1トランジスタT1は、第1制御線Scan_1から提供される第1制御信号の制御下で、その第1端子をその第2端子に接続し、あるいはこれらを互いに切断するように構成されたスイッチトランジスタである。

40

50

【0030】

図1を参照すると、駆動トランジスタD T F TはキャパシタCの第1端子に連結されたゲート（即ち、ノードB）を有する。駆動トランジスタD T F Tは、第1電源に連結された第1端子と、O L E Dの第1端子に連結された第2端子（即ち、ノードA）と、をさらに有する。第1駆動サブ回路は、ゲート電圧を用いて駆動トランジスタD T F Tを制御し、第1端子から第2端子への駆動電流を発生させてO L E Dを駆動することで発光するように構成される。キャパシタCは、駆動トランジスタD T F Tのゲート（ノードB）に連結された第1端子と、第2端子（ノードA）に連結された第2端子と、を有する。

【0031】

図1を再度参照すると、第2トランジスタT2は、第2制御線S c a n __ 2に連結された制御端子またはゲートを有する。第2トランジスタT2は、画素駆動回路に関連付けられたデータ線に連結された第1端子と、駆動トランジスタD T F Tの第2端子およびO L E Dの第1端子に連結された第2端子と、をさらに有する。この実施形態において、第2トランジスタT2は、第2制御線S c a n __ 2から提供される第2制御信号の制御下で、その第1端子をその第2端子に接続し、あるいはこれらを互いに切断するように構成されたスイッチトランジスタである。

【0032】

一実施形態において、データ線はテスト入力ポートI n p u t __ 1に連結される。いくつかの実施形態において、データ線は時間帯により選択的に、第1段階では検出サブ回路に、第2段階では第2駆動サブ回路に接続される。第1段階は、駆動トランジスタD T F Tに関連付けられた第1の電気的パラメータを検出するように検出サブ回路が構成されるトランジスタ検出段階と、O L E Dに関連付けられた第2の電気的パラメータを検出するように検出サブ回路が構成されたL E D検出段階と、を含む。検出サブ回路は、データ線から信号を受信し、信号の値を測定し、データ線に直接接続され、事前に保存された情報およびプログラムを基に信号を提供する対象デバイスの対応する電気特性を算出するように構成された、様々なマイクロ部品を備える集積チップとして設けられてもよい。検出サブ回路用の集積チップは表示パネル内に配置されてもよい。

【0033】

例えば、トランジスタ検出段階において、検出サブ回路は（第2トランジスタが導電状態に設定された状態で）データ線を介して駆動トランジスタに直接接続され、こうして駆動トランジスタを特徴づける電気特性が決定される。L E D検出段階において、検出サブ回路は（第2トランジスタが導電状態に設定された状態で）データ線を介してO L E Dに直接接続され、こうしてO L E Dを特徴づける電気特性が決定される。検出サブ回路によって検出されたこれらの電気特性は、表示パネル上のO L E Dの発光が不均一であるという問題を軽減するために、データ線を介して第1駆動サブ回路に供給されるデータ信号を適切に補償する補償スキームの決定に用いることができる。補償スキームは、駆動トランジスタに関連するドリフトを補償するための第1の電気的パラメータと、O L E Dに関連するドリフトを補償するための第2の電気的パラメータと、を少なくとも含んでもよい。一実施形態において、第2駆動サブ回路は、第1の電気的パラメータおよび第2の電気的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、データ線へデータ信号を提供するように構成される。本発明の実施形態においては、駆動電流を適宜発生させるために、データ信号（または補償されたデータ信号）が第1駆動サブ回路の駆動トランジスタD T F Tの第2端子に提供される。第2駆動サブ回路は、表示パネル内に配置された集積型のソース駆動チップとして提供されてもよい。

【0034】

図1を参照すると、第1駆動サブ回路の駆動データ信号を提供するデータ線および駆動トランジスタまたはO L E Dのいずれかを流れる電流信号をモニタリングするセンス線は、時分割設定とした物質上同一の導電線において作動する。本開示の画素駆動回路は、データ線に接続された第1端子と、検出サブ回路に接続された第2端子と、駆動サブ回路に接続された第3端子と、を有するスイッチを含んでもよい。スイッチは、第1段階におい

10

20

30

40

50

て第1端子が第2端子に接続され、第2段階においては第1段階と交互に第1端子が第3端子に接続されるように構成される。したがって、本開示の画素駆動回路はセンス線を兼用する1本のデータ線のみ必要とし、別にセンス線を用意する必要がない。この画素回路構造は、表示パネル内の配線の数大幅に減らし、画素の開口率を向上させる。

【0035】

入力ポート $Input_2$ で与えられる固定電圧は、表示パネル全体に事前に配置された共通電圧線によって供給される共通電圧信号であってもよい。言い換えれば、表示パネル内に位置する各画素駆動回路の第1トランジスタ T_1 の第1端子は、共通電圧線に接続される。このため、画素駆動回路用に追加で固定電圧線を設ける必要がない。この実施形態において、第1電源は通常動作電圧 V_{dd} を与える。第2電源は対地電圧 V_{ss} を与える。共通電圧線は電圧 V_{com} に対応する。 $V_{com} = 8V$ であってもよい。

10

【0036】

いくつかの実施形態において、本開示の画素駆動回路は、トランジスタ検出段階、LED検出段階およびディスプレイ駆動段階の3段階において作動するように構成されている。

【0037】

図2は、本開示の一実施形態によるトランジスタ検出段階において作動している画素駆動回路の模式図である。図3は、トランジスタ検出段階における図2の画素駆動回路のタイミング図である。図2および図3を参照すると、トランジスタ検出段階において、スイッチは、検出サブ回路をデータ線に接続させるために、その第1端子とその第2端子を接続するように構成される。具体的な実施形態において、トランジスタ検出段階は、第1サブ段階と、事前に固定された持続時間を有する第2サブ段階と、第3サブ段階と、を含む。

20

【0038】

第1サブ段階 t_1 において、第1制御線 $Scan_1$ は高電圧レベルにある第1制御信号を提供し、第2制御線 $Scan_2$ も同じく高電圧レベルにある第2制御信号を提供する。テスト信号はテスト入力ポート $Input_1$ からデータ線へ提供される。テスト信号は電圧 V_{ref} に対応する。

【0039】

第1制御信号が高電圧レベルにあるため、第1トランジスタ T_1 は導電状態となる。共通電圧 V_{com} は第1トランジスタ T_1 を介して駆動トランジスタ $DTFT$ の制御端子に送られる。 V_{com} も高電圧レベルであり、駆動トランジスタ $DTFT$ を導電状態とする。このため、ノードBは V_{com} の電圧レベルを有する。第2制御信号が高電圧レベルにあるため、第2トランジスタ T_2 は導電状態となる。このため、テスト信号はノードAに印加されるべくデータ線から第2トランジスタ T_2 を介して送られ、つまり、ノードAは V_{ref} の電圧レベルを有する。このとき、検出サブ回路は電圧 V_{ref} に対応するデータ線内の第1電流信号を検出できる。第1電流信号および対応する V_{ref} は、集積チップのストレージ用マイクロ部品にデジタル形式で保存されてもよい。

30

【0040】

第2サブ段階 t_2 において、第1制御信号は高電圧レベルに維持され、第2制御信号も高電圧レベルにある。第1トランジスタ T_1 および第2トランジスタ T_2 は導電状態に維持される。テスト入力ポート $Input_1$ はフローティング状態にある。第2サブ段階において、第1端子から第2端子(ノードA)へ駆動トランジスタ $DTFT$ を流れる電流は、電圧レベル V_{sense} に達するまで、所定の持続時間ノードAの充電を続ける。それ故、このとき、検出サブ回路は電圧 V_{sense} に対応するデータ線内の第2電流信号を検出できる。第2電流信号および対応する V_{sense} も、集積チップのストレージ用マイクロ部品にデジタル形式で保存されてもよい。

40

【0041】

検出サブ回路用の集積チップは、 V_{sense} をその中のストレージ部品内に事前に記憶された基準電圧値と比較し、駆動トランジスタ $DTFT$ の電気特性を特徴づける第1の

50

電氣的パラメータを算出することのできるマイクロプロセッサ部品を含んでもよい。事前に記憶された基準電圧値は、駆動トランジスタD T F Tの電子移動度およびスレシヨルド電圧にドリフトがない条件下で、第2サブ段階において検出サブ回路によって測定されたノードAにおける電圧値に対応する。現在の時刻で取得したV s e n s eをこの基準電圧と比較することで、駆動トランジスタD T F Tの電子移動度およびスレシヨルド電圧のドリフトあるいは関連電気特性を推測することができる。具体的な補償スキームまたはアルゴリズムにより、駆動トランジスタのドリフトを補償する代表的な第1の電氣的パラメータを決定できる。

【0042】

第3サブ段階t3において、第1制御信号および第2制御信号は低電圧レベルに設定されるため、第1トランジスタT1および第2トランジスタT2の両方とも非導電状態となる。

10

それぞれノードBおよびノードAでもある駆動トランジスタD T F Tの制御端子は、第1トランジスタT1および第2トランジスタT2を介して放電する。ノードAおよびノードB両方における電圧レベルが低下し、ある時点で駆動トランジスタD T F Tが非導電状態となる。テスト入力ポートI n p u t _ 1はデータ線へテスト信号V r e fを提供してデータ線をリセットする。

【0043】

図4は、本開示の一実施形態によるLED検出段階において作動している画素駆動回路の模式図である。図5は、LED検出段階における図4の画素駆動回路のタイミング図である。図6および図5を参照すると、LED検出段階において、スイッチは、検出サブ回路をデータ線に接続させるために、第1端子を第2端子に接続するように作動する。この実施形態において、LED検出段階は第4サブ段階t4および第5サブ段階t5を含む。

20

【0044】

第4サブ段階t4において、第1制御線S c a n _ 1から入力された第1制御信号は低電圧レベルに設定され、第2制御線S c a n _ 2から入力された第2制御信号は高電圧レベルに設定される。テスト入力ポートI n p u t _ 1は電圧レベルV r e fに対応するテスト信号をデータ線へ提供する。

【0045】

第1制御信号が低電圧レベルに設定され、第1トランジスタT1が非導電状態にあるため、駆動トランジスタD T F Tも非導電状態となる。第2制御信号が高電圧レベルに設定されるため、第2トランジスタT2は導電状態にあり、第2トランジスタT2を介してテスト信号をデータ線からノードAへ送ることが可能となる。こうして、ノードAは、OLE Dの第1端子で与えられ、OLE Dの第2端子において第2電源で与えられる対地電圧V s sよりも高い、電圧レベルV r e fを有することになる。OLE Dの両端における電位差のために、電流が生じてデータ線からOLE Dを流れる。検出サブ回路はこの時点でデータ線内の電流I s e n s eを検出できる。検出された電流I s e n s eは、検出サブ回路用の集積チップのストレージ部品にデジタル形式で保存されてもよい。

30

【0046】

検出サブ回路は、検出された電流I s e n s eを、集積チップに事前に記憶された基準電流値と比較して、発光デバイスOLE Dの関連電気特性を算出する。事前に記憶された基準電流値は、OLE Dが標準発光効率で作動する条件下で、第4サブ段階において検出サブ回路により測定される。I s e n s eの値を基準電流値と比較することで、現在の時刻におけるOLE Dの発光効率および発光効減衰率などの電気特性を推測できる。それ故、具体的な補償スキームまたはアルゴリズムにより、OLE Dのドリフトを補償する代表的な第2の電氣的パラメータを決定できる。

40

【0047】

画素駆動回路の補償にあたり、第1の電氣的パラメータと第2の電氣的パラメータを決定するのにV s e n s eとI s e n s eの両方を用いてもよい。第1の電氣的パラメータと第2の電氣的パラメータのうちのひとつのみを用いて補償してもよく、即ち、トランジ

50

スタのドリフトのみを補償するか、またはOLEDのドリフトのみを補償してもよい。

【0048】

第5サブ段階t5において、検出サブ回路は、制御電圧の設定が上記の第3サブ段階のそれと同じであるとともに、リセットモードにある。

【0049】

一実施形態において、画素駆動回路は、補償スキームによって第1の電氣的パラメータおよび第2の電氣的パラメータが決まった後、ディスプレイ駆動段階において作動するように構成されている。ディスプレイ駆動段階において、第2駆動サブ回路は、データソースから受信した生データ信号に補償を与え、補償されたデータ信号を生成してデータ線へ送るように作動する。

10

【0050】

図6は、本開示の一実施形態によるディスプレイ駆動段階において作動している画素駆動回路の模式図である。図7は、ディスプレイ駆動段階における図6の画素駆動回路のタイミング図である。図6および図7を参照すると、ディスプレイ駆動段階において、スイッチは、第2駆動サブ回路をデータ線に接続させるために、その第1端子がその第3端子に接続するように作動する。この実施形態において、ディスプレイ駆動段階は第6サブ段階t6および第7サブ段階t7を含む。

【0051】

第6サブ段階t6において、第1制御線Scan_1からの第1制御信号は高電圧レベルに設定され、第2制御線Scan_2からの第2制御信号も高電圧レベルに設定される。テスト入力ポートInput_1はフローティング状態にある。第1制御信号の高電圧レベルのために第1トランジスタT1が導電状態にあることから、共通電圧Vcomを駆動トランジスタDTFTの制御端子に送ることができる。第2制御信号の高電圧レベルのために第2トランジスタT2が導電状態にあることから、データ線を介して第2駆動サブ回路によって提供される(電圧Vdataに対応する)補償されたデータ信号が、第2トランジスタT2を通して駆動トランジスタDTFTの第2端子に印加される。このとき、キャパシタCはVcom - Vdataの電位差を記憶する。駆動トランジスタDTFTが導電状態にあるため、駆動トランジスタDTFTのゲート・ソース間電圧VgsもVcom - Vdataとなる。

20

【0052】

第7サブ段階t7において、第1制御信号が低電圧レベルに設定され、第2制御信号も低電圧レベルに設定されるため、第1トランジスタT1と第2トランジスタT2の両方とも非導電状態となる。駆動トランジスタDTFTを流れる電流はその電位レベルがVss + Voledに達するまでノードAを充電し、ここで、Vssは第2電源の対地電圧レベルであり、VoledはOLEDを電流が流れるときの電圧降下である。キャパシタCのブートストラップ効果において、駆動トランジスタDTFTの制御端子における電位レベルはVcom - Vdata + Vss + Voledまで引き上げられる。

30

【0053】

駆動トランジスタDTFTは、サチュレーション状態で作動し、この状態における駆動電流は次のように表すことができる。

40

$$\begin{aligned} I &= K \times (V_{gs} - V_{th})^2 \\ &= K \times (V_{com} - V_{data} - V_{th})^2 \end{aligned}$$

ここで、Iは、駆動トランジスタDTFTにより出力される駆動電流であり、Kは、活性層における電子移動度とゲート絶縁層の単位面積あたりの静電容量、ならびにトランジスタ構造のチャネル長さにより決まる定数であり、Vthは、駆動トランジスタDTFTのスレシヨルド電圧の電流値である。OLEDは駆動電流Iにより駆動されて発光する。

【0054】

上述のように、本開示の画素駆動回路はセンス線を何ら設けずに共有データ線を用いて、駆動トランジスタDTFTおよびOLEDに対して関連する検出操作を行い、駆動トランジスタDTFTへ補償されたデータ信号を提供することができる。

50

【 0 0 5 5 】

検出サブ回路と第 2 駆動サブ回路の両方をひとつの集積チップ（ＩＣ）に集積して、表示パネル内に配置されるチップの数を減らしてもよい。検出サブ回路と第 2 駆動サブ回路のＩＣはソース駆動チップの一部であってもよい。スイッチは、検出サブ回路または第 2 駆動サブ回路とデータ線との接続を制御するように構成されたスイッチ制御サブ回路により代替されてもよい。このスイッチ制御サブ回路も上記ＩＣに集積してもよい。表示パネル内に追加のセンス線を別途配置するのを省略することで画素の開口率を有効に向上できる。

【 0 0 5 6 】

別の方面において、本開示は本開示で述べる画素駆動回路を駆動するためのデータ信号の補償方法を提供する。図 8 は、本開示のいくつかの実施形態による画素駆動回路を駆動するためにデータ信号に補償を提供する方法を示すフローチャートである。図 8 を参照すると、この方法は、図 1 または図 2 または図 4 または図 6 に示す画素駆動回路に基づく。この方法は、トランジスタ検出段階において、データ線を介し検出サブ回路を使用して、第 1 駆動サブ回路の駆動トランジスタに関連付けられた第 1 の電氣的パラメータを検出する工程を含む。トランジスタ検出段階において画素駆動回路が作動するとき、検出サブ回路がデータ線を介し、駆動トランジスタの電気特性を特徴づける第 1 の電氣的パラメータを検出している。具体的には、この工程は、（共通電圧線からの）固定電圧が駆動トランジスタの制御端子に入力されて駆動トランジスタが導電状態となるように、第 1 制御線から第 1 制御信号を印加して第 1 トランジスタをターンオンすることを含む。この工程は、テスト入力ポートからデータ線へテスト信号を印加することをさらに含む。この工程は、データ線から駆動トランジスタの第 2 端子へテスト信号が入力されるように、第 2 制御線から第 2 制御信号を印加して第 2 トランジスタをターンオンすることをさらに含む。

【 0 0 5 7 】

また、トランジスタ検出段階において検出サブ回路を作動させる工程は、第 1 制御信号の制御下で第 1 トランジスタをターンオフし、テスト入力ポートからテスト信号をカットオフすることを含む。この結果、第 1 電源から駆動トランジスタの第 2 端子への充電が行われる。検出サブ回路は、所定の持続時間充電された後、駆動トランジスタの第 2 端子における電圧値を検出できる。

【 0 0 5 8 】

図 8 を参照すると、この方法は、ＬＥＤ検出段階において、データ線を介し検出サブ回路を使用して、発光デバイスに関連付けられた第 2 の電氣的パラメータを検出する工程をさらに含む。ＬＥＤ検出段階において画素駆動回路が作動するときには、検出サブ回路がデータ線を介し、ＯＬＥＤの電気特性を特徴づける第 2 の電氣的パラメータを検出している。この実施形態において、この工程は、第 1 トランジスタを非導電状態に制御することを含む。この工程は、テスト入力ポートからデータ線へテスト信号を提供することをさらに含む。この工程は、データ線内においてＯＬＥＤを流れる電流を検出サブ回路が検出できるように、第 2 制御線から提供された第 2 制御信号の制御下で第 2 トランジスタをターンオンしてテスト信号のＯＬＥＤの第 1 端子への入力を可能にすることをさらに含む。

【 0 0 5 9 】

図 8 を参照すると、この方法は、ディスプレイ駆動段階において、第 1 制御信号を第 1 制御線に印加して第 1 トランジスタを導電状態とし、駆動トランジスタの制御端子（ゲート）へ固定電圧を印加する工程を含む。この工程は、前の工程でそれぞれ決定された第 1 の電氣的パラメータおよび第 2 の電氣的パラメータを基に、第 2 駆動サブ回路を使用して、補償されたデータ信号をデータ線へ提供することをさらに含む。この工程は、第 2 制御線に第 2 制御信号を印加して第 2 トランジスタを導電状態とし、駆動トランジスタのソースへ補償されたデータ信号を印加して駆動電流を生じさせることをさらに含む。駆動電流はＯＬＥＤを流れて発光を駆動する。

【 0 0 6 0 】

検出サブ回路を作動させて駆動トランジスタに関連付けられた第 1 の電氣的パラメータ

を検出する工程は、検出サブ回路を作動させてO L E Dに関連付けられた第2の電気的パラメータを検出する工程の前に行ってもよい。検出サブ回路を作動させてO L E Dに関連付けられた第2の電気的パラメータを検出する工程は、検出サブ回路を作動させて駆動トランジスタに関連付けられた第1の電気的パラメータを検出する工程の後に行わなくてもよい。言い換えれば、補償スキームは駆動トランジスタのドリフトのみを補償するようにプログラムされてもよい。この方法は、トランジスタ検出段階および/またはL E D検出段階において、別途センス線を必要とせずに、検出サブ回路のセンス線としてデータ線を有効に用いており、表示パネル内の配線数を効果的に減らし、画素の開口率を向上させている。

【0061】

別の方面において、本開示は、スイッチにより制御されるデータ線を介して、各々検出サブ回路と第2駆動サブ回路に交互に連結される第1駆動サブ回路を含む複数の画素駆動回路を備える表示パネルを提供する。第1駆動サブ回路の各々は、固定電圧を与えられた入力ポートに連結された第1トランジスタと、第1トランジスタに制御されて固定電圧を受け取るように構成されたゲート、および第1電源に連結されたドレインを有する駆動トランジスタと、を含む。第1駆動サブ回路は、駆動トランジスタのゲートとソースの間に連結されたキャパシタと、ソースに連結された第1端子および第2電源に連結された第2端子を有する発光デバイスと、をさらに含む。また、第1駆動サブ回路は、駆動トランジスタのソースに連結されたドレインと、データ線に連結されたソースと、を有する第2トランジスタを含む。駆動トランジスタに関連付けられた第1の電気的パラメータおよび発光デバイスに関連付けられた第2の電気的パラメータを検出するように検出サブ回路が構成された第1段階において、画素駆動回路に関連付けられたデータ線は検出サブ回路に接続され、第2駆動サブ回路から切断される。第1の電気的パラメータおよび第2の電気的パラメータを用いた生データ信号の補償を基に、補償されたデータ信号を生成し、補償されたデータ信号をデータ線へ提供するように第2駆動サブ回路が構成された第2段階において、同じデータ線が検出サブ回路から切断され第2駆動サブ回路に接続される。補償されたデータ信号は、第2トランジスタにより制御される駆動トランジスタのソースに送ることができる。第1駆動サブ回路は、ソースで提供される補償されたデータ信号を基に、駆動トランジスタのドレインからソースへ駆動電流を生じるように構成される。駆動電流はさらに発光デバイスを流れて発光を駆動する。

【0062】

補償されたデータ信号は、ディスプレイ駆動段階において、少なくとも表示パネル内に位置する画素駆動回路の第1駆動サブ回路各々における駆動トランジスタの電気特性のドリフトを低減するものであってもよい。補償されたデータ信号は、表示パネル全体の表示均一性を向上させるために、ディスプレイ駆動段階において、表示パネル内に位置する画素駆動回路の第1駆動サブ回路各々における駆動トランジスタおよび発光デバイス両方の電気特性のドリフトを効果的に低減するものであってもよい。表示パネル内の発光デバイスは有機発光ダイオードであってもよい。各画素駆動回路に関連付けられた検出サブ回路および第2駆動サブ回路は、表示パネル内のデータ線に連結されたひとつのソース駆動集積チップに集積されてもよい。

【0063】

さらに別の方面において、本開示は本開示で述べる表示パネルを含む表示装置を提供する。表示装置は、電子ペーパー、O L E D表示パネル、スマートフォン、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、電子フォトフレーム、ナビゲータ、および表示機能を有する任意の製品または部品から選択されたものであってもよい。

【0064】

本発明の実施形態に関する上記の記述は、例示及び説明を目的とする。開示されるそのまの形態或いは開示した例示的な実施形態は全てを網羅している訳ではなく、また、本発明はこれらに限定するものでもない。それ故、上記記載は限定ではなく例示を目的としていると見なすべきであり、多くの変更や変形は当業者にとって明らかであろう。本発明

10

20

30

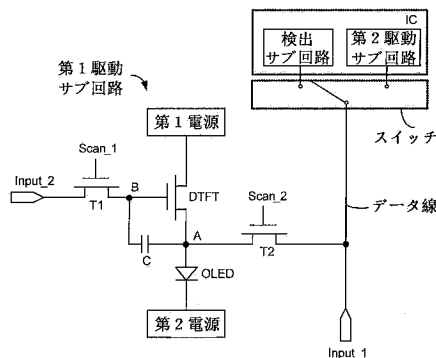
40

50

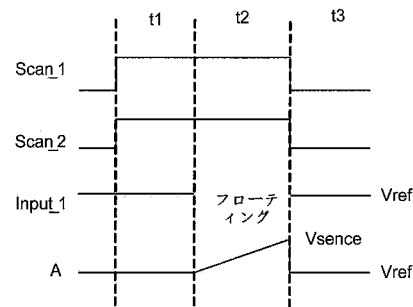
の原理とそれが実際に適用される最良の形態を最も説明しやすいような実施形態を選択し、それについて記載することで、特定の用途又は想定される適用に適した本発明の様々な実施形態及び様々な変更を当業者に理解させることを目的としている。本開示に付した請求項及びその均等物により本発明の範囲を定義することが意図され、別途示唆しない限り、すべての用語は合理的な範囲内で最も広く解釈されるべきである。従って、「本発明」、「本開示」又はこれに類する用語は請求項の範囲を必ずしも特定の実施形態に限定せず、本発明の例示的实施形態に対する参照は本発明への限定を示唆するものではなく、かかる限定を推論すべきではない。本発明は付属する請求項の構想と範囲のみにより限定される。さらに、これらの請求項では後に名詞又は要素を伴って「第1」「第2」等という表現を用いる場合がある。特定の数量が示されない限り、このような用語は専門用語であると理解すべきであり、修飾された要素の数量が上記専門用語により限定されると解釈してはならない。記載した効果や利点はいずれも本発明のすべての実施形態に適用されるとは限らない。当業者であれば、以下の請求項により定義される本発明の範囲から逸脱せずに、記載した実施形態を変形できることが理解されよう。さらに、以下の請求項に明記されているか否かを問わず、本開示の要素及び部品のいずれも公衆に捧げる意図はない。

10

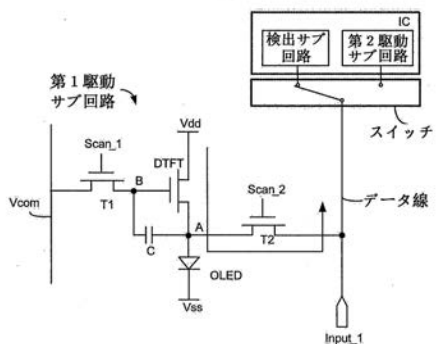
【図1】



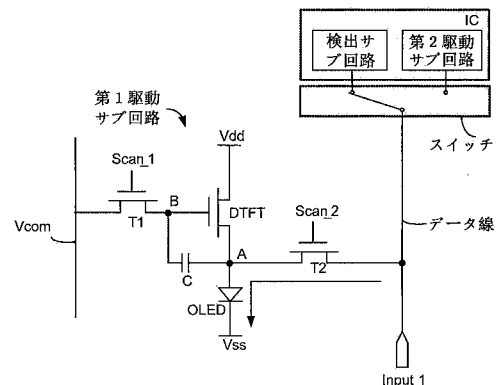
【図3】



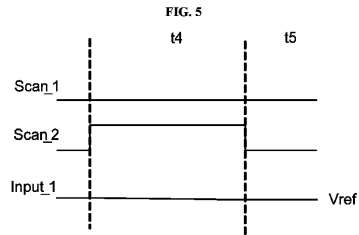
【図2】



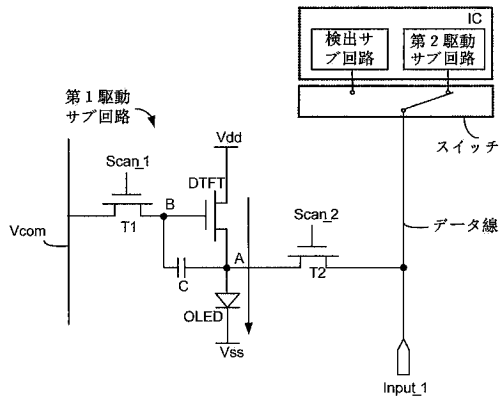
【図4】



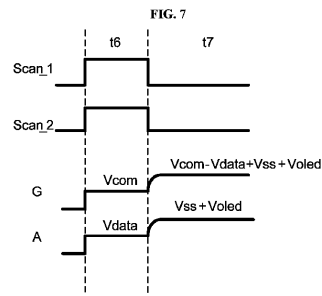
【図 5】



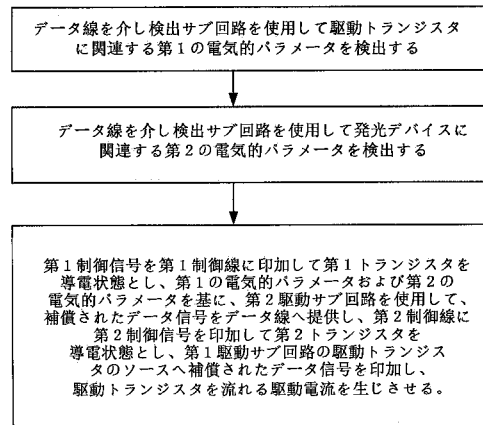
【図 6】



【図 7】



【図 8】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/113856

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPLEPODOC: OLED, EL, pixel?, driv+, circuit?, ?data 1w line?, DL, monitor+, common, shar+, same, detect +, sens+, Vth, threshold, compensat+, degradation, aging, decay, switch+, transistor?, second, period?, time 1w divisional, vref, vcom, drift+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103077662 A (LG DISPLAY CO., LTD.) 01 May 2013 (2013-05-01) description, paragraphs [0027] to [0035] and figures 1 to 7	1-20
Y	US 2017061877 A1 (SAMSUNG DISPLAY CO., LTD.) 02 March 2017 (2017-03-02) description, paragraphs [0052] to [0119] and figures 1 to 11	1-20
A	CN 102110412 A (CASIO COMPUTER CO., LTD.) 29 June 2011 (2011-06-29) the whole document	1-20
A	CN 103562989 A (IGNIS INNOVATION INC.) 05 February 2014 (2014-02-05) the whole document	1-20
A	CN 105047137 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 November 2015 (2015-11-11) the whole document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 February 2018

Date of mailing of the international search report

24 February 2018

Name and mailing address of the ISA/CN

STATE INTELLECTUAL PROPERTY OFFICE OF THE
P.R.CHINA
6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing
100088
China

Authorized officer

LI,Peipei

Facsimile No. (86-10)62019451

Telephone No. (86-10)53962515

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/113856

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103077662	A	01 May 2013	US	2013083001	A1	04 April 2013
				US	2016225317	A1	04 August 2016
				US	9672772	B2	06 June 2017
				KR	20130036661	A	12 April 2013
				US	9349315	B2	24 May 2016
				CN	103077662	B	10 June 2015
				KR	101536129	B1	14 July 2015
US	2017061877	A1	02 March 2017	KR	20170024187	A	07 March 2017
CN	102110412	A	29 June 2011	JP	2011154348	A	11 August 2011
				KR	101156826	B1	18 June 2012
				KR	20110076814	A	06 July 2011
				TW	201203205	A	16 January 2012
				JP	5146521	B2	20 February 2013
				US	8599186	B2	03 December 2013
				TW	I425478	B	01 February 2014
				US	2011157134	A1	30 June 2011
				CN	102110412	B	09 April 2014
CN	103562989	A	05 February 2014	JP	2014517940	A	24 July 2014
				EP	2715710	A2	09 April 2014
				US	2012299978	A1	29 November 2012
				CN	106910464	A	30 June 2017
				CN	103562989	B	14 December 2016
				EP	2715710	B1	18 October 2017
				WO	2012164475	A2	06 December 2012
				US	2017358251	A1	14 December 2017
CN	105047137	A	11 November 2015	US	2017162125	A1	08 June 2017
				WO	2017041343	A1	16 March 2017
				CN	105047137	B	31 May 2017

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT

(72)発明者 イチェン・リン

中華人民共和国・1 0 0 1 7 6・ 베이ジン・ピーディーイー・ディゼ・ロード・ナンバー・9

(72)発明者 チュアンフ・リ

中華人民共和国・1 0 0 1 7 6・ 베이ジン・ピーディーイー・ディゼ・ロード・ナンバー・9

(72)発明者 グアン・ヤン

中華人民共和国・1 0 0 1 7 6・ 베이ジン・ピーディーイー・ディゼ・ロード・ナンバー・9

(72)発明者 ユ・ワン

中華人民共和国・1 0 0 1 7 6・ 베이ジン・ピーディーイー・ディゼ・ロード・ナンバー・9

(72)発明者 クイリ・ガイ

中華人民共和国・1 0 0 1 7 6・ 베이ジン・ピーディーイー・ディゼ・ロード・ナンバー・9

(72)発明者 ミンギ・チュ

中華人民共和国・1 0 0 1 7 6・ 베이ジン・ピーディーイー・ディゼ・ロード・ナンバー・9

F ターム(参考) 3K107 AA01 BB01 BB08 CC33 DD39 EE04 HH02 HH05

5C080 AA06 BB05 DD23 DD25 DD27 EE29 FF11 HH10 JJ02 JJ03

JJ04 JJ07 KK02 KK07 KK23 KK43 KK47

5C380 AA01 AB06 AC07 AC08 AC11 BA12 BA28 BA36 BA38 BA39

BB04 CA12 CC09 CC26 CC33 CC63 CD013 DA02 DA06 FA02

FA03 FA21 FA28 GA09 HA02 HA05

专利名称(译)	像素驱动电路及其补偿方法,显示面板和显示装置		
公开(公告)号	JP2020519910A	公开(公告)日	2020-07-02
申请号	JP2018529116	申请日	2017-11-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	ユワン クイリガイ		
发明人	イチエン・リン チュアンフ・リ グアン・ヤン ユ・ワン クイリ・ガイ ミンギ・チュ		
IPC分类号	G09G3/3233 G09G3/20 H05B33/02 H01L51/50		
CPC分类号	G09G3/3208 G09G2320/0233 G09G3/3233 G09G2300/0819 G09G2320/029 G09G2320/045 G09G3/32		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.642.P G09G3/20.641.P H05B33/02 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC33 3K107/DD39 3K107/EE04 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD23 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AC07 5C380/AC08 5C380/AC11 5C380/BA12 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB04 5C380/CA12 5C380/CC09 5C380/CC26 5C380/CC33 5C380/CC63 5C380/CD013 5C380/DA02 5C380/DA06 5C380/FA02 5C380/FA03 5C380/FA21 5C380/FA28 5C380/GA09 5C380/HA02 5C380/HA05		
代理人(译)	村山彦		
优先权	201710335042.4 2017-05-12 CN		
外部链接	Espacenet		

摘要(译)

本申请公开了一种位于显示面板中的像素驱动电路。像素驱动电路包括：第一晶体管,其被提供有固定电压;驱动晶体管,其栅极被配置为由第一晶体管控制以接收固定电压;以及漏极,其连接到第一电源;第二晶体管具有耦合在晶体管的栅极和源极之间的电容器,耦合到源极和第二电源的发光器件,耦合到驱动晶体管的源极的漏极以及耦合到数据线的源极。并且在第一步骤中,检测子电路连接到数据线,并且在第二步骤中,驱动子电路连接到数据线。检测子电路和驱动子电路通过时分方法连接到数据线,以便检测和补偿像素驱动电路。

