

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-79786

(P2019-79786A)

(43) 公開日 令和1年5月23日(2019.5.23)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/02 (2006.01)	H05B 33/02	3K107
H01L 27/32 (2006.01)	H01L 27/32	5C094
H01L 51/50 (2006.01)	H05B 33/14 A	
H05B 33/06 (2006.01)	H05B 33/06	
G09F 9/30 (2006.01)	G09F 9/30 365	

審査請求 有 請求項の数 7 O L (全 17 頁)

(21) 出願番号	特願2018-132457 (P2018-132457)	(71) 出願人	501426046
(22) 出願日	平成30年7月12日 (2018.7.12)		エルジー ディスプレイ カンパニー リ
(31) 優先権主張番号	10-2017-0140208		ミテッド
(32) 優先日	平成29年10月26日 (2017.10.26)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
(33) 優先権主張国	韓国 (KR)		ウィーテロ 128
		(74) 代理人	110002077
			園田・小林特許業務法人
		(72) 発明者	金 ▲ギョン▼▲ミン▼
			大韓民国 京畿道 坡州市 月籠面 LG
			路 245
		(72) 発明者	韓 仁孝
			大韓民国 京畿道 坡州市 月籠面 LG
			路 245
		Fターム (参考)	3K107 AA01 BB01 CC43 DD38 DD39
			EE03 EE57

最終頁に続く

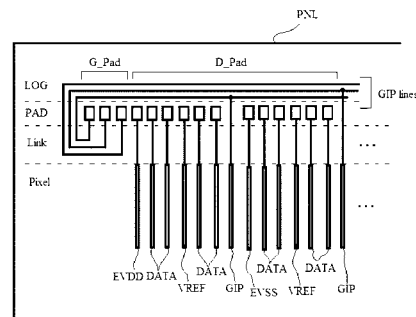
(54) 【発明の名称】 O L E D表示パネル及びO L E D表示装置

(57) 【要約】 (修正有)

【課題】 ベゼルの最小化したO L E D表示パネルを提供する。

【解決手段】 O L E D表示パネルPNLは、データラインDATAとスキャンラインの交差部に配置されたサブ画素を含む表示領域；各スキャンラインの単位画素領域に分散配置され、該当スキャンラインにスキャンパルスを提供するG I P駆動回路のステージ；パッド部、リンク部及びL O G部を備えた非表示領域を備え、単位画素領域は、サブ画素部とG I P駆動回路のステージを構成する一つの素子が配置されるG I P部と、ステージの各素子を連結する連結配線が配置されるG I P内部連結配線部とを備え、パッド部PADは、G I P部に制御信号を供給するためのゲートパッド部と、各データラインにデータ電圧を供給するためのデータパッド部とを備え、リンク部及びL O G部にわたってゲートパッド部から伸びてG I P部に各種の制御信号を供給するための複数の信号配線が配置される。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

データラインと前記データラインと交差するスキャンラインと、前記データラインと前記スキャンラインとの各交差部に配置されたサブ画素とを含む表示領域；

前記表示領域内の各スキャンラインの単位画素領域に分散配置され、該当スキャンラインに スキャンパルスを供給するゲートインパネル（G I P）駆動回路のステージ；及び
パッド部、リンク部及びラインオンガラス（L O G）部を備えた非表示領域を備え、

前記単位画素領域は、少なくとも 3 個のサブ画素部と、前記 G I P 駆動回路の前記ステージを構成する一つの素子が配置される G I P 部と、前記ステージの各素子を連結する連結配線が配置される G I P 内部連結配線部とを備え、

前記パッド部は、前記表示領域内に分散配置される前記 G I P 駆動回路の G I P 部に各種の制御信号を供給するためのゲートパッド部と、各データラインにデータ電圧を供給するためのデータパッド部とを備え、

前記ゲートパッド部から伸びて前記表示領域内に分散配置された G I P 部に各種の制御信号を供給するための複数の信号配線が前記リンク部及び前記 L O G 部にわたって配置される、O L E D 表示パネル。

【請求項 2】

前記表示領域は、各サブ画素に基準電圧を供給するための基準電圧供給ラインと、各サブ画素に第 1 及び第 2 定電圧を供給するための第 1 及び第 2 定電圧供給ラインをさらに備え、

前記データパッド部は、前記基準電圧供給ラインに連結されるパッドと前記第 1 及び第 2 定電圧供給ラインと連結されるパッドをさらに備える、請求項 1 に記載の O L E D 表示パネル。

【請求項 3】

前記信号配線は前記ゲートパッド部から前記リンク部に伸び、前記パッド部を迂回して前記パッド部の外側の前記 L O G 部に伸びて配置される、請求項 1 に記載の O L E D 表示パネル。

【請求項 4】

前記リンク部は、前記パッド部を貫いて前記信号配線の一つと前記 G I P 部を接続するリンクラインをさらに備える、請求項 1 に記載の O L E D 表示パネル。

【請求項 5】

請求項 1 から 3 のいずれか一項に記載された O L E D 表示パネル；及び

ソース電極ドライブ I C が実装され、前記ゲートパッド部及びデータパッド部に接続される複数のチップオンフィルム（C O F）を備える、O L E D 表示装置。

【請求項 6】

前記リンク部は、前記パッド部を貫いて前記信号配線の一つと前記 G I P 部を接続するリンクラインをさらに備える、請求項 5 に記載の O L E D 表示装置。

【請求項 7】

前記リンクラインに相当する前記 C O F の出力ピンはフローティングされる、請求項 6 に記載の O L E D 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画素アレイ内に G I P 駆動回路のステージが配置される O L E D 表示パネルに前記 G I P 駆動回路を駆動するための駆動信号印加ラインを有する O L E D 表示パネル及び O L E D 表示装置に関するものである。

【背景技術】

【0002】

情報化社会が発展し、移動通信端末機及びノートブック型コンピュータのような各種の携帯用電子機器が発展するにつれて、これに適用することができるフラットパネルディスプレイ

10

20

30

40

50

プレイ装置 (Flat Panel Display Device) に対する要求が徐々に増大している。

【0003】

このようなフラットパネルディスプレイ装置としては、液晶を用いた液晶表示装置 (LCD: Liquid Crystal Display) と有機発光ダイオード (Organic Light Emitting Diode; 以下、OLED) を用いたOLED表示装置が活用されている。

【0004】

このようなフラットパネルディスプレイ装置は、映像を表示するために複数のゲートライン (スキャンライン) 及び複数のデータラインを備えた表示パネルと前記表示パネルを駆動するための駆動回路とからなる。

10

【0005】

前記のような表示装置のうち液晶表示装置の表示パネルは、ガラス基板上に薄膜トランジスタアレイが形成される薄膜トランジスタアレイ基板と、ガラス基板上にカラーフィルタアレイが形成されるカラーフィルタアレイ基板と、前記薄膜トランジスタアレイ基板と前記カラーフィルタアレイ基板の間に充填された液晶層とを備える。

【0006】

前記薄膜トランジスタアレイ基板は、第1方向に伸びる複数のゲートラインGLと、第1方向と垂直な第2方向に伸びる複数のデータラインDLとを含み、各ゲートラインと各データラインによって一つのサブ画素領域 (Pixel) Pが定義される。一つのサブ画素領域P内には一つの薄膜トランジスタと画素電極が形成される。

20

【0007】

このような液晶表示装置の表示パネルは、電場生成電極 (画素電極及び共通電極) に電圧を印加して前記液晶層に電場を生成し、前記電場によって液晶層の液晶分子の配列状態を調節して入射光の偏光を制御することによって映像を表示する。

【0008】

また、前記のような表示装置のうちOLED表示装置の表示パネルは、前記複数のゲートラインと複数のデータラインが交差してサブ画素が定義され、各サブ画素は、アノード及びカソードと前記アノード及びカソード間の有機発光層からなるOLEDと、前記OLEDを独立的に駆動する画素回路とを備える。

30

【0009】

前記画素回路は多様に構成されることができ、少なくとも一つのスイッチングTF T、キャパシタ及び駆動TF Tを含む。

【0010】

前記少なくとも一つのスイッチングTF Tはゲートパルス (スキャンパルス) に応答してデータ電圧を前記キャパシタに充電する。前記駆動TF Tは、前記キャパシタに充電されたデータ電圧によってOLEDに供給される電流量を制御してOLEDの発光量を調節する。

【0011】

このような表示装置用表示パネルは、使用者にイメージを提供する表示領域 (active area、AA) と前記表示領域AAの周辺領域である非表示領域 (non active area、NA) によって定義される。

40

【0012】

また、前記表示パネルを駆動するための前記駆動回路は、前記表示パネルの前記複数のゲートラインにゲートパルス (又はスキャンパルス) を順次供給するゲート駆動回路と、前記表示パネルの前記複数のデータラインにデータ電圧を供給するデータ駆動回路と、前記ゲート駆動回路と前記データ駆動回路に映像データ及び各種の制御信号を供給するタイミングコントローラなどからなる。

【0013】

前記ゲート駆動回路は少なくとも一つのゲートドライブICで構成されることもでき、

50

前記表示パネルの前記複数の信号ライン（ゲートライン及びデータライン）とサブ画素を形成する過程で前記表示パネルの非表示領域上に同時に形成されることができる。

【0014】

すなわち、前記ゲート駆動回路を前記表示パネルに集積化させるゲートインパネル（Gate-In-Panel；以下“GIP”ともいう）方式が適用されている。

【0015】

前記のようなゲート駆動回路は、各ゲートラインにゲート（スキャン）パルスを順次供給するために、ゲートラインの本数以上の複数のステージ（stage）を含んでなり、駆動特性を向上させるために酸化物半導体薄膜トランジスタを用いる。

【0016】

すなわち、前記ゲート駆動回路は従属的に接続された複数のステージを含む。そして、各ステージ（GIP）は、各ゲートラインに連結され、前記タイミングコントローラーから印加されるクロック信号、ゲートスタート信号、ゲートハイ電圧及びゲートロー電圧を受信して一つのキャリアパルスと一つのゲート（スキャン）パルスを生成する出力部を含む。

【0017】

図1は従来のOLED表示装置の駆動回路及び駆動回路の関係を示すブロック図である。

【0018】

図1を参照すると、OLED表示装置100は、OLED表示パネルPNLと前記OLED表示パネルPNLの画素アレイ（pixel array）110に入力映像のデータを入力するための駆動回路とを含む。

【0019】

前記OLED表示パネルPNLは、互いに交差して配列される複数のスキャンライン149及び複数のデータライン139と、前記複数のスキャンライン149及び複数のデータライン139によって定義されたマトリックス状のサブ画素が配置された画素アレイ110とを含む。

【0020】

前記各サブ画素は、アノード及びカソードと前記アノード及びカソード間の有機発光層とから構成された有機発光ダイオード（Organic Light Emitting Diode；OLED）と、前記OLEDを独立的に駆動する画素回路とを備える。

【0021】

前記画素回路は多様に構成されることができ、少なくとも一つのスイッチングTFT、キャパシタ及び駆動TFTを含む。

【0022】

前記OLED表示パネルPNLを駆動する駆動回路は、非表示領域に形成されて複数のデータライン139にデータ電圧を供給するデータ駆動回路130と、前記非表示領域に形成されて前記データ電圧と同期するゲート（スキャン）信号を複数のスキャンライン149に順次供給するGIP（Gate-In-Panel）駆動回路140と、タイミングコントローラー（Timing Controller、TCN）120とを含む。

【0023】

前記タイミングコントローラー120はプリント基板（PCB）に配置され、外部のホストシステムから受信した入力映像のデータを整列してデータ駆動回路130に供給する。また、前記タイミングコントローラー120は前記外部のホストシステムから入力映像と同期する垂直同期信号、水平同期信号、データイネーブル信号及びドットクロックなどのタイミング信号を受信して、前記データ駆動回路130と前記GIP駆動回路140の動作タイミングを制御するための制御信号（Data Driver Control signal；DDC、Gate Driver Control signal；GDC）を生成する。

【0024】

10

20

30

40

50

前記データ駆動回路130はタイミングコントローラ120から入力映像のデータとデータドライバ制御信号DDCを受信して、入力された映像のデータをガンマ補償電圧に変換してデータ電圧を生成し、データ電圧を複数のデータライン139に出力する。

【0025】

前記データ駆動回路130は複数のソース電極ドライバIC(Integrated Circuit)を含み、各ソース電極ドライバICはCOF(Chip On Film)からなり、前記タイミングコントローラ120が実装される前記プリント基板のパッド部と前記表示パネルPNLのパッド部の間に連結される。

【0026】

前記GIP駆動回路140は駆動方式によって表示パネルPNLの一側縁部に配置されても両側縁部に配置されてもよい。図1に示したゲート駆動回路はインターレース(Interlace)方式のGIP駆動回路140であって、表示パネルPNLの左側に配置された第1GIP駆動回路140L及び表示パネルPNLの右側に配置された第2GIP駆動回路140Rを備える。

【0027】

前記GIP駆動回路140は画素アレイ110と同時に表示パネルPNLの基板上に形成されてもよい。すなわち、ゲート駆動回路においてGIP駆動回路140が表示パネルPNLの両側ベゼル領域に画素アレイ110と同時に形成されてもよい。

【0028】

前記GIP駆動回路140は、前記タイミングコントローラ120から伝送された制御信号GDCによって各スキャンライン149に順次ゲート(スキャン)信号を供給する。

【0029】

ここで、前記GIP駆動回路140は、前記タイミングコントローラ120からクロック信号、ゲートスタート信号、ゲートハイ電圧及びゲートロー電圧を直接受けてもよく、前記データ駆動回路130のCOF(Chip On Film)を介して受けてもよい。

【0030】

すなわち、前記表示パネルPNLの非表示領域にラインオンガラス(Line On Glass; LOG)が形成され、前記タイミングコントローラ120からクロック信号、ゲートスタート信号、ゲートハイ電圧及びゲートロー電圧などの信号が前記データ駆動回路130のCOF(Chip On Film)と前記ラインオンガラス(Line On Glass; LOG)を介して前記GIP駆動回路140に印加される。

【0031】

図2は従来のOLED表示パネルの表示領域の一部及び非表示領域を概略的に示す平面図、図3は従来のOLED表示装置を概略的に示す構成ブロック図である。

【0032】

前記表示パネルPNLは、複数の画素Pが備えられた表示領域AAと、前記表示領域Aの周辺部に形成される非表示領域NAとに区分される。

【0033】

前記非表示領域NAは、パッド部PAD、データリンク部D_Link、ゲートリンク部G_Link、連結配線CL、及びGIP駆動回路140を備える。

【0034】

前記パッド部PADは、前記GIP駆動回路140に各種の制御信号(VSS、VDD、CLK、VST、RESET)を供給するためのゲートパッド部G_Padと各データライン139にデータ電圧を供給するためのデータパッド部D_Padとを備える。

【0035】

前記ゲートパッド部G_Pad及びデータパッド部D_Padにはソース電極ドライバICが実装されたCOF(Chip On Film)が接続される。

【0036】

10

20

30

40

50

前記データリンク部 D__L i n k は前記表示領域 A A に配置されたデータライン 1 3 9 とデータパッド部 D__P a d の間に伸びて相互間を電氣的に接続させ、前記ゲートリンク部 G__L i n k は前記 G I P 駆動回路 1 4 0 を駆動するための外部信号を供給するためのもので、前記 G I P 駆動回路 1 4 0 と前記ゲートパッド部 G__P a d の間に伸びて相互間を電氣的に接続させる。したがって、前記タイミングコントローラ 1 2 0 から伝送されたゲートスタート信号 (V S T)、複数のクロック信号 (C L K 1、C L K 2、C L K 3、C L K 4)、リセット信号 (R E S E T)、複数の電圧 (V S S、V D D、V D D 1) などが前記ゲートリンク部 G__L i n k を介して前記 G I P 駆動回路 1 4 0 に伝達される。

【0037】

10

前記 G I P 駆動回路 1 4 0 は前述した画素 P を構成する薄膜トランジスタなどを形成する過程で前記非表示領域 N A に形成される。

【0038】

前記 G I P 駆動回路 1 4 0 はゲート (スキャン) 信号を生成して、表示領域 A A に配置されたスキャンライン 1 4 9 に順次供給する。このために、前記 G I P 駆動回路 1 4 0 はスキャンライン 1 4 9 のそれぞれに接続された複数のステージ S T を備える。

【0039】

前記複数のステージ S T のそれぞれはゲートスタート信号 (V S T) 又は以前段のステージから供給されるキャリア信号によってイネーブルされ、以後段のステージから出力されるキャリア信号によってディセーブルされ、複数のクロック信号 (C L K 1、C L K 2、C L K 3、C L K 4) の一つのクロック信号をキャリア信号又はゲート (スキャン) 信号として出力する。

20

【0040】

また、図 3 に示すように、前記データ駆動回路 1 3 0 は一つ以上のソースドライバ I C (S—I C) を含んでもよい。前記ソースドライバ I C (S—I C) は前記タイミングコントローラ 1 2 0 の制御の下で入力映像のデジタルビデオデータをアナログガンマ補償電圧に変換してデータ電圧を発生し、そのデータ電圧をデータライン 1 3 9 に出力する。前記ソースドライバ I C (S—I C) は撓むことができるフレキシブル回路基板、例えば C O F (C h i p O n F i l m) に実装される。

【0041】

30

図 4 は図 3 に示した C O F の具体的な構成図である。

【0042】

前記 C O F は A C F (a n i s o t r o p i c c o n d u c t i v e f i l m) を介して前記表示パネル P N L のパッド部 P A D とソース P C B (S P C B) に接着される。前記 C O F の入力ピンは前記ソース P C B (S P C B) の出力端子 (パッド) に電氣的に連結される。前記ソース C O F (C O F) の出力ピンは A C F を介して前記表示パネル P N L のパッド部 P A D に電氣的に連結される。

【0043】

前記 C O F の左側及び右側には、図 4 に示すように、前記タイミングコントローラ 1 2 0 から供給されるゲートスタート信号 (V S T)、複数のクロック信号 (C L K 1、C L K 2、C L K 3、C L K 4)、リセット信号 (R E S E T)、複数の電圧 (V S S、V D D、V D D 1) などを前記表示パネル P N L の前記ゲートパッド部 G__P a d に伝達するための信号ライン G I P が形成され、前記 C O F の中央部には前記タイミングコントローラ 1 2 0 から供給される定電圧 E V D D を表示パネルのパッド部の定電圧パッド (図示せず) に伝達するための定電圧ライン E V D D を備える。

40

【0044】

しかし、このような従来の表示パネルは、前記ゲート駆動回路が前記表示パネルの非表示領域に集積化するため、表示装置のナローベゼル (N a r r o w b e z e l) の設計が難しい。

【発明の概要】

50

【発明が解決しようとする課題】

【0045】

本発明は前記のような従来の問題点を解決するためのもので、ベゼルを最小化するためにG I P駆動回路を表示領域に配置し、単面C O Fを適用して表示領域の内部に配置されたG I P駆動回路にG I P信号を印加するようにしたO L E D表示パネル及びO L E D表示装置を提供することにその目的がある。

【課題を解決するための手段】

【0046】

前記のような目的を達成するための本発明によるO L E D表示パネルは、データラインと前記データラインと交差するスキャンラインと、前記データラインと前記スキャンラインとの各交差部に配置されたサブ画素とを含む表示領域；前記表示領域内の各スキャンラインの単位画素領域に分散配置され、該当スキャンラインにスキャンパルスを供給するゲートインパルス（G I P）駆動回路のステージ；及びパッド部、リンク部及びラインオンガラス（L O G）部を備えた非表示領域を備え、前記単位画素領域は、少なくとも3個のサブ画素部と、前記G I P駆動回路のステージを構成する一つの素子が配置されるG I P部と、前記ステージの各素子を連結する連結配線が配置されるG I P内部連結配線部とを備え、前記パッド部は、前記表示領域内に分散配置される前記G I P駆動回路のG I P部に各種の制御信号を供給するためのゲートパッド部と、各データラインにデータ電圧を供給するためのデータパッド部とを備え、前記リンク部及び前記L O G部にわたって前記ゲートパッド部から伸びて前記表示領域内に分散配置されたG I P部に各種の制御信号を供給するための複数の信号配線が配置されることにその特徴がある。

【0047】

また、前記のような目的を達成するための本発明によるO L E D表示装置は、前述のO L E D表示パネル；及びソース電極ドライブI Cが実装され、前記ゲートパッド部及びデータパッド部に接続される複数のチップオンフィルム（C O F）を備えることにその特徴がある。

【0048】

ここで、前記表示領域は各サブ画素に基準電圧を供給するための基準電圧供給ラインと、各サブ画素に第1及び第2定電圧を供給するための第1及び第2定電圧供給ラインをさらに備え、前記データパッド部は、前記基準電圧供給ラインに連結されるパッドと前記第1及び第2定電圧供給ラインと連結されるパッドをさらに備えてもよい。

【0049】

前記信号配線は前記ゲートパッド部から前記リンク部に伸び、前記パッド部を迂回して前記パッド部外側の前記L O G部に伸びて配置されてもよい。

【0050】

前記リンク部は、前記パッド部を貫いて前記信号配線の一つと前記G I P部を接続するリンクラインをさらに備えてもよい。

【0051】

前記リンクラインに相当する前記C O Fの出力ピンはフローティングにされてもよい。

【発明の効果】

【0052】

前記のような特徴を有する本発明によるO L E D表示パネル及びO L E D表示装置は次のような効果がある。

【0053】

第1に、表示領域内にG I P駆動回路を分散配置するので、表示領域左右側の非表示領域にG I P駆動回路を構成する従来の表示パネルに比べて表示パネルの左右ベゼルを最小化することができる。

【0054】

第2に、G I P駆動回路を表示領域内に配置し、パッド部外側のL O G部に信号配線を形成して、表示領域内に分散配置されたG I P駆動回路のG I P部にG I P信号を供給す

10

20

30

40

50

るので、単面COFを用いてGIP信号を供給することができる。

【図面の簡単な説明】

【0055】

【図1】従来のOLED表示装置の駆動回路及び駆動回路の関係を示すブロック図である。

【図2】従来のOLED表示パネルの表示領域の一部及び非表示領域を概略的に示す平面図である。

【図3】従来のOLED表示装置を概略的に示す構成ブロック図である。

【図4】図3に示したCOFの具体的な構成図である。

【図5】本発明のOLED表示パネルにおける一つのサブ画素の回路構成図である。

10

【図6】本発明によるGIP駆動回路の(k)番目ステージの回路構成図である。

【図7】本発明によるOLED表示パネルの表示領域の構成図である。

【図8】図7のOLED表示パネルの表示領域に配置された隣接した2個の単位画素をより具体的に示す構成図である。

【図9】本発明によるOLED表示パネルの表示領域の一部及び非表示領域を概略的に示す平面図である。

【発明を実施するための形態】

【0056】

まず、本出願人は表示パネルのベゼルを最小化するために表示パネルの表示領域にGIP駆動回路を分散配置する発明に関して既に出願したことがある（大韓民国特許出願第10-2017-0125355号（出願日：2017年09月27日）参照）。

20

【0057】

前記既出願の大韓民国特許出願第10-2017-0125355号の発明を簡単に説明すれば次のようである。

【0058】

図5は本発明のOLED表示パネルにおける一つのサブ画素の回路構成図、図6は本発明によるGIP駆動回路の(k)番目ステージの回路構成図である。

【0059】

すなわち、図5は前記既出願の大韓民国特許出願第10-2017-0125355号の図4に相当し、図6は前記既出願の特許出願第10-2017-0125355号の図5に相当する。

30

【0060】

本発明によるOLED表示パネルの各サブ画素は、図5に示すように、有機発光ダイオード(OLED: Organic Light Emitting Diode)と前記有機発光ダイオードを駆動する画素回路とを備える。

【0061】

前記画素回路は、第1及び第2スイッチングTFT(T1、T2)、ストレージキャパシタCst、及び駆動TFT(DT)を含む。

【0062】

前記第1スイッチングTFT(T1)はスキャンパルスScanに応答してデータDATA電圧を前記ストレージキャパシタCstに充電する。前記駆動TFT(DT)は前記ストレージキャパシタCstに充電されたデータ電圧によってOLEDに供給される電流量を制御してOLEDの発光量を調節する。前記第2スイッチングTFT(T2)はセンシング(Sense)信号に応答して前記駆動TFT(DT)の閾値電圧及び移動度をセンシングする。

40

【0063】

前記有機発光ダイオード(OLED)は第1電極（例えば、アノード電極又はカソード電極）、有機発光及び第2電極（例えば、カソード電極又はアノード電極）などからなってもよい。

【0064】

50

前記ストレージキャパシタ C_{st} は前記駆動 TFT (DT) のゲート電極 (gate) とソース電極 (source) の間に電氣的に連結され、映像信号電圧に対応するデータ電圧又はこれに対応する電圧を 1 フレーム時間の間に維持することができる。

【0065】

図 5 は 3 個の TFT (T_1 、 T_2 、DT) と一つのストレージキャパシタ C_{st} とからなる 3T1C サブ画素の構成を示したが、これに限定されず、本発明による OLED 表示パネルの各サブ画素は 4T1C、4T2C、5T1C、5T2C などのサブ画素を有してもよい。

【0066】

一方、本発明による GIP 駆動回路の (k) 番目ステージの回路は、図 6 に示すように、トランジスタ T_A 、 T_B 、 T_{3qA} 、 T_{1B} 、 T_{1C} 、 T_{5A} 、 T_{5B} 及びキャパシタ C_1 を含んでなり、ライン選択信号 (LSP; Line select pulse) によってセット信号 $CP(k)$ を選択的に保存し、該当ステージをブランク区間 (Blank time) に実時間補償用 (VRT; Vertical real time) 信号によって第 1 ノード Q を第 1 定電圧 G_{VDD} で充電し、第 2 ノード Q_b を第 2 定電圧 G_{VSS2} で放電するブランク区間第 1 及び第 2 ノード Q、 Q_b 制御部 21、26; トランジスタ T_1 、 T_{1A} 、 T_{3n} 、 T_{3nA} 、 T_{3q} 、 T_3 、 T_{3A} 、 T_5 を含んでなり、該当ステージを駆動区間に 3 番目前段のキャリアパルス $CP(k-3)$ によって前記第 1 ノード Q を前記キャリアパルス $CP(k-3)$ 電圧で充電し、3 番目後段のキャリアパルス $CP(k+3)$ によって前記第 1 ノード Q 及び第 3 ノード Q_h を第 2 定電圧 G_{VSS2} で放電し、前記第 1 ノード Q の電圧によって第 3 ノード Q_h を前記第 1 定電圧 G_{VDD} で充電する駆動区間第 1 ~ 第 3 ノード制御部 23、25; トランジスタ T_4 、 T_{4l} 、 T_{4q} 、 T_{5q} 及びキャパシタ C_2 を含んでなり、前記第 1 ノード Q の電圧を反転して第 2 ノード Q_b に印加するインバーター部 24; プルアップトランジスタ T_{6cr} 、 T_6 及びプルダウントランジスタ T_{7cr} 、 T_7 及びブートストラッピングキャパシタ C_3 を含んでなり、複数のキャリアパルス出力用クロック信号のうち一つのクロック信号 $C_{CLK}(k)$ 及び複数のスキャンパルス出力用クロック信号のうち一つのクロック信号 $S_{CLK}(k)$ を受信し、前記第 1 ノード Q 及び前記第 2 ノード Q_b の電圧によってキャリアパルス $CP(k)$ 及びスキャンパルス $SP(k)$ を出力する出力バッファ部 27; 及びトランジスタ T_{3nB} 、 T_{3nC} を含んでなり、前記ブランク区間 (Blank time) に前記タイミングコントローラーから出力されるリセット信号 RST によって前記第 1 ノード Q を第 2 定電圧 G_{VSS2} で放電するリセット部 22 を含んでなる。

【0067】

前記ブランク区間第 1 及び第 2 ノード Q、 Q_b 制御部 21、26 は、前記ライン選択信号 LSP がハイレベルであるとき、前記トランジスタ T_A 、 T_B 、 T_{3q} がターンオンされてセット信号 $CP(k)$ を前記キャパシタ C_1 に保存する。

【0068】

そして、前記ブランク区間に前記実時間補償用信号 VRT がハイレベルであるとき、前記トランジスタ T_{1C} 、 T_{5B} がターンオンされて前記第 1 ノード Q を第 1 定電圧 G_{VDD} で充電し、前記第 2 ノード Q_b を第 2 定電圧 G_{VSS2} で放電する。

【0069】

前記駆動区間第 1 ~ 第 3 ノード制御部 23、25 は、駆動区間に前記 3 番目前段のキャリアパルス $CP(k-3)$ がハイレベルであるとき、前記トランジスタ T_1 、 T_{1A} 、 T_5 がターンオンされて前記第 1 ノード Q を前記 3 番目前段のキャリアパルス $CP(k-3)$ 電圧で充電し、前記第 2 ノード Q_b を第 2 定電圧 G_{VSS2} で放電する。このように、前記第 1 ノード Q が充電され、前記第 2 ノード Q_b が放電されるとき、前記トランジスタ T_{3q} がターンオンされて前記第 3 ノード Q_h を第 1 定電圧 G_{VDD} で充電する。

【0070】

そして、3 番目後段のキャリアパルス $CP(k+3)$ がハイレベルであるとき、前記トランジスタ T_{3n} 、 T_{3nA} がターンオンされて、前記第 1 ノード Q 及び前記第 3 ノード

10

20

30

40

50

Qhを第2定電圧GVSS2で放電する。

【0071】

前記インバーター部24は前記第1ノードQの電圧を反転して第2ノードQbに印加する。

【0072】

前記出力バッファ部27は、前記第1ノードQがハイレベルであるとともに前記第2ノードQbがローレベルであるとき、前記プルアップトランジスタT6crがターンオンされ、前記プルダウントランジスタT7crがターンオフされて、前記複数のキャリアパルス出力用クロック信号のうち一つのクロック信号CCCLK(k)をキャリアパルスCP(k)に出力する。また、前記第1ノードQがハイレベルであるとともに前記第2ノードQbがローレベルであるとき、前記プルアップトランジスタT6がターンオンされ、前記プルダウントランジスタT7がターンオフされて、前記複数のスキャンパルス出力用クロック信号のうち一つのクロック信号SCCLK(k)をスキャンパルスSP(k)に出力する。

10

【0073】

この時、前記スキャンパルス出力用クロック信号SCCLK(k)がハイレベルで印加されれば、前記出力バッファ部27の前記ブートストラッピングキャパシタC3によって前記第1ノードQはブートストラッピング（又はカップリング（Coupling））されてもっと高い電位を有する。

【0074】

20

このように前記第1ノードQがブートストラッピングされた状態で、前記出力バッファ部27はそれぞれ入力されたキャリアパルス出力用クロック信号CCCLK(k)及びスキャンパルス出力用クロック信号SCCLK(k)をキャリアパルスCP(k)及びスキャンパルスSP(k)に出力するので、出力損失(Loss)を防止することができる。

【0075】

前記リセット部22は、前記ブランク区間(Blank time)に前記タイミングコントローラ4から出力されるリセット信号RSTがハイレベルであるとき、前記トランジスタT3nB、T3nCがターンオンされて、前記第1ノードQを第2定電圧GVSS2で放電する。

30

【0076】

図6は6相(Phase)で駆動されるGIP駆動回路のステージを示したが、これに限定されず、本発明によるGIP駆動回路のステージは多様に構成されることができる。

【0077】

図6に示すように、前記GIP駆動回路の各ステージは25個のトランジスタと3個のキャパシタを含んでなる。

【0078】

よって、一つの単位画素領域に前記GIP駆動回路のステージを構成する一つの単位素子（トランジスタ又はキャパシタ）を分散配置すれば、一つのスキャンラインを駆動するための一つのステージの回路を配置することができる。

40

【0079】

図7は本発明によるOLED表示パネルの表示領域構成図、図8は図7のOLED表示パネルの表示領域に配置された隣接した2個の単位画素領域をより具体的に示す構成図である。

【0080】

すなわち、図7は前記既出願の大韓民国特許出願第10-2017-0125355号の図6に相当し、図8は前記既出願の大韓民国特許出願第10-2017-0125355号の図7に相当する。

【0081】

図7及び図8に示すように、OLED表示パネルの表示領域にGIP駆動回路を配置す

50

るに当たり、表示領域の単位画素領域は少なくとも３個のサブ画素部 R、G、B、W、G I P 部 3 1、及び G I P 内部連結配線部 3 2 などに区分される。

【0082】

前記少なくとも３個のサブ画素部 R、G、B、W は複数のデータライン D L 1 ～ D L 8、複数の基準電圧ライン V r e f 及び第 1 及び第 2 定電圧ライン E V D D、E V S S が垂直方向に配列され、複数のスキャンライン S C A N が水平方向に配列されて構成される。

【0083】

前記 G I P 部 3 1 は G I P 駆動回路の一つのステージを構成する一つの単位素子（トランジスタ又はキャパシタ）に相当する。すなわち、赤色（R）、緑色（G）、青色（B）、及び白色（W）のサブ画素で構成される単位画素領域に、G I P 駆動回路を構成する一つの単位素子（トランジスタ又はキャパシタ）が分散配置される。

10

【0084】

すなわち、一つのスキャンラインを駆動するための G I P 駆動回路の少なくとも一つのステージ S T が一つのスキャンラインによって駆動される複数の単位画素領域に分散配置される。

【0085】

前記 G I P 内部連結配線部 3 2 は、G I P 駆動回路の一つのステージで各素子を連結する連結配線（Q ノード、Q B ノードなど）が配置される領域である。

【0086】

このように、G I P 駆動回路を表示領域に配置することにより、図 8 に示すように、前記サブ画素部 R、G、B、W を駆動するための複数のデータライン D L 1 ～ D L 8 及び基準電圧ライン V r e f は垂直方向に配置される。

20

【0087】

そして、前記 G I P 部 3 1 は G I P 駆動回路の一つのステージを構成する一つの単位素子（トランジスタ又はキャパシタ）に相当するので、前記 G I P 部 3 1 にも、図 6 に示すような L S P、V R T、G V D D、G V S S 0、G V S S 1、G V S S 2、V S T、C R C L K、S C C L K 信号の一つが印加される。

【0088】

すなわち、前記 G I P 部 3 1 に図 6 に示したトランジスタ T 3 q A、T 1 B、T 3 q、T 4 T 4 1 の一つが配置されると仮定する場合、前記 G I P 部 3 1 には G V D D 信号が印加されなければならない。

30

【0089】

前記 G I P 部 3 1 に図 6 に示したトランジスタ T 3 n C、T 3 n A、T 3 A、T 5 q T 5、T 5 B、T 7 c r の一つが配置されると仮定する場合、前記 G I P 部 3 1 には G V S S 2 信号が印加されなければならない。

【0090】

前記 G I P 部 3 1 に図 6 に示したトランジスタ T 6 c r が配置されると仮定する場合、前記 G I P 部 3 1 には C R C L K（k）信号が印加されなければならない。

【0091】

前記 G I P 部 3 1 に図 6 に示したトランジスタ T 6 が配置されると仮定する場合、前記 G I P 部 3 1 には S C C L K（k）信号が印加されなければならない。

40

【0092】

前記 G I P 部 3 1 に図 6 に示したトランジスタ T 7 が配置されると仮定する場合、前記 G I P 部 3 1 には G V S S 0 信号が印加されなければならない。

【0093】

前記 G I P 部 3 1 に図 6 に示したトランジスタ T 4 q が配置されると仮定する場合、前記 G I P 部 3 1 には G V S S 1 信号が印加されなければならない。

【0094】

前記 G I P 部 3 1 に図 6 に示したトランジスタ T A、T B の一つが配置されると仮定する場合、前記 G I P 部 3 1 には L S P 信号が印加されなければならない。

50

【0095】

前記GIP部31に図6に示したトランジスタT5Aが配置されると仮定する場合、前記GIP部31にはVRT信号が印加されなければならない。

【0096】

このように、GIP駆動回路が表示パネルの表示領域に配置されるので、従来のようなパッド部の構成では前記GIP部31に前記LSP、VRT、GVDD、GVSS0、GVSS1、GVSS2、VST、CCLK、SCCLK信号の一つを印加することができるようにするには構成上の問題がある。

【0097】

すなわち、従来の左／右に位置するGIP信号配線を用いて、表示領域A／A内のGIP部31に配置された素子に前記LSP、VRT、GVDD、GVSS0、GVSS1、GVSS2、VST、CCLK、SCCLK信号の一つを印加する場合、左右非表示領域に前記GIP信号配線が存在するので、極限ナローベゼル(Narrow bezel)の具現に限界がある。また、表示領域A／A内の縦配線(データライン、基準電圧供給ライン及び定電圧ラインなど)とオーバーラップ(overlap)が増加する問題がある。

【0098】

したがって、本発明は、従来のような単面COFを用いて、前記各GIP部31に前記LSP、VRT、GVDD、GVSS0、GVSS1、GVSS2、VST、CCLK、SCCLK信号の一つを印加するようにパッド部及びリンク部の構成を変更する。

【0099】

図9は本発明による表示パネルの表示領域の一部及び非表示領域を概略的に示す平面図である。

【0100】

前記表示パネルPNLは複数の画素(図9には図示しない。図7及び図8で画素部R、W、B、G参照)が備えられ、各画素を駆動するための複数のデータラインDATA、基準電圧供給ラインVREF、画素駆動用電源ラインEVDD、EVSS及びスキャンライン(図9には図示しない。図7及び図8で“SCAN”参照)などが構成される表示領域AA、Pixelと、前記表示領域AA、Pixelの周辺部に形成される非表示領域NAとに区分される。

【0101】

前記非表示領域NAはパッド部PAD、リンク部Link及びLOG部LOGを備える。

【0102】

前記パッド部PADは、前記表示領域AA、Pixel内に分散配置されるGIP駆動回路140のGIP部31に各種の制御信号(LSP、VRT、GVDD、GVSS0、GVSS1、GVSS2、VST、CCLK、SCCLK)を供給するためのゲートパッド部G_Padと、各データラインDATAにデータ電圧を供給し、基準電圧供給ラインVREFに基準電圧を供給し、定電圧ラインEVDD、EVSSに定電圧EVDD、EVSSを供給するためのデータパッド部D_Padを備える。

【0103】

前記ゲートパッド部G_Pad及びデータパッド部D_Padにはソース電極ドライブICが実装されたCOF(Chip On Film)が接続される。

【0104】

また、前記ゲートパッド部G_Pad及びデータパッド部D_Padには各COF(Chip On Film)別に独立的に構成される。すなわち、6個のCOFが付着される場合、6個のゲートパッド部G_Pad及びデータパッド部D_Padが構成される。

【0105】

前記リンク部Linkには、前記表示領域AAに配置されたデータラインDATA、基準電圧供給ラインVREF及び定電圧ラインEVDD、EVSSとデータパッド部D_P

10

20

30

40

50

a d の間に伸びて互いを電氣的に接続させるリンクラインが配置される。

【0106】

また、前記リンク部 L i n k 及び L O G 部 L O G には前記ゲートパッド部 G _ P a d と前記表示領域内に分散配置された G I P 部 G I P (図 8 の 3 1 参照) に各種の制御信号を供給するための信号配線 G I P l i n e s が配置される。

【0107】

前記 L O G 部に配置される前記信号配線 G I P l i n e s は表示パネルの端部まで伸びるものではなく、各 C O F 別に独立的に構成される。

【0108】

すなわち、各 C O F に相当するゲートパッド部 G _ P a d を迂回して、該当 C O F に駆動される表示領域に相応する部分までのみ前記パッド部 P A D の外側の前記 L O G 部 L O G に伸びて配置される。したがって、前記信号配線 G I P l i n e s は、6 個の C O F が付着される場合、6 個のブロックの信号配線が配置される。

【0109】

前記信号配線 G I P l i n e s は前記ゲートパッド部 G _ P a d からリンク部 L i n k に伸び、前記パッド部 P A D を迂回して前記パッド部 P A D の外側の前記 L O G 部 L O G に伸びて配置される。そして、前記 G I P 部 G I P 、 3 1 に形成される素子は、前述したように、各種の制御信号 (L S P 、 V R T 、 G V D D 、 G V S S 0 、 G V S S 1 、 G V S S 2 、 V S T 、 C R C L K 、 S C C L K) のいずれか一つが要求される場合、前記パッド部 P A D を貫いてリンク部 L i n k に前記信号配線 G I P l i n e s の一つと前記 G I P 部 G I P 、 3 1 を接続するリンクラインが形成される。

【0110】

図 9 はゲートパッド部 G _ P a d に 3 個のパッドと 3 個の信号配線 G I P l i n e s を示したが、これに限定されず、前記パッド G _ P a d 及び信号配線 G I P l i n e s は前記各種の制御信号 (L S P 、 V R T 、 G V D D 、 G V S S 0 、 G V S S 1 、 G V S S 2 、 V S T 、 C R C L K 、 S C C L K) の個数以上で配置される。

【0111】

また、前記ゲートパッド部 G _ P a d 及び信号配線 G I P l i n e s は、各ソースドライバ I C (図 3 の C O F 及び S - I C 参照) 別に独立的に配置される。

【0112】

一方、本発明によるデータ駆動回路は、図 3 に示すように、一つ以上のソースドライバ I C (S - I C) を含み、前記ソースドライバ I C (S - I C) は前記タイミングコントローラ 1 2 0 の制御の下で入力映像のデジタルビデオデータをアナログガンマ補償電圧に変換してデータ電圧を発生し、そのデータ電圧をデータライン 1 3 9 に出力する。前記ソースドライバ I C (S - I C) は撓むことができるフレキシブル回路基板、例えば C O F (C h i p O n F i l m) に実装される。

【0113】

前記 C O F は A C F (a n i s o t r o p i c c o n d u c t i v e f i l m) を介して前記表示パネル P N L のパッド部 P A D とソース P C B (S P C B) に接着される。前記 C O F の入力ピンは前記ソース P C B (S P C B) の出力端子 (パッド) に電氣的に連結される。前記ソース C O F (C O F) の出力ピンは A C F を介して前記表示パネル P N L のパッド部 P A D に電氣的に連結される。

【0114】

また、本発明による C O F は図 4 で説明したようである。すなわち、前記 C O F の左側及び右側には前記タイミングコントローラ 1 2 0 から供給される各種の制御信号 (L S P 、 V R T 、 G V D D 、 G V S S 0 、 G V S S 1 、 G V S S 2 、 V S T 、 C R C L K 、 S C C L K) を前記表示パネル P N L の前記ゲートパッド部 G _ P a d に伝達するための信号ライン G I P が形成され、前記 C O F の中央部には前記タイミングコントローラ 1 2 0 から供給される定電圧 E V D D を表示パネルのパッド部の定電圧パッド (図示せず) に伝達するための定電圧ライン E V D D を備える。

【0115】

前記のように、COFの左右側に信号ラインGIPが形成され、前記COFの中央部に定電圧ラインEVDDが配置されるので、表示パネル内に分散配置されたGIP部31に前記各種の制御信号を印加することができない。

【0116】

したがって、図9のように、表示パネルにおいてGIP部GIP（図8の31参照）に各種の制御信号を供給するための信号配線GIP linesの配置を変更した。

【0117】

もちろん、図9のように、表示パネルにおいてGIP部GIP（図8の31参照）に各種の制御信号を供給するための信号配線GIP linesの配置を変更せず、両面COFを用いることができるが、COFから各種の制御信号（LSP、VRT、GVDD、GVSS0、GVSS1、GVSS2、VST、CRCLK、SCCLK）を伝達するための信号ラインGIPと定電圧EVDDを伝達するための定電圧ラインEVDDが互いに重畳しなければならないため、前記各種の制御信号で干渉現象が発生してエラーが発生することがあり、COFのコストが増加することになる。

【0118】

この時、図9で説明した前記パッド部PADを貫いてリンク部Linkに前記信号配線GIP linesの一つと前記GIP部GIP、31を接続するリンクラインに相当するCOFの出力ピン（例えば、定電圧EVDDピン）はフローティング（Floating）される。

【0119】

以上で説明したように、前記リンク部Link及びLOG部LOGには前記ゲートパッド部G_Padと前記表示領域内に分散配置されたGIP部GIP（図8の31参照）に各種の制御信号を供給するための信号配線GIP linesが配置され、前記パッド部PADを貫いてリンク部Linkに前記信号配線GIP linesの一つと前記GIP部GIP、31を接続するリンクラインが形成されるので、従来のような単面COFを適用して前記表示領域内に分散配置されたGIP駆動回路を駆動することができる。

【0120】

以上説明した内容から、当業者であれば本発明の技術思想を逸脱しない範囲内で多様な変更及び修正が可能であるのが分かるであろう。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるものではなく、特許請求の範囲によって決定されなければならない。

【符号の説明】

【0121】

PNL：表示パネル

S-IC：ソースドライバIC

31：GIP部

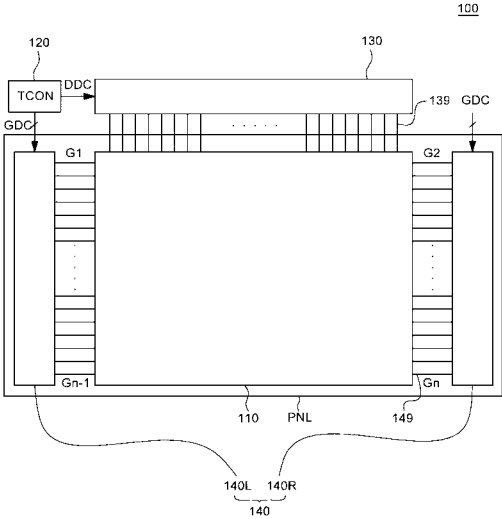
32：GIP内部連結配線部

10

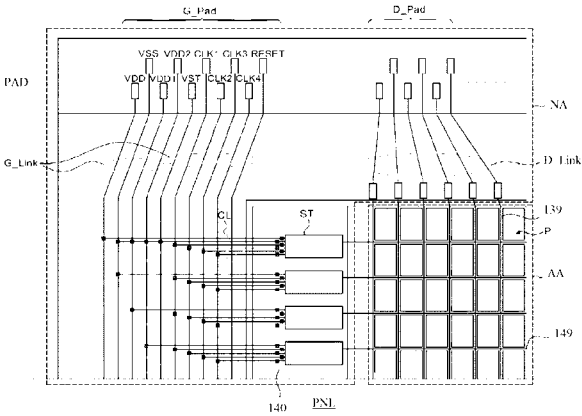
20

30

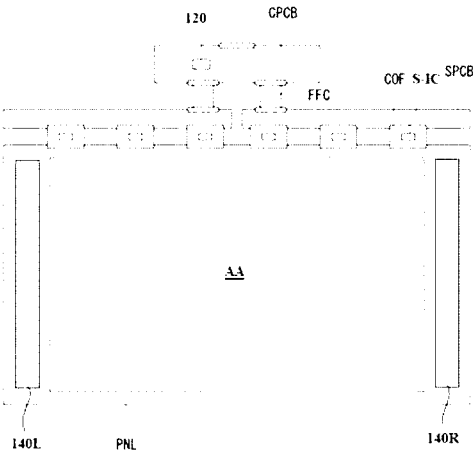
【図 1】



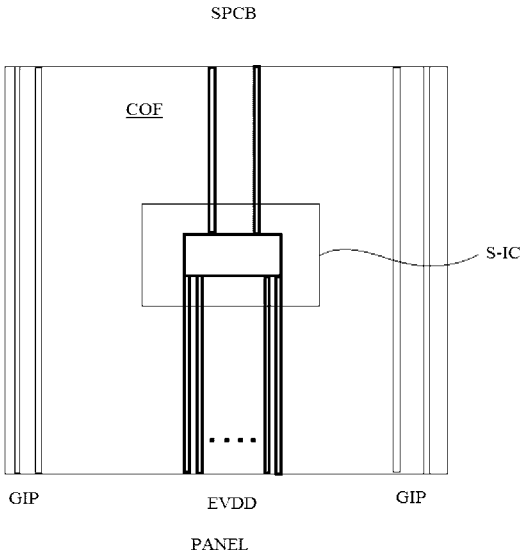
【図 2】



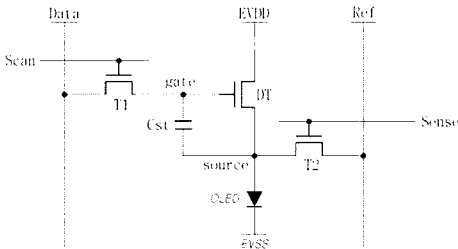
【図 3】



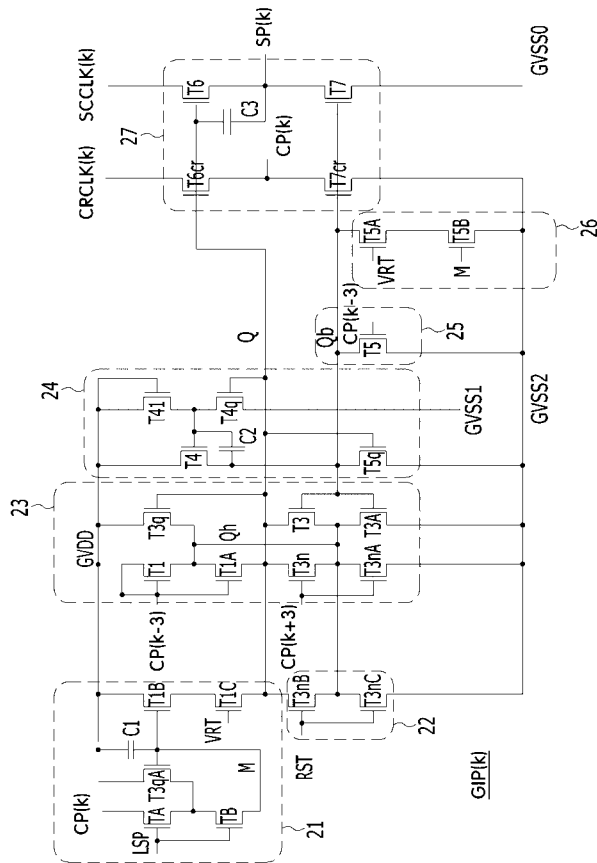
【図 4】



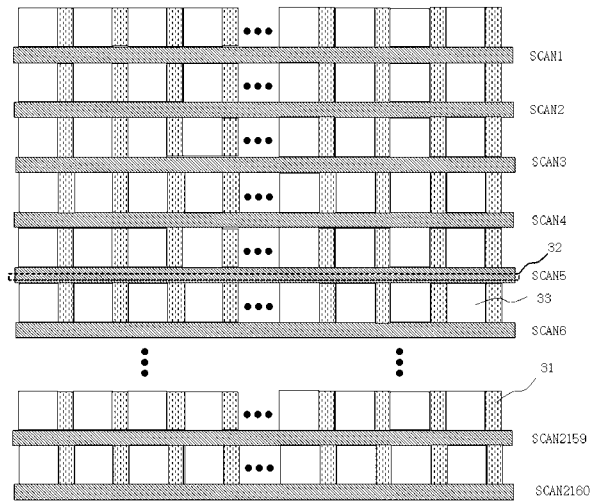
【図 5】



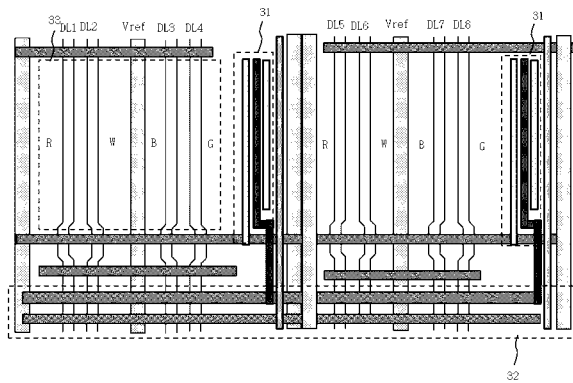
【図 6】



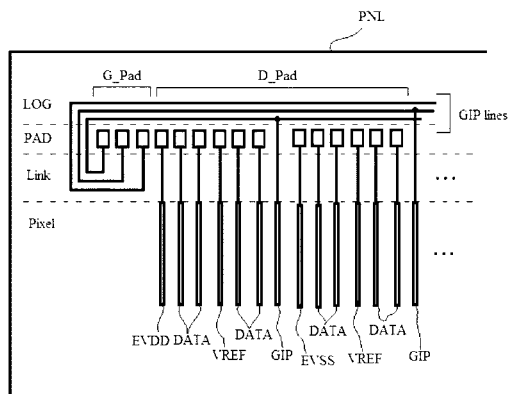
【圖 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考) 5C094 AA15 BA03 BA27 CA19 DB02 FA01 FA02

专利名称(译)	OLED显示面板和OLED显示装置		
公开(公告)号	JP2019079786A	公开(公告)日	2019-05-23
申请号	JP2018132457	申请日	2018-07-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
发明人	金 ▲ギョン▼▲ミン▼ 韓 仁孝		
IPC分类号	H05B33/02 H01L27/32 H01L51/50 H05B33/06 G09F9/30		
CPC分类号	G09G3/3266 G09G2300/0408 G09G2300/0426 G09G2310/0281 G09G2310/0291 H01L27/3276 G09G2300/0439 G09G2310/08		
FI分类号	H05B33/02 H01L27/32 H05B33/14.A H05B33/06 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC43 3K107/DD38 3K107/DD39 3K107/EE03 3K107/EE57 5C094 /AA15 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB02 5C094/FA01 5C094/FA02		
优先权	1020170140208 2017-10-26 KR		
外部链接	Espacenet		

摘要(译)

提供具有最小化边框的OLED显示面板。OLED显示面板PNL是包括布置在数据线DATA和扫描线的交叉点处的子像素的显示区域;分布在每条扫描线的单位像素区域中,并将扫描脉冲提供给相应的扫描线GIP驱动电路的阶段;包括焊盘部分,链接部分和LOG部分的非显示区域,并且单位像素区域是GIP部分,其中构成子像素部分的一个元素和阶段并且,设置GIP内部连接布线部分,其中设置用于连接平台的每个元件的连接布线,并且焊盘部分PAD具有用于向GIP部分提供控制信号的栅极焊盘部分和用于每个数据线的的数据电压并且多条信号线从栅极焊盘部分延伸穿过连接部分和LOG部分,以向GIP部分提供各种控制信号。。[选图]图9

