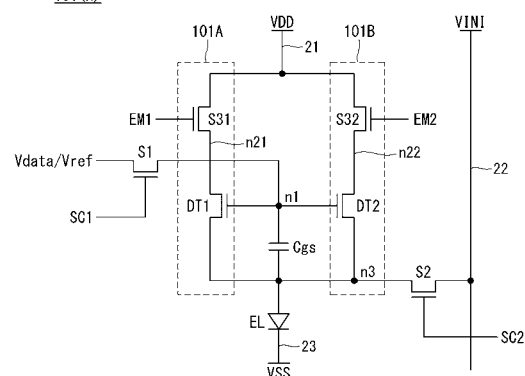




【特許請求の範囲】**【請求項 1】**

互いに交差するデータラインとゲートライン、及びマトリックス状に配置された画素を含む電界発光表示装置において、

前記画素のそれぞれのサブ画素は、

第 1 発光制御信号に応答して、画素駆動電圧と発光素子との間の電流経路をスイッチングする第 1 E M スイッチ素子、及び前記第 1 E M スイッチ素子と前記発光素子との間に接続された第 1 駆動素子を用いて、前記発光素子を駆動する第 1 駆動部と、

第 2 発光制御信号に応答して、前記画素駆動電圧と発光素子との間の電流経路をスイッチングする第 2 E M スイッチ素子、及び前記第 2 E M スイッチ素子と前記発光素子との間に接続された第 2 駆動素子を用いて、前記発光素子を駆動する第 2 駆動部を備える電界発光表示装置。

10

【請求項 2】

前記駆動素子と前記 E M スイッチ素子のそれぞれの半導体パターンは、酸化物半導体を含むトランジスタを含む、請求項 1 に記載の電界発光表示装置。

【請求項 3】

前記第 1 及び第 2 駆動素子は、1 つのゲートを共有する、請求項 2 に記載の電界発光表示装置。

【請求項 4】

前記第 1 及び第 2 駆動素子は、基板上に垂直に積層され、

20

前記第 1 及び第 2 駆動素子の内、いずれかが 1 つが第 1 半導体パターン上に前記ゲートが配置されたトップゲート構造のトランジスタであり、

他の 1 つが第 2 半導体パターンの下に前記ゲートが配置されたボトムゲート構造のトランジスタである、請求項 3 に記載の電界発光表示装置。

【請求項 5】

前記第 1 及び第 2 駆動素子のそれぞれは、前記 1 つのゲートを共有するトップゲート構造のトランジスタである、請求項 3 に記載の電界発光表示装置。

【請求項 6】

前記第 1 及び第 2 駆動素子のそれぞれは、前記 1 つのゲートを共有するボトムゲート構造のトランジスタである、請求項 3 に記載の電界発光表示装置。

30

【請求項 7】

ノーマル駆動モードにおいて毎フレームごとにデータが前記画素に書き込まれ、

前記第 1 及び第 2 駆動部が前記ノーマル駆動モード内で交互に駆動され、

前記ノーマル駆動モードの第 1 駆動部の駆動時間の間、第 1 E M 信号がゲートオン電圧で発生され、前記第 1 E M スイッチ素子がターンオンされ、

前記ノーマル駆動モードの第 2 駆動部の駆動時間の間、第 2 E M 信号がゲートオン電圧で発生され、前記第 2 E M スイッチ素子がターンオンされる、請求項 1 に記載の電界発光表示装置。

【請求項 8】

ノーマル駆動モードにおいて毎フレームごとにデータが前記画素に書き込まれ、

40

低消費電力駆動モードにおいて、前記ノーマル駆動モードより低いフレームレートで前記データが前記画素に書き込まれ、

前記ノーマル駆動モードにおいて、第 1 E M 信号がゲートオン電圧で発生され、前記第 1 駆動部が駆動され、

前記低消費電力駆動モードにおいて、第 2 E M 信号がゲートオン電圧で発生され、前記第 2 駆動部が駆動される、請求項 1 に記載の電界発光表示装置。

【請求項 9】

ノーマル駆動モードにおいて毎フレームごとにデータが前記画素に書き込まれ、

低消費電力駆動モードにおいて、前記ノーマル駆動モードより低いフレームレートで前記データが前記画素に書き込まれ、

50

前記ノーマル駆動モードにおいて、前記第 1 及び第 2 E M 信号が交互にゲートオン電圧で発生され、前記第 1 及び第 2 駆動部が交互に駆動され、

前記低消費電力駆動モードにおいて、前記第 2 E M 信号がゲートオン電圧で発生され、前記第 2 駆動部が駆動される、請求項 1 に記載の電界発光表示装置。

【請求項 1 0】

前記第 2 駆動素子のチャンネル比 (W/L) が前記第 1 駆動素子のチャンネル比 (W/L) より小さい、請求項 9 に記載の電界発光表示装置。

【請求項 1 1】

前記第 2 駆動部が駆動されるとき、前記第 2 駆動部に印加される前記画素駆動電圧が、前記第 1 駆動部が駆動されるとき、前記第 1 駆動部に印加される前記画素駆動電圧より低い、請求項 9 に記載の電界発光表示装置。

10

【請求項 1 2】

前記駆動素子のゲートと前記発光素子との間に接続されるストレージキャパシタをさらに備え、

予め設定されたしきい値電圧のサンプリング期間に第 1 及び第 2 駆動素子のしきい値電圧が前記ストレージキャパシタに貯蔵され、

前記しきい値電圧サンプリング期間の後に設定されたデータ書き込み期間に前記駆動素子のゲートにデータ電圧が供給される、請求項 1 に記載の電界発光表示装置。

【請求項 1 3】

前記第 1 駆動部は、

20

前記第 1 駆動素子と、前記発光素子との間に配置されて、第 3 発光制御信号に応答して前記第 1 駆動素子と前記発光素子との間の電流経路をスイッチングする第 3 E M スイッチ素子をさらに備え、

前記第 2 駆動部は、

前記第 2 駆動素子と、前記発光素子との間に配置されて第 4 発光制御信号に応答して前記第 2 駆動素子と、前記発光素子との間の電流経路をスイッチングする第 4 E M スイッチ素子をさらに備える、請求項 1 に記載の電界発光表示装置。

【請求項 1 4】

第 1 スキャン信号に応答して、初期化時間と、前記初期化時間の後に割り当てられたサンプリング時間に所定の基準電圧を前記第 1 及び第 2 駆動素子のゲートに供給した後、前記サンプリング時間以降に割り当てられたデータ書き込み時間にデータ電圧を前記第 1 及び第 2 駆動素子のゲートに供給する第 1 スイッチ素子と、

30

第 2 スキャン信号に応答して、前記初期化時間に所定の初期化電圧を前記発光素子のアノードと前記第 1 及び第 2 駆動素子のソース電極に供給する第 2 スイッチ素子をさらに備える、請求項 1 又は 1 3 に記載の電界発光表示装置。

【請求項 1 5】

第 1 スキャン信号に応答して、初期化時間と、前記初期化時間の後に割り当てられたサンプリング時間に所定の基準電圧を前記第 1 及び第 2 駆動素子のゲートに供給する第 1 スイッチ素子と、

第 2 スキャン信号に応答して、前記初期化時間に所定の初期化電圧を前記発光素子のアノードと前記第 1 及び第 2 駆動素子のソース電極に供給する第 2 スイッチ素子と、

40

第 3 スキャン信号に応答して、前記サンプリング時間に続いて割り当てられたデータ書き込み時間にデータ電圧を前記第 1 及び第 2 駆動素子のゲートに供給する第 3 スイッチ素子をさらに備える、請求項 1 又は 1 3 に記載の電界発光表示装置。

【請求項 1 6】

センシングモードにおいて、前記第 1 及び第 3 スキャン信号が同時にゲートオン電圧で発生して前記第 1 及び第 3 スイッチ素子が同時にターンオンされ、

前記基準電圧が供給される基準電圧ライン、前記第 1 及び第 3 スイッチ素子と、前記データ電圧が供給されるデータラインを含む電流経路を介して前記第 3 スイッチ素子のしきい値電圧がセンシングされる、請求項 1 5 に記載の電界発光表示装置。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、1つの発光素子に2つの駆動素子が接続された電界発光表示装置に関する。

【背景技術】**【0002】**

平面表示装置は、液晶表示装置(Liquid Crystal Display: LCD)、電界発光表示装置(Electroluminescence Display)、電界放出表示装置(Field Emission Display: FED)、プラズマディスプレイパネル(Plasma Display Panel: PDP)などがある。

【0003】

電界発光表示装置は、発光層の材料に応じて無機発光表示装置と有機発光表示装置に大別される。アクティブマトリックスタイプ(active matrix type)の有機発光表示装置は、自ら発光する有機発光ダイオード(Organic Light Emitting Diode: 以下、「OLED」と称する)を含み、応答速度が速く、発光効率、輝度及び視野角が大きい長所がある。

【0004】

有機発光表示装置のOLEDは、アノード電極及びカソード電極と、これらの間に形成された有機化合物層を含む。有機化合物層は、正孔注入層(Hole Injection layer、HIL)、正孔輸送層(Hole transport layer、HTL)、発光層(Emission layer、EML)、電子輸送層(Electron transport layer、ETL)及び電子注入層(Electron Injection layer、EIL)からなる。アノード電極とカソード電極に電源電圧が印加されると正孔輸送層(HTL)を通過した正孔と電子輸送層(ETL)を通過した電子が発光層(EML)に移動されて励起子を形成し、その結果、発光層(EML)が可視光を発生することになる。

【0005】

駆動素子の電気的特性ばらつきを補償するために、電界発光表示装置に内部補償方法と、外部補償方法が適用されることができ。内部補償方法は、駆動素子の電気的特性に応じて変化する駆動素子のゲートソース間電圧を用いて、画素(pixel:ピクセル)間の駆動素子の電気的特性ばらつきをリアルタイムに自動的に補償する。外部補償の方法は、駆動素子の電気的特性に応じて変化する画素の電圧をセンシングし、センシングされた電圧に基づいて、外部回路で入力映像のデータを変調することにより、ピクセル間の駆動素子の電気的特性ばらつきを補償する。

【0006】

有機発光表示装置の画素の各々は、入力映像の画素データに基づいてOLEDに流れる電流を調節する駆動素子を含む。駆動素子は、トランジスタ(Transistor)で実現されることができ。しきい値電圧、移動度などのような駆動素子の電気的特性は、すべての画素において同じでなければならないが、工程条件、駆動環境等により駆動素子の電気的特性が均一でないことがある。駆動素子は駆動時間が長くなるほど、多くのストレス(stress)を受けることになる。入力映像の画素データに基づいて駆動素子のストレスが変わる。駆動素子のストレスが増加するほど駆動素子の劣化が速くなる。画素の駆動素子がストレスの累積により駆動素子のしきい値電圧がシフト(shift)され、その結果、映像が変わっても、以前の映像の残像が見えることがある。

【発明の概要】**【発明が解決しようとする課題】****【0007】**

本発明の目的は、駆動素子のストレス累積によりもたらされる残像を防止し、消費電力を削減することができる電界発光表示装置を提供することにある。

【課題を解決するための手段】**【0008】**

本発明の電界発光表示装置は、互いに公差するデータラインとゲートラインと、マトリックス状に配置された画素を含む。

10

20

30

40

50

【 0 0 0 9 】

前記画素のそれぞれのサブ画素は、第 1 発光制御信号に応答して、画素駆動電圧と発光素子との間の電流経路をスイッチングする第 1 E M スイッチ素子、及び前記第 1 E M スイッチ素子と前記発光素子との間に接続された第 1 駆動素子を用いて前記発光素子を駆動する第 1 駆動部と、第 2 発光制御信号に応答して、前記画素駆動電圧と前記発光素子との間の電流経路をスイッチングする第 2 E M スイッチ素子、及び前記第 2 E M スイッチ素子と前記発光素子との間に接続された第 2 駆動素子を用いて前記発光素子を駆動する第 2 駆動部を備える。

【 発明の効果 】

【 0 0 1 0 】

10

本発明は、内部補償回路を含む画素回路を用いて、2つの駆動素子のしきい値電圧を補償して発光素子を駆動し、その駆動素子を交互に駆動することにより、ストレスの累積を軽減し駆動素子の電気的特性回復時間を確保する。本発明は、低消費電力駆動モードにおいてフレームレートを下げ、低チャンネル比を有する駆動素子を駆動する。したがって、本発明は、電界発光表示装置において駆動素子のストレス累積によりもたらされる残像を防止し、消費電力を削減することができる。

【 0 0 1 1 】

本発明は、チャンネル比が他の駆動素子に印加される画素駆動電圧を調整してノーマル駆動モードと低消費電力駆動モードにおいて輝度を同一にすることができる。

【 0 0 1 2 】

20

本発明は、画素回路に接続されたデータ電圧経路と基準電圧経路を分離して、高解像度 / 高速表示パネルで駆動素子のサンプリング時間を十分に確保することができ、データ電圧経路と基準電圧経路上のスイッチ素子を接続した電流経路を用いて、スイッチ素子のしきい値電圧をセンシングすることができる。

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 本発明の実施形態に係る電界発光表示装置を示すブロック図である。

【 図 2 】 本発明の第 1 実施形態に係る画素回路を示す回路図である。

【 図 3 A 】 図 2 に示された画素回路の動作を示す図である。

【 図 3 B 】 図 2 に示された画素回路の動作を示す図である。

30

【 図 3 C 】 図 2 に示された画素回路の動作を示す図である。

【 図 3 D 】 図 2 に示された画素回路の動作を示す図である。

【 図 4 A 】 図 2 に示された画素回路の動作を示す図である。

【 図 4 B 】 図 2 に示された画素回路の動作を示す図である。

【 図 4 C 】 図 2 に示された画素回路の動作を示す図である。

【 図 4 D 】 図 2 に示された画素回路の動作を示す図である。

【 図 5 】 ノーマル駆動モードにおいて発光制御信号の一例を示す波形図である。

【 図 6 】 ノーマル駆動モードと低消費電力駆動モードを示す図である。

【 図 7 】 トランジスタにおいて半導体チャネル層の幅と長さを示す図である。

【 図 8 】 ノーマル駆動用トランジスタと低消費電力駆動用トランジスタの伝達特性を示す図である。

40

【 図 9 】 ノーマル駆動モードと低消費電力駆動モードにおいて発光制御信号の一例を示す波形図である。

【 図 1 0 】 本発明の実施形態に係る画素回路の断面構造を示す表示パネルの断面図である。

【 図 1 1 】 本発明の実施形態に係る画素回路の断面構造を示す表示パネルの断面図である。

【 図 1 2 】 図 1 0 及び図 1 1 に示された駆動素子の平面構造を示す平面図である。

【 図 1 3 】 共通ゲートを共有する駆動素子の他の平面構造を示す平面図である。

【 図 1 4 】 本発明の第 2 実施形態に係る画素回路を示す回路図である。

50

【図 1 5】図 1 4 に示された駆動素子の第 1 及び第 2 電極が同時にフローティングされる例を示して図である。

【図 1 6 A】図 1 4 に示された画素回路の動作を示す図である。

【図 1 6 B】図 1 4 に示された画素回路の動作を示す図である。

【図 1 6 C】図 1 4 に示された画素回路の動作を示す図である。

【図 1 6 D】図 1 4 に示された画素回路の動作を示す図である。

【図 1 7 A】図 1 4 に示された画素回路の動作を示す図である。

【図 1 7 B】図 1 4 に示された画素回路の動作を示す図である。

【図 1 7 C】図 1 4 に示された画素回路の動作を示す図である。

【図 1 7 D】図 1 4 に示された画素回路の動作を示す図である。

10

【図 1 8 A】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 8 B】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 8 C】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 8 D】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 9 A】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 9 B】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 9 C】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 1 9 D】本発明の第 3 実施形態に係る画素回路を示す図である。

【図 2 0】スイッチ素子のしきい値電圧のセンシング方法を示す図である。

【図 2 1】センシングモードで基準電圧が高くなる例を示す図である

20

【発明を実施するための形態】

【0014】

本発明の利点及び特徴、そしてそれらを達成する方法は添付される図面と共に詳細に後述されている実施形態を参照すると明確になる。本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で実現されるものであり、但し、本実施形態は、本発明が完全に開示され、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は、請求項の範疇によって定義されるだけである。

【0015】

本発明の実施形態を説明するための図で開示された形状、大きさ、比率、角度、個数などは例示的なものなので、本発明は、図に示された事項に限定されるものではない。明細書全体に亘って同一参照符号は質的に同一の構成要素を指す。また、本発明を説明することにおいて、関連する公知技術に対する具体的な説明が本発明の要旨を不必要に曖昧にすると判断された場合、その詳細な説明は省略する。

30

【0016】

本明細書上で言及された「備える」、「含む」、「有する」、「なる」などが用いられる場合、「～だけ」が使用されない限り、他の部分が追加されることができる。構成要素を単数で表現した場合に特に明示的な記載事項がない限り、複数として解釈され得る。

【0017】

構成要素を解釈することにおいて、別の明示的な記載がなくても誤差の範囲を含むものと解釈する。

40

【0018】

位置関係の説明である場合、例えば、「～の上に」、「～の上部に」、「～の下部に」、「～の隣に」などで、2 構成要素の間に位置関係が説明される場合、「すぐに」または「直接」が使用されない限り、その構成要素の間に 1 つ以上の他の構成要素が介在することができる。

【0019】

構成要素を区分するために、第 1、第 2 などが使用されることができるが、この構成要素は、構成要素の前についた序数や構成要素の名称で、その機能や構造が制限されない。例えば、図 4 の画素回路で構成要素の前に付けられた第 1、第 2、第 3 及び第 4 のような

50

序数は、スイッチ素子（S 1 ～ S 4 ）を介してデータラインに順次充電される順序に基づいて付けられたものである。

【 0 0 2 0 】

以下の実施形態は、部分的にまたは全体的に互いに結合または組み合わせ可能であり、技術的に様々な連動と駆動が可能である。各実施形態は、互いに対して独立的に実施することもでき、関連して一緒に行うこともできる。

【 0 0 2 1 】

本発明の電界発光表示装置において画素回路は、n型TFT（NMOS）とp型TFT（PMOS）の内、1つ以上を含むことができる。TFTは、ゲート（gate）、ソース（source）及びドレイン（drain）を含む3電極素子である。ソースは、キャリア（carrier）をトランジスタに供給する電極である。TFT内でキャリアは、ソースから流れ始める。ドレインはTFTでキャリアが外部に出る電極である。TFTにおいてキャリアの流れは、ソースからドレインに流れる。n型TFTの場合、キャリアが電子（electron）であるため、ソースからドレインに電子が流れることができるよう、ソース電圧がドレイン電圧より低い電圧を有する。n型TFTで電流の方向は、ドレインからソースの方向に流れる。p型TFT（PMOS）の場合、キャリアが正孔（hole）であるため、ソースからドレインに正孔が流れることができるよう、ソース電圧がドレイン電圧より高い。p型TFTで正孔がソースからドレインの方向に流れるため、電流がソースからドレインの方向に流れる。TFTのソースとドレインは、固定されたものではないことに注意しなければならない。例えば、ソースとドレインは、印加電圧に応じて変更されることができる。したがって、TFTのソースとドレインによって発明が限定されない。以下の説明においてTFTのソースとドレインを第1及び第2電極に称する。

10

20

【 0 0 2 2 】

スイッチ素子として用いられるTFTのゲート信号は、ゲートオン電圧（Gate On Voltage）とゲートオフ電圧（Gate Off Voltage）の間でスイングする。ゲートオン電圧はTFTのしきい値電圧より高い電圧に設定され、ゲートオフ電圧はTFTのしきい値電圧より低い電圧に設定される。TFTは、ゲートオン電圧に応答してターンオン（turn-on）されるものの、ゲートオフ電圧に応答してターンオフ（turn-off）される。NMOSの場合、ゲートオン電圧はゲートハイ電圧（Gate High Voltage、VGH）であり、ゲートオフ電圧はゲートロー電圧（Gate Low Voltage、VGL）で有り得る。PMOSの場合、ゲートオン電圧はゲートロー電圧（VGL）であり、ゲートオフ電圧は、ゲートハイ電圧（VGH）ことができる。

30

【 0 0 2 3 】

以下、添付された図面を参照して、本発明の様々な実施形態を詳細に説明する。以下の実施形態において、電界発光表示装置は、有機発光物質を含む有機発光表示装置を中心に説明する。本発明の技術的思想は、有機発光表示装置に限定されず、無機発光物質を含む無機発光表示装置に適用することができる。

【 0 0 2 4 】

本発明は、電界発光表示装置の画質と寿命を改善するために駆動素子の劣化を補償するための補償回路を画素回路に適用する。この補償回路は、サブ画素内の内部補償回路を用いて駆動素子のしきい値電圧をサンプリングし、入力映像のデータ電圧をしきい値電圧だけ補償して、画素を駆動することにより、駆動素子との間のしきい値電圧偏差を画素回路内部でリアルタイム自動で補償する。また、本発明は、画素回路において1つの発光素子に2つの駆動素子を接続し、その駆動素子を交互駆動して駆動素子のストレスの累積進行を遅らせ駆動素子の劣化を改善することにより残像を防止する。

40

【 0 0 2 5 】

図1を参照すると、本発明の実施形態に係る電界発光表示装置は、表示パネル100と、表示パネル駆動回路を含む。

【 0 0 2 6 】

表示パネル100は、画面上で入力映像を表示するアクティブ領域（AA）を含む。ア

50

クティブ領域（AA）に画素アレイが配置される。画素アレイは、複数のデータライン102、データライン102と交差される複数のゲートライン103、及びマトリックス状に配置される画素を含む。

【0027】

画素の各々は、カラー実現のため赤色サブ画素、緑色サブ画素、青色サブ画素に分けられる。画素の各々は、白色サブ画素をさらに含むことができる。サブ画素101のそれぞれは、画素回路を含む。画素回路は、図2及び図14の例のように、1つの発光素子（EL）に接続された第1及び第2駆動素子（DT1、DT2）、複数のスイッチ素子（S1～S34）、及びキャパシター（Cgs）を含む。駆動素子とスイッチ素子は、NMO SまたはPMOS構造のTFTに実現されることができる。画素回路は、図2及び図14 10
に限定されないことに注意しなければならない。例えば、図2及び図14は、NMO S構造の画素回路を例示したが、画素回路の駆動素子とスイッチ素子は、PMOSで実現されることができる。画素回路は、データライン102とゲートライン103に接続される。

【0028】

表示パネル100は、図2及び図14に示すように、画素駆動電圧または高電位駆動電圧（VDD）をサブ画素101に供給するための第1電源ライン21、画素回路を初期化するための所定の初期化電圧（VINI）をサブ画素101に供給するための第2電源ライン22、低電位電源電圧（VSS）を画素に供給するためのVSS電極等をさらに含む。電源ラインとVSS電極は、示さない電源回路に接続される。

【0029】

表示パネル100上にタッチセンサが配置されることができる。タッチ入力は、別のタッチセンサを用いて、センシングされたり、画素を介してセンシングすることができる。タッチセンサは、オンセル（On-cell type）またはアドオンタイプ（Add on type）で表示パネルの画面上に配置したり、画素アレイに内蔵されるインセル（In-cell type）タッチセンサに実現されることができる。

【0030】

表示パネル駆動回路は、データ駆動部110とゲート駆動部120を備える。データ駆動部110とデータライン102との間に配置されたデマルチプレクサ112が配置されることができる。

【0031】

表示パネル駆動回路（110、112、120）は、タイミングコントローラ（Timing controller、TC ON）130の制御下に表示パネル100の画素に入力映像のデータを書き込む。表示パネル駆動回路は、タッチセンサを駆動するためのタッチセンサ駆動部をさらに備えることができる。タッチセンサ駆動部は、図1において省略されている。モバイル機器やウェアラブル機器において表示パネル駆動回路、タイミングコントローラ130と、電源回路は、1つの集積回路に集積することができる。

【0032】

データ駆動部110は、毎フレーム期間ごとにタイミングコントローラ130から受信される入力映像のデジタルデータをガンマ補償電圧に変換してデータ信号を発生する。データ駆動部110は、チャンネルのそれぞれにおいて出力バッファを介してデータ信号の電圧（以下、「データ電圧」と称する）を出力する。デマルチプレクサ112は、複数のスイッチ素子を用いて、データ駆動部110とデータライン102との間に配置されて、データ駆動部110から出力されるデータ電圧をデータライン102に分配する。デマルチプレクサ112によってデータ駆動部110の一チャンネルが複数のデータラインに時分割接続されるので、データライン102の数が減少することができる。

【0033】

ゲート駆動部120は、アクティブ領域のTFTアレイと共に表示パネル100上のベゼル（Bezel）領域上に直接形成されるGIP（Gate in panel）回路として実現されることができる。ゲート駆動部120は、タイミングコントローラ130の制御下にゲート信号をゲートライン103に出力する。ゲート駆動部120は、シフトレジスタ（Shift 50

register)を用いて、ゲート信号をシフトさせることで、その信号をゲートライン103に順次供給することができる。ゲート信号は、スキャン信号(SC1、SC2)と発光制御信号(以下、「EM信号」と称する)を含む。

【0034】

ゲート駆動部120は、第1ゲート駆動部121と第2ゲート駆動部122を含むことができる。第1ゲート駆動部121は、スキャン信号(SC1、SC2)を出力し、シフトクロックに基づいてスキャン信号(SC1、SC2)を順次シフトする。第2ゲート駆動部122は、EM信号(EM)を出力し、シフトクロックに基づいてEM信号(EM)を順次シフトする。ベゼルがないモデルの場合、第1及び第2ゲート駆動部(121、122)を構成するスイッチ素子がアクティブ領域(AA)内に分散配置されることができる。

10

【0035】

タイミングコントローラ130は、示さないホストシステムから入力映像のデジタルビデオデータ(DATA)と、それと同期されるタイミング信号を受信する。タイミング信号は、垂直同期信号(Vsync)、水平同期信号(Hsync)、クロック信号(DCLK)及びデータイネーブル信号(DE)などを含む。ホストシステムは、TV(Television)システム、セットトップボックス、ナビゲーションシステム、パーソナルコンピュータ(PC)、ホームシアターシステム、モバイル機器、ウェアラブル機器の内、いずれか1つで有り得る。

【0036】

タイミングコントローラ130は、ノーマル駆動モードでフレームレート(Frame rate)を入力フレーム周波数より高く調整することができる。例えば、タイミングコントローラ130は、入力フレーム周波数を*i*倍逡倍して、フレーム周波数×*i*(*i*は0より大きい正の整数)Hzのフレーム周波数で表示パネル駆動部(110、112、120)の動作タイミングを制御することができる。フレーム周波数は、NTSC(National Television Standards Committee)方式で60Hzであり、PAL(Phase-Alternating Line)方式で50Hzである。タイミングコントローラ130は、低消費電力駆動モードにおいて画素のリフレッシュレートを下げるために、フレーム周波数を1Hz~30Hzの間の周波数に下げることができる。

20

【0037】

タイミングコントローラ130は、ホストシステムから受信したタイミング信号(Vsync、Hsync、DE)に基づいてデータ駆動部110の動作タイミングを制御するためのデータタイミング制御信号、デマルチプレクサ112の動作タイミングを制御するためのスイッチ制御信号、ゲート駆動部120の動作タイミングを制御するためのゲートタイミング制御信号を発生する。タイミングコントローラ130から出力されたゲートタイミング制御信号の電圧レベルは、示さないレベルシフタを介してゲートオン電圧とゲートオフ電圧に変換されて、ゲート駆動部120に供給することができる。レベルシフタは、ゲートタイミング制御信号のローレベルの電圧(low level voltage)をゲートロー電圧(VGL)に変換し、ゲートタイミング制御信号のハイレベル電圧(high level voltage)をゲートハイ電圧(VGH)に変換する。

30

40

【0038】

図2は、画素回路の第1実施形態を示す回路図である。図3A~図4Dは、図2に示された画素回路の入力信号を示す図である。この画素回路は、複数のスイッチ素子を用いた内部補償回路を含む。

【0039】

図2を参照すると、画素回路は、1つの発光素子(EL)に接続された第1及び第2駆動素子(DT1、DT2)、第1から第3-2スイッチ素子(S1乃至S32)、ストレージキャパシタ(Cgs)などを含む。画素駆動電圧(VDD)は、第1電源ライン21を介してサブ画素(101(n))に供給される。

【0040】

50

駆動素子 (DT1、DT2) のゲートに 0 V より高い電圧が印加され、駆動素子 (DT1、DT2) のドレイン - ソース間に電流が発生する時、駆動 TFT (DT1、DT2) のストレスが増加して駆動 TFT (DT1、DT2) の劣化が進行される。また、駆動 TFT (DT1、DT2) の半導体チャネルに光が照射されたとき、電流が発生して駆動素子 (DT1、DT2) の劣化が進行される。このような駆動素子 (DT1、DT2) の劣化は、駆動素子 (DT1、DT2) がターン - オンされるときの流れるオン電流 (On current) の低下としきい値電圧シフト (shift) を招くことができる。このような駆動素子 (DT1、DT2) の劣化により、発光素子 (EL) の輝度変化と残像が現れることがある。

【0041】

10

本発明の画素回路は、交互に駆動される第 1 及び第 2 駆動部 (101A、101B) を含む。第 1 駆動部 (101A) は、第 3 - 1 スイッチ素子 (S31) と、第 1 駆動素子 (DT1) を含み第 1 EM 信号 (EM1) が入力されるとき、駆動されて発光素子 (EL) に電流を供給する。第 2 駆動部 (101B) は、第 3 - 2 スイッチ素子 (S32) と、第 2 駆動素子 (DT2) を含みから第 2 EM 信号 (EM2) に応答して発光素子 (EL) に電流を供給する。

【0042】

第 1 駆動部 (101A) の第 3 - 1 スイッチ素子 (S31) は、第 2 駆動部 (101B) が駆動されるときにターン - オフ (turn-off) され、画素駆動電圧 (VDD) と発光素子 (EL) のアノードとの間の電流経路 (path) を遮断する。第 3 - 1 スイッチ素子 (S31) がターン - オフされるとき、第 1 駆動素子 (DT1) の第 1 電極がフローティング (floating) され、第 1 駆動素子 (DT1) のドレイン - ソース間に電流が流れない。第 2 駆動部 (101B) の第 3 - 2 スイッチ素子 (S32) は、第 1 駆動部 (101A) が駆動されるとき、ターン - オフされ、画素駆動電圧 (VDD) と発光素子 (EL) のアノードとの間の電流経路を遮断する。第 3 - 2 スイッチ素子 (S32) がターン - オフされるとき、第 2 駆動素子 (DT2) の第 1 電極がフローティングされて、第 2 駆動素子 (DT2) のドレイン - ソース間に電流が流れない。

20

【0043】

本発明は、駆動素子 (DT1、DT2) の第 1 電極、すなわち、ドレインを交互にフローティング (floating) して駆動素子 (DT1、DT2) のドレイン - ソース間に流れる電流を遮断することにより、駆動素子 (DT1、DT2) のストレス累積を軽減し駆動素子 (DT1、DT2) の回復を誘導する。本発明は、図 3A ~ 図 4D のような内部補償の方法で駆動素子 (DT1、DT2) のしきい値電圧 (Vth) だけデータ電圧 (Vdata) を補償して駆動素子 (DT1、DT2) を交互駆動することにより、画素の輝度変化と残像を防止する。

30

【0044】

駆動素子 (DT1、DT2) とスイッチ素子 (S31 乃至 S32) は、酸化物半導体パターンを含む NMOS 構造の Oxide TFT に実現されることができる。Oxide TFT は TFT のオフ状態で発生するリーク電流が小さいため、消費電力を削減することができるだけでなく、リーク電流による画素の電圧低下を防止することができるので、フリッカーの防止効果を高めることができる。

40

【0045】

発光素子 (EL) は、OLED に実現されることができる。OLED は、データ電圧 (Vdata) に応じて駆動素子 (DT1、DT2) によって調節される電流で発光する。OLED は、アノードとカソードの間に形成された有機化合物層を含む。有機化合物層は、正孔注入層 (HIL)、正孔輸送層 (HTL)、発光層 (EML)、電子輸送層 (ETL) 及び電子注入層 (EIL) などを含むことができるが、これに限定されない。OLED のアノードは、第 3 ノード (n3) を介して駆動素子 (DT1、DT2) に接続され、OLED のカソードは低電位電源電圧 (VSS) が印加される VSS 電極 23 に接続される。ストレージキャパシタ (Cgs) は、第 1 及び第 3 ノード (n1、n3) を介して駆

50

動素子 (DT1、DT2) のゲートとソースとの間に接続される。

【0046】

第1スイッチ素子 (S1) は、第1スキャン信号 (SC1) に応答して所定の基準電圧 (Vref) を第1ノード (n1) に供給した後、データ電圧 (Vdata) を第1ノード (n1) に供給する。基準電圧 (Vref) は、画素駆動電圧 (VDD) より低く、第1ノード (n1) の電圧を初期化する電圧に設定される。第1スイッチ素子 (S1) は、第1スキャン信号 (SC1) が印加される第1ゲートラインに接続されたゲート、データラインに接続された第1電極、及び第1ノード (n1) に接続された第2電極を含む。データラインに基準電圧 (Vref) とデータ電圧 (Vdata) が供給される。

【0047】

第2スイッチ素子 (S2) は、第2スキャン信号 (SC2) に応答して、所定の初期化電圧 (VINI) を第3ノード (n3) を介して発光素子 (EL) の画素電極 (またはアノード) に供給する。初期化電圧 (VINI) は発光素子 (EL) が発光されない電圧に設定される。初期化電圧 (VINI) は、画素駆動電圧 (VDD) より低い。第2スイッチ素子 (S2) は、第2スキャン信号 (SC2) が印加される第2ゲートラインに接続されたゲート、初期化電圧 (VINI) が印加される第2電源ライン22に接続された第1電極、及び第3ノード (n3) に接続された第2電極を含む。

【0048】

第3-1スイッチ素子 (S31) は、第1EM信号 (EM1) に応答して、画素駆動電圧 (VDD) が印加される第1電源ライン21と、第1駆動素子 (DT1) の間の電流経路をスイッチングする。第3-1スイッチ素子 (S31) と、第3-2スイッチ素子 (S32) は、交互にオン/オフされる。したがって、第3-1スイッチ素子 (S31) は、第3-2スイッチ素子 (S32) のオフ時間にターンオンされて、第1電源ライン21と、第1駆動素子 (DT1) の間の電流経路を形成する。第3-1スイッチ素子 (S31) は、第1EM信号 (EM1) が印加される第3-1ゲートラインに接続されたゲート、第2-1ノード (n21) を介して第1電源ライン21に接続された第1電極、及び第2-1ノード (n21) を介して第1駆動素子 (DT1) の第1電極に接続された第2電極を含む。

【0049】

第1駆動素子 (DT1) は、ゲートソース間電圧 (Vgs) に応じて発光素子 (EL) の電流を調節する。第1駆動素子 (DT1) は、第2駆動素子 (DT2) と交互に発光素子 (EL) を駆動する。第1駆動素子 (DT1) は、第1ノード (n1) に接続されたゲート、第2-1ノード (n21) に接続された第1電極、及び第3ノード (n3) に接続された第2電極を含む。

【0050】

第3-2スイッチ素子 (S32) は、第2EM信号 (EM2) に応答して、画素駆動電圧 (VDD) が印加される第1電源ライン21と第2駆動素子 (DT2) との間の電流経路をスイッチングする。第3-2スイッチ素子 (S32) は、第3-1スイッチ素子 (S31) のオフ時間にターンオンされ、第1電源ライン21と第2駆動素子 (DT2) との間の電流経路を形成する。第3-2スイッチ素子 (S32) は、第2EM信号 (EM2) が印加される第3-2ゲートラインに接続されたゲート、第2-2ノード (n22) を介して第1電源ライン21に接続された第1電極、及び第2-2ノード (n22) を介して第2駆動素子 (DT2) の第1電極に接続された第2電極を含む。

【0051】

第2駆動素子 (DT2) は、ゲートソース間電圧 (Vgs) に応じて発光素子 (EL) の電流を調節する。第2駆動素子 (DT2) は、第1駆動素子 (DT1) と交互に発光素子 (EL) を駆動する。第2駆動素子 (DT2) は、第1ノード (n1) に接続されたゲート、第2-2ノード (n22) に接続された第1電極、及び第3ノード (n3) に接続された第2電極を含む。

【0052】

10

20

30

40

50

図 3 A ~ 図 4 D は、第 n サブ画素の画素回路 (101 (n)) の動作を示す図である。画素回路のそれぞれは、図 3 A ~ 図 4 D に示された内部補償方法で駆動され、駆動素子 (DT1、DT2) のしきい値電圧 (V_{th}) をサンプリングし、そのしきい値電圧 (V_{th}) だけデータ電圧 (V_{data}) を補償する。図 3 A ~ 図 4 D において矢印は電流の流れを示す。図 3 A ~ 図 3 D は、第 1 駆動部 (101 A) によって発光素子 (EL) が駆動される動作を段階的に示す。図 4 A ~ 図 4 D は、第 2 駆動部 (101 B) によって発光素子 (EL) が駆動される動作を段階的に示す。

【0053】

図 3 A を参照すると、スキャン信号 (SC1、SC2) と、第 1 EM 信号 (EM1) は、第 1 初期化時間 (Ti1) が開始されるとき、ゲートオン電圧に変わる。第 2 EM 信号 (EM2) は、第 1 駆動部 (101 A) が駆動される期間中にゲートオフ電圧に維持される。NMOS において、ゲートオン電圧はゲートハイ電圧 (V_{GH}) に設定され、ゲートオフ電圧はゲートロー電圧 (V_{GL}) に設定されることができる。したがって、第 1 初期化時間 (Ti1) の間に第 3 - 2 スイッチ素子 (S32) を除いた他のスイッチ素子 (S1、S2、S31) がターンオンされる

10

【0054】

第 1 初期化時間 (Ti1) の間に入力映像のデータ電圧 (V_{data}) と無関係に設定された基準電圧 (V_{ref}) がデータライン 102 に供給される。第 1 初期化時間 (Ti1) の間に、第 1 スイッチ素子 (S1) は、第 1 スキャン信号 (SC1) のゲートオン電圧に応じてターンオンされ、第 2 スイッチ素子 (S2) は、第 2 スキャン信号 (SC2) のゲートオン電圧に応じてターンオンされる。第 3 - 1 スイッチ素子 (S31) は、第 1 EM 信号 (EM1) のゲートオン電圧に応じてターンオンされる。

20

【0055】

第 1 初期化時間 (Ti1) の間の画素回路において、各ノードの電圧が初期化される。第 1 初期化時間 (Ti1) に第 1 ノード (n1) は、 V_{ref} であり、第 2 - 1 ノード (n21) は V_{DD} であり、第 3 ノード (n3) は、 V_{INI} にそれぞれ初期化される。

【0056】

図 3 B を参照すると、第 1 サンプリング時間 (Ts1) が開始されると、第 1 EM 信号 (EM1) がゲートオフ電圧に反転され、第 3 - 1 スイッチ素子 (S31) がターンオフされる。第 1 サンプリング時間 (Ts1) の間、第 1 及び第 2 スキャン信号 (SC1、SC2) は、ゲートオン電圧を維持し、第 2 EM 信号 (EM2) は、ゲートオフ電圧を維持する。したがって、第 1 サンプリング時間 (Ts1) の間に、第 3 - 1 及び第 3 - 2 スイッチ素子 (S31、S32) は、ターンオフされる反面、第 1 及び第 2 スイッチ素子 (S1、S2) はターンオンされる。

30

【0057】

第 1 サンプリング時間 (Ts1) の間に基準電圧 (V_{ref}) がデータライン 102 に供給され、第 3 ノード (n3) の電圧は、 V_{INI} を維持する。第 1 サンプリング時間 (Ts1) の間に、第 1 駆動素子 (DT1) のゲートソース間電圧 (V_{gs}) は、第 1 駆動素子 (DT1) のしきい値電圧 (V_{th}) だけ上昇し、このしきい値電圧 (V_{th}) がストレージキャパシタ (C_{gs}) に貯蔵される。

40

【0058】

図 3 C を参照すると、第 1 データ書き込み時間 (Tw1) が開始されるとき、第 2 スキャン信号 (SC2) は、ゲートオフ電圧に反転される。第 1 データ書き込み時間 (Tw1) の間に第 1 スキャン信号 (SC1) は、ゲートオン電圧を維持し、第 1 及び第 2 EM 信号 (EM1、EM2) は、ゲートオフ電圧を維持する。したがって、第 1 データ書き込み時間 (Tw1) の間に第 1 スイッチ素子 (S1) は、オン状態を維持して、データ電圧 (V_{data}) を第 1 ノード (n1) に供給する反面、残りのスイッチ素子 (S2、S31、S32) は、ターンオフされる。

【0059】

第 1 データ書き込み時間 (Tw1) に第 1 駆動素子 (DT1) のゲートソース間電圧

50

(V_{gs})は、第1駆動素子(DT1)のしきい値電圧(V_{th})だけ補償されたデータ電圧に変わる。

【0060】

図3Dを参照すると、第1発光時間(T_{em1})が開始されるとき、第1スキャン信号(SC1)は、ゲートオフ電圧に反転され、第1EM信号(EM1)は、ゲートオン電圧に反転される。第1発光時間(T_{em1})の間、第2スキャン信号(SC2)は、ゲートオフ電圧を維持し、第2EM信号(EM2)は、ゲートオフ電圧を維持する。したがって、第1発光時間(T_{em1})の間、第3-1スイッチ素子(S31)は、ターンオンされる反面、残りのスイッチ素子(S1、S2、S32)は、ターンオフされる。

【0061】

第1発光時間(T_{em1})の間、第1駆動素子(DT1)のゲートソース間電圧(V_{gs})に応じて発光素子(EL)に電流が流れて、発光素子(EL)が発光することができる。第1発光時間(T_{em1})の間、第1EM信号(EM1)は、予め設定されたPWM(Pulse Width Modulation)のデューティ比(%)でゲートオン電圧とゲートオフ電圧との間でスイングする交流信号で発生することができる。発光素子(EL)が第1発光時間(T_{em1})の間、あらかじめ設定されたデューティ比でオン/オフを繰り返すと、フリッカ(flicker)と残像が改善されることができる。第1駆動素子(DT1)の飽和領域で発光素子(EL)の電流は、数式1の通りである。

【0062】

(数式1)

$$I_{OLED} = \frac{W}{L} C_{ox} \mu (V_{gs} - V_{th})^2$$

【0063】

ここで、Wはトランジスタのチャネル幅(Width)であり、Lはトランジスタのチャネル長さ(Length)である。 C_{ox} は、トランジスタの寄生容量である。 V_{gs} は、トランジスタのゲートソース間電圧であり、 V_{th} はトランジスタのしきい値電圧である。

【0064】

第1駆動部(101A)は、図3A~図3Dに示すように、第1駆動素子(DT1)のしきい値電圧(V_{th})をリアルタイム補償して発光素子(EL)を駆動する。このとき、第2駆動部(101B)で電流が流れないので、第2駆動素子(DT2)のストレス累積がなく、劣化が回復することができる。図4A~図4Dに示された第2駆動部(101B)の駆動時間の間、第1駆動部(101A)は動作しない。

【0065】

図4Aを参照すると、スキャン信号(SC1、SC2)と第2EM信号(EM2)は、第2初期化時間(T_{i2})が開始されるとき、ゲートオン電圧に変わる。第1EM信号(EM1)は、第2駆動部(101B)が駆動される期間中にゲートオフ電圧に維持される。したがって、第2初期化時間(T_{i2})の間に第3-1スイッチ素子(S31)を除いた他のスイッチ素子(S1、S2、S32)がターンオンされる。

【0066】

第2初期化時間(T_{i2})の間に基準電圧(V_{ref})がデータライン102に供給される。第2初期化時間(T_{i2})の間に、第1スイッチ素子(S1)は、第1スキャン信号(SC1)のゲートオン電圧に応じてターンオンされ、第2スイッチ素子(S2)は、第2スキャン信号(SC2)のゲートオン電圧に応じてターンオンされる。第3-2スイッチ素子(S32)は、第2EM信号(EM2)のゲートオン電圧に応じてターンオンされる。

【0067】

第2初期化時間(T_{i2})の間、画素回路において、各ノードの電圧が初期化される。第2初期化時間(T_{i2})に第1ノード(n1)は、 V_{ref} に、第2-2ノード(n2

10

20

30

40

50

2) は V_{DD} に、第 3 ノード (n_3) は、 V_{INI} にそれぞれ初期化される。

【0068】

図 4 B を参照すると、第 2 サンプリング時間 (T_{s2}) が開始されるとき、第 2 EM 信号 (EM_2) がゲートオフ電圧に反転され、第 3 - 2 スイッチ素子 (S_{32}) がターン - オフされる。第 2 サンプリング時間 (T_{s2}) の間、第 1 及び第 2 スキャン信号 (SC_1 、 SC_2) は、ゲートオン電圧を維持し、第 1 EM 信号 (EM_1) は、ゲートオフ電圧を維持する。したがって、第 2 サンプリング時間 (T_{s2}) の間に、第 3 - 1 及び第 3 - 2 スイッチ素子 (S_{31} 、 S_{32}) は、ターン - オフされる反面、第 1 及び第 2 スイッチ素子 (S_1 、 S_2) はターン - オンされる。

【0069】

第 2 サンプリング時間 (T_{s2}) の間に基準電圧 (V_{ref}) がデータライン 102 に供給され、第 3 ノード (n_3) の電圧は、 V_{INI} を維持する。第 2 サンプリング時間 (T_{s2}) の間、第 2 駆動素子 (DT_2) のゲートソース間電圧 (V_{gs}) はしきい値電圧 (V_{th}) だけ上昇し、このしきい値電圧 (V_{th}) がストレージキャパシタ (C_{gs}) に貯蔵される。

【0070】

図 4 C を参照すると、第 2 データ書き込み時間 (T_{w2}) が開始されるとき、第 2 スキャン信号 (SC_2) は、ゲートオフ電圧に反転される。第 2 データ書き込み時間 (T_{w2}) の間、第 1 スキャン信号 (SC_1) は、ゲートオン電圧を維持し、第 1 及び第 2 EM 信号 (EM_1 、 EM_2) は、ゲートオフ電圧を維持する。したがって、第 2 データ書き込み時間 (T_{w2}) の間、第 1 スイッチ素子 (S_1) は、オン状態を維持して、データ電圧 (V_{data}) を第 1 ノード (n_1) に供給する反面、残りのスイッチ素子 (S_2 、 S_{31} 、 S_{32}) は、ターン - オフされる。

【0071】

第 2 データ書き込み時間 (T_{w2}) に第 2 駆動素子 (DT_2) のゲートソース間電圧 (V_{gs}) は、第 2 駆動素子 (DT_2) のしきい値電圧 (V_{th}) だけ補償されたデータ電圧に変わる。

【0072】

図 4 D を参照すると、第 2 発光時間 (T_{em2}) が開始されるとき、第 1 スキャン信号 (SC_1) は、ゲートオフ電圧に反転され、第 2 EM 信号 (EM_2) は、ゲートオン電圧に反転される。第 2 発光時間 (T_{em2}) の間、第 2 スキャン信号 (SC_2) は、ゲートオフ電圧を維持し、第 1 EM 信号 (EM_1) は、ゲートオフ電圧を維持する。したがって、第 2 発光時間 (T_{em2}) の間、第 3 - 2 スイッチ素子 (S_{32}) は、ターン - オンされる反面、残りのスイッチ素子 (S_1 、 S_2 、 S_{31}) は、ターン - オフされる。

【0073】

第 2 発光時間 (T_{em2}) の間、第 2 駆動素子 (DT_2) のゲートソース間電圧 (V_{gs}) に応じて発光素子 (EL) に電流が流れ、発光素子 (EL) が発光することができる。第 2 発光時間 (T_{em2}) の間、第 2 EM 信号 (EM_2) は、予め設定された PWM (Pulse Width Modulation) のデューティ比 (%) を有する交流信号に発生することができる。発光素子 (EL) が第 2 発光時間 (T_{em2}) の間、あらかじめ設定されたデューティ比でオン / オフを繰り返すと、フリッカと残像が改善されることができる。

【0074】

第 2 駆動部 (101B) は、図 4 A ~ 図 4 D に示すように、第 2 駆動素子 (DT_2) のしきい値電圧 (V_{th}) をリアルタイム補償して発光素子 (EL) を駆動する。このとき、第 1 駆動部 (101A) で電流が流れないため、第 1 駆動素子 (DT_1) のストレス累積がなく、劣化が回復することができる。

【0075】

画素回路の第 1 及び第 2 駆動部 (101A、101B) は、毎フレーム期間ごとに入力映像のデータが画素に書き込まれて画面上で入力映像が再現されるノーマル駆動モード (normal driving mode) において、図 5 に示すように交互にオン / オフされる EM 信号 (

10

20

30

40

50

E M 1、E M 2) により所定の時間間隔で交互的に駆動することができる。

【0076】

低消費電力駆動モードで表示パネル駆動回路(110、112、120)と画素の駆動周波数が減少して消費電力が低くなる。例えば、ノーマル駆動モードにおいてフレームレート(frame rate)は60 Hzで設定されることができる。表示パネル駆動回路(110、112、120)は、ノーマル駆動モードで1秒間に60個のフレームのデータを画素(P)に書き込む。

【0077】

低消費電力モードは、画面上に映像を再現するノーマル駆動モードに比べて表示パネル駆動回路(110、112、120)と画素の駆動周波数を下げる。一例として、低消費電力駆動モードにおいてフレームレートは、1 Hzに低下することができる。低消費電力駆動モードで画素に書き込まれる映像データは、ノーマル駆動モードに比べて低い周波数で更新(update)される。この場合、図6の例のように表示パネル駆動回路(110、112、120)は、低消費電力駆動モードにおいて60フレーム期間中で第1フレーム期間(16.67 ms)に映像のデータを画素に書き込んで、残りの59フレーム期間中にデータを出力しない。画素は、低消費電力モードの毎秒毎に第1フレーム期間(FR)にデータを1回書き込み、残りのほとんどの時間の間にストレージキャパシタ(Cgs)に貯蔵されたデータ電圧に表示された映像を維持する。

【0078】

画素回路のスイッチ素子と駆動素子がリーク電流が小さいOxide TFTで実現されると、低消費電力駆動モードにおいて映像のデータ電圧がされていない複数のスキップ(skip)フレーム期間中の画素のリーク電流が小さいため、フリッカ(flicker)が視認されないことを再現することができ、消費電力が減少される。

【0079】

第1及び第2駆動部(101A、101B)のいずれか1つをノーマル駆動モードで駆動し、別の1つを低消費電力駆動モードで駆動することができる。一例として、第1駆動部(101A)がノーマル駆動モードで駆動され、第2駆動部(101B)が低消費電力駆動モードで駆動することができるが、これに限定されない。他の例として、第1及び第2駆動部(101A、101B)がノーマル駆動モードで交互に駆動され、第2駆動部(101B)が低消費電力駆動モードで駆動することができる。

【0080】

低消費電力駆動モードで駆動される駆動素子のチャンネル比(W/L)を減らすと発光素子の電流を下げて消費電力をさらに下げることができる。この実施形態について、図8及び図9を結びつけて詳細に説明する。Wは、図7においてトランジスタの半導体チャンネル層の幅(Width)であり、Lは、図7においてトランジスタの半導体チャンネル層の長さ(Length)である。図7において、「G」は、トランジスタのゲート、「D」は、トランジスタのドレイン、「S」は、トランジスタのソースをそれぞれ示す。

【0081】

本発明は、消費電力と、それぞれの駆動特性を考慮して、ノーマル駆動用トランジスタと低消費電力駆動用トランジスタのチャンネル比(W/L)を異なるようにすることができる。例えば、低消費電力駆動用トランジスタのチャンネル比(W/L)をノーマル駆動用トランジスタのチャンネル比(W/L)より小さく実現することができる。

【0082】

本発明は、ノーマル駆動用トランジスタと低消費電力駆動用トランジスタのW/Lを異なるようにしても、画素の輝度を同一にするために、ノーマル駆動用トランジスタが駆動されたときのVDDと低消費電力駆動用トランジスタが駆動されたときのVDDを異なるように制御することができる。タイミングコントローラまたはホストシステムは、電源回路のPWM(%)を調節して、その電源回路から出力されるVDDの電圧レベルを調節することができる。

【0083】

10

20

30

40

50

低消費電力駆動用トランジスタのチャネル比 (W/L) がノーマル駆動用トランジスタとの対比小さい場合に、図 8 の (A) のように低消費電力駆動用トランジスタの線形領域 (LIN) が短い。つまり、低消費電力駆動モードで V_{DD} を V_1 のような低電圧に設定しても低消費電力駆動用トランジスタが飽和領域で動作する。

【0084】

チャネル比 (W/L) が異なる 2 つのトランジスタが 1 つの発光素子に接続されるとき V_{DD} を異なるようにして、発光素子の輝度を同一にすることができる。このために、ノーマル駆動モードにおいてチャネル比 (W/L) が相対的に高いノーマル駆動用トランジスタの場合に図 8 の (B) に示すように V_{DD} を V_1 より高い V_2 に設定することができる。

10

【0085】

チャネル比 (W/L) が相対的に小さい低消費電力駆動用トランジスタは、図 8 から分かるように、小さな駆動電圧においても電流が多く流れるので、さらに多くのストレスを受け、さらに早めに劣化し得る。本発明は、ノーマル駆動用トランジスタレベルで低消費電力駆動用トランジスタのストレス累積を緩和し、相対的に回復時間をさらに長くするために、図 9 に示すように、低消費電力駆動用 EM 信号 (EM1) のデューティ比 (duty ratio) をノーマル駆動用 EM 信号 (EM2) のそのものよりさらに小さく設定することができる。

【0086】

図 9 の例では、第 2 駆動素子 (DT2) がノーマル駆動用トランジスタであり、第 1 駆動素子 (DT1) が低消費電力駆動用トランジスタである場合に、ノーマル駆動モードと低消費電力駆動モードで EM 信号 (EM1、EM2) の一例を示す波形図である。ノーマル駆動モードと低消費電力駆動モードの EM 信号は、図 9 に限定されない。

20

【0087】

図 9 を参照すると、ノーマル駆動モードにおいて第 1 及び第 2 EM 信号 (EM1、EM2) の内から、第 1 EM 信号 (EM1) が非活性化され第 2 EM 信号 (EM2) が活性化されることができる。ノーマル駆動モードの発光時間 (T_{em1} 、 T_{em2}) の間の第 2 EM 信号 (EM2) が所定のデューティ比で発生する。第 2 EM 信号 (EM2) は、あらかじめ設定されたデューティ比に基づいて、ゲートオン電圧 (V_{GH}) とゲートオフ電圧 (V_{GL}) の間でスイングする交流信号で発生され、第 1 駆動部 (101A) の電流経路をオン/オフ (ON/OFF) 制御する。第 1 EM 信号 (EM1) は、ノーマル駆動モードで非活性化されゲートオフ電圧 (V_{GL}) を維持する。したがって、ノーマル駆動モードで第 2 駆動部 (101B) からの電流で発光素子 (EL) が駆動される。ノーマル駆動モードで第 1 駆動部 (101A) からの電流が発生しない。

30

【0088】

低消費電力駆動モードにおいて第 1 及び第 2 EM 信号 (EM1、EM2) の内から第 2 EM 信号 (EM2) が非活性化され、第 1 EM 信号 (EM1) が活性化されることができる。低消費電力駆動モードの発光時間 (T_{em1} 、 T_{em2}) の間、第 1 EM 信号 (EM1) が相対的に小さいデューティ比で発生する。低消費電力駆動モードにおいて第 1 駆動素子 (EM1) のストレスを緩和し、回復時間をさらに長く確保するために、第 1 EM 信号 (EM1) のデューティ比は、ノーマル駆動モードにおいて設定された第 2 EM 信号 (EM2) のデューティ比よりさらに小さく設定される。その結果、第 1 EM 信号 (EM1) の 1 周期からオン区間 (ON) がオフ区間 (OFF) よりさらに長く設定することができる。また、第 1 EM 信号 (EM1) の 1 周期に設定されたオン区間 (ON) が第 2 EM 信号 (EM2) の 1 周期に設定された区間 (ON) より小さくすることができる。

40

【0089】

低消費電力駆動モードにおいて、第 1 EM 信号は、ゲートオン電圧 (V_{GH}) とゲートオフ電圧 (V_{GL}) の間でスイングする交流信号で発生され、第 1 駆動部 (101A) の電流経路をオン/オフ (ON/OFF) 制御する。第 2 EM 信号 (EM2) は、低消費電力駆動モードで無効になってゲートオフ電圧 (V_{GL}) を維持する。したがって、低消費電力

50

駆動モードで第1駆動部(101A)からの電流で発光素子(EL)が駆動される。低消費電力モードで第2駆動部(101B)からの電流が発生していない。

【0090】

図10及び図11は、本発明の実施の形態に係る画素回路の断面構造を示す表示パネルの断面図である。図10は、トランジスタの半導体パターンの抵抗を下げるためにドライエッチング(dry etching)工程を実施した断面構造である。図11は、トランジスタの半導体パターンで伝導性を高めるために、半導体パターンにイオンドーピング(ion doping)を実施した断面構造である。

【0091】

図10及び図11を参照すると、本発明の表示パネルは、画素アレイ領域上に配置された複数のトランジスタを含む。このトランジスタは、図2のような画素回路で駆動素子(DT1、DT2)とスイッチ素子(S1~S32)を含む。表示パネルの基板には、トランジスタ(DT1、DT2、S1~S32)と共にストレージキャパシタ(Cgs)、発光素子(EM)などをさらに含む。「PXL」は、発光素子の画素電極(またはアノード電極)である。トランジスタ(DT1、DT2、S1~S32)は、NMOS Oxide TFTに実現されることができる。このように、画素回路のすべてのトランジスタをNMOS構造のOxide TFTとすると、NMOSトランジスタとPMOSトランジスタが共に配置された画素回路に比べ製造工程数と表示パネルの構造を単純にすることができる。

10

【0092】

第1及び第2駆動素子(DT1、DT2)は、基板上に垂直に積層され1つのゲート(DG)を共有する。ゲートを共有するために、第1及び第2駆動素子(DT1、DT2)の内、いずれか1つは、半導体パターン(DA1)の上にゲート(DG)が配置されたトップゲート(top gate)構造のトランジスタで実現され、他の1つは、半導体パターン(DA2)の下にゲート(DG)が配置されたボトムゲート(Bottom)構造のトランジスタで実現される。スイッチ素子(S1~S32)は、ボトムゲート構造のトランジスタで実現されることができる。二つの駆動素子(DT1、DT2)が1つのゲート(DG)を共有する構造で表示パネルが製作されると、表示パネルの製造工程数や構造を単純にすることができる。

20

【0093】

以下で、第1駆動素子(DT1)がトップゲート構造であり、第2駆動素子(DT2)がボトムゲート構造である例を説明するが、これに限定されない。この場合、第1駆動素子(DT1)は、第1半導体パターン(DA1)、第1半導体パターン(DA1)の上に配置された共通ゲート(DG)、第1半導体パターン(DA1)のドレイン領域に接触された第1電極(DD1)、第1半導体パターン(DA1)のソース領域に接触された第2電極(DS1)を含む。第2駆動素子(DT2)は、第2半導体パターン(DA2)、第2半導体パターン(DA2)の下に配置された共通ゲート(DG)、第2半導体パターン(DA2)のドレイン領域に接触された第1電極(図12のDD2)、第2半導体パターン(DA2)のソース領域に接触された第2電極(図12のDS2)を含む。第2駆動素子(DT2)の第1及び第2電極(DS2、DD2)は、図10及び図11で省略されており、図12の平面図で表現されている。これと反対に、第2駆動素子(DT2)がトップゲート構造であり、第1駆動素子(DT1)がボトムゲート構造であることがあることに注意しなければならない。

30

40

【0094】

第1及び第2スイッチ素子(S1、S2)のそれぞれは、半導体パターン(SA)、半導体パターン(SA)の下に配置されたゲート(SG1)、半導体パターン(SA)のドレイン領域に接触された第1電極(SD)、半導体パターン(SA)のソース領域に接触された第2電極(SS)を含む。第3-1及び第3-2スイッチ素子(S31、S32)、それぞれは、半導体パターン(EA)、半導体パターン(EA)の下に配置されたゲート(EG1)、半導体パターン(EA)のドレイン領域に接触された第1電極(ED)、

50

半導体パターン (E A) のソース領域に接触された第 2 電極 (E S) を含む。

【0095】

ストレージキャパシタ (C g s) は、基板 (S U B S) 上で垂直に積層された二つのキャパシタを含みから大容量を有する。キャパシタ (C g s) は、第 1 電極 (C 1) と共通電極 (C 2) を含む第 1 キャパシタと、共通電極 (C 2) と第 2 電極 (C 3) を含む第 2 キャパシタを含む。フォトリソ工程を減らすために、共通電極 (C 2) が省略されたキャパシタ構造でストレージキャパシタ (C g s) が形成されることができる。

【0096】

駆動素子 (D T 1、D T 2) とスイッチ素子 (S 1 ~ S 3 2)、それぞれの半導体パターン (D A 1、D A 2、S A、E A) は、インジウム - ガリウム - 亜鉛酸化物 (Indium Gallium Zinc Oxide: I G Z O)、インジウム - ガリウム酸化物 (Indium Gallium Oxide: I G O) 及びインジウム - 亜鉛酸化物 (Indium Zinc Oxide: I Z O) の内、少なくともいずれか 1 つの酸化物半導体物質を含む。

10

【0097】

基板 (S U B S) の表面全体の上にはバッファ層 (B U F) が蒸着されている。バッファ層 (B U F) は省略されることもできる。バッファ層 (B U F) の上には、第 1 酸化物半導体層が蒸着される。第 1 フォトリソ工程は、第 1 酸化物半導体層をパターニングしてバッファ層 (B U F) 上に第 1 駆動素子 (D T 1) の第 1 半導体パターン (D A 1) を形成する。第 1 半導体パターン (D A 1) は、共通ゲート (D G) と重畳するチャネル領域、チャネル領域の両側に配置されて n + イオンがドーピングされたソース領域とドレイン領域を含む。第 1 半導体パターン (D A 1) に酸素を注入し、第 1 半導体パターン (D A 1) の欠陥 (defect) を除去するために熱処理工程が実施されることができ、この熱処理工程は省略することができる。

20

【0098】

ゲート絶縁膜 (G I) は、第 1 半導体パターン (D A 1) を覆うようにバッファ層 (B U F) 上に形成され、第 1 金属層がゲート絶縁膜 (G I) 上に蒸着される。第 1 金属層をパターニングするために、第 2 フォトリソ工程が実施される。図 10 の例において、第 1 金属層とゲート絶縁膜 (G I) が第 2 フォトリソ工程で一括パターニングされる。図 11 の例において、第 1 金属層のみ第 2 フォトリソ工程でパターニングされる。第 2 フォトリソ工程により、第 1 金属層から駆動素子 (D T 1、D T 2) の共通ゲート (D G)、スイッチトランジスタ (S 1 ~ S 3 2) のゲート (S G 1、E G 1)、ストレージキャパシタ (C g s) の第 1 電極 (C 1) などが形成される。

30

【0099】

図 10 の例において、ゲート絶縁膜材料として利用可能な酸化シリコン (S i O 2) はドライエッチングされる。酸化シリコン (S i O 2) のドライエッチング工程でイオン化された反応ガスの粒子が第 1 半導体パターン (D A 1) に供給され、その半導体パターン (D A 1) のソース領域とドレイン領域の抵抗が減少して、導体化される。酸化物半導体は、ドライエッチング工程で発生するイオン化された不純物が注入されるとき抵抗が低くなり、導体化される。図 11 に示すように、第 1 半導体パターン (D A 1) のソース領域とドレイン領域の抵抗を減らすために、第 1 半導体パターン (D A 1) がゲート絶縁膜 (G I) によって覆われた状態で、共通ゲート (D G) のパターンをマスクにしてイオンがドーピングされることができる。

40

【0100】

第 1 層間絶縁膜 (I L D 1) が第 1 金属層パターン (D G、S G 1、E G 1) 上に覆われる。第 1 層間絶縁膜 (I L D 1) 上にストレージキャパシタ (C g s) の共通電極 (C 2) が形成される。第 2 層間絶縁膜 (I L D 2) は、共通電極 (C 2) を覆うように、第 1 層間絶縁膜 (I L D 1) 上に形成される。フォトリソ工程数を削減するために、共通電極 (C 2) が省略され、単層の層間絶縁膜が形成されることができる。

【0101】

第 2 層間絶縁膜 (I L D 2) 上に第 2 酸化物半導体層が蒸着される。第 3 フォトリソ

50

工程は、第2酸化物半導体層をパターンニングして第2層間絶縁膜（ILD2）上に第2駆動素子（DT2）の第2半導体パターン（DA2）、スイッチ素子（S1～S32）の半導体パターン（SA、EA）を形成する。第2半導体パターン（DA2）は、共通ゲート（DG）と重畳されるチャネル領域、チャネル領域の両側に配置されてn+イオンがドーピングされたソース領域とドレイン領域を含む。第2半導体パターン（DA2）に酸素を注入し、第2半導体パターン（DA2）の欠陥を除去するために熱処理工程が実施されることができ、この熱処理工程は省略することができる。

【0102】

第4フォトリソ工程は、絶縁膜を貫通するコンタクトホール（CH1、CH2）を形成して、第1半導体パターン（DA1）のソース領域とドレイン領域を露出する。続いて、第2金属層が第2層間絶縁膜（ILD2）上に蒸着される。第2金属層をパターンニングするために、第5フォトリソ工程が実施される。第5フォトリソ工程により、第2金属層から駆動素子（DT1、DT2）の第1及び第2電極（DD1、DS1、DD2、DS2、ES、ED）、ストレージキャパシタ（Cgs）の第2電極などが形成される。

【0103】

第1保護膜（PAS）がトランジスタ（DT1、DT2、S1～S32）上に覆われる。第1保護膜（PAS）の安定化と半導体パターン（DA2、SA、EA）に酸素を供給するために熱処理工程が実施されることができ、第1保護膜（PAS）上に第2保護膜（PLN）が積層される。第2半導体パターン（DA2）のソース領域を露出するために、第6フォトリソ工程が実施されることができ、続いて、第7フォトリソ工程で画素電極（PXL）が第2保護膜（PLN）上に形成される。画素電極（PXL）は保護膜（PAS、PLN）を貫通するコンタクトホールを介して駆動素子（DT1、DT2）の第2電極（DS1、DS2）に接触される。トランジスタ（DT1、DT2、S1～S32）の信頼性を改善するために熱処理工程が実施されることができ、

【0104】

バンクパターン（BNK）は、第2保護膜（PLN）上に形成されて発光素子（EL）の発光領域を定義する。発光領域に発光層を含む有機化合物層が積層され、その上に図面から省略されたカソードが形成される。フェイスシール（FSEAL）は発光素子（EL）が水分に露出されないように、発光素子（EL）を覆う。

【0105】

前述したように、第1及び第2駆動素子（DT1、DT2）は、表示パネル100の基板上で垂直に積層され、共通ゲート（DG）を有する。図12は、積層された二つの駆動素子（DT1、DT2）を示す平面図である。図12において線「1-1'」に沿って切り取りした駆動素子（DT1、DT2）の断面構造が図10及び図11に示されている。

【0106】

駆動素子（DT1、DT2）は、図13と同様の方法で、共通ゲートを共有することができる。図13の（A）は、第1及び第2駆動素子（DT1、DT2）のすべてがトップゲート構造で形成され、第2金属層パターンに共通ゲート（DG）を形成した例である。第1駆動素子（DT1）は、半導体パターン（DA1、DA2）の上に配置された共通ゲート（DG）と、コンタクトホール（CH1、CH2）を介して第1半導体パターン（DA1）に接続された第1及び第2電極（DD1、DS1）を含む。

第2駆動素子（DT2）は、半導体パターン（DA1、DA2）の上に配置された共通ゲート（DG）と、コンタクトホール（CH3、CH4）を介して第2半導体パターン（DA2）に接続された第1及び第2電極（DD2、DS2）を含む。

【0107】

図13の（B）は、第1及び第2駆動素子（DT1、DT2）のすべてがボトムゲート構造で形成され、第1金属層パターンで共通ゲート（DG）を形成した例である。第1駆動素子（DT1）は、半導体パターン（DA1、DA2）の下に配置された共通ゲート（DG）と、コンタクトホールなしに、第1半導体パターン（DA1）に直接接続された第

10

20

30

40

50

1 及び第 2 電極 (D D 1、D S 1) を含む。第 2 駆動素子 (D T 2) は、半導体パターン (D A 1、D A 2) の下に配置された共通ゲート (D G) と、コンタクトホールなしに第 2 半導体パターン (D A 2) に直接接続された第 1 及び第 2 電極 (D D 2、D S 2) を含む。

【0108】

図 1 4 は、本発明の第 2 実施形態に係る画素回路を示す回路図である。図 1 5 は、図 1 4 に示された駆動素子の第 1 及び第 2 電極が同時にフローティングされる例を示して図である。図 1 6 A 乃至図 1 6 D は、図 1 4 に示された画素回路の動作を示す図である。図 1 4 に示された画素回路のノーマル駆動モードと低消費電力駆動モードの駆動方法は、前述した第 1 実施形態と同様に適用することができる。図 1 4 に示された駆動素子のチャンネル比と V D D の適用方法は、第 1 実施形態と同様に適用することができる。図 1 4 に示された駆動素子の平面と断面構造もまた、前述した第 1 実施形態と実質的に同じように実現されることができる。

10

【0109】

図 1 4 を参照すると、画素回路は、1 つの発光素子 (E L) に接続された第 1 及び第 2 駆動素子 (D T 1、D T 2)、第 1 ~ 第 3 - 4 スイッチ素子 (S 1 乃至 S 3 4)、ストレージキャパシタ (C g s) などを含む。V D D は第 1 電源ライン 2 1 を介してサブ画素 1 0 1 (n) に供給される。

【0110】

この画素回路は、交互に駆動される第 1 及び第 2 駆動部 (1 0 1 A、1 0 1 B) を含む。第 1 駆動部 (1 0 1 A) は、第 1 駆動素子 (D T 1) と、第 1 駆動素子 (D T 1) を挟んで配置された第 3 - 1 スイッチ素子 (S 3 1)、及び第 3 - 3 スイッチ素子 (S 3 3) を含む。第 1 駆動部 (1 0 1 A) は、第 1 及び第 3 E M 信号 (E M 1、E M 3) に応答して発光素子 (E L) に電流を供給する。第 2 駆動部 (1 0 1 B) は、第 2 駆動素子 (D T 2) と、第 2 駆動素子 (D T 2) を挟んで配置された第 3 - 2 スイッチ素子 (S 3 2) 及び第 3 - 4 スイッチ素子 (S 3 4) を含む。第 2 駆動部 (1 0 1 B) は、第 2 及び第 4 E M 信号 (E M 2、E M 4) に応答して発光素子 (E L) に電流を供給する。

20

【0111】

第 3 - 1 及び第 3 - 3 スイッチ素子 (S 3 1、S 3 3) は、第 2 駆動部 (1 0 1 B) が駆動されるときにターン - オフ (turn-off) され、第 1 駆動素子 (D T 1) の第 1 及び第 2 電極に接続された電流経路を遮断する。第 3 - 1 及び第 3 - 3 スイッチ素子 (S 3 1、S 3 3) がターン - オフされるとき、第 1 駆動素子 (D T 1) の第 1 及び第 2 電極がフローティング (floating) され、第 1 駆動素子 (D T 1) ドレイン - ソース間に電流が流れない。第 3 - 2 及び第 3 - 4 スイッチ素子 S 3 2 は、第 1 駆動部 (1 0 1 A) が駆動されるときにターン - オフされ、第 2 駆動素子 (D T 2) の第 1 及び第 2 電極に接続された電流経路を遮断する。第 3 - 2 及び第 3 - 4 スイッチ素子 (S 3 2、S 3 4) がターン - オフされるとき、第 2 駆動素子 (D T 2) の第 1 及び第 2 電極がフローティングされて、第 2 駆動素子 (D T 2) のドレイン - ソース間電流が流れない。

30

【0112】

本発明は、駆動素子 (D T 1、D T 2) の第 1 及び第 2 電極を交互にフローティングして駆動素子 (D T 1、D T 2) のドレイン - ソース間に流れる電流を遮断することにより、駆動素子 (D T 1、D T 2) のストレス累積を軽減し駆動素子 (D T 1、D T 2) の回復を誘導する。本発明は、図 1 6 A ~ 図 1 7 D のような内部補償の方法で駆動素子 (D T 1、D T 2) のしきい値電圧 (V t h) だけデータ電圧 (V d a t a) を補償し駆動素子 (D T 1、D T 2) を交互駆動することにより、画素の輝度変化と残像を防止する。

40

【0113】

駆動素子 (D T 1、D T 2) とスイッチ素子 (S 1 乃至 S 3 2) は、酸化物半導体パターンを含む N M O S 構造の O x i d e T F T に実現されることができる。O x i d e T F T は T F T のオフ状態で発生するリーク電流が小さいため、消費電力を削減することができるだけでなく、リーク電流に起因する画素の電圧低下を防止することができるので

50

、フリッカーの防止効果を高めることができる。駆動素子(DT1、DT2)は、チャンネル比(W/L)が互いに異なり、図10~図13に示すように、共通ゲート(DG)を共有することができる。

【0114】

発光素子(EL)は、OLEDに実現されることができる。OLEDは、データ電圧(Vdata)に応じて駆動素子(DT1、DT2)によって調節される電流量に発光する。OLEDは、アノードとカソードの間に形成された有機化合物層を含む。有機化合物層は、正孔注入層(HIL)、正孔輸送層(HTL)、発光層(EML)、電子輸送層(ETL)及び電子注入層(EIL)などを含むことができるが、これに限定されない。OLEDのアノードは、第4ノード(n4)を介して駆動素子(DT1、DT2)に接続され、OLEDのカソードは低電位電源電圧(VSS)が印加されるVSS電極23に接続される。ストレージキャパシタ(Cgs)は、第1及び第4ノード(n1、n4)を介して駆動素子(DT1、DT2)のゲートとソースとの間に接続される。

10

【0115】

第1スイッチ素子(S1)は、第1スキャン信号(SC1)にตอบสนองしてVrefを第1ノード(n1)に供給した後、データ電圧(Vdata)を第1ノード(n1)に供給する。Vrefは、画素駆動電圧(VDD)より低く、第1ノード(n1)の電圧を初期化する電圧に設定される。第1スイッチ素子(S1)は、第1スキャン信号(SC1)が印加される第1ゲートラインに接続されたゲート、データラインに接続された第1電極、及び第1ノード(n1)に接続された第2電極を含む。データラインにVrefとVdataが供給される。

20

【0116】

第2スイッチ素子(S2)は、第2スキャン信号(SC2)にตอบสนองして所定のVINIを第4ノード(n4)を介して発光素子(EL)の画素電極(またはアノード)に供給する。VINIは発光素子(EL)が発光されない電圧に設定される。初期化電圧(VINI)はVDDより低い。第2スイッチ素子(S2)は、第2スキャン信号(SC2)が印加される第2ゲートラインに接続されたゲート、VINIが印加される第2電源ライン22に接続された第1電極、及び第4ノード(n4)に接続された第2電極を含む。

【0117】

第3-1スイッチ素子(S31)は、第1EM信号(EM1)にตอบสนองしてVDDと第1駆動素子(DT1)の第1電極との間の電流経路をスイッチングする。第3-1スイッチ素子(S31)は、第1EM信号(EM1)が印加される第3-1ゲートラインに接続されたゲート、第2-1ノード(n21)を介して第1電源ライン21に接続された第1電極、及び第2-1ノード(n21)を介して第1駆動素子(DT1)の第1電極に接続された第2電極を含む。

30

【0118】

第3-3スイッチ素子(S33)は、第3EM信号(EM3)にตอบสนองしてVDDと第1駆動素子(DT1)の第2電極との間の電流経路をスイッチングする。第3-3スイッチ素子(S33)は、第3EM信号(EM3)が印加される第3-3ゲートラインに接続されたゲート、第3-1ノード(n31)を介して第1駆動素子(DT1)の第2電極に接続された第1電極、及び第4ノード(n4)を介して発光素子(EL)のアノードに接続された第2電極を含む。

40

【0119】

第1駆動素子(DT1)は、ゲート-ソース間電圧(Vgs)に応じて発光素子(EL)の電流を調節する。第1駆動素子(DT1)は、第2駆動素子(DT2)と交互に発光素子(EL)を駆動する。第1駆動素子(DT1)は、第1ノード(n1)に接続されたゲート、第2-1ノード(n21)に接続された第1電極、及び第3-1ノード(n31)に接続された第2電極を含む。

【0120】

第3-2スイッチ素子(S32)は、第2EM信号(EM2)にตอบสนองしてVDDが印加

50

される第 1 電源ライン 2 1 と第 2 駆動素子 (DT 2) との間の電流経路をスイッチングする。第 3 - 2 及び第 3 - 4 スイッチ素子 (S 3 2、S 3 4) は、第 3 - 1 及び第 3 - 3 スイッチ素子 (S 3 1、S 3 3) がターン - オフされる発光時間の間ターン - オンされて VDD と発光素子 (EL) との間の電流経路を形成する。第 3 - 2 スイッチ素子 (S 3 2) は、第 2 EM 信号 (EM 2) が印加される第 3 - 2 ゲートラインに接続されたゲート、第 2 - 2 ノード (n 2 2) を介して第 1 電源ライン 2 1 に接続された第 1 電極、及び第 2 - 2 ノード (n 2 2) を介して第 2 駆動素子 (DT 2) の第 1 電極に接続された第 2 電極を含む。

【0121】

第 3 - 4 スイッチ素子 (S 3 4) は、第 4 EM 信号 (EM 4) に応答して VDD と第 2 駆動素子 (DT 2) の第 2 電極との間の電流経路をスイッチングする。第 3 - 4 スイッチ素子 (S 3 4) は、第 4 EM 信号 (EM 4) が印加される第 3 - 4 ゲートラインに接続されたゲート、第 3 - 2 ノード (n 3 2) を介して第 2 駆動素子 (DT 2) の第 2 電極に接続された第 1 電極、及び第 4 ノード (n 4) を介して発光素子 (EL) のアノードに接続された第 2 電極を含む。

【0122】

第 2 駆動素子 (DT 2) は、ゲート - ソース間電圧 (V_{gs}) に応じて発光素子 (EL) の電流を調節する。第 2 駆動素子 (DT 2) は、第 1 駆動素子 (DT 1) と交互に発光素子 (EL) を駆動する。第 2 駆動素子 (DT 2) は、第 1 ノード (n 1) に接続されたゲート、第 2 - 2 ノード (n 2 2) に接続された第 1 電極、及び第 3 - 2 ノード (n 3 2) に接続された第 2 電極を含む。

【0123】

図 1 6 A ~ 図 1 7 D は、第 n サブ画素の画素回路 (101 (n)) の動作を示す図である。画素回路のそれぞれは、図 1 6 A ~ 図 1 7 D に示された内部補償方法で駆動され、駆動素子 (DT 1、DT 2) のしきい値電圧 (V_{th}) をサンプリングし、そのしきい値電圧 (V_{th}) だけデータ電圧 (V_{data}) を補償する。図 1 6 A ~ 図 1 6 D は、第 1 駆動部 (101 A) によって発光素子 (EL) が駆動される動作を段階的に示す。図 1 7 A ~ 図 1 7 D は、第 2 駆動部 (101 B) によって発光素子 (EL) が駆動される動作を段階的に示す。

【0124】

図 1 6 A を参照すると、第 1 及び第 2 スキャン信号 (SC 1、SC 2) と、第 1 及び第 3 EM 信号 (EM 1、EM 3) は、第 1 初期化時間 (T_{i1}) が開始されるとき、ゲートオン電圧に変わる。第 2 及び第 4 EM 信号 (EM 2、EM 4) は、第 1 駆動部 (101 A) が駆動される期間中にゲートオフ電圧に維持される。NMOS において、ゲートオン電圧はゲートハイ電圧 (V_{GH}) に設定され、ゲートオフ電圧はゲートロー電圧 (V_{GL}) に設定されることができる。したがって、第 1 初期化時間 (T_{i1}) の間、第 3 - 2 及び第 3 - 4 スイッチ素子 (S 3 2、S 3 4) を除外した他のスイッチ素子 (S 1、S 2、S 3 1、S 3 3) がターン - オンされる。

【0125】

第 1 初期化時間 (T_{i1}) の間 V_{ref} がデータライン 102 に供給される。第 1 初期化時間 (T_{i1}) の間、第 1 スイッチ素子 (S 1) は、第 1 スキャン信号 (SC 1) のゲートオン電圧に応じてターン - オンされ、第 2 スイッチ素子 (S 2) は、第 2 スキャン信号 (SC 2) のゲートオン電圧に応じてターン - オンされる。第 3 - 1 スイッチ素子 (S 3 1) は、第 1 EM 信号 (EM 1) のゲートオン電圧に応じてターン - オンされる。第 3 - 3 スイッチ素子 (S 3 3) は、第 3 EM 信号 (EM 3) のゲートオン電圧に応じてターン - オンされる。第 1 初期化時間 (T_{i1}) の間の画素回路で各ノードの電圧が初期化される。第 1 初期化時間 (T_{i1}) で第 1 ノード (n 1) は、 V_{ref} に、第 2 - 1 ノード (n 2 1) は VDD に、第 4 ノード (n 4) は、VINI にそれぞれ初期化される。

【0126】

図 1 6 B を参照すると、第 1 サンプリング時間 (T_{s1}) が開始されるとき、第 1 EM

信号 (EM1) がゲートオフ電圧に反転され、第3-1スイッチ素子 (S31) がターン - オフされる。第1サンプリング時間 (Ts1) の間、第3EM信号 (EM3) と、第1及び第2スキャン信号 (SC1、SC2) は、ゲートオン電圧を維持し、第2及び第4EM信号 (EM2、EM4) はゲートオフ電圧を維持する。したがって、第1サンプリング時間 (Ts1) の間、第3-1、第3-2及び第3-4スイッチ素子 (S31、S32、S34) は、ターン - オフされる反面ものの、第3-3スイッチ素子 (S33) と第1及び第2スイッチ素子 (S1、S2) はターン - オンされる。

【0127】

第1サンプリング時間 (Ts1) の間に Vref がデータライン 102 に供給され、第3ノード (n3) の電圧は、VINI を維持する。第1サンプリング時間 (Ts1) の間、第1駆動素子 (DT1) のゲートソース間電圧 (Vgs) は、第1駆動素子 (DT1) のしきい値電圧 (Vth) だけ上昇し、このしきい値電圧 (Vth) がストレージキャパシタ (Cgs) に貯蔵される。

10

【0128】

図16Cを参照すると、第1データ書き込み時間 (Tw1) が開始されるとき、第2スキャン信号 (SC2) と第3EMD信号 (EM3) は、ゲートオフ電圧に反転される。第1データ書き込み時間 (Tw1) の間、第1スキャン信号 (SC1) は、ゲートオン電圧を維持し、第1、第2及び第4EM信号 (EM1、EM2、EM4) は、ゲートオフ電圧を維持する。したがって、第1データ書き込み時間 (Tw1) の間、第1スイッチ素子 (S1) は、オン状態を維持して、データ電圧 (Vdata) を第1ノード (n1) に供給するが、残りのスイッチ素子 (S2、S31 ~ S34) は、ターン - オフされる。

20

【0129】

第1データ書き込み時間 (Tw1) に第1駆動素子 (DT1) のゲートソース間電圧 (Vgs) は、第1駆動素子 (DT1) のしきい値電圧 (Vth) だけ補償されたデータ電圧に変わる。

【0130】

図16Dを参照すると、第1発光時間 (Tem1) が開始されるとき、第1スキャン信号 (SC1) は、ゲートオフ電圧に反転され、第1及び第3EM信号 (EM1、EM3) は、ゲートオン電圧に反転される。第1発光時間 (Tem1) の間、第2スキャン信号 (SC2) は、ゲートオフ電圧を維持し、第2及び第4EM信号 (EM2、EM4) は、ゲートオフ電圧を維持する。したがって、第1発光時間 (Tem1) の内、第3-1及び第3-3スイッチ素子 (S31、S33) は、ターン - オンされるものの、残りのスイッチ素子 (S1、S2、S32、S34) は、ターン - オフされる。

30

【0131】

第1発光時間 (Tem1) の間、第1駆動素子 (DT1) のゲートソース間電圧 (Vgs) に応じて発光素子 (EL) に電流が流れ、発光素子 (EL) が発光することができる。第1発光時間 (Tem1) の間、第1EM信号 (EM1) は、予め設定されたPWM (Pulse Width Modulation) のデューティ比 (%) でゲートオン電圧とゲートオフ電圧との間でスイングする交流信号で発生することができる。発光素子 (EL) が第1発光時間 (Tem1) の間、あらかじめ設定されたデューティ比でオン / オフを繰り返すと、フリッカ (flicker) と残像が改善されることができる。第1駆動素子 (DT1) の飽和領域で発光素子 (EL) の電流は、数式1の通りである。

40

【0132】

第1駆動部 (101A) は、図16A ~ 図16Dに示すように、第1駆動素子 (DT1) のしきい値電圧 (Vth) をリアルタイム補償して発光素子 (EL) を駆動する。このとき、第2駆動部 (101B) で電流が流れないので、第2駆動素子 (DT2) のストレス累積がなく、劣化が回復することができる。図17A ~ 図17Dに示された第2駆動部 (101B) の駆動時間の間第1駆動部 (101A) は動作しない。

【0133】

図17Aを参照すると、第1及び第2スキャン信号 (SC1、SC2) と第2及び第4

50

EM信号(EM2、EM4)は、第2初期化時間(Ti2)が開始されるとき、ゲートオン電圧に変わる。第1及び第3EM信号(EM1、EM3)は、第2駆動部(101B)が駆動される期間の間ゲートオフ電圧に維持される。したがって、第2初期化時間(Ti2)の間、第3-1及び第3-3スイッチ素子(S31、S33)を除外した他のスイッチ素子(S1、S2、S32、S34)がターンオンされる。

【0134】

第2初期化時間(Ti2)の間、Vrefがデータライン102に供給される。第2初期化時間(Ti2)の間、第1スイッチ素子(S1)は、第1スキャン信号(SC1)のゲートオン電圧に応じてターンオンされ、第2スイッチ素子(S2)は、第2スキャン信号(SC2)のゲートオン電圧に応じてターンオンされる。第3-2スイッチ素子(S32)は、第2EM信号(EM2)のゲートオン電圧に応じてターンオンされる。第3-4スイッチ素子(S34)は、第4EM信号(EM4)のゲートオン電圧に応じてターンオンされる。

10

【0135】

第2初期化時間(Ti2)の間、画素回路で、各ノードの電圧が初期化される。第2初期化時間(Ti2)に第1ノード(n1)は、Vrefであり、第2-2ノード(n22)はVDDであり、第4ノード(n4)は、VINIにそれぞれ初期化される。

【0136】

図17Bを参照すると、第2サンプリング時間(Ts2)が開始されると、第2EM信号(EM2)がゲートオフ電圧に反転され、第3-2スイッチ素子(S32)がターンオフされる。第2サンプリング時間(Ts2)の間、第4EM信号(EM4)と、第1及び第2スキャン信号(SC1、SC2)は、ゲートオン電圧を維持し、第1及び第3EM信号(EM1、EM3)ゲートオフ電圧を維持する。したがって、第2サンプリング時間(Ts2)の間、第3-1、第3-2及び第3-3スイッチ素子(S31、S32、S33)は、ターンオフされるものの、第1及び第2スイッチ素子(S1、S2)はターンオンされる。

20

【0137】

第2サンプリング時間(Ts2)の間Vrefがデータライン102に供給され、第3ノード(n3)の電圧は、VINIを維持する。第2サンプリング時間(Ts2)の間、第2駆動素子(DT2)のゲートソース間電圧(Vgs)はしきい値電圧(Vth)だけ上昇し、このしきい値電圧(Vth)がストレージキャパシタ(Cgs)に貯蔵される。

30

【0138】

図17Cを参照すると、第2データ書き込み時間(Tw2)が開始されるとき、第2スキャン信号(SC2)と第4EM信号(EM4)は、ゲートオフ電圧に反転される。第2データ書き込み時間(Tw2)の間、第1スキャン信号(SC1)は、ゲートオン電圧を維持し、第1、第2及び第3EM信号(EM1、EM2、EM3)は、ゲートオフ電圧を維持する。したがって、第2データ書き込み時間(Tw2)の間、第1スイッチ素子(S1)は、オン状態を維持して、データ電圧(Vdata)を第1ノード(n1)に供給するものの、残りのスイッチ素子(S2、S31~S34)は、ターンオフされる。

40

【0139】

第2データ書き込み時間(Tw2)に第2駆動素子(DT2)のゲートソース間電圧(Vgs)は、第2駆動素子(DT2)のしきい値電圧(Vth)だけ補償されたデータ電圧に変わる。

【0140】

図17Dを参照すると、第2発光時間(Tem2)が開始されるとき、第1スキャン信号(SC1)は、ゲートオフ電圧に反転され、第2及び第4EM信号(EM2、EM4)は、ゲートオン電圧に反転される。第2発光時間(Tem2)の間、第2スキャン信号(SC2)は、ゲートオフ電圧を維持し、第1及び第3EM信号(EM1、EM3)は、ゲートオフ電圧を維持する。したがって、第2発光時間(Tem2)の間、第3-2及び第

50

3 - 4 スイッチ素子 (S 3 2、S 3 4) は、ターン・オンされるものの、残りのスイッチ素子 (S 1、S 2、S 3 1、S 3 3) は、ターン・オフされる。

【0141】

第2発光時間 (T e m 2) の間、第2駆動素子 (D T 2) のゲートソース間電圧 (V g s) に応じて発光素子 (E L) に電流が流れ、発光素子 (E L) が発光することができる。第2発光時間 (T e m 2) の間、第2 E M 信号 (E M 2) は、予め設定された P W M (Pulse Width Modulation) のデューティ比 (%) を有する交流信号で発生することができる。発光素子 (E L) が第2発光時間 (T e m 2) の間、あらかじめ設定されたデューティ比のオン/オフを繰り返すと、フリッカと残像が改善されることができる。

【0142】

第2駆動部 (101B) は、図17A ~ 図17D に示すように、第2駆動素子 (D T 2) のしきい値電圧 (V t h) をリアルタイム補償して発光素子 (E L) を駆動する。このとき、第1駆動部 (101A) で電流が流れないため、第1駆動素子 (D T 1) のストレス累積がなく、劣化が回復することができる。

【0143】

前述した実施形態において、第1スイッチ素子 (S 1) は、1つのデータラインを介して入力を受けた基準電圧 (V r e f) とデータ電圧 (V d a t a) を第1ノード (n 1) に順次供給する。本発明の第3実施形態は、図18A ~ 図19D に示すように、データ電圧 (V d a t a) と基準電圧 (V r e f) を分離する。

【0144】

図18A ~ 図19D は、本発明の第3実施形態に係る画素回路を示す図である。

【0145】

図18A ~ 図19D を参照すると、画素回路は、1つの発光素子 (E L) に接続された第1及び第2駆動素子 (D T 1、D T 2)、第1から第3 - 2 スイッチ素子 (S 1 1乃至S 3 2)、ストレージキャパシタ (C g s) などを含む。

【0146】

この画素回路は、交互に駆動される第1及び第2駆動部を含む。第1駆動部は、第3 - 1 スイッチ素子 (S 3 1) と、第1駆動素子 (D T 1) を含みから第1 E M 信号 (E M 1) が入力されるとき、駆動されて発光素子 (E L) に電流を供給する。第2駆動部は、第3 - 2 スイッチ素子 (S 3 2) と、第2駆動素子 (D T 2) を含み第2 E M 信号 (E M 2) に応答して発光素子 (E L) に電流を供給する。

【0147】

本発明は、駆動素子 (D T 1、D T 2) の第1電極、すなわち、ドレインを交互にフローティング (floating) して駆動素子 (D T 1、D T 2) のドレイン - ソース間に流れる電流を遮断することにより、駆動素子 (D T 1、D T 2) のストレス累積を軽減し駆動素子 (D T 1、D T 2) の回復を誘導する。本発明は、駆動素子 (D T 1、D T 2) のしきい値電圧 (V t h) だけデータ電圧 (V d a t a) を補償して駆動素子 (D T 1、D T 2) を交互駆動することにより、画素の輝度変化と残像を防止する。

【0148】

駆動素子 (D T 1、D T 2) とスイッチ素子 (S 1 1乃至S 3 2) は、酸化物半導体バターンを含む N M O S 構造の O x i d e T F T に実現されることができる。O x i d e T F T は T F T のオフ状態で発生するリーク電流が小さいため、消費電力を減らすことができるだけでなく、リーク電流に起因する画素の電圧低下を防止することができるので、フリッカーの防止効果を高めることができる。

【0149】

発光素子 (E L) は、O L E D に実現されることができる。O L E D は、データ電圧 (V d a t a) に応じて駆動素子 (D T 1、D T 2) によって調節される電流で発光する。

O L E D は、アノードとカソードの間に形成された有機化合物層を含む。有機化合物層は、正孔注入層 (H I L)、正孔輸送層 (H T L)、発光層 (E M L)、電子輸送層 (E T L) 及び電子注入層 (E I L) などを含むことができるが、これに限定されない。O

10

20

30

40

50

LEDのアノードは、第3ノード(n3)を介して駆動素子(DT1、DT2)に接続され、OLEDのカソードにVSSが印加される。ストレージキャパシタ(Cgs)は、第1及び第3ノード(n1、n3)を介して駆動素子(DT1、DT2)のゲートとソースとの間に接続される。

【0150】

第1及び第3スイッチ素子(S12、S11)は、画素回路に接続されたデータ電圧経路と基準電圧経路を分離する。このように、データ電圧経路と基準電圧経路が分離されると、基準電圧が印加されるサンプリング時間(Ts1、Ts2)を1水平期間より長く、例えば、2水平期間だけ長くすることができる。1水平期間は、表示パネルの1画素ラインにデータを書き込むのに必要な時間である。1水平期間は、水平同期信号(Hsync)とデータインーブル信号(DE)の1周期と同じである。表示パネルの画素ラインにデータが独立して書き込まれるように、画素ライン(LINE1、LINE2)間でデータ書き込み時間が分離されるべきである。画素回路のデータ電圧経路と基準電圧経路が分離されると、サンプリング時間をデータ書き込み時間と独立して定義することができるので、1水平期間が短い高解像度/高速表示パネルでサンプリング時間(Ts1、Ts2)を安定して確保することができる。一方、1つのデータラインを介してデータ電圧(Vdata)と基準電圧(Vref)が時分割され、画素回路に供給されると、1水平期間内でサンプリング時間(Ts1、Ts2)とデータ書き込み(Tw1、Tw2)時間この分割されるので、サンプリング時間が足りなくなり、高解像度/高速表示パネルでサンプリング時間がとさらに不足することになることができる。

【0151】

この画素回路は、別のセンシングモードにおいて、データ電圧経路と基準電圧経路を分離する第1及び第3スイッチ素子(S12、S11)のみターン - オンされた状態で第3スイッチ素子(S11)のしきい値電圧をセンシングすることができる。

【0152】

第3スイッチ素子(S11)は、第3スキャン信号(SC3)に応答して、データ書き込み時間(Tw1、Tw2)の間に入力映像のデータ電圧(Vdata)を第1ノード(n1)に供給する。第3スイッチ素子(S11)は、第3スキャン信号(SC3)が印加される第1 - 1ゲートラインに接続されたゲート、データライン1021に接続された第1電極、及び第1ノード(n1)に接続された第2電極を含む。

【0153】

第1スイッチ素子(S12)は、第1スキャン信号(SC1)に応答して、初期化時間(Ti1、Ti2)とサンプリング時間(Ts1、Ts2)の間、Vrefを第1ノード(n1)に供給する。Vrefは、画面上に入力映像が表示されるノーマル駆動モードにおいてと低消費電力駆動モードにおいて、VDDより低い電圧、例えば、図21においてVref1に設定される。Vrefはセンシングモードで第1及び第3スイッチ素子(S11、S12)を含む電流経路に電流を供給するために十分に高い電圧、例えば、図21においてVref2に設定されることができる。第1スイッチ素子(S12)は、第1スキャン信号(SC1)が印加される第1 - 2ゲートラインに接続されたゲート、基準電圧ライン1022に接続された第1電極、及び第1ノード(n1)に接続された第2電極を含む。Vrefは基準電圧ライン1022を介して画素に供給される。

【0154】

第2スイッチ素子(S2)は、第2スキャン信号(SC2)に応答してVINIを第3ノード(n3)を介して発光素子(EL)の画素電極(またはアノード)に供給する。VINIは発光素子(EL)が発光されない電圧に設定される。VINIはVDDより低い。第2スイッチ素子(S2)は、第2スキャン信号(SC2)が印加される第2ゲートラインに接続されたゲート、VINIが印加される第2電源ラインに接続された第1電極、及び第3ノード(n3)に接続された第2電極を含む。

【0155】

第3 - 1スイッチ素子(S31)は、第1EM信号(EM1)に応答してVDDが印加

される第1電源ラインと、第1駆動素子(DT1)の間の電流経路をスイッチングする。第3-1スイッチ素子(S31)と、第3-2スイッチ素子(S32)は、交互にオン/オフされる。したがって、第3-1スイッチ素子(S31)は、第3-2スイッチ素子(S32)のオフ時間にターンオンされ、第1電源ライン21と、第1駆動素子(DT1)の間の電流経路を形成する。第3-1スイッチ素子(S31)は、第1EM信号(EM1)が印加される第3-1ゲートラインに接続されたゲート、第2-1ノード(n21)を介して第1電源ラインに接続された第1電極、及び第2-1ノード(n21)を介して第1駆動素子(DT1)の第1電極に接続された第2電極を含む。

【0156】

第1駆動素子(DT1)は、ゲートソース間電圧(Vgs)に応じて発光素子(EL)の電流を調節する。第1駆動素子(DT1)は、第2駆動素子(DT2)と交互に発光素子(EL)を駆動する。第1駆動素子(DT1)は、第1ノード(n1)に接続されたゲート、第2-1ノード(n21)に接続された第1電極、及び第3ノード(n3)に接続された第2電極を含む。

【0157】

第3-2スイッチ素子(S32)は、第2EM信号(EM2)にตอบสนองしてVDDが印加される第1電源ラインと第2駆動素子(DT2)との間の電流経路をスイッチングする。第3-2スイッチ素子(S32)は、第3-1スイッチ素子(S31)のオフ時間にターンオンされ、第1電源ラインと第2駆動素子(DT2)との間の電流経路を形成する。第3-2スイッチ素子(S32)は、第2EM信号(EM2)が印加される第3-2ゲートラインに接続されたゲート、第2-2ノード(n22)を介して第1電源ラインに接続された第1電極、及び第2-2ノード(n22)を介して第2駆動素子(DT2)の第1電極に接続された第2電極を含む。

【0158】

第2駆動素子(DT2)は、ゲートソース間電圧(Vgs)に応じて発光素子(EL)の電流を調節する。第2駆動素子(DT2)は、第1駆動素子(DT1)と交互に発光素子(EL)を駆動する。第2駆動素子(DT2)は、第1ノード(n1)に接続されたゲート、第2-2ノード(n22)に接続された第1電極、及び第3ノード(n3)に接続された第2電極を含む。

【0159】

図18Aを参照すると、第1及び第2スキャン信号(SC1、SC2)と、第1EM信号(EM1)は、第1初期化時間(Ti1)が開始されるとき、ゲートオン電圧に変わる。第2EM信号(EM2)は、第1駆動部(101A)が駆動される期間の間、ゲートオフ電圧に維持される。第3スキャン信号(SC3)は、第1初期化時間(Ti1)の間、ゲートオフ電圧に設定される。NMOSにおいて、ゲートオン電圧はVGHに設定され、ゲートオフ電圧はVGLに設定されることができる。したがって、第1初期化時間(Ti1)の間に、第3及び第3-2スイッチ素子(S11、S32)を除外した他のスイッチ素子(S12、S2、S31)がターンオンされる。

【0160】

第1初期化時間(Ti1)の間、画素回路において、各ノードの電圧が初期化される。第1初期化時間(Ti1)に第1ノード(n1)は、Vrefで、第2-1ノード(n21)はVDDで、第3ノード(n3)は、VINIにそれぞれ初期化される。

【0161】

図18Bを参照すると、第1サンプリング時間(Ts1)が開始されるとき、第1EM信号(EM1)がゲートオフ電圧に反転され、第3-1スイッチ素子(S31)がターンオフされる。第1サンプリング時間(Ts1)の間、第1及び第2スキャン信号(SC1、SC2)は、ゲートオン電圧を維持し、第3スキャン信号(SC3)と第2EM信号(EM2)は、ゲートオフ電圧を維持する。したがって、第1サンプリング時間(Ts1)の間、第3スイッチ素子(S11)と、第3-1及び第3-2スイッチ素子(S31、S32)は、ターンオフされるものの、第1及び第2スイッチ素子(S12、S2)は

ターンオンされる。

【0162】

第1サンプリング時間(T_{s1})の間、第1駆動素子($DT1$)のゲートソース間電圧(V_{gs})は、第1駆動素子($DT1$)のしきい値電圧(V_{th})だけ上昇し、このしきい値電圧(V_{th})がストレージキャパシタ(C_{gs})に貯蔵される。

【0163】

図18Cを参照すると、第1データ書き込み時間(T_{w1})が開始されるとき、第1及び第2スキャン信号($SC1$ 、 $SC2$)は、ゲートオフ電圧に反転されるものの、第3スキャン信号($SC3$)は、ゲートオン電圧に反転される。第1データ書き込み時間(T_{w1})の間に、第1及び第2EM信号($EM1$ 、 $EM2$)は、ゲートオフ電圧を維持する。したがって、第1データ書き込み時間(T_{w1})の間、第3スイッチ素子($S11$)は、ターンオンされて、データ電圧(V_{data})を第1ノード($n1$)に供給するが、残りのスイッチ素子($S12$ 、 $S2$ 、 $S31$ 、 $S32$)は、ターンオフされる。

10

【0164】

第1データ書き込み時間(T_{w1})に第1駆動素子($DT1$)のゲートソース間電圧(V_{gs})は、第1駆動素子($DT1$)のしきい値電圧(V_{th})だけ補償されたデータ電圧に変わる。

【0165】

図18Dを参照すると、第1発光時間(T_{em1})が開始されるとき、第3スキャン信号($SC3$)は、ゲートオフ電圧に反転され第1EM信号($EM1$)は、ゲートオン電圧に反転される。

20

第1発光時間(T_{em1})の間の第2EM信号($EM2$)と、第1及び第2スキャン信号($SC1$ 、 $SC2$)は、ゲートオフ電圧を維持する。したがって、第1発光時間(T_{em1})の間、第3-1スイッチ素子($S31$)は、ターンオンされる反面、残りのスイッチ素子($S11$ 、 $S12$ 、 $S2$ 、 $S32$)は、ターンオフされる。

【0166】

第1発光時間(T_{em1})の間、第1駆動素子($DT1$)のゲートソース間電圧(V_{gs})に応じて発光素子(EL)に電流が流れ、発光素子(EL)が発光することができる。第1発光時間(T_{em1})の間に、第1EM信号($EM1$)は、あらかじめ設定されたPWMのデューティ比(%)でゲートオン電圧とゲートオフ電圧との間でスイングする交流信号に発生することができる。

30

【0167】

第1駆動部は、図18A～図18Dに示すように、第1駆動素子($DT1$)のしきい値電圧(V_{th})をリアルタイム補償して発光素子(EL)を駆動する。このとき、第2駆動部で電流が流れないので、第2駆動素子($DT2$)のストレス累積がなく、劣化が回復することができる。

図19A～図19Dに示された第2駆動部の駆動時間の間、第1駆動部は動作しない。

【0168】

図19Aを参照すると、第1及び第2スキャン信号($SC1$ 、 $SC2$)と第2EM信号($EM2$)は、第2初期化時間(T_{i2})が開始されると、ゲートオン電圧に変わる。第1EM信号($EM1$)は、第2駆動部が駆動される期間の間、ゲートオフ電圧に維持される。第3スキャン信号($SC3$)は、第2初期化時間(T_{i2})の間、ゲートオフ電圧に設定される。したがって、第2初期化時間(T_{i2})の間、第3及び第3-1スイッチ素子($S11$ 、 $S31$)を除外した他のスイッチ素子($S12$ 、 $S2$ 、 $S32$)がターンオンされる。

40

【0169】

第2初期化時間(T_{i1})の間の画素回路において、各ノードの電圧が初期化される。第2初期化時間(T_{i2})で第1ノード($n1$)は、 V_{ref} で、第2-1ノード($n21$)は V_{DD} であり、第3ノード($n3$)は、 V_{INI} でそれぞれ初期化される。

【0170】

50

図 1 9 B を参照すると、第 2 サンプリング時間 (T_{s2}) が開始されるとき、第 2 E M 信号 ($E M 2$) がゲートオフ電圧に反転され、第 3 - 2 スイッチ素子 ($S 3 2$) がターン - オフされる。第 2 サンプリング時間 (T_{s2}) の間、第 1 及び第 2 スキャン信号 ($S C 1$ 、 $S C 2$) は、ゲートオン電圧を維持し、第 3 スキャン信号 ($S C 3$) と、第 1 E M 信号 ($E M 1$) は、ゲートオフ電圧を維持する。したがって、第 2 サンプリング時間 (T_{s2}) の間、第 3 スイッチ素子 ($S 1 1$) と、第 3 - 1 及び第 3 - 2 スイッチ素子 ($S 3 1$ 、 $S 3 2$) は、ターン - オフされるものの、第 1 及び第 2 スイッチ素子 ($S 1 2$ 、 $S 2$) はターン - オンされる。

【 0 1 7 1 】

第 2 サンプリング時間 (T_{s2}) の間、第 2 駆動素子 ($D T 2$) のゲート - ソース間電圧 (V_{gs}) は、第 2 駆動素子 ($D T 2$) のしきい値電圧 (V_{th}) だけ上昇し、このしきい値電圧 (V_{th}) がストレージキャパシタ (C_{gs}) に貯蔵される。

10

【 0 1 7 2 】

図 1 9 C を参照すると、第 2 データ書き込み時間 (T_{w2}) が開始されるとき、第 1 及び第 2 スキャン信号 ($S C 1$ 、 $S C 2$) は、ゲートオフ電圧に反転される反面、第 3 スキャン信号 ($S C 3$) は、ゲートオン電圧に反転される。第 2 データ書き込み時間 (T_{w2}) の間、第 1 及び第 2 E M 信号 ($E M 1$ 、 $E M 2$) は、ゲートオフ電圧を維持する。したがって、第 2 データ書き込み時間 (T_{w2}) の間、第 3 スイッチ素子 ($S 1 1$) は、ターン - オンされ、データ電圧 (V_{data}) を第 1 ノード ($n 1$) に供給するものの、残りのスイッチ素子 ($S 1 2$ 、 $S 2$ 、 $S 3 1$ 、 $S 3 2$) は、ターン - オフされる。

20

【 0 1 7 3 】

第 2 データ書き込み時間 (T_{w2}) に第 2 駆動素子 ($D T 2$) のゲート - ソース間電圧 (V_{gs}) は、第 2 駆動素子 ($D T 2$) のしきい値電圧 (V_{th}) だけ補償されたデータ電圧に変わる。

【 0 1 7 4 】

図 1 9 D を参照すると、第 2 発光時間 (T_{em2}) が開始されるとき、第 3 スキャン信号 ($S C 3$) は、ゲートオフ電圧に反転され、第 2 E M 信号 ($E M 2$) は、ゲートオン電圧に反転される。第 2 発光時間 (T_{em2}) の間、第 1 E M 信号 ($E M 1$) と、第 1 及び第 2 スキャン信号 ($S C 1$ 、 $S C 2$) は、ゲートオフ電圧を維持する。したがって、第 2 発光時間 (T_{em2}) の間、第 3 - 2 スイッチ素子 ($S 3 2$) は、ターン - オンされる反面、残りのスイッチ素子 ($S 1 1$ 、 $S 1 2$ 、 $S 2$ 、 $S 3 1$) は、ターン - オフされる。

30

【 0 1 7 5 】

第 2 発光時間 (T_{em2}) の間、第 2 駆動素子 ($D T 2$) のゲート - ソース間電圧 (V_{gs}) に応じて発光素子 ($E L$) に電流が流れ、発光素子 ($E L$) が発光することができる。第 2 発光時間 (T_{em2}) の間、第 2 E M 信号 ($E M 2$) は、予め設定された P W M のデューティ比 (%) でゲートオン電圧とゲートオフ電圧との間でスイングする交流信号で発生することができる。

【 0 1 7 6 】

図 1 8 A ~ 図 1 9 D に示すように、この画素回路に接続されたデータ電圧経路と基準電圧経路が分離されるので、サンプリング時間 (T_{s1} 、 T_{s2}) を 1 水平期間より長く確保することができる。このような画素回路は、データ電圧経路と基準電圧経路上のスイッチ素子 ($T 1 1$ 、 $T 1 2$) を接続した電流経路を用いて、スイッチ素子 ($S 1 1$) のしきい値電圧をセンシングすることができる。このセンシング方法は、駆動素子のしきい値電圧をセンシングする過程と分離された別のセンシングモードにおいて、スイッチ素子のしきい値電圧を容易にセンシングすることができる。

40

【 0 1 7 7 】

図 2 0 及び図 2 1 は、センシングモードにおいて、スイッチ素子のしきい値電圧センシング方法を示す図である。

【 0 1 7 8 】

図 2 0 及び図 2 1 を参照すると、基準電圧 (V_{ref}) は、センシングモード (T_{sens})

50

でVDDレベルまたはそれ以上の電圧(Vref2)に高くなる。入力映像が画面上に表示されるノーマル駆動モード(Tnor)または低消費電力駆動モードにおいて基準電圧(Vref)は-2V~2Vの間の低電圧(Vref1)に設定されることができる。

【0179】

センシングモード(Tsens)で第1及び第3スキャン信号(SC1、SC3)は、ゲートオン電圧(VGH)で発生される。第2スキャン信号(SC2)とEM信号(EM1、EM2)は、センシングモード(Tsens)でゲートオフ電圧(VGL)に維持される。したがって、センシングモード(Tsens)で第1及び第3スイッチ素子(S12、S11)がターンオンされて基準電圧ライン1022からのデータライン1021に流れる電流経路が形成されることができる。

10

【0180】

第3スキャン信号(SC3)の電圧は、センシングモード(Tsens)でVref2より高い電圧で発生され、第1スイッチ素子(S12)がターンオンされるとき、第1スイッチ素子(S12)のチャンネルが完全に開放される。第3スイッチ素子(S11)のゲートソース間電圧がしきい値電圧と同じになるとき、第3スイッチ素子(S11)は、ターンオフされる。このとき、データライン1021に充電された電圧、すなわち、データライン1021の寄生容量(C)に充電された電圧をVref2と比較して、第3スイッチ素子(S11)のしきい値電圧を知ることができる。センシングモード(Tsens)において、データライン1022の電圧とVref2の差電圧が第3スイッチ素子(S11)のしきい値電圧である。したがって、センシングモード(Tsens)において、データライン1022の電圧とVref2の差電圧で第3スイッチ素子(S11)のしきい値電圧がセンシングされることができる。

20

【0181】

図18A乃至図21に示された第3実施形態の画素回路は、図2~図4Dに示された画素回路のスイッチ素子(S1)を第1及び第3スイッチ素子(S11、S12)に分離したものである。図18A~図21に示されたスイッチ素子(S11、S12)は、第2実施形態に係る画素回路(図14~図1)のスイッチ素子(S1)を置き換えることもできる。

【0182】

以上説明した内容を通じて、当業者であれば本発明の技術思想を逸脱しない範囲で様々な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲によって定めべきである。

30

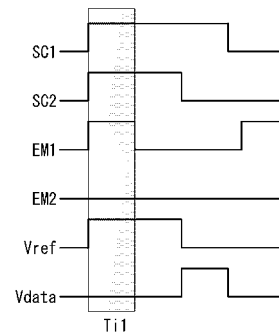
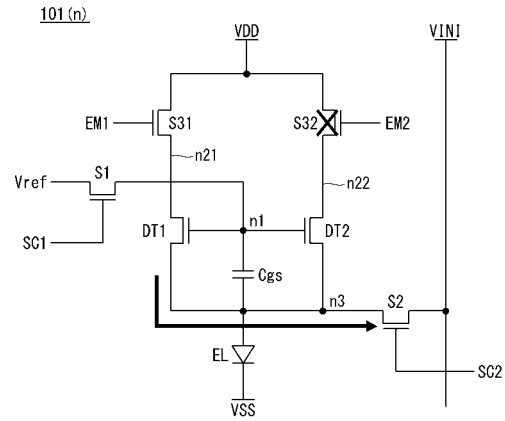
【符号の説明】

【0183】

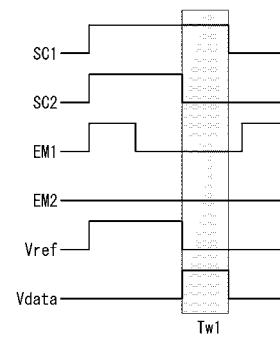
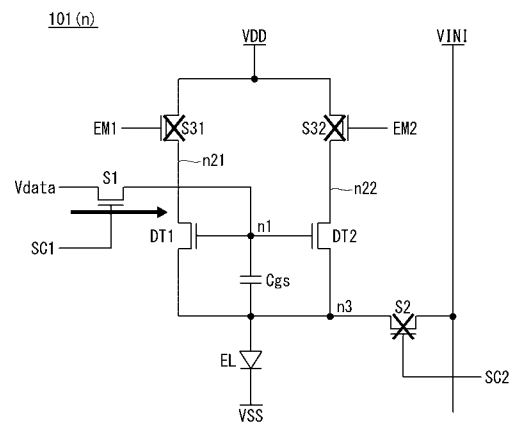
100:表示パネル	110:データ駆動部
130:タイミングコントローラ	120:ゲート駆動部
DT1、DT2:駆動素子	S1~S34:スイッチ素子

40

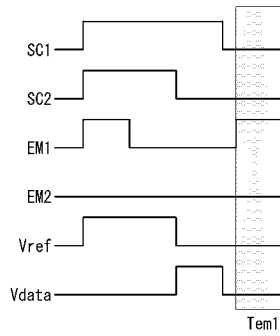
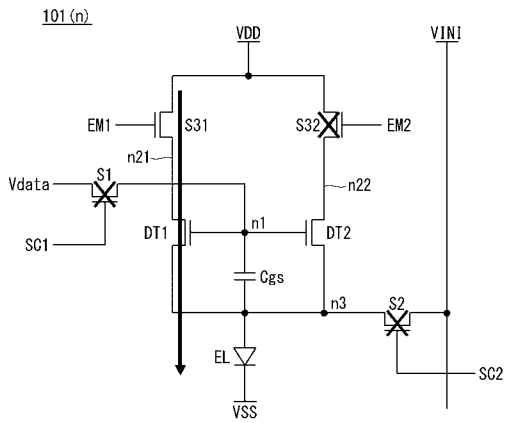
【 図 3 A 】



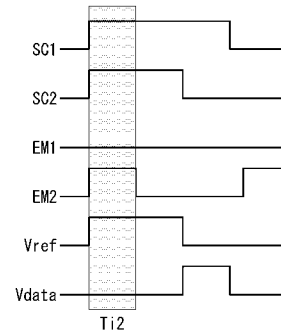
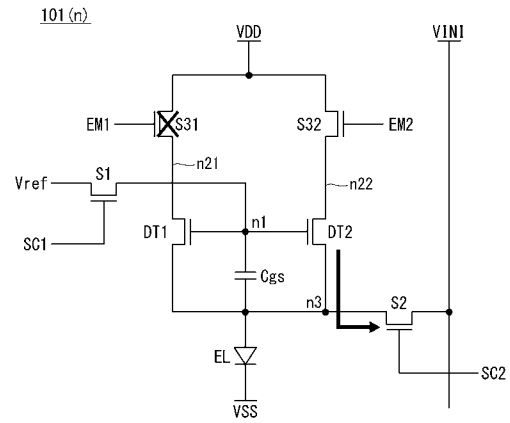
【 ㊦ 3 C 】



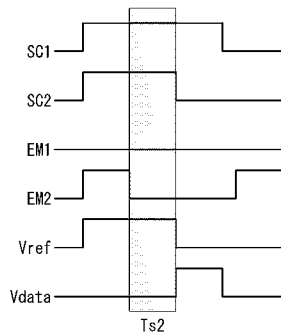
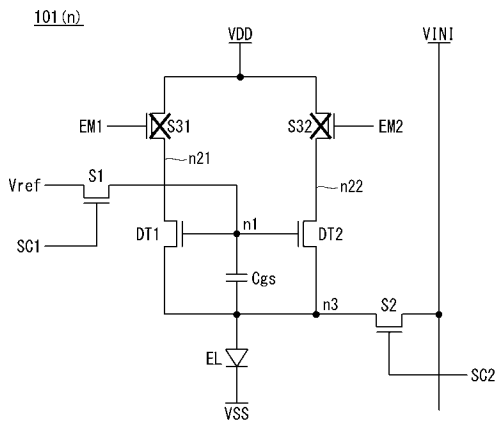
【図 3 D】



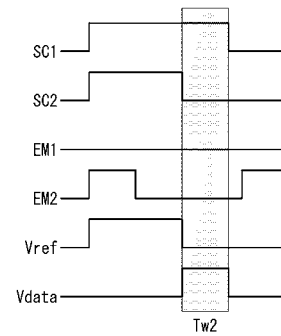
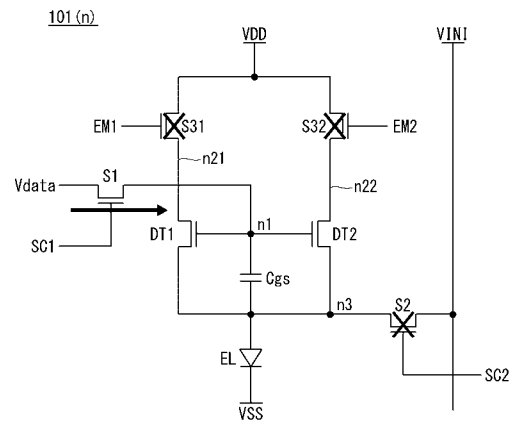
【図 4 A】



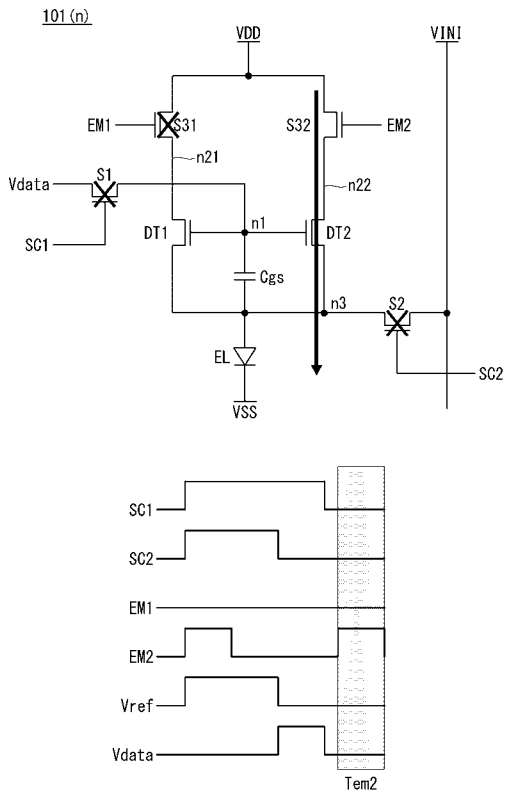
【図 4 B】



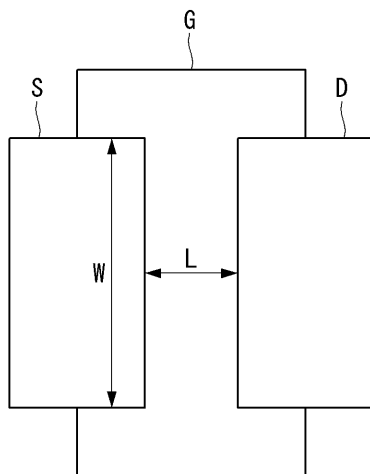
【図 4 C】



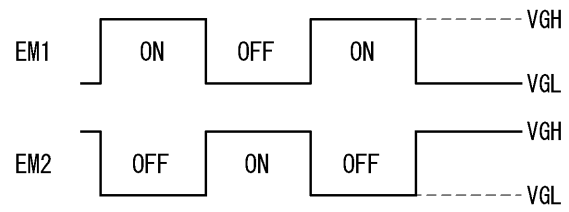
【図 4 D】



【図 7】

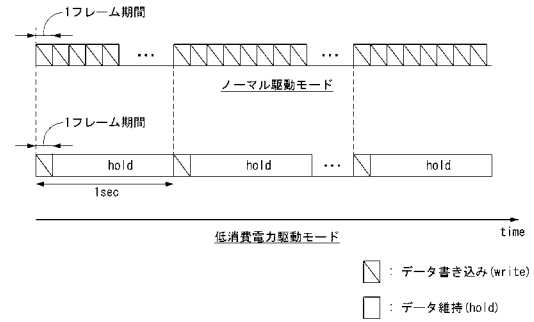


【図 5】

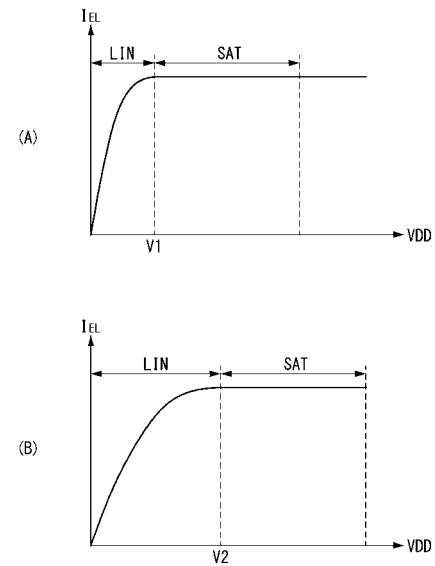


ノーマル駆動モード

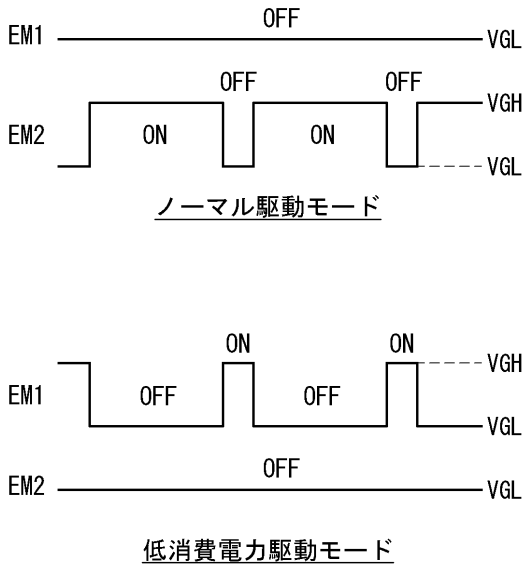
【図 6】



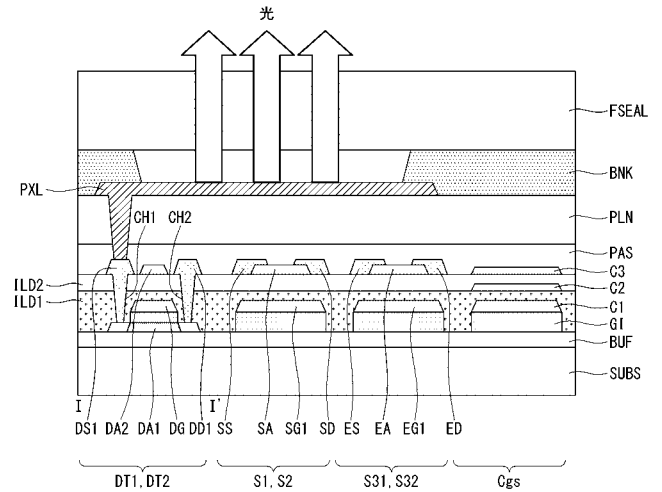
【図 8】



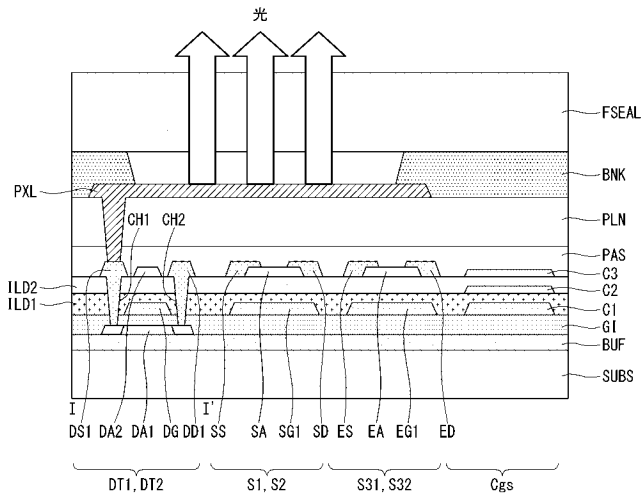
【図 9】



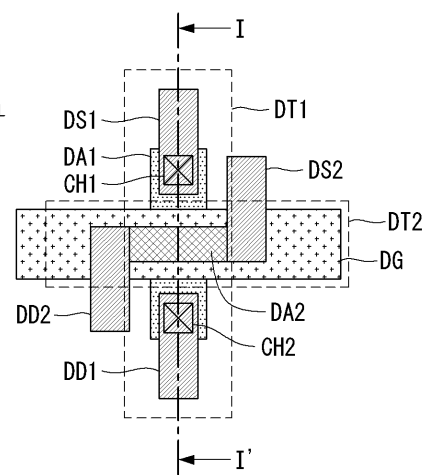
【図 10】



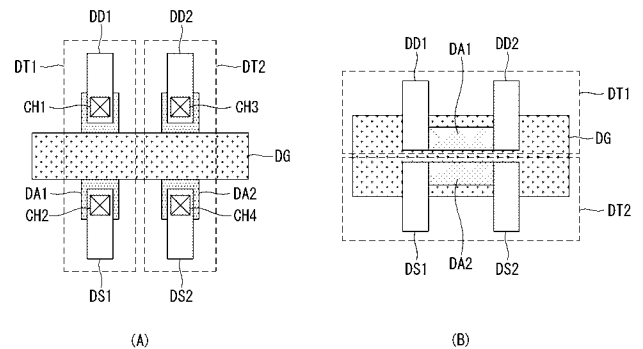
【図 11】



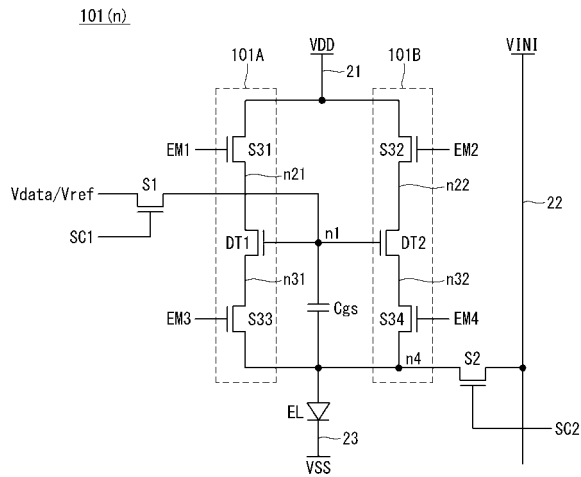
【図 12】



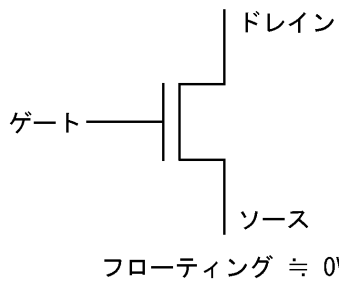
【図 13】



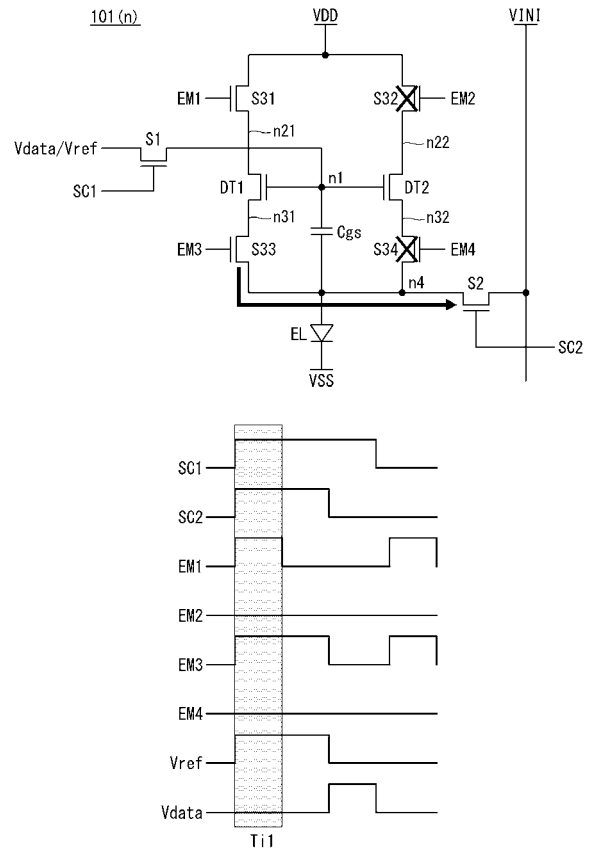
【図 14】



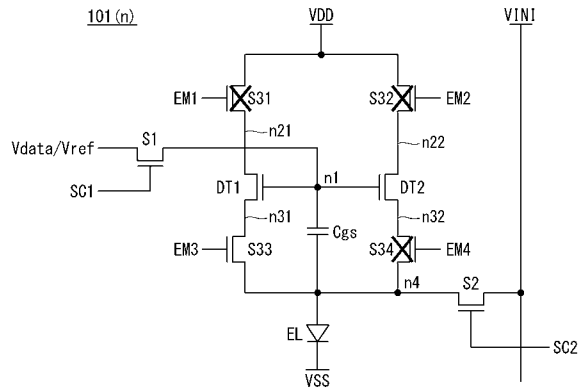
【図 15】

フローティング $\doteq$ 0V

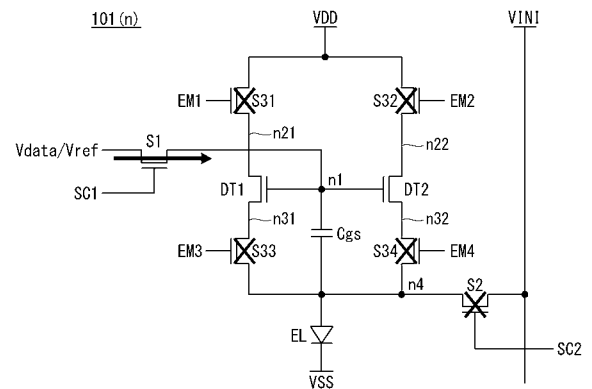
【図 16 A】



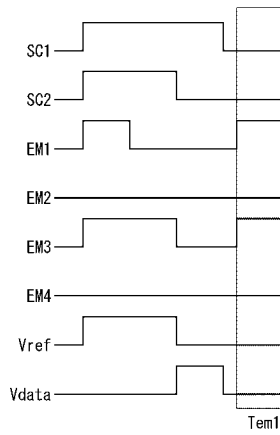
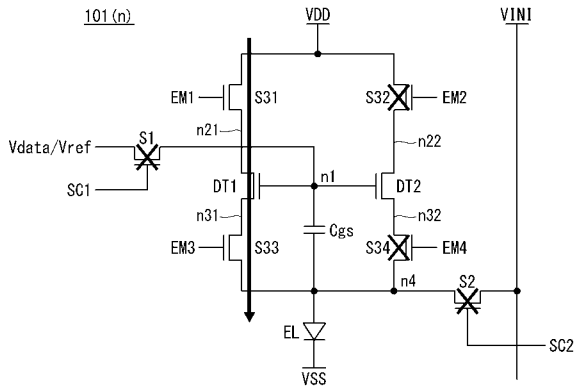
【図 16 B】



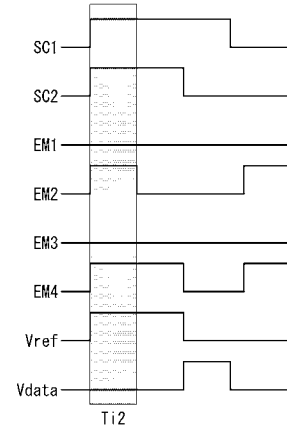
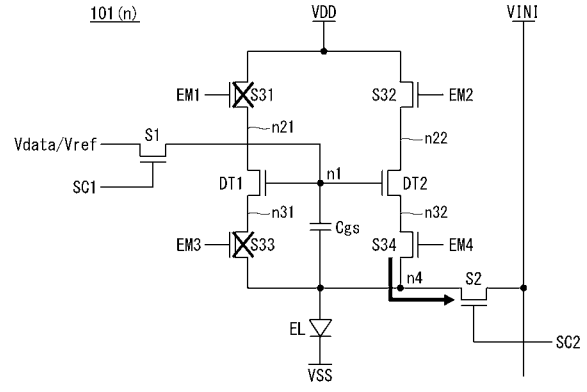
【図 16 C】



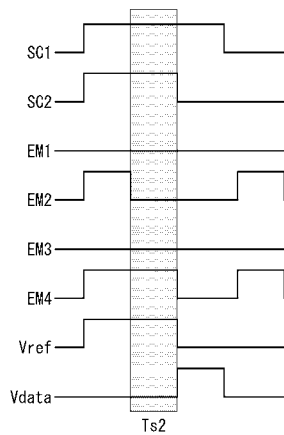
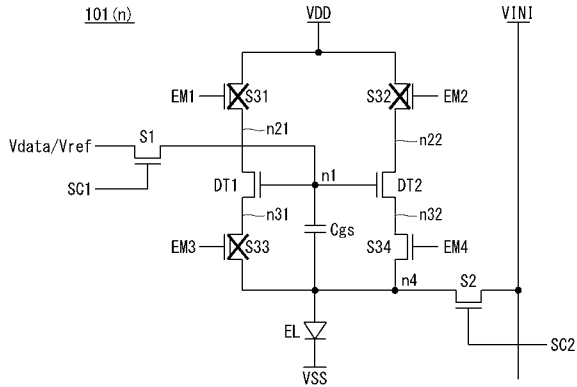
【図 16 D】



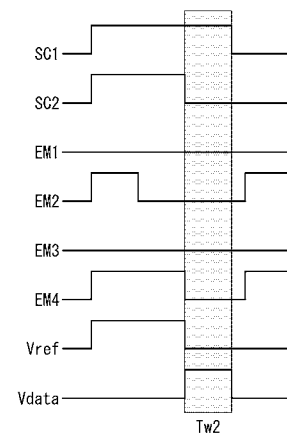
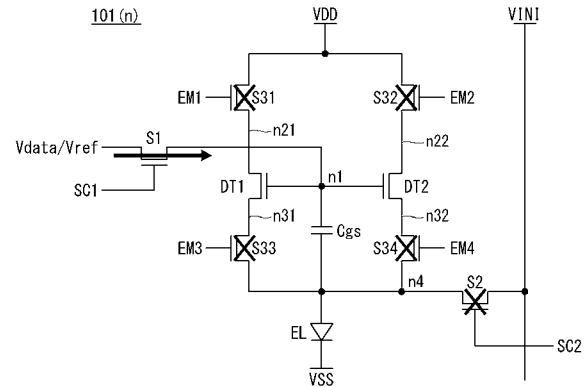
【図 17 A】



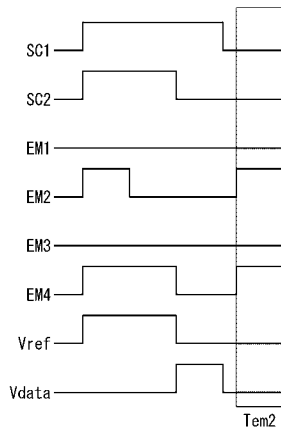
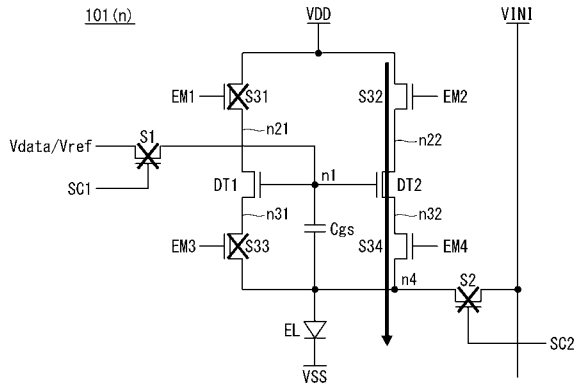
【図 17 B】



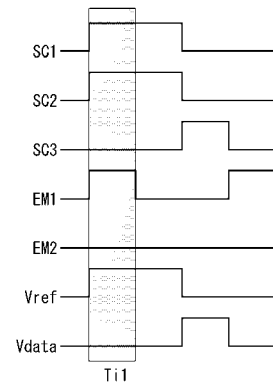
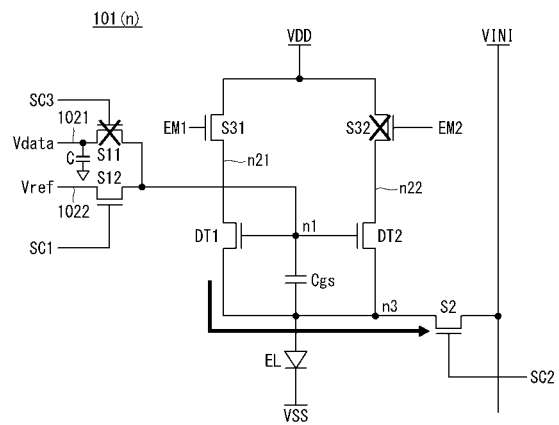
【図 17 C】



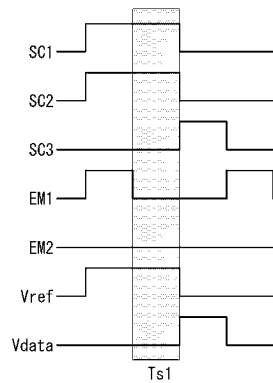
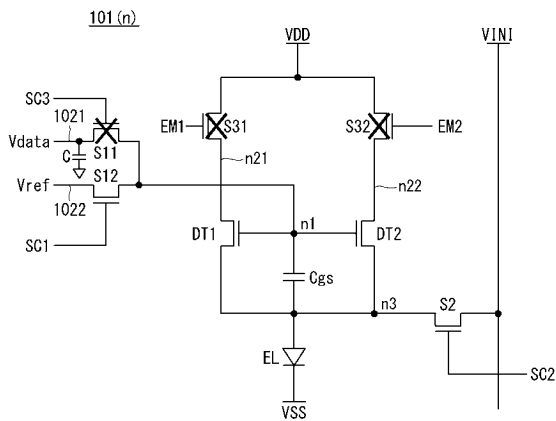
【図 17 D】



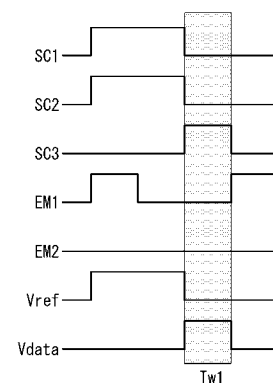
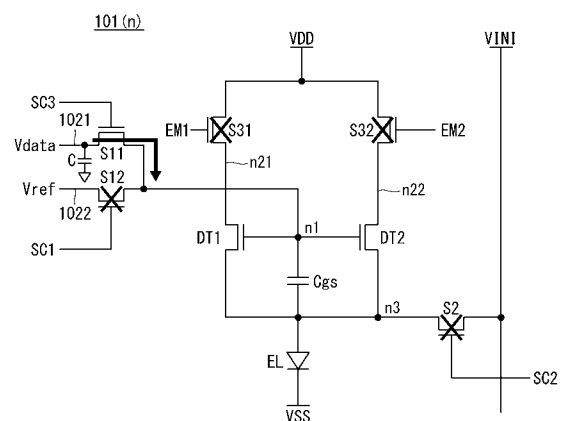
【図 18 A】



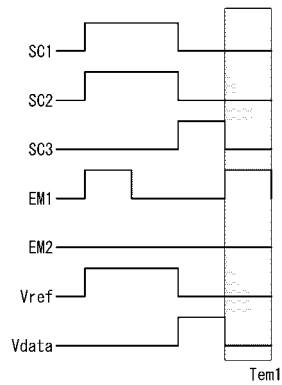
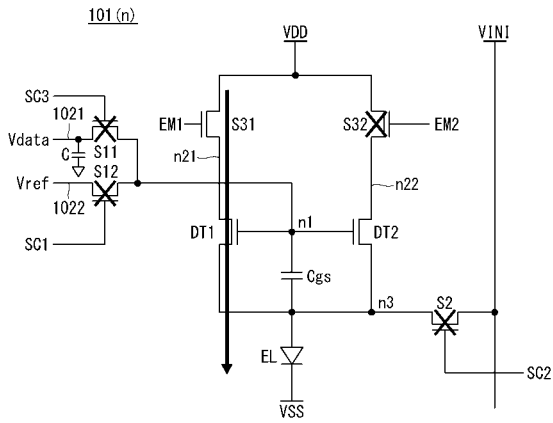
【図 18 B】



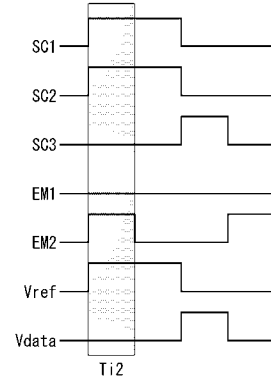
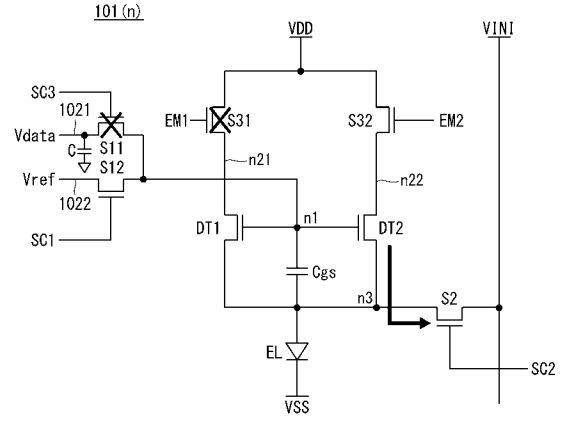
【図 18 C】



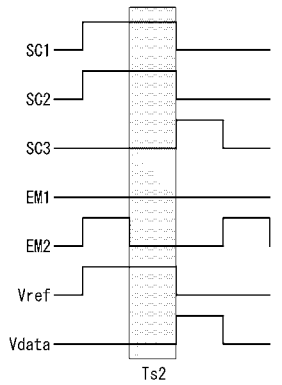
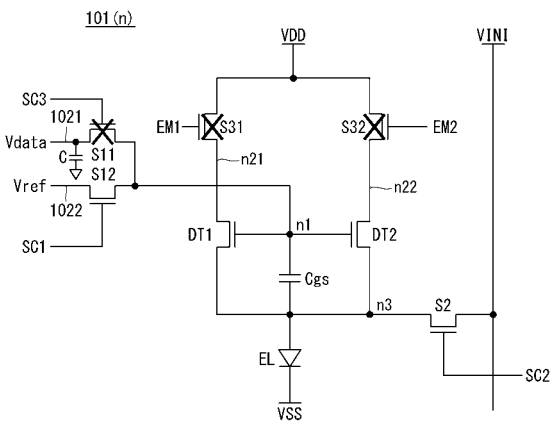
【図 18D】



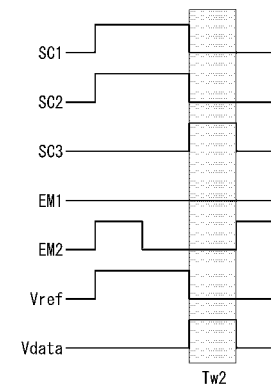
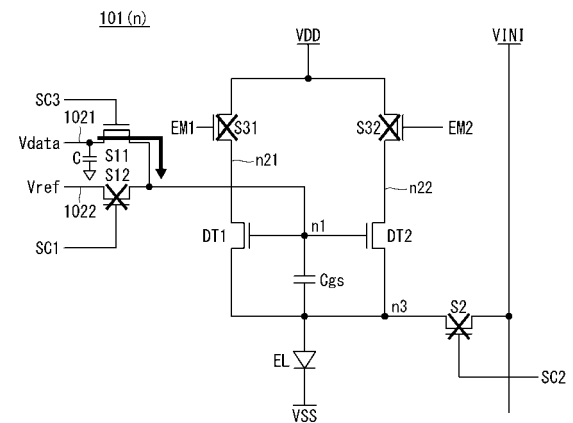
【図 19A】



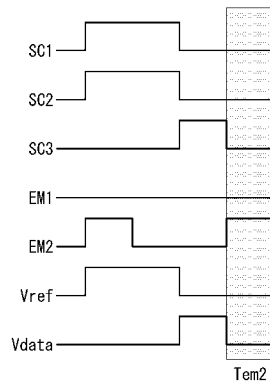
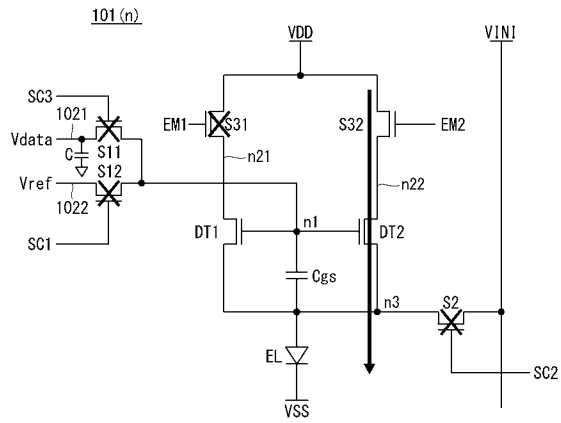
【図 19B】



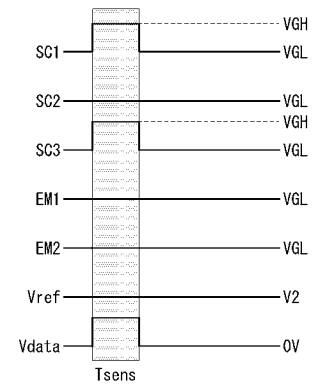
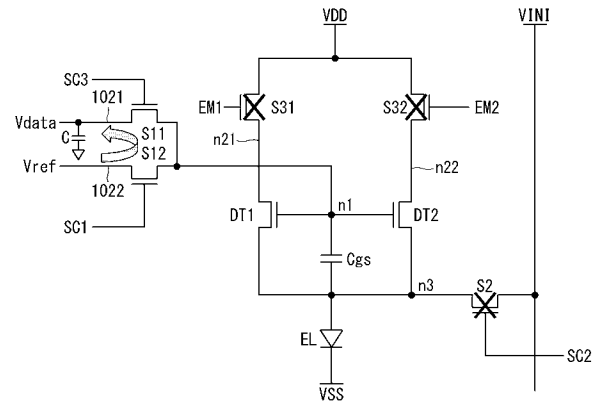
【図 19C】



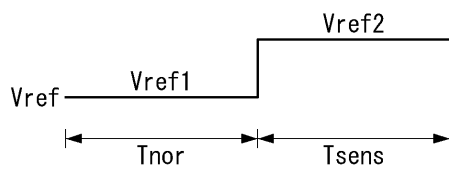
【図 19D】



【図 20】



【図 21】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 5 0 J
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 7 0 J
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 6 5
	H 0 1 L 27/32	
	H 0 5 B 33/14	A

(72)発明者 シン, ソンス
大韓民国、 1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 ヤン, ジュンユル
大韓民国、 1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 リー, ヒソン
大韓民国、 1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

F ターム(参考) 3K107 AA01 BB01 BB08 CC14 CC33 EE04 EE57 FF04 FF15 HH02
HH05
5C080 AA06 BB05 CC03 DD26 DD29 FF11 JJ02 JJ03 JJ04 JJ05
JJ06 KK02 KK07 KK23 KK43 KK47
5C094 AA22 AA53 BA03 BA27 DA09 DB01 FB19 HA08
5C380 AA01 AB06 AB21 AB28 AB34 AB36 AC07 AC08 AC11 AC12
AC13 BA06 BA22 BA38 BA39 BB02 BD02 BD10 BD16 CA04
CA10 CA12 CA17 CA54 CB01 CB17 CC04 CC07 CC26 CC27
CC28 CC30 CC33 CC39 CC45 CC46 CC65 CC66 CC77 CD016
CD017 CD018 CF07 CF24 CF53 DA02 DA06 DA35 DA47 DA58
EA16 HA13

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2018205707A	公开(公告)日	2018-12-27
申请号	JP2018093529	申请日	2018-05-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	リーソヒャン コンナムヨン シンソンス ヤンジユンユル リーヒソン		
发明人	リー, ソヒャン コン, ナムヨン シン, ソンス ヤン, ジュンユル リー, ヒソン		
IPC分类号	G09G3/3225 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3225 G09G2320/0266 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G2300/0426 G09G2300/0439 G09G2320/0257 G09G2320/045 G09G2330/023		
FI分类号	G09G3/3225 G09G3/20.624.B G09G3/20.621.K G09G3/20.611.A G09G3/20.611.G G09G3/20.650.J G09G3/20.623.C G09G3/20.611.H G09G3/20.642.A G09G3/20.670.J G09F9/30.338 G09F9/30.365 H01L27/32 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC14 3K107/CC33 3K107/EE04 3K107/EE57 3K107/FF04 3K107/FF15 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C094/AA22 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DA09 5C094/DB01 5C094/FB19 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB28 5C380/AB34 5C380/AB36 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA06 5C380/BA22 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BD10 5C380/BD16 5C380/CA04 5C380/CA10 5C380/CA12 5C380/CA17 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC45 5C380/CC46 5C380/CC65 5C380/CC66 5C380/CC77 5C380/CD016 5C380/CD017 5C380/CD018 5C380/CF07 5C380/CF24 5C380/CF53 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA47 5C380/DA58 5C380/EA16 5C380/HA13		
优先权	1020170067705 2017-05-31 KR		
外部链接	Espacenet		

摘要(译)

提供一种电致发光显示装置，其能够防止由驱动元件的应力积累引起的余像并降低功耗。一种电致发光显示装置，包括：第一EM开关元件，用于响应于第一发光控制信号在像素驱动电压和发光元件之间切换电流路径;以及第二EM开关元件，用于在第一EM开关元件和发光元件之间切换。第一驱动部分101A，用于通过使用连接在像素驱动电压和发光元件之间的第一驱动元件DT1来驱动发光元件，用于切换电流路径的第二ME开关元件和用于通过使用连接在第二EM开关元件和发光元件之间的第二驱动元件DT2来驱动发光元件的第二驱动部分101B。 .The

101 (n)

