

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2012-14182

(P2012-14182A)

(43) 公開日 平成24年1月19日 (2012.1.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 623C	5C380
	G09G 3/20 623R	
	G09G 3/20 621M	
審査請求 有 請求項の数 4 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2011-177047 (P2011-177047)	(71) 出願人	502356528
(22) 出願日	平成23年8月12日 (2011. 8. 12)		株式会社 日立ディスプレイズ
(62) 分割の表示	特願2007-208832 (P2007-208832)		千葉県茂原市早野3300番地
	の分割	(71) 出願人	506087819
原出願日	平成13年3月28日 (2001. 3. 28)		パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	100093506
			弁理士 小野寺 洋二
		(72) 発明者	佐藤 敏浩
			千葉県茂原市早野3300番地 株式会社
			日立製作所ディスプレイグループ内
		(72) 発明者	金子 好之
			千葉県茂原市早野3300番地 株式会社
			日立製作所ディスプレイグループ内
		最終頁に続く	

(54) 【発明の名称】 表示装置

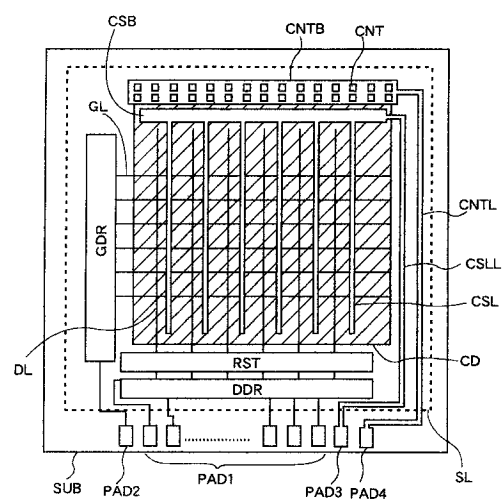
(57) 【要約】

【課題】画素回路のコンデンサに残留する前回走査のデータ信号の残留電荷による影響を回避し、高品質の表示を行う。

【解決手段】基板SUB上の表示領域AR内にマトリクス配列された複数の走査線GLとこの走査線に交差する複数のデータ線DLの交差部毎に画素を走査線GLから供給される水平走査信号で選択されるアクティブ素子と、このアクティブ素子のターンオンでデータ線DLから供給されるデータ信号を保持するデータ保持素子、およびデータ保持素子に保持されたデータ信号にしたがって電流供給線CSLから供給される電流で発光する発光素子OLEDとで構成した画素回路を備え、データDL線に、1つ前の走査線の走査終了後、次の走査線に対応する画素に対するデータが送られる前にその画素回路のコンデンサCPR又はデータ線DLの少なくとも一方を初期状態に復帰させるリセット回路RSTを設けた。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

基板上の表示領域内にマトリクスに形成された走査駆動回路で駆動される複数の走査線とデータ駆動回路で駆動される複数のデータ線の交差部毎に設けられた複数の画素を有し、前記画素に表示のための電流を供給する電流供給線を備え、

前記複数の画素の各々は、前記複数の走査線の一つに供給された前記走査信号でターンオンされて前記複数のデータ線の一つから供給されるデータ信号を取り込む第 1 のアクティブ素子と、該第 1 のアクティブ素子で取り込まれた該データ信号を保持するデータ保持素子と、発光素子と、該データ保持素子に保持されたデータ信号に従って前記電流供給線からの電流を前記発光素子に供給して該発光素子を発光させる第 2 のアクティブ素子とを有する画素回路を備え、

前記発光素子は前記第 2 のアクティブ素子で駆動される第 1 の電極層と、前記第 1 の電極層上に形成された有機発光層と、前記有機発光層上に形成された第 2 の電極層とを有し、

前記データ線を所定の初期電位に復帰させるリセット回路を有し、

前記リセット回路は前記データ駆動回路に対して前記表示領域を挟んだ反対側に配置されたことを特徴とする表示装置。

【請求項 2】

前記リセット回路を前記データ線の終端に設けたことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記リセット回路は前記走査線への走査を開始した後、前記データ線にデータが送られる前に前記データ線を所定の初期電位に復帰させることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記電流供給線は電流供給バスラインに接続し、前記電流供給バスラインは前記データ駆動回路に対して前記表示領域を挟んだ反対側に配置されたことを特徴とする請求項 1 乃至 3 の何れかに記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブ・マトリクス型表示装置に係り、特に有機半導体膜などの発光層に電流を流すことによって発光させる E L (エレクトロルミネッセンス) 素子または L E D (発光ダイオード) 素子等の発光素子で構成した画素と、この画素の発光動作を制御する画素回路を備えた表示装置に関する。

【背景技術】**【0002】**

近年、高度情報化社会の到来に伴い、パーソナルコンピュータ、カーナビ、携帯情報端末、情報通信機器あるいはこれらの複合製品の需要が増大している。これらの製品の表示手段には、薄型、軽量、低消費電力のディスプレイデバイスが適しており、液晶表示装置あるいは自発光型の E L 素子または L E D などの電気光学素子を用いた表示装置が用いられている。

【0003】

後者の自発光型の電気光学素子を用いた表示装置は、視認性がよいこと、広い視角特性を有すること、高速応答で動画表示に適していることなどの特徴があり、映像表示には特に好適と考えられている。

【0004】

特に、近年の有機物を発光層とする有機 E L 素子 (有機 L E D 素子とも言う：以下 O L E D と略称する場合もある) を用いたディスプレイは発光効率の急速な向上と映像通信を可能にするネットワーク技術の進展とが相まって、O L E D ディスプレイへの期待が高い

10

20

30

40

50

。O L E Dは有機発光層を2枚の電極で挟んだダイオード構造を有する。

【0005】

このようなO L E D素子を用いて構成したO L E Dディスプレイにおける電力効率を高めるためには、後述するように、薄膜トランジスタ（以下、T F Tとも称する）を画素のスイッチング素子としたアクティブ・マトリクス駆動が有効である。

【0006】

O L E Dディスプレイをアクティブ・マトリクス構造で駆動する技術としては、例えば、特許文献1、特許文献2、あるいは特許文献3などに記載されており、また、駆動電圧関係については特許文献4などに開示されている。

【0007】

O L E Dディスプレイの典型的な画素構造は、第1と第2のアクティブ素子である2つの薄膜トランジスタT F T（第1のT F Tはスイッチングトランジスタ、第2のT F Tはドライバトランジスタ）と1つのコンデンサ（蓄積容量：データ信号保持素子）で構成される画素駆動回路（以下、画素回路とも言う）からなり、この画素回路によりO L E Dの発光輝度を制御する。画素はデータ信号（または、画像信号）が供給されるM本のデータ線と、走査信号が供給されるN本の走査線（以下、ゲート線とも言う）をN行×M列のマトリクスに配列した各交差部に配置される。

【0008】

画素の駆動には、m行のゲート線に順次走査信号（ゲート信号）を供給してスイッチングトランジスタを導通状態に（ターンオン）し、1フレーム期間T f内に垂直方向の走査を1回終えて、再び最初（1行目）のゲート線にターンオン電圧を供給する。

【0009】

この駆動方式では、1本のゲート線にターンオン電圧が供給される時間はT f / N以下となる。一般的には、1フレーム期間T fの値としては1 / 60秒程度が用いられる。なお、1フレームを2フィールドで表示する場合は、1フィールド期間は1フレーム期間の1 / 2となる。

【0010】

あるゲート線にターンオン電圧が供給されている間は、そのデータ線に接続されたスイッチングトランジスタは全て導通状態（オン状態）となり、それに同期してM列のデータ線に同時に、または順次にデータ電圧（画像電圧）が供給される。これはアクティブ・マトリクス液晶装置で一般的に用いられているものである。

【0011】

データ電圧はゲート線にターンオン電圧（以下、ターンオンを単にオンとも称する。同様に、ターンオフも単にオフとも称する）が供給されている間に蓄積容量（コンデンサ）に蓄えられ（保持され）、1フレーム期間（もしくは、1フィールド期間、以下同様）はほぼそれらの値に保たれる。蓄積容量の電圧値は、ドライバトランジスタのゲート電圧を規定する。

【0012】

したがって、ドライバトランジスタを流れる電流値が制御されてO L E Dの発光が制御される。O L E Dに電圧が印加されて、その発光が始まるまでの応答時間は1 μ s以下であることが通常であり、動きの早い画像（動画像）にも追従できる。ドライバトランジスタに電流を供給するために、電流供給線が設けられており、蓄積容量に保持されたデータ信号に応じた表示用の電流が電流供給線から供給される。

【0013】

ところで、アクティブ・マトリクス駆動では、1フレーム期間にわたって発光が行われることで高効率を実現している。T F Tを設けずに、O L E Dのダイオード電極をそれぞれ走査線、データ線に直結して駆動する単純マトリクス駆動と比較すると、その差異は明確である。

【0014】

単純マトリクス駆動では、走査線が選択されている期間にのみO L E Dに電流が流れる

10

20

30

40

50

ので、その短い期間の発光のみで1フレーム期間の発光と同等の輝度を得るためには、アクティブ・マトリクス駆動に比べて略走査線数倍の発光輝度が必要となる。それには、必然的に駆動電圧、駆動電流を大きくしなければならず、発熱などの消費電力の損失が大きくなって電力効率が低下する。

【0015】

このように、アクティブ・マトリクス駆動は、単純マトリクス駆動に比べて消費電力の低減の観点から優位であると考えられる。

【先行技術文献】

【特許文献】

【0016】

10

【特許文献1】特開平4-328791号公報

【特許文献2】特開平8-241048号公報

【特許文献3】米国特許第5550066号明細書

【特許文献4】国際特許公報WO98/36407号

【発明の概要】

【発明が解決しようとする課題】

【0017】

上記した単純マトリクス型の表示装置では、基板上の表示領域に交差配置した走査線とデータ線をそのまま当該表示領域の外部に引き出して駆動回路に接続し、駆動回路を外部回路と接続するための端子パッドを設けている。しかし、このような端子構成をアクティブ・マトリクス型の表示装置にそのまま適用することは困難である。

20

【0018】

OLEDのアクティブ・マトリクス駆動では、1フレーム期間にわたって表示を保持するためのコンデンサへの電荷供給を、当該コンデンサの一方の電極をスイッチングトランジスタの出力端子に接続し、他方の電極をコンデンサ用の共通電位線に接続したり、あるいはOLEDに電流を供給する電流供給線に接続している。

【0019】

図6はOLEDを用いた従来の表示装置の1構成例を模式的に説明するブロック図、図7は図6における画素構成の説明図である。この表示装置（画像表示装置）は、ガラス等の絶縁材からなる基板SUB上に複数のデータ線DLと複数のゲート線すなわち走査線GLとのマトリクス配列で形成した表示部AR（図中、点線で囲った内部）の周囲にデータ駆動回路DDR、走査駆動回路GDR、電流供給回路CSSを配置して構成されている。

30

【0020】

データ駆動回路DDRはNチャンネル型とPチャンネル型の薄膜トランジスタTFTによる相補型回路、またはNチャンネルのみかPチャンネルのみの単チャンネル型の薄膜トランジスタTFTで構成されるシフトレジスタ回路、レベルシフタ回路、アナログスイッチ回路などからなる。なお、電流供給回路CSSはバスラインのみとし、外部電源から供給するようにも構成できる。

【0021】

図6は表示部ARにコンデンサ用の共通電位線COMLを設けた方式であり、コンデンサの前記他端の電極は、この共通電位線COMLに接続される。共通電位線COMLは共通電位供給バスラインCOMBの端子COMTから外部の共通電位源に引き出されている。なお、共通電位線COMLを設けず、コンデンサを電流供給線に接続した方式も既知である。

40

【0022】

図7に示したように、画素PXはデータ線DLとゲート線GLで囲まれた領域に配置されたスイッチングトランジスタである第1の薄膜トランジスタTFT1、ドライバトランジスタである第2の薄膜トランジスタTFT2、コンデンサCPR、および有機発光素子OLEDで構成される。

【0023】

50

薄膜トランジスタTFT1のゲートはゲート線GLに、ドレインはデータ線DLに接続されている。薄膜トランジスタTFT2のゲートは薄膜トランジスタTFT1のソースに接続され、この接続点にコンデンサCPRの一方の電極(+極)が接続されている。

【0024】

図8は図7の画素構成をもつ図6の表示装置の構成をさらに説明するブロック図である。薄膜トランジスタTFT2のドレインは電流供給線CSLに、ソースは有機発光素子OLEDの第1の電極層(ここでは陽極)ADに接続されている。そして、コンデンサCPRの他端(-極)は共通電位線バスラインCOMBから分岐した共通電位線COMLに接続されている。

【0025】

データ線DLはデータ駆動回路DDRで駆動され、走査線(ゲート線)GLは走査駆動回路GDRで駆動される。また、電流供給線CSLは電流供給バスラインCSLBを介して図8の電流供給回路CSSあるいは端子を介して外部電流源に接続している。

【0026】

図7と図8において、1つの画素PXが走査線GLで選択されて薄膜トランジスタTFT1がターンオンすると、データ線DLから供給される画像信号がコンデンサCPRに蓄積される。そして、薄膜トランジスタTFT1がターンオフした時点で薄膜トランジスタTFT2がターンオンし、電流供給線CSLからの電流が有機発光素子OLEDに流れ、ほぼ1フレーム期間にわたってこの電流が持続する。このとき流れる電流はコンデンサCPRに蓄積されている信号電荷で規定される。

【0027】

コンデンサCPRの動作レベルは共通電位線COMLの電位で規定される。これにより、画素の発光が制御される。有機発光素子OLEDから流れ出る電流は第2の電極層(ここでは陰極)CDから図示しない電流引抜き線に流れる。

【0028】

この方式では、画素領域の一部を貫通して共通電位線COMLを設ける必要があるため、所謂開口率の低下をもたらし、表示装置全体としての明るさ向上を抑制してしまう。

【0029】

図9はOLEDを用いた従来の表示装置の他の構成例を模式的に説明する図8と同様のブロック図である。この例では、各画素を構成する薄膜トランジスタTFT1、TFT2およびコンデンサCPRの基本配列は図8と同様であるが、コンデンサCPRの他端を電流供給線CSLに接続した点で異なる。

【0030】

すなわち、1つの画素PXが走査線GLで選択されて薄膜トランジスタTFT1がターンオンすると、データ線DLから供給される画像信号がコンデンサCPRに蓄積され、薄膜トランジスタTFT1がターンオフした時点で薄膜トランジスタTFT2がターンオンしたとき、電流供給線CSLからの電流が有機発光素子OLEDに流れ、図8と同様に、ほぼ1フレーム期間(または、1フィールド期間)にわたってこの電流が持続する。このとき流れる電流はコンデンサCPRに蓄積されている信号電荷で規定される。コンデンサCPRの動作レベルは電流供給線CSLの電位で規定される。これにより、画素の発光が制御される。

【0031】

図6~図9で説明したこの種の表示装置においては、有機発光素子OLEDの第1の電極層ADとなる薄膜トランジスタTFT2のソース電極はITO(インジウム・チン・オキサイド)等の導電性薄膜で形成され、かつ各画素PXの第1の電極層ADは個別に分離されている。

【0032】

また、発光素子を構成する第2の電極層CDは素子の最上層に位置するため、直接外気に触れて腐食が生じる恐れがある。通常、第2の電極層は全画素について供給のべた膜に形成されているため、外部との接続をとるためには下層の配線(第2の電極層接続電極層

10

20

30

40

50

：電流引出し電極とも言う）に電氣的に接続をとる必要がある。この第２の電極層ＣＤへの電流供給のための端子は当該第２の電極層の延長で基板の端子部（端子パッド）に直接引き出されているため、その端子部近傍では外気との接触で腐食の発生が起こり易い。

【００３３】

図１０は有機発光素子を用いた表示装置の１画素付近の構造を説明する断面図である。この表示装置は、ガラス基板ＳＵＢの上に低温ポリシリコンを好適とするポリシリコン半導体層ＰＳＩ、第１の絶縁層ＩＳ１、走査配線であるゲート配線（ゲート電極）ＧＬ、第２の絶縁層ＩＳ２、アルミニウム配線で形成したソース電極ＳＤ、第３の絶縁層ＩＳ３、保護膜ＰＳＶ、第１の電極層ＡＤ、有機発光層ＯＬＥ、第２の電極層ＣＤを積み上げて構成される。

10

【００３４】

ポリシリコン半導体層ＰＳＩとゲート配線ＧＬ、ソース電極ＳＤで構成される薄膜トランジスタ（この薄膜トランジスタはドライバトランジスタ）が選択されると、ソース電極ＳＤに接続した第１の電極層ＡＤと有機発光層ＯＬＥおよび第２の電極層ＣＤで形成される有機発光素子が発光し、その光Ｌが基板ＳＵＢ側から外部に出射する。

【００３５】

この種の表示装置における走査駆動回路は、複数の走査線に順次走査信号を供給し、この走査信号で選択された走査線に接続した画素回路にデータ駆動回路からのデータ信号を書き込む。前記したように、画素回路は２つの薄膜トランジスタとデータ保持素子であるコンデンサおよび有機発光素子を備えている。データ駆動回路からのデータ信号は画素回路を構成する第１の薄膜トランジスタのターンオンでデータ保持素子であるコンデンサに当該データ信号の階調に応じた電荷量として保持される。

20

【００３６】

そして、第１の薄膜トランジスタのターンオフでターンオンする第２の薄膜トランジスタを介して電流供給線からの電流をコンデンサに保持されたデータ信号の階調に応じた大きさに従って有機発光素子に流し、これを発光させる。

【００３７】

走査駆動回路で選択された走査線の１行分の走査を終えた後、次の行の走査線を選択する。これを繰り返して垂直方向の走査を順に行い、最終行に至ると所定の垂直ブランキング期間の後、先頭の走査線（最初の行）に戻り、再び上記の動作を繰り返す。

30

【００３８】

選択された行の走査線に接続した各画素のコンデンサに書き込まれたデータ信号に対応する電荷は、次にその行の走査がなされるまで、その電荷を保持する。しかし、次にデータ信号が書き込まれるまでに当該コンデンサの電荷が残留すると、次に新しいデータ信号が書き込まれる際に、コンデンサに残留している以前のデータ信号の電荷成分が新しいデータ信号に対応する電荷量に影響を及ぼす。その結果、階調が不安定になって、表示品質を劣化させる。

【００３９】

また、画素内のコンデンサだけでなく、データ線と第２の電極層との間の容量やデータ線と走査線との間の容量によるデータ線の電荷も影響を及ぼす。

40

【００４０】

このようなデータ信号の書込みの動作を安定化させるため、駆動能力の大きなバッファ回路を設けることも可能であるが、回路規模が大きくなり、表示装置の素子面積の増大をまねく。決められた基板サイズで、その周辺に駆動回路を搭載するものでは、額縁が広くなって有効表示領域が狭小となる。

【００４１】

本発明の目的は、上記した画素回路のコンデンサに残留する前の（その行を前回走査したときの）データ信号の残留電荷による影響を回避し、高品質の表示を可能とした表示装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 4 2 】

上記目的を達成するため、本発明は、データ駆動回路の出力線であるデータ線に、1つ前の走査線の走査終了後、次の走査線に対応する画素に対するデータが送られる前にその画素回路のコンデンサ又はデータ線の少なくとも一方を初期状態に復帰させるリセット回路を設けた。

【 0 0 4 3 】

この構成としたことにより、新しく書き込まれるデータ信号が前のデータ信号に影響されることがなく、高品質の表示装置が得られる。また、リセット回路は単純なスイッチであることで、基板上の占有面積は極めて少なく、有効表示領域を狭小化することがない。本発明のより具体的な構成例を記述すると以下のとおりである。すなわち、

(1)、基板上の表示領域内にマトリクス配列された複数の走査線と前記複数の走査線に交差する複数のデータ線の交差部毎に画素を有し、前記画素に表示のための電流を供給する電流供給線を備え、

前記画素は、前記走査線から供給される走査信号で選択されるアクティブ素子と、このアクティブ素子のターンオンで前記データ線から供給されるデータ信号を保持するデータ保持素子、および前記データ保持素子に保持されたデータ信号にしたがって前記電流供給線から供給される電流で発光する発光素子とを有する画素回路を備え、

前記発光素子は前記アクティブ素子で駆動される第1の電極層と、前記第1の電極層上に形成された有機発光層と、前記有機発光層上に形成された第2の電極層とを有し、

1つ前の前記走査線への走査が終了した後、前記データ線にデータが送られる前に前記データ保持素子を初期状態に復帰させるリセット回路を設けた。

【 0 0 4 4 】

(2)、(1)において、前記リセット回路により前記データ保持素子及び前記データ線を初期状態に復帰させる。

【 0 0 4 5 】

(3)、基板上の表示領域内にマトリクス配列された複数の走査線と前記複数の走査線に交差する複数のデータ線の交差部毎に画素を有し、前記画素に表示のための電流を供給する電流供給線を備え、

前記画素は、前記走査線から供給される走査信号で選択されるアクティブ素子と、このアクティブ素子のターンオンで前記データ線から供給されるデータ信号を保持するデータ保持素子、および前記データ保持素子に保持されたデータ信号にしたがって前記電流供給線から供給される電流で発光する発光素子とを有する画素回路を備え、

前記発光素子は前記アクティブ素子で駆動される第1の電極層と、前記第1の電極層上に形成された有機発光層と、前記有機発光層上に形成された第2の電極層とを有し、

1つ前の前記走査線への走査が終了した後、前記データ線にデータが送られる前に前記データ線を初期状態に復帰させるリセット回路を設けた。

【 0 0 4 6 】

(4)、(3)において、前記リセット回路は、次の前記走査線への走査を開始した後、前記データ線にデータが送られる前に前記データ保持素子を初期状態に復帰させる。

【 0 0 4 7 】

(5)、(1)～(4)の何れかにおいて、前記リセット回路は、前記走査線への走査毎に前記初期状態への復帰を行う。

【 0 0 4 8 】

(6)、(1)～(5)の何れかにおいて、前記リセット回路を、前記データ駆動回路の後段、かつ前記データ線の前段に設けた。

【 0 0 4 9 】

(7)、(1)～(5)の何れかにおいて、前記リセット回路を、前記データ線の終端に設けた。

【 0 0 5 0 】

(8)、(1)～(5)の何れかにおいて、前記走査駆動回路と前記データ駆動回路を、

前記基板上における前記表示領域の外側で、かつ前記基板の隣接する２辺のそれぞれに配置した。

【００５１】

上記（１）～（８）の構成としたことにより、新しく書き込まれるデータ信号が前のデータ信号に影響されることがなく、高品質の表示装置が得られると共に、有効表示領域の面積を狭小化することのない表示装置を提供できる。

【００５２】

なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能であることは言うまでもない。本発明の他の目的および構成は後述する実施の形態の記載から明らかになるであろう。

10

【発明の効果】

【００５３】

本発明によれば、新しく書き込まれるデータ信号が前のデータ信号に影響されることがなく、高品質の表示装置が得られる。また、リセット回路は単純なスイッチであることで、基板上の占有面積は極めて少なく、有効表示領域を狭小化することがない表示装置を提供することができる。

【図面の簡単な説明】

【００５４】

【図１】本発明による表示装置の第１実施例の構成を模式的に説明するブロック図である。

20

【図２】図１における１画素の画素回路の構成図である。

【図３】本発明による表示装置の第１実施例の構成の要部を説明するブロック図である。

【図４】図３の実施例の動作を説明するタイミング図である。

【図５】本発明による表示装置の第２実施例の構成の要部を説明するブロック図である。

【図６】有機発光素子を用いた従来の表示装置の１構成例を模式的に説明するブロック図である。

【図７】図６における画素構成の説明図である。

【図８】図７の画素構成をもつ図６の表示装置の構成をさらに説明するブロック図である。

30

【図９】有機発光素子を用いた従来の表示装置の他の構成例を模式的に説明する図８と同様のブロック図である。

【図１０】有機発光素子を用いた表示装置の１画素付近の構造を説明する断面図である。

【発明を実施するための形態】

【００５５】

以下、本発明の実施の形態につき、実施例の図面を参照して詳細に説明する。図示しないが、以降で説明する各画素に有する有機発光層はほぼ電流値に比例した輝度で、かつその有機材料に依存した色（白色も含む）で発光させてモノクロあるいはカラー表示を行わせるものと、白色発光の有機層に赤、緑、青等のカラーフィルタを組み合わせるカラー表示を行わせるもの等がある。

【００５６】

40

図１は本発明による表示装置の第１実施例の構成を模式的に説明するブロック図である。本実施例の表示装置は、ガラス基板SUB上に走査駆動回路GDRとデータ駆動回路DDRを有する。

【００５７】

マトリクスに形成された走査駆動回路GDRで駆動される（走査される）走査線GL、データ駆動回路DDRで駆動されるデータ線GL、所謂陽極配線である電流供給線CSLで囲まれた領域に１画素が形成される。また、基板SUBの１の辺には外部回路から走査駆動回路GDR、データ駆動回路DDRへの信号や電圧を供給するための端子パッドPAD1、PAD2が形成されている。

【００５８】

50

そして、データ駆動回路 D D R の後段でデータ線の前段に、走査線 G L の単位走査期間（1 行の走査期間）に、1 つ前の走査線の走査終了後、次の行へのデータ送出手の開始前にデータ線又は前記画素回路内のコンデンサのうち、少なくとも一方を初期状態に復帰させるリセット回路 R S T を設けている。先ず、本実施例の画素回路の構成と、その動作について説明する。

【0059】

図2は図1における1画素の画素回路の構成図である。本実施例の概略構成は次のとおりである。すなわち、1画素はデータ線 D L (m + 1) と走査線 G L (n + 1) 、 G L (n) および電流供給線 C S L で囲まれた領域に形成される。ここでは、現在走査されている（選択されている）走査線を G L (n + 1) として説明する。

10

【0060】

走査線 G L (n + 1) で選択されている複数の画素のうち、画素 P X に着目する。アクティブ素子である第1の薄膜トランジスタ T F T 1 はスイッチングトランジスタ、第2の薄膜トランジスタ T F T 2 はドライバトランジスタである。第1の薄膜トランジスタ T F T 1 のゲートは走査線 G L (n + 1) に接続され、そのドレインはデータ線 D L (m + 1) に、ソースは第2薄膜トランジスタ T F T 2 のゲートに接続されている。

【0061】

第2の薄膜トランジスタ T F T 2 のドレインは図1に示した電流供給線バスライン C S B から電流が供給される電流供給線 C S L に接続されている。そして、そのソースは O L E D の第1の電極層（ここでは陽極）A D に接続されている。第1の薄膜トランジスタ T F T 1 のソースと第2の薄膜トランジスタ T F T 2 のゲートの接続点にはデータ信号保持素子としてのコンデンサ C P R の一方の端子が接続され、他方の端子は直前の走査線 G L (n) に接続されている。

20

【0062】

図2に示した1画素の回路構成において、第1の薄膜トランジスタ T F T 1 のソースと第2の薄膜トランジスタ T F T 2 のゲートの接続点に接続されるコンデンサ C P R の一方の端子は + 極であり、走査線 G L (n) に接続される他方の端子は - 極である。

【0063】

また、有機発光素子 O L E D は第1の電極層 A D と第2の電極層（ここでは陰極）C D の間に有機発光層（図示せず）を挟んだ構成であり、第1の電極層 A D は第2の薄膜トランジスタ T F T 2 のソース電極に接続し、第2の電極層 C D は全画素にわたってべた形成されて図1の第2電極接続電極層 C N T B に接続している。

30

【0064】

この第2電極接続電極層 C N T B は、所謂電流引抜き配線（電極）であり、基板の下層に前記端子パッド P A D 1、P A D 2 と同層に形成されており、第2の電極層 C D をコンタクトホール C N T で接続し、第2電極接続電極引回しライン C N T L で前記端子パッド P A D 1、P A D 2 と同層に形成された端子 P A D 4 に接続されている。

【0065】

なお、第1の電極層の配線である電流供給線 C S L も電流供給線バスライン C S B と電流供給線引回しライン C S L L で前記端子パッド P A D 1、P A D 2 と同層に形成された端子 P A D 3 に接続されている。上記第2電極接続電極層 C N T B は電流供給線バスライン C S B よりも基板の外側、かつ点線で示した基板の封止領域 S L の内側に配置されている。

40

【0066】

このように、第2の電極層 C D をコンタクトホール C N T で接続する第2電極接続電極層 C N T B を電流供給線バスライン C S B よりも基板 S U B の外側で、かつシール領域 S L の内側に配置したことで、フレキシブルプリント基板を介して1辺で外部回路と接続する方式における基板上のレイアウトが容易となる。

【0067】

第1の薄膜トランジスタ T F T 1 のターンオンでコンデンサ C P R に書き込まれ、電荷量

50

として保持されたデータ信号は第 1 の薄膜トランジスタ T F T 1 のターンオフに伴う第 2 の薄膜トランジスタ T F T 2 のターンオンで電流供給線 C S L からの電流を当該コンデンサ C P R に保持された電荷量（データ信号の階調を示す）で制御された電流量として有機発光素子 O L E D に流す。

【 0 0 6 8 】

有機発光素子 O L E D は供給される電流量にほぼ比例した輝度で、かつ当該有機発光素子を構成する有機発光層材料に依存した色で発光する。カラー表示の場合は、通常は赤、緑、青の画素毎に有機発光層材料を変えるか、あるいは白色の有機発光層材料と各色のカラーフィルタの組合せを用いる。

【 0 0 6 9 】

なお、データ信号の与え方はアナログ量でも、あるいは時分割のデジタル量でもよい。また、階調制御は、赤、緑、青の各画素の面積を分割した面積階調方式を組み合わせてもよい。

【 0 0 7 0 】

図 3 は本発明による表示装置の第 1 実施例の構成の要部を説明するブロック図である。表示領域 A R には前記図 2 で説明した構成の多数の画素がマトリクス状に配置されている。ここでは、データ駆動回路の部分とデータ線のみを示してある。

【 0 0 7 1 】

また、図 4 は図 3 の実施例の動作を説明するタイミング図である。図 3 と図 4 における同一参照符号で示した各信号は同じものである。以下、図 3 の構成と動作を図 4 のタイミング図を参照して説明する。

【 0 0 7 2 】

データ駆動回路 D D R はシフトレジスタ S R とサンプリング回路 S A P のみを示し、詳細構成は図示を省略した。データ駆動回路 D D R は、スタートパルス S T と画素クロック信号（以下、単にクロックと言う）C L K + と C L K - を入力し、複数のデータ線に対するデータ信号 D A T A を順次転送する 1 系統のシフトレジスタ S R と、シフトレジスタ S R からのデータ信号をサンプリングしてデータ線 D L に供給するサンプリング回路 S A P を備えている。

【 0 0 7 3 】

このサンプリング回路 S A P の直後で、各データ線 D L の直前にそれぞれ各データ線を所定のリセットレベル（初期電位）R L に復帰させるためのスイッチ素子 S W を備えたりリセット回路 R S T を設けている。

【 0 0 7 4 】

シフトレジスタ S R はデータ線毎のブロック（レジスタ）R 1 , R 2 , . . . R M - 1 , R M で構成され、スタートパルス S T の入力に応じ、クロック C L K + と C L K - に同期した出力を順次サンプリング回路 S A P に出力する。

【 0 0 7 5 】

サンプリング回路 S A P はデータ線 D L (D L 1 , D L 2 , . . . D L M - 1 , D L M) 毎のサンプリング回路 S R (S 1 , S 2 , . . . S M - 1 , S M) を有し、データ信号 D A T A をシフトレジスタ S R (R 1 , R 2 , . . . R M - 1 , R M) からの出力によりサンプリングしてデータ線 D L に供給するスイッチ動作と転送動作を行う。リセット回路 R S T は各 1 個の p 型の薄膜トランジスタで構成したスイッチ S W 1 , S W 2 , . . . S W M - 1 , S W M から構成されている。

【 0 0 7 6 】

このデータ線へのデータ信号の供給時はリセット回路 R S T の全スイッチ S W 1 , S W 2 , . . . S W M - 1 , S W M はそのリセット端子にハイレベルの信号が印加されていてオフ状態になっている。したがって、サンプリング回路 S 1 , S 2 , . . . S M - 1 , S M からのデータ信号は、そのまま各データ線 D L 1 , D L 2 , . . . D L M - 1 , D L M に転送される。転送されたデータ信号は、それぞれの画素に書き込まれ、そのコンデンサに電荷として保持される。

10

20

30

40

50

【 0 0 7 7 】

上記した 1 行 (1 ライン) 分の画素回路にデータ信号の書込み動作が終了し、その行の走査線の選択が終了した後、リセット回路 R S T の各スイッチ S W 1 , S W 2 , . . . S W M - 1 , S W M に共通にローレベルのリセット信号 R を入力し、これらのスイッチをターンオンする。

【 0 0 7 8 】

このリセット回路 R S T の各スイッチ S W 1 , S W 2 , . . . S W M - 1 , S W M のターンオンで各データ線 D L 1 , D L 2 , . . . D L M - 1 , D L M は基準電位であるリセットレベル R L となる。このリセットは、次の行のデータ信号が送出される前に完了し、データ線およびコンデンサのリセットがなされる。

10

【 0 0 7 9 】

したがって、次にデータ信号の書込み時には、全てのデータ線の書込みの初期状態が一定となり、前段のデータ信号の大きさやその行の前のデータ信号の大きさに依存することがなく、書込まれるデータ信号に対応するコンデンサの保持電荷にばらつきは生ぜず、均一な画像表示が得られる。

【 0 0 8 0 】

尚、次の行の走査線の選択がなされる前にリセットを終える場合は、コンデンサのリセットは行えないので、データ線のリセットのみが行われる。この場合でも、前段のデータ信号の大きさに依存することのない書込みが可能となる。

【 0 0 8 1 】

20

本実施例では、シフトレジスタを 1 系統としたが、これに代えて複数系統のシフトレジスタを用いたものにも同様に適用できる。また、サンプリング回路についても複数のデータ信号に対応した構成としたものにも同様に適用できる。

【 0 0 8 2 】

さらに、リセット回路を構成するスイッチ素子であるトランジスタを n 型の薄膜トランジスタとした場合は、リセット信号の極性を図 4 に示したものを反転した信号とすればよい。また、このスイッチ用のトランジスタを n 型と p 型を組み合わせたトランスファークロスをを用いることもできる。

【 0 0 8 3 】

本実施例により、画素回路のコンデンサに新しく書き込まれるデータ信号が前のデータ信号に影響されることがなく、高品質の表示装置が得られる。

30

【 0 0 8 4 】

図 5 は本発明による表示装置の第 2 実施例の構成の要部を説明するブロック図である。図 3 と同様に表示領域 A R には前記図 2 で説明した構成の多数の画素がマトリクス状に配置されている。また、図 5 でも、データ駆動回路の部分とデータ線のみを示してある。

【 0 0 8 5 】

本実施例は、リセット回路 R S T をデータ駆動回路 D D R に対して表示領域 A R を挟んだ反対側 (データ線 D L の終端) に配置した点で第 1 実施例と異なる。シフトレジスタ S R 、サンプリング回路 S A P 、リセット回路 R S T の回路構成、およびタイミングは第 1 実施例と同様である。

40

【 0 0 8 6 】

本実施例では、データ駆動回路 D D R から遠い位置にリセット回路 R S T を設けたことで、基板上の各種配線のレイアウトに起因するノイズの影響を低減できる。また、定められた基板サイズ内にリセット回路を配置する場合に、そのレイアウトが容易になる。

【 0 0 8 7 】

なお、本発明は上記した O L E D を用いた表示装置に限るものではなく、O L E D と同様の発光動作で表示を行う他の表示装置にも同様に適用できる。

【 0 0 8 8 】

また、上記の実施例では、第 1 の電極層を陽極、第 2 の電極層を陰極として説明したが、これらと逆の構成、すなわち第 1 の電極層を陰極、第 2 の電極層を陽極としたものにも

50

同様に適用できる。また、画素回路を 2 トランジスタ方式としたものに限らず、4 トランジスタ方式としたものにも適用できる。

【符号の説明】

【 0 0 8 9 】

SUB 基板

GL ゲート線（走査線）

D L データ線

C S L 電流供給線

C S B 電流供給線バスライン

CSLL 電流供給線引回しライン

C D 第 2 の電極層

C N T B 第 2 電極接續電極層

C N T L 第 2 電極 接続電極 引回しライン

A D 第 1 の電極層

O L E 有機発光層

O L E D 有機発光素子

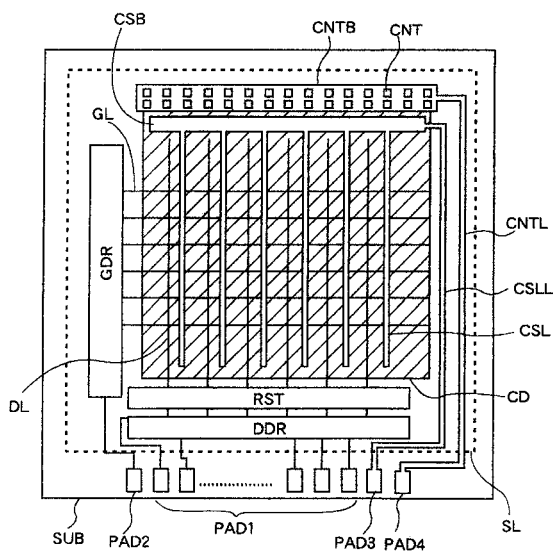
G D R 走査駆動回路

DDR データ駆動回路

R S T リセット回路。

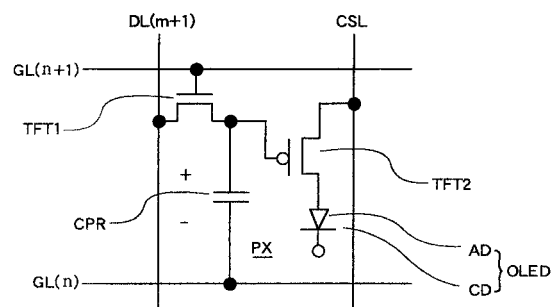
【 図 1 】

图 1



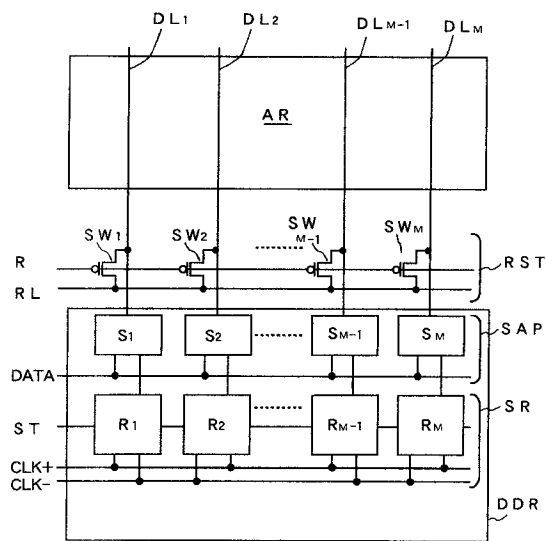
【 図 2 】

图 2



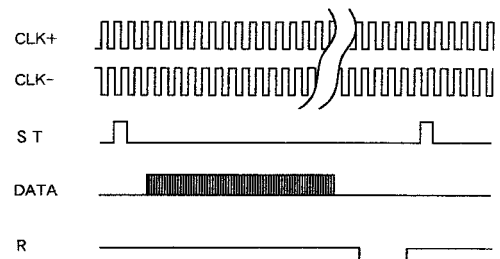
【図 3】

図 3



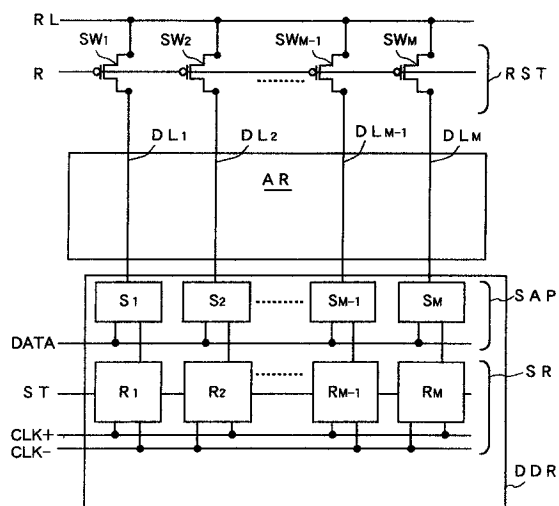
【図 4】

図 4



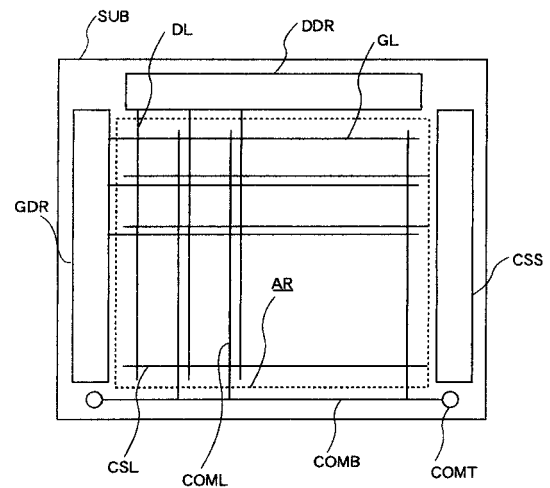
【図 5】

図 5



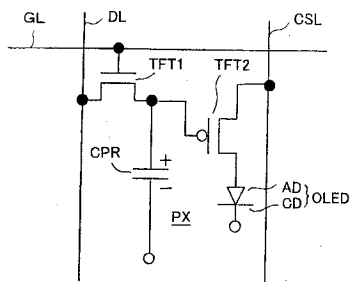
【図 6】

図 6



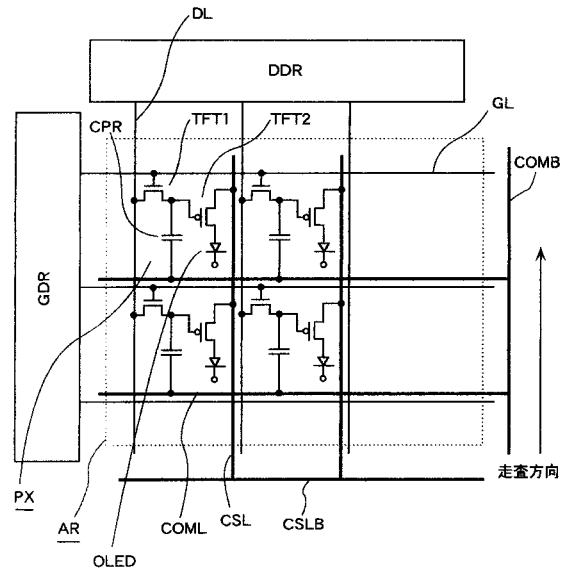
【図 7】

図 7



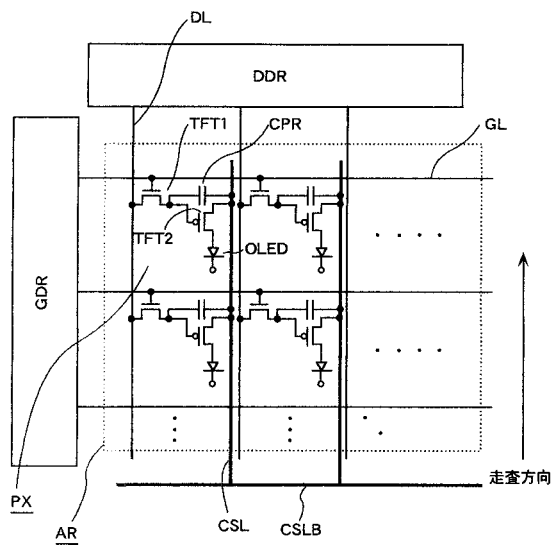
【図 8】

図 8



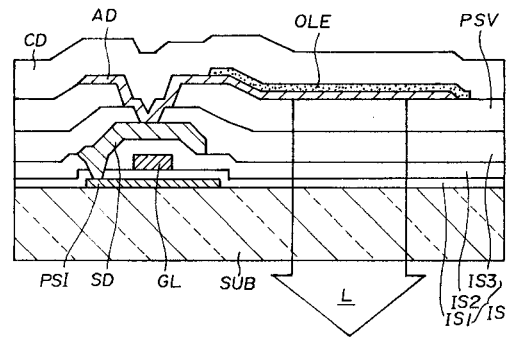
【図 9】

図 9



【図 10】

図 10



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 4 2 D	
	G 0 9 G 3/20 6 1 1 J	
	G 0 9 G 3/20 6 4 2 A	
	H 0 5 B 33/14 A	

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

(72)発明者 大内 貴之

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

F ターム(参考) 3K107 AA01 BB01 CC31 CC36 EE03 HH05
 5C080 AA06 BB05 CC03 DD01 DD05 DD22 FF11 JJ02 JJ03 JJ04
 JJ06
 5C380 AA01 AA03 AB06 AB31 AB34 AC08 AC12 AC13 BA17 BA19
 BB02 BB22 CA02 CA12 CA14 CA24 CA29 CA57 CB19 CC02
 CC26 CC33 CC42 CC55 CC62 CD012 CF07 DA02 DA06 DA08
 DA11 DA16 DA47

专利名称(译)	表示装置		
公开(公告)号	JP2012014182A	公开(公告)日	2012-01-19
申请号	JP2011177047	申请日	2011-08-12
[标]申请(专利权)人(译)	株式会社日立制作所 松下液晶显示器股份有限公司		
申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	佐藤敏浩 金子好之 三上佳朗 大内貴之		
发明人	佐藤 敏浩 金子 好之 三上 佳朗 大内 貴之		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.623.C G09G3/20.623.R G09G3/20.621.M G09G3/20.642.D G09G3/20.611.J G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC36 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD22 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB31 5C380/AB34 5C380/AC08 5C380/AC12 5C380/AC13 5C380/BA17 5C380/BA19 5C380/BB02 5C380/BB22 5C380/CA02 5C380/CA12 5C380/CA14 5C380/CA24 5C380/CA29 5C380/CA57 5C380/CB19 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC42 5C380/CC55 5C380/CC62 5C380/CD012 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA11 5C380/DA16 5C380/DA47		
代理人(译)	小野寺杨枝		
其他公开文献	JP5442678B2		
外部链接	Espacenet		

摘要(译)

解决的问题：为了避免残留在像素电路的电容器中的前一次扫描的数据信号的残留电荷的影响，并执行高质量的显示。水平扫描，其中在基板SUB上的显示区域AR中以矩阵形式布置的多条扫描线GL和与扫描线相交的多条数据线DL的每一个交点处，从扫描线GL提供像素。由信号选择的有源元件，当有源元件导通时保持从数据线DL提供的数据信号的数据保持元件，以及提供由数据保持元件保持的数据信号的电流供应线CSL。它具有由发光元件OLED组成的像素电路，该发光元件以一定的电流发光，并且在数据DL线上完成前一条扫描线的扫描之后，在发送对应于下一条扫描线的像素的数据之前，该像素提供复位电路RST，以使电容器CPR和电路的数据线DL中的至少一个返回到初始状态。[选型图]图1

图 1

