

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-340822

(P2005-340822A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/786	H O 1 L 29/78 6 1 3 A	3 K O O 7
H O 1 L 21/28	H O 1 L 21/28 3 O 1 R	4 M 1 O 4
H O 1 L 21/768	H O 5 B 33/14 A	5 F O 3 3
H O 1 L 29/417	H O 1 L 29/78 6 1 6 S	5 F 1 1 O
H O 5 B 33/14	H O 1 L 29/50 M	
審査請求 有 請求項の数 18 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2005-149436 (P2005-149436)	(71) 出願人	590002817
(22) 出願日	平成17年5月23日 (2005.5.23)		三星エスディアイ株式会社
(31) 優先権主張番号	2004-036841		大韓民国京畿道水原市靈通区▲しん▼洞 5
(32) 優先日	平成16年5月24日 (2004.5.24)		7 5 番地
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(72) 発明者	尹 漢 熙
			大韓民国京畿道水原市靈通区▲辛▼洞 5 7
			5 番地
		F ターム (参考)	3K007 BA06 DB03 GA00
			4M104 AA01 AA08 AA09 BB16 CC01
			FF13 FF22 GG09 GG10 GG20
最終頁に続く			

(54) 【発明の名称】 薄膜トランジスタ基板、薄膜トランジスタ基板の製造方法、および平板表示装置

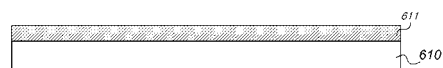
(57) 【要約】

【課題】本発明は有機発光表示装置のデータ駆動部に適用することができる発光表示装置用薄膜トランジスタ基板及びその製造方法を提供する。

【解決手段】

ゲート、ソース及びドレインを有する複数のトランジスタに構成される薄膜トランジスタ基板において、複数のトランジスタが、基板上に形成され、ゲート及びソース/ドレインが各々形成される第1及び第2アクティブ領域；前記第1及び第2アクティブ領域の互いに隣接するソース/ドレインの間に形成されているオフセット領域；前記オフセット領域上部及び前記第1及び第2アクティブ領域の互いに隣接するソース/ドレイン上部に共通して形成されるコンタクトホール；及び前記コンタクトホールに充填される導電性物質を備える。また、N型及びP型のドーピング領域等の拡散を考慮して0.5 μm程度のオフセット間隔において誤動作を防止することができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の薄膜トランジスタが形成された薄膜トランジスタ基板であって、
基板と、
前記基板上に形成され、それぞれソース/ドレイン領域を含む第 1 及び第 2 アクティブ領域と、
前記第 1 及び第 2 アクティブ領域の間に形成されているオフセット領域と、
前記オフセット領域の上及び前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域の上に共通して形成されるコンタクトホールと、
を備えることを特徴とする薄膜トランジスタ基板。

10

【請求項 2】

前記オフセット領域が、前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域の間に形成されることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 3】

前記第 1 及び第 2 アクティブ領域において、一方は P M O S 領域であり、他方は N M O S 領域であることを特徴とする請求項 1 又は請求項 2 に記載の薄膜トランジスタ基板。

【請求項 4】

前記オフセット領域は、非晶質シリコン層が脱水素結晶化された多結晶シリコン層であることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の薄膜トランジスタ基板。

20

【請求項 5】

複数の薄膜トランジスタが形成された薄膜トランジスタ基板であって、
基板と、
前記基板上に形成された多結晶シリコン層に、第 1 導電型の不純物がドーピングされてソース/ドレインに対応するソース/ドレイン領域が形成された第 1 アクティブ領域と、
前記基板上に形成された多結晶シリコン層に、前記第 1 導電型と反対の導電型である第 2 導電型の不純物がドーピング形成されてソース/ドレインに対応するソース/ドレイン領域が形成された第 2 アクティブ領域と、
前記第 1 及び第 2 アクティブ領域の間に形成されたオフセット領域と、
前記第 1 及び第 2 アクティブ領域上に形成されたゲート絶縁層と、
前記第 1 及び第 2 アクティブ領域に各々対応するように、前記ゲート絶縁層上に形成された第 1 及び第 2 ゲート電極と、
前記オフセット領域の上及び前記第 1 及び第 2 アクティブ領域の互いに隣接する前記ソース/ドレイン領域の上部に亘って形成されて、前記第 1 及び第 2 アクティブ領域の前記互いに隣接するソース/ドレイン領域を連結させる一つのコンタクトホールと、
を備えることを特徴とする薄膜トランジスタ基板。

30

【請求項 6】

前記オフセット領域が前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域の間に形成されることを特徴とする請求項 5 に記載の薄膜トランジスタ基板。

【請求項 7】

前記第 1 導電型と前記第 2 導電型は、一方が N 型であり、他方が P 型であることを特徴とする請求項 5 又は請求項 6 に記載の薄膜トランジスタ基板

40

【請求項 8】

前記ソース/ドレイン領域は、低ドーピングドレイン (L D D) 領域を含むことを特徴とする請求項 5 乃至請求項 7 のいずれか一項に記載の薄膜トランジスタ基板。

【請求項 9】

前記第 1 アクティブ領域と第 2 アクティブ領域は、一方が P M O S 領域であり、他方が N M O S 領域であることを特徴とする請求項 5 乃至請求項 8 のいずれか一項に記載の薄膜トランジスタ基板。

【請求項 10】

50

複数の薄膜トランジスタが形成された薄膜トランジスタ基板の製造方法であって、
基板上に各々ソースまたはドレインに対応する領域を有する第 1 及び第 2 アクティブ領域を形成する工程と、

前記第 1 及び第 2 アクティブ領域の前記ソース / ドレイン領域が、互いに異なる導電型の不純物をそれぞれドーピングする工程と、

第 1 及び第 2 アクティブ領域の隣接したソース / ドレイン領域の間にオフセット領域を形成する工程と、

前記オフセット領域及び前記第 1 及び第 2 アクティブ領域の前記隣接したソース / ドレイン領域の上に一つのコンタクトホールを形成する工程と、

前記第 1 及び第 2 アクティブ領域の前記隣接したソース / ドレイン領域を、前記コンタクトホールを介して接続する工程と、

を備えることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 1 1】

前記第 1 アクティブ領域と第 2 アクティブ領域は、一方が P M O S 領域であり、他方が N M O S 領域であることを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 2】

前記ドーピングする工程は、

前記第 1 アクティブ領域と前記第 2 アクティブ領域上にゲート絶縁層を形成する工程と

、
前記ゲート絶縁層上から前記第 1 アクティブ領域及び第 2 アクティブ領域に互いに異なる導電型の不純物を高濃度でドーピングする工程と、

前記第 1 及び第 2 アクティブ領域のソース / ドレイン領域に互いに異なる種類の低濃度不純物をドーピングして、低濃度ドーピングドレイン (L D D) 領域を形成する工程と、
を備えることを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 3】

前記オフセット領域は、前記ドーピングする工程でマスクによって不純物の導入が遮断されることを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 4】

前記オフセット領域は、 $0.5\mu\text{m}$ 以上の長さで形成されることを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 5】

前記隣接したソース / ドレイン領域が接続されるように前記コンタクトホールに導電性物質を充填することを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 6】

表示部に選択信号を印加する走査駆動部、前記表示部にデータ信号を印加するデータ駆動部を備える平板表示装置であって、

基板と、

前記基板上に形成されたソース / ドレインに対応するソース / ドレイン領域をそれぞれ備える第 1 及び第 2 アクティブ領域と、

前記第 1 及び第 2 アクティブ領域の間に形成されているオフセット領域と、

前記オフセット領域の上及び前記第 1 及び第 2 アクティブ領域の互いに隣接するソース / ドレイン領域の上に共通して形成されるコンタクトホールと、

を備える薄膜トランジスタ基板を含むことを特徴とする平板表示装置。

【請求項 1 7】

前記オフセット領域が前記第 1 及び第 2 アクティブ領域の互いに隣接するソース / ドレイン領域の間に形成されることを特徴とする請求項 1 6 に記載の平板表示装置。

【請求項 1 8】

前記第 1 及び第 2 アクティブ領域は、一方が P M O S 領域であり、他方が N M O S 領域であることを特徴とする請求項 1 6 に記載の平板表示装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光表示装置用薄膜トランジスタ基板及びその製造方法並びに平板表示装置に関し、より具体的には、有機発光表示装置などの平板表示装置に適用できる薄膜トランジスタ基板及びその製造方法に関する。

【背景技術】

【0002】

近年、有機発光表示装置は低電圧駆動、軽量薄形、広視野角そして高速応答などの長所を有しており、次世代表示装置として期待されている。

10

【0003】

一般に、有機発光表示装置は、蛍光性有機化合物を電氣的に励起させて発光させる表示装置であって、 $N \times M$ 個の有機発光画素を電圧駆動あるいは電流駆動によって映像を表現することができるようになっている。

【0004】

有機発光画素を駆動する方式には、単純マトリックス方式と薄膜トランジスタを利用した能動駆動方式がある。

【0005】

単純マトリックス方式は、正極と負極を直交するように形成し、ラインを選択して駆動するが、能動駆動方式は薄膜トランジスタとキャパシタをそれぞれの画素電極に接続して

20

【0006】

一般に、能動駆動方式の有機発光表示装置は、表示パネルに、データ駆動部、及び走査駆動部を含む薄膜トランジスタ基板を備えている。

【0007】

表示パネルは、列方向にのびている複数のデータ線、行方向にのびている複数の走査線、及びこれらの線同士が交差する部分に形成される画素回路を含む。前記複数のデータ線は画像信号を示すデータ信号を画素回路に伝達して、複数の走査線は選択信号をそれぞれの画素回路に伝達する。一般に、画素回路はスイッチングトランジスタ、駆動トランジスタ、キャパシタ及び有機発光素子で構成され、データ線と走査線が交差される画素領域に

30

【0008】

スイッチングトランジスタは、走査線からの選択信号に応答して、データ線から印加されるデータ電圧を駆動トランジスタに伝達する。駆動トランジスタはゲートに印加されるデータ電圧とソースに印加される電源電圧を利用して、駆動電流を決定して有機発光素子に印加する。キャパシタは駆動トランジスタのゲートとソースの間の電圧を所定の期間の間維持させて、有機発光素子は駆動トランジスタを通して印加される電流に対応する光を発光する。

【0009】

一方、走査駆動部は複数の走査線にそれぞれ選択信号を順次印加して、データ駆動部は

40

【0010】

最近、有機発光表示装置で、表示パネル、走査駆動部及びデータ駆動部を同一基板上に形成するSOP（システム・オン・パネル）型の発光表示装置が研究されている。

【0011】

このようなSOP型の有機発光表示装置は、表示パネルの画素回路だけでなく、表示パネルを駆動するための周辺回路（データ駆動部、または走査駆動部など）が同一基板上に形成される。従って、表示パネルの画素回路及び周辺回路を構成する薄膜トランジスタは基板上に形成されるようになって、このように、薄膜トランジスタが形成された基板を薄膜トランジスタ基板という。

50

【 0 0 1 2 】

図 1 4 は従来の薄膜トランジスタ基板の断面図である。図 1 4 は、C M O S 構造を形成するためにN M O S 及びP M O S が共に製造されることを示す。

【 0 0 1 3 】

しかし、基板上にN M O S 及びP M O S が共に形成される場合、N M O S のソース/ドレイン 5 1 3 a ' 及びP M O S のソース/ドレイン 5 1 3 b ' が形成された後、各々コンタクトホール 5 1 9 a 、 5 1 9 b が形成される。つまり、N M O S 及びP M O S は互いにゲート絶縁層 5 1 4 、層間絶縁層 5 1 8 で素子が分離されて、それぞれのソース/ドレイン 5 1 3 a ' 、 5 1 3 b ' 上にコンタクトホール 5 1 9 a 、 5 1 9 b が形成される構造を有するようになる。しかし、このようなC M O S 構造では、コンタクトホール 5 1 9 a 、 5 1 9 b がそれぞれのソース/ドレイン 5 1 3 a ' 、 5 1 3 b ' ごとに形成され、これによってレイアウト設計の際に多くの面積を占めることによって、集積度が低くなる問題がある。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

上記の問題を解決するための本発明の目的は、薄膜トランジスタ基板に形成される薄膜トランジスタが共通コンタクトホールを有することによって、コンタクト数を減らすことができる薄膜トランジスタ基板及びその製造方法並びに平板表示装置を提供することである。

20

【 0 0 1 5 】

また、本発明の他の目的は、薄膜トランジスタ形成時に、ドーピング領域等の拡散を考慮して、オフセット間隔をおくことにより薄膜トランジスタの誤動作を防止できる薄膜トランジスタ基板及びその製造方法並びに平板表示装置を提供することである。

【 課題を解決するための手段 】

【 0 0 1 6 】

上記目的を達成するための手段として、本発明の第 1 の特徴に係る薄膜トランジスタ基板には、ゲート、ソース及びドレインを有する複数の薄膜トランジスタが形成されて、基板と、前記基板上に形成され、前記ソース/ドレインに対応するソース/ドレイン領域を各々含む第 1 及び第 2 アクティブ領域と、前記第 1 及び第 2 アクティブ領域の間に形成されているオフセット領域と、前記オフセット領域の上及び前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域の上に共通して形成されるコンタクトホールと、を備えることを要旨とする。

30

【 0 0 1 7 】

また、本発明の第 2 の特徴は、本発明による発光表示装置用薄膜トランジスタ基板は、ゲート、ソース及びドレインを有する複数の薄膜トランジスタを含んで構成されて、基板と、この基板上に形成された多結晶シリコン層に第 1 導電型の不純物がドーピングされて形成されたソース及びドレインに対応するソース/ドレイン領域を含む第 1 アクティブ領域と、前記基板上に形成された多結晶シリコン層に第 2 導電型の不純物がドーピング形成されてソース及びドレインに対応するソース/ドレイン領域を含む第 2 アクティブ領域と、前記第 1 及び第 2 アクティブ領域の間に形成されているオフセット領域と、前記第 1 及び第 2 アクティブ領域に形成されたゲート絶縁層と、前記第 1 及び前記第 2 アクティブ領域に各々対応するように前記ゲート絶縁層上に形成される第 1 及び第 2 ゲート電極と、前記オフセット領域の上及び前記第 1 及び第 2 アクティブ領域の前記互いに隣接するソース/ドレイン領域の上に形成されて、前記第 1 及び第 2 アクティブ領域の前記互いに隣接するソース/ドレイン領域を接続させる一つのコンタクトホールと、を備えることを要旨とする。

40

【 0 0 1 8 】

本発明の第 3 の特徴に係る薄膜トランジスタ基板の製造方法は、基板上に各々ソース及びドレインに対応する領域を有する第 1 及び第 2 アクティブ領域を形成する工程と、前記

50

第 1 及び第 2 アクティブ領域の前記ソース/ドレイン領域を互いに異なるタイプの不純物として各々ドーピングする工程と、第 1 及び第 2 アクティブ領域の隣接したソース/ドレイン領域の間にオフセット領域を形成する工程と、前記オフセット領域及び前記第 1 及び第 2 アクティブ領域の前記隣接したソース/ドレイン領域上部に一つのコンタクトホールを形成する工程と、前記第 1 及び第 2 アクティブ領域の前記隣接したソース/ドレイン領域を、前記コンタクトホールを通して接続する工程と、を備えることを要旨とする。

【0019】

本発明の第 4 の特徴に係る平板表示装置は、表示パネル、前記表示パネルに選択信号を印加する走査駆動部、前記表示パネルにデータ信号を印加するデータ駆動部を備え、走査駆動部またはデータ駆動部は、基板と、前記基板上に形成され、前記ソース/ドレインに 10 対応するソース/ドレイン領域を各々含む第 1 及び第 2 アクティブ領域と、前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域の間に形成されているオフセット領域と、前記オフセット領域の上及び前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域の上に共通して形成されるコンタクトホールと、を備える薄膜トランジスタを含むことを要旨とする。

【発明の効果】

【0020】

本発明によれば、薄膜トランジスタ基板を形成するための薄膜トランジスタ形成の時に、共通コンタクトホールを有するようにすることによって薄膜トランジスタのコンタクト 20 数を減らすことができ、N 型及び P 型のドーピング領域等の拡散を考慮してオフセット間隔をおくことによって薄膜トランジスタの誤動作を防止することができる。

【発明を実施するための最良の形態】

【0021】

以下、添付図を参照して本発明の実施の形態に係る薄膜トランジスタ基板及びその製造方法を詳細に説明する。なお、本実施の形態は、平板表示装置として発光表示装置に適用した例であるが、他の構成の平板表示装置に適用することも可能である。但し、図面は模式的なものであり、各材料層の厚みやその比率などは現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている 30 ことは勿論である。

【0022】

本実施の形態に係る薄膜トランジスタ基板は、ゲート、ソース及びドレインを有する複数の薄膜トランジスタを備える。

【0023】

図 1 は、本実施の形態に係る薄膜トランジスタ基板の要部断面図である。図 1 に示すように、本実施の形態に（発光表示装置用）薄膜トランジスタ基板は、ゲート、ソース及びドレインを有する複数の薄膜トランジスタを備える。このような薄膜トランジスタ基板は、基板 610、基板 610 上に蒸着されるバッファ層である二酸化硅素層 611、この二酸化硅素層 611 上に形成され、ゲートに対応するチャネル領域を挟むソース/ドレイン領域 613a'、613a'、613b'、613b' を各々含む第 1 アクティブ領域 40 及び第 2 アクティブ領域、前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域 613a'、613b' 上に共通して形成されるコンタクトホール、及びこのコンタクトホールに充填される導電性物質 619 を含み、前記第 1 及び第 2 アクティブ領域の互いに隣接するソース/ドレイン領域 613a'、613b' の間に形成されているオフセット領域 617 を含む。

【0024】

図 1 に示すように、第 1 及び第 2 アクティブ領域において、一方は PMOS 領域であり、他方は NMOS 領域であって、CMOS 構造を構成している。

【0025】

ここで、図中符号 A で示された領域で、上記オフセット領域 617 はドーピングの拡散 50

を考慮して0.5 μm 以上の長さで形成されることが好ましい。前記オフセット領域617は、非晶質シリコン層が脱水素結晶化された多結晶シリコン層であってもよい。このようなオフセット領域617では、多結晶シリコン層がN型及びP型不純物ドーピング時にマスクによって遮断されて形成される。

【0026】

図1中、符号613a及び613a'は、NMOS領域の多結晶シリコン層であって、各々ドーピングされない領域及びドーピングされた領域を示すが、613a領域も場合によってドーピングされていてもよい。

【0027】

図面符号613b及び613b'は、PMOS領域の多結晶シリコン層であって、各々ドーピングされない領域及びドーピングされた領域を示すが、613b領域また場合によってドーピングされていてもよい。

【0028】

ここで、図1中、符号613a'及び613b'は、各々ソースまたはドレイン電極と連結され、互いに異なる種類の不純物によって各々ドーピングされる。

【0029】

また、図1中、符号613a及び613bは、チャンネル領域として、不純物でドーピングされるが、場合によってはドーピングされないこともある。

【0030】

さらに、図1中、符号614は、第1及び第2アクティブ領域に形成されるゲート絶縁層を示している。

【0031】

また、図1中、符号615a、615bは、それぞれの薄膜トランジスタのゲート電極を示している。

【0032】

以下、図1に示された薄膜トランジスタ基板の製造方法を、薄膜トランジスタ基板の要部(CMOS構造のSRAMコアセル)の製造工程を示す図2~12を用いて具体的に説明する。なお、図1~12は、本発明の実施の形態に係る(発光表示装置用)薄膜トランジスタ基板を製造する工程を示す工程断面図である。

【0033】

本実施の形態に係る薄膜トランジスタ基板の製造方法を説明する。

【0034】

まず、図2に示すように、シリコン若しくはガラスでなる基板610上に、バッファ層として二酸化硅素層611を蒸着にて形成する。

【0035】

次に、図3に示すように、a-Si:H(水素化アモルファスSi)膜612をプラズマ化学気相蒸着(PECVD)を用いて形成する。

【0036】

続いて、このa-Si:H膜612の脱水素工程を行って、図4に示すように、a-Si:H膜612をa-Si膜612'に変化させる。

【0037】

次に、ELA(エキシマ・レーザ・アニール)を行って、図5に示すように、a-Si膜612'を多結晶化して多結晶シリコン膜613に変化させる。

【0038】

具体的には、基板610上に蒸着されたバッファ層としての二酸化硅素層611上に、多結晶シリコン薄膜トランジスタを製作する際に、PECVDを利用し400以下の低温で非晶質シリコン層薄膜612を蒸着させる。PECVDでa-Si薄膜612を蒸着する場合、a-Si:H膜612内に多量の水素が包含(10%程度)されるため、a-Si:H薄膜612の再結晶化の前に脱水素過程を経るようになる。次に脱水素過程を経たa-Si薄膜612'を多結晶シリコン層613で再結晶化するためにエキシマレーザ

10

20

30

40

50

ービームを照射すればよい。

【0039】

次に、再結晶化された多結晶シリコン膜613上に第1マスクを利用してパターンを形成して、乾式エッチングにより多結晶シリコン層であるアクティブ領域613'を形成した後、多結晶シリコン層であるアクティブ領域613a'及び二酸化硅素層611の前面に、PECVD方法を利用してSiO₂を蒸着してゲート絶縁層614を形成する(図6参照)。

【0040】

さらに具体的には、フォトリソグラフィー法及びエッチング法を用いて、多結晶シリコン膜613をアクティブ領域として形成する。

10

【0041】

このようなアクティブ領域は、下記のような方法により、NMOS及びPMOS領域に区分形成される。

【0042】

図7に示すように、PMOSアクティブ領域には、フォトリソグラフィー法を用いて第2マスクとしてフォトレジスト615をパターンニングする。そして、NMOSアクティブ領域上の絶縁層614を通して高濃度不純物を注入する(図8参照)。つまり、NMOSアクティブ領域の絶縁層614上からN⁺不純物をドーピングする。

【0043】

次に、図9に示すように、NMOS及びPMOSアクティブ領域のそれぞれのゲート電極615a、615bを形成し、NMOSアクティブ領域のソース/ドレイン領域にN⁻不純物を注入する(N型不純物を低濃度で注入する)。ここで、図面符号613a'は、多結晶シリコン膜613にN⁻低濃度不純物が注入された領域を示して、613aはゲート電極615a下方に位置してN⁻低濃度不純物が注入されない領域である。このように、N⁻低濃度不純物を注入してLDD(Lightly Doped Drain)613cを形成するようになる。一方、前記PMOSアクティブ領域は、前述したNMOS形成時と同様な方法でP⁺及びP⁻不純物をドーピング/注入して形成する。ここで、図9中、符号616aはフォトレジストマスクを模式的に示す。

20

【0044】

次に、上記ELAまたは溶鉱炉で熱処理して活性化することによって、隣接したソース/ドレイン領域の間にオフセット領域617を形成する(図10参照)。つまり、ドーピングの拡散を考慮してP⁻ドーピング領域とN⁻ドーピング領域を0.5μm程度のオフセットを与えてフォトマスクを設計することによって前記オフセット領域617が形成される。

30

【0045】

次に、露出された前面に絶縁層である層間絶縁膜618を蒸着し、フォトリソグラフィー法およびドライエッチング法にて前記NMOS及びPMOSのソース/ドレイン領域にコンタクトホールを各々形成する(図11)。この時、前記NMOSアクティブ領域とPMOSアクティブ領域が隣接する部分は、一つのコンタクトホールだけが共通して形成される。これによってNMOSとPMOSのソース/ドレインが互いに接続されてCMOSを形成する部分により、レイアウト設計の時にコンタクト数を減らすことができるようにする。

40

【0046】

次に、前記NMOS及びPMOSのソース/ドレイン上に形成された前記コンタクトホールに充填導電性物質619を充填する(図12参照)。この時、前記コンタクトホールに充填導電性物質619としては、例えばMo/AlNd/Moを充填することができる。

【0047】

その後、充填導電性物質619から前記コンタクトホールに充填される導電性物質以外の部分を、平坦化工程を通して除去して、一般的な後続工程を進行することによって、薄

50

膜トランジスタ基板を完成する。

【0048】

このような実施の形態によれば、基板610上に薄膜トランジスタを形成する時、薄膜トランジスタ同士の隣接したアクティブ領域の間には、ドーピング領域等の拡散を考慮して0.5 μ m程度のオフセット間隔において、これら隣接したアクティブ領域は共通コンタクトホールに連結される。従って、薄膜トランジスタの必要なコンタクト数を減らすことができ、薄膜トランジスタの誤動作を防止することができる。

【0049】

以下、本発明の実施の形態に係る平板表示装置について図13を用いて説明する。

【0050】

平板表示装置は、表示部（図示省略する）や、表示部に選択信号を印加する走査駆動部、表示部にデータ信号を印加するデータ駆動部を含む。本実施の形態の平板表示装置は、例えば有機発光表示装置に適用することが好ましいが、この他、各種の平板表示装置に適用できる。

【0051】

本実施の形態に係る平板表示装置は、表示部、走査駆動部またはデータ駆動部を備え、これら上述の薄膜トランジスタ基板に備えられる。なお、薄膜トランジスタ基板の全面側には、図13に示すように、例えば有機EL層などの発光層（発光部）620と透明基板621とが備えられている。

【0052】

具体的には、図13に示すように、薄膜トランジスタ基板は、基板610、基板610上に蒸着されるバッファ層611、バッファ層611上に形成され、ゲートに対応するゲート領域及び薄膜トランジスタのソースまたはドレインに対応するソース/ドレイン領域を各々含む第1及び第2アクティブ領域、第1及び第2アクティブ領域の互いに隣接するソース/ドレイン領域上に共通して形成されるコンタクトホール、及び前記コンタクトホールに充填される導電性物質を含み、第1及び第2アクティブ領域の互いに隣接するソース/ドレイン領域の間に形成されているオフセット領域613を含む。ここで、第1及び第2アクティブ領域において、一つはPMOS領域であり、他の一つはNMOS領域であって、CMOS構造を有することができる。

【0053】

そして、このような薄膜トランジスタ基板に形成された薄膜トランジスタの構成により、上記した走査駆動部やデータ駆動部などを構成することができる。このような構成により、これら駆動部のコンタクトホールの数を減少させると共に、オフセット領域613により薄膜トランジスタの誤動作を防止するが可能となる。

【0054】

上述した実施の形態の開示の一部をなす論述および図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

【0055】

例えば、上述した実施の形態では、薄膜トランジスタにLDD領域を形成したが、LDD領域を備えない薄膜トランジスタ基板としても勿論よい。

【図面の簡単な説明】

【0056】

【図1】本発明の実施の形態に係る薄膜トランジスタ基板の要部断面図である。

【図2】本発明の実施の形態に係る薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図3】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図4】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

10

20

30

40

50

【図 5】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 6】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 7】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 8】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 9】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

10

【図 10】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 11】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 12】本発明の実施の形態に係る薄膜トランジスタ基板の製造工程を示す工程断面図である。

【図 13】本発明の実施の形態に係る平板表示装置を示す要部断面図である。

【図 14】従来の薄膜トランジスタ基板を示す要部断面図である。

【符号の説明】

【0057】

20

513a' NMOSのソース/ドレイン

513b' PMOSのソース/ドレイン

514 ゲート絶縁層

518 ゲート絶縁層

519a コンタクトホール

519b コンタクトホール

611 二酸化硅素層

612 a-Si:H

612' a-Si 薄膜

613 多結晶シリコン膜

30

613' アクティブ領域

613a NMOS領域の多結晶シリコン層

613a' NMOS領域の多結晶シリコン層

613b PMOS領域の多結晶シリコン層

613b' PMOS領域の多結晶シリコン層

614 ゲート絶縁層

615 フォトレジスト

615a ゲート電極

615b ゲート電極

616a フォトレジストマスク

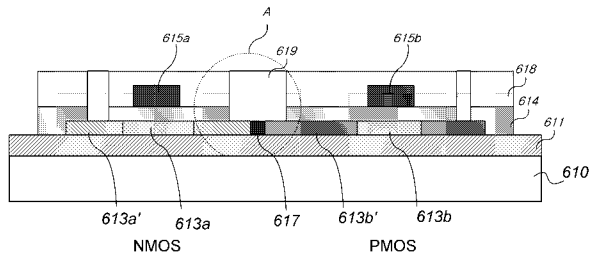
40

617 オフセット領域

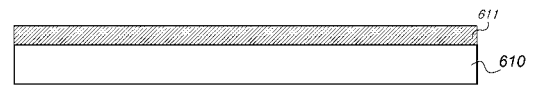
618 層間絶縁膜

619 導電性物質

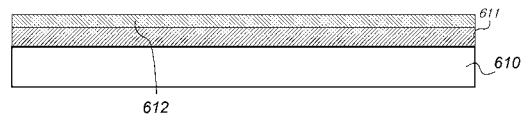
【図 1】



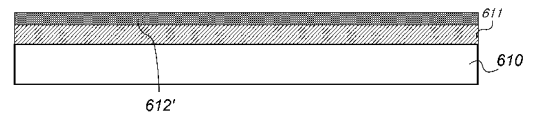
【図 2】



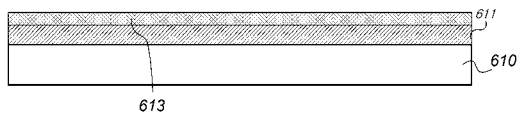
【図 3】



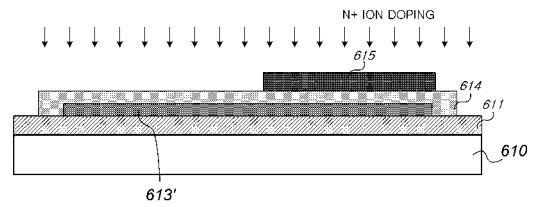
【図 4】



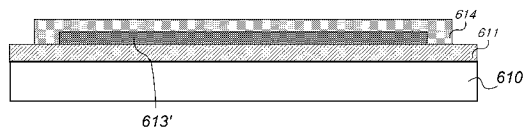
【図 5】



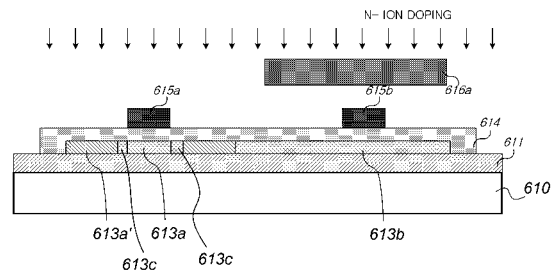
【図 8】



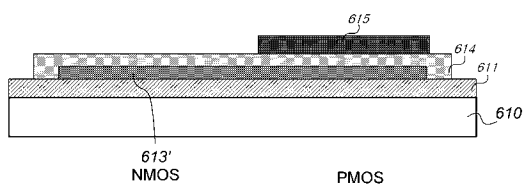
【図 6】



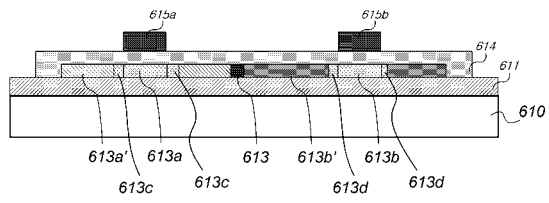
【図 9】



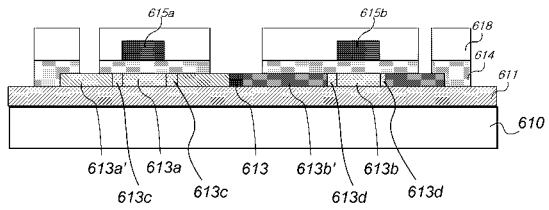
【図 7】



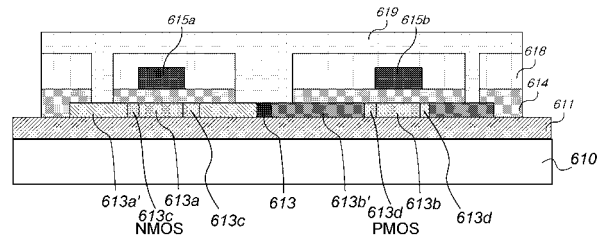
【図 10】



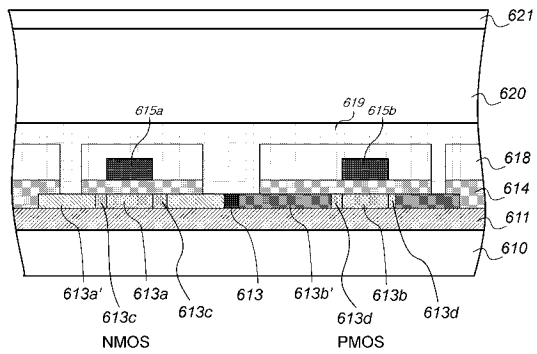
【図 11】



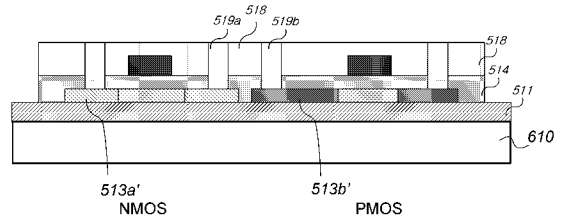
【図 12】



【図 13】



【図 14】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 21/90

C

F ターム(参考) 5F033 JJ09 JJ20 KK04 NN03 VV15 WW01
5F110 AA04 AA30 BB02 BB04 CC02 DD02 DD05 DD13 FF02 FF30
GG02 GG13 GG45 HJ13 HL04 HL06 HL12 HL14 HM15 NN02
NN71 PP03 PP35

专利名称(译)	薄膜晶体管基板，薄膜晶体管基板的制造方法以及平板显示装置		
公开(公告)号	JP2005340822A	公开(公告)日	2005-12-08
申请号	JP2005149436	申请日	2005-05-23
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	尹漢熙		
发明人	尹 漢 熙		
IPC分类号	H01L51/50 G09G3/30 H01L21/28 H01L21/768 H01L21/77 H01L21/84 H01L27/12 H01L29/417 H01L29/76 H01L29/786 H05B33/00 H05B33/14		
CPC分类号	H01L27/1222 H01L27/1214 H01L27/124 H01L27/1274		
FI分类号	H01L29/78.613.A H01L21/28.301.R H05B33/14.A H01L29/78.616.S H01L29/50.M H01L21/90.C		
F-TERM分类号	3K007/BA06 3K007/DB03 3K007/GA00 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB16 4M104/CC01 4M104/FF13 4M104/FF22 4M104/GG09 4M104/GG10 4M104/GG20 5F033/JJ09 5F033/JJ20 5F033/KK04 5F033/NN03 5F033/VV15 5F033/WW01 5F110/AA04 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD05 5F110/DD13 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG45 5F110/HJ13 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL14 5F110/HM15 5F110/NN02 5F110/NN71 5F110/PP03 5F110/PP35 3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE04 3K107/EE59 3K107/FF15		
代理人(译)	三好秀 伊藤雅一		
优先权	1020040036841 2004-05-24 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于发光显示装置的薄膜晶体管基板，该晶体管基板可以应用于有机发光显示装置的数据驱动部分，以及该晶体管基板的制造方法。解决方案：薄膜晶体管基板包括多个晶体管，每个晶体管具有栅极，源极和漏极。晶体管基板包括第一和第二有源区，其中晶体管形成在基板上，并形成每个栅极和源极/漏极；在第一有源区的相邻源极/漏极之间以及在第二有源接触孔之间形成的偏移区域，其形成在偏移区域上方并且在第一有源区域和第二有源区域的相邻源极/漏极之上，以及填充接触孔的导电材料。考虑到N型和P型掺杂区域的扩散，晶体管基板还具有约0.5μm的偏移间隙，以防止发生故障。 Z

