

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-181920
(P2005-181920A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09F 9/30	G09G 3/30 K	5C080
G09G 3/20	G09F 9/30 338	5C094
H05B 33/14	G09G 3/20 624B	
	G09G 3/20 641A	
審査請求 未請求 請求項の数 16 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2003-426278 (P2003-426278)	(71) 出願人	000002185
(22) 出願日	平成15年12月24日 (2003.12.24)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100086298
			弁理士 船橋 國則
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA04
			最終頁に続く

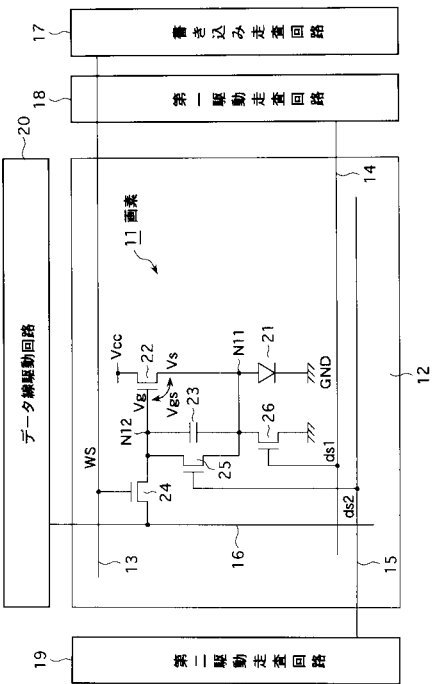
(54) 【発明の名称】 画素回路、表示装置およびその駆動方法

(57) 【要約】

【課題】 Nチャネルの駆動トランジスタを有機EL素子のカソード側に接続する構成を採るとすると、新規にアノード・カソードの電極の開発が必要となる。

【解決手段】 カソードが接地電位GNDに接続された有機EL素子21と、この有機EL素子21のアノードと正電源電位Vccとの間に接続されたTFT22と、このTFT22のゲートとソースの間に接続されたキャパシタ23と、データ線16から輝度情報に応じた信号を選択的に取り込むTFT24とを少なくとも有する画素回路11において、TFT22のゲートとソースの間にTFT25を接続し、当該TFT25によって有機EL素子21の発光/非発光を制御するようにする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

一端が第 1 の電源電位に接続された電気光学素子と、
前記電気光学素子の他端と第 2 の電源電位との間に接続された駆動トランジスタと、
前記駆動トランジスタのゲートとソースの間に接続されたキャパシタと、
前記駆動トランジスタのゲートに対して輝度情報に応じた信号を選択的に取り込む第 1
のスイッチングトランジスタと、
前記駆動トランジスタのゲートとソースの間に接続され、前記電気光学素子の発光 / 非
発光を制御する第 2 のスイッチングトランジスタと
を有することを特徴とする画素回路。

10

【請求項 2】

前記駆動トランジスタは、N チャンネル電界効果トランジスタである
ことを特徴とする請求項 1 記載の画素回路。

【請求項 3】

前記駆動トランジスタのソースと前記第 1 の電源電位との間に接続された第 3 のスイ
ッチングトランジスタをさらに有する
ことを特徴とする請求項 1 記載の画素回路。

【請求項 4】

前記駆動トランジスタおよび前記第 1 乃至第 3 のスイッチングトランジスタは、N チャ
ネル電界効果トランジスタである
ことを特徴とする請求項 3 記載の画素回路。

20

【請求項 5】

一端が第 1 の電源電位に接続された電気光学素子と、前記電気光学素子の他端と第 2 の
電源電位との間に接続された駆動トランジスタと、前記駆動トランジスタのゲートとソー
スの間に接続されたキャパシタと、前記駆動トランジスタのゲートとデータ線との間に接
続された第 1 のスイッチングトランジスタと、前記駆動トランジスタのゲートとソースの
間に接続され、前記電気光学素子の発光 / 非発光を制御する第 2 のスイッチングトランジ
スタとを有する画素回路が行列状に配置されてなる画素アレイ部と、
前記データ線に輝度情報に応じた信号を供給するデータ線駆動回路と、
前記第 1 のスイッチングトランジスタを駆動する書き込み走査回路と、
前記第 2 のスイッチングトランジスタを駆動する第一駆動走査回路と
を備えたことを特徴とする表示装置。

30

【請求項 6】

前記駆動トランジスタは、N チャンネル電界効果トランジスタである
ことを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記画素回路は、前記駆動トランジスタのソースと前記第 1 の電源電位との間に接続さ
れた第 3 のスイッチングトランジスタをさらに有する
ことを特徴とする請求項 5 記載の表示装置。

【請求項 8】

前記駆動トランジスタおよび前記第 1 乃至第 3 のスイッチングトランジスタは、N チャ
ネル電界効果トランジスタである
ことを特徴とする請求項 7 記載の表示装置。

40

【請求項 9】

前記第 3 のスイッチングトランジスタを駆動する第二駆動走査回路をさらに備えた
ことを特徴とする請求項 7 記載の表示装置。

【請求項 10】

前記書き込み走査回路は、前記第 3 のスイッチングトランジスタの駆動を兼ねる
ことを特徴とする請求項 7 記載の表示装置。

【請求項 11】

50

一端が第１の電源電位に接続された電気光学素子と、前記電気光学素子の他端と第２の電源電位との間に接続された駆動トランジスタと、前記駆動トランジスタのゲートとソースの間に接続されたキャパシタと、前記駆動トランジスタのゲートとデータ線との間に接続された第１のスイッチングトランジスタと、前記駆動トランジスタのゲートとソースの間に接続された第２のスイッチングトランジスタとを有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、

前記第２のスイッチングトランジスタのスイッチングによって前記電気光学素子の発光／非発光期間を決定する

ことを特徴とする表示装置の駆動方法。

【請求項１２】

前記駆動トランジスタは、Ｎチャネル電界効果トランジスタである

ことを特徴とする請求項１１記載の表示装置の駆動方法。

【請求項１３】

前記画素回路は、前記駆動トランジスタのソースと前記第１の電源電位との間に接続された第３のスイッチングトランジスタをさらに有する

ことを特徴とする請求項１１記載の表示装置の駆動方法。

【請求項１４】

前記駆動トランジスタおよび前記第１乃至第３のスイッチングトランジスタは、Ｎチャネル電界効果トランジスタである

ことを特徴とする請求項１３記載の表示装置の駆動方法。

【請求項１５】

前記第３のスイッチングトランジスタをオン状態にし、しかる後前記第１のスイッチングトランジスタをオン状態にし、当該第１のスイッチングトランジスタによって前記データ線から輝度情報に応じた信号を取り込んで前記キャパシタに書き込む

ことを特徴とする請求項１３記載の表示装置の駆動方法。

【請求項１６】

前記第１，第３のスイッチングトランジスタを同じタイミングでオン状態にし、当該第１のスイッチングトランジスタによって前記データ線から輝度情報に応じた信号を取り込んで前記キャパシタに書き込む

ことを特徴とする請求項１３記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、画素回路、表示装置およびその駆動方法に関し、特に流れる電流によって輝度に変化する電気光学素子を表示素子として有する画素回路、当該画素回路が行列状に配置されてなり、画素回路（画素）毎に能動素子を有して当該能動素子によって画素単位で表示駆動が行われる表示装置およびその駆動方法に関する。

【背景技術】

【０００２】

表示装置、例えば画素の表示素子として液晶セルを用いた液晶表示装置においては、液晶セルを含む画素を多数マトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として、流れる電流によって輝度に変化する電気光学素子、例えば有機ＥＬ（electroluminescence）素子を用いた有機ＥＬ表示装置でも同様である。

【０００３】

ただし、有機ＥＬ表示装置の場合は、画素の表示素子として、自発光素子である有機ＥＬ素子を用いたいわゆる自発光型の表示装置であるため、光源（バックライト）からの光強度を制御する液晶表示装置に比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を持っている。また、有機ＥＬ素子の発光輝度がそれに流れる電流値によって制御される、即ち有機ＥＬ素子が電流制御型であるという点で、液晶セルが電圧制

10

20

30

40

50

御型である液晶表示装置とは大きく異なっている。

【 0 0 0 4 】

有機 E L 表示装置においては、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor; T F T)) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【 0 0 0 5 】

図 2 1 は、アクティブマトリクス型有機 E L 表示装置における画素回路（単位画素の回路）の従来例を示す回路図である。

【 0 0 0 6 】

この従来例に係る画素回路は、図 2 1 から明らかなように、例えばカソード（陰極）が接地電位 G N D に接続された有機 E L 素子 1 0 1 と、ドレインが有機 E L 素子 1 0 1 のアノード（陽極）に接続され、ソースが正電源電位 V c c に接続された P チャネル T F T 1 0 2 と、この T F T 1 0 2 のゲートと正電源電位 V c c との間に接続されたキャパシタ 1 0 3 と、ソースが T F T 1 0 2 のゲートに、ゲートが走査線 1 0 5 に、ドレインがデータ線 1 0 6 にそれぞれ接続された P チャネル T F T 1 0 4 とを有する構成となっている（例えば、特許文献 1 , 2 参照）。

【 0 0 0 7 】

ここで、有機 E L 素子は多くの場合整流性があるため、O L E D (Organic Light Emitting Diode) と呼ばれることがある。したがって、図 2 1 およびその他の図では、O L E D としてダイオードの記号を用いて示している。ただし、以下の説明において、O L E D には必ずしも整流性が要求されるものではない。

【 0 0 0 8 】

続いて、上記構成の画素回路の動作について説明する。先ず、走査線 1 0 5 の電位を選択状態（ここでは、低レベル状態）とし、データ線 1 0 6 に書き込み電位 V d a t a を印加すると、T F T 1 0 4 が導通してキャパシタ 1 0 3 が充電または放電される。これにより、T F T 1 0 2 のゲート電位は書き込み電位 V d a t a となる。次に、走査線 1 0 5 の電位を非選択状態（ここでは、高レベル状態）とすると、走査線 1 0 5 と T F T 1 0 2 とは電氣的に切り離されるが、T F T 1 0 2 のゲート電位はキャパシタ 1 0 3 によって安定に保持される。

【 0 0 0 9 】

そして、T F T 1 0 2 および有機 E L 素子 1 0 1 に流れる電流は、T F T 1 0 2 のゲート・ソース間電圧 V g s に応じた値となる。すると、有機 E L 素子 1 0 1 は、その電流値に応じた輝度で発光し続ける。ここで、データ線 1 0 6 を通して供給される輝度情報を、走査線 1 0 5 を選択し、T F T 1 0 4 を通して画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。

【 0 0 1 0 】

上述したように、図 2 1 の画素回路では、一度電位 V d a t a の書き込みを行えば、次に電位 V d a t a の書き込みが行われるまでの間、有機 E L 素子 1 0 1 は一定の輝度で発光を継続する。また、駆動トランジスタである T F T 1 0 2 のゲート電圧を変化させることで、有機 E L 素子 1 0 1 に流れる電流値を制御している。このとき、T F T 1 0 2 は、ソースが正電源電位 V c c に接続されており、常に飽和領域で動作しているため、下記の式 (1) に示した電流値 I d s を持つ定電流源となっている。

【 0 0 1 1 】

$$I d s = 1 / 2 \cdot \mu (W / L) C o x (V g s - | V t h |) ^ 2 \quad \dots \dots (1)$$

ここで、V t h は T F T 1 0 2 のしきい値、μ はキャリアの移動度、W はチャネル幅、L はチャネル長、C o x は単位面積当たりのゲート容量、V g s はゲート・ソース間電圧で

10

20

30

40

50

ある。

【 0 0 1 2 】

単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光する。これに対して、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。したがって、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げるができるなどの点で、とりわけ大型・高精細の表示装置では有利となる。

【 0 0 1 3 】

図 2 2 は、有機 E L 素子の電流 - 電圧特性 (I - V 特性) の経時変化を示す特性図である。図 2 2 において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。 10

【 0 0 1 4 】

一般的に、有機 E L 素子の I - V 特性は、図 2 2 に示すように、時間が経過するにつれて劣化してしまう。ところが、図 2 1 の画素回路では、先述したように、駆動トランジスタである T F T 1 0 2 による定電流駆動のために有機 E L 素子 1 0 1 には定電流が流れ続け、有機 E L 素子の I - V 特性が劣化してもその発光輝度が低下することはない。

【 0 0 1 5 】

ところで、図 2 1 の画素回路は、Pチャネルの T F T によって構成されている。Pチャネルの T F T に代えて、Nチャネルの T F T によって画素回路を構成することができれば、T F T 作成において、従来のアモルファスシリコン (a - S i) プロセスを用いることができるようになるため、T F T 基板の低コスト化を図ることができる。 20

【 0 0 1 6 】

ここで、Pチャネルの T F T を Nチャネルの T F T に置き換えた画素回路について考察する。

【 0 0 1 7 】

図 2 3 は、図 2 1 の Pチャネル T F T を Nチャネル T F T に置き換えた画素回路の構成を示す回路図である。

【 0 0 1 8 】

この画素回路は、図 2 3 から明らかなように、例えばカソードが接地電位 G N D に接続された有機 E L 素子 2 0 1 と、ソースが有機 E L 素子 2 0 1 のアノードに接続され、ドレインが正電源電位 V c c に接続された Nチャネル T F T 2 0 2 と、この T F T 2 0 2 のゲートと正電源電位 V c c との間に接続されたキャパシタ 2 0 3 と、ドレインが T F T 2 0 2 のゲートに、ゲートが走査線 2 0 5 に、ソースがデータ線 2 0 6 にそれぞれ接続された Nチャネル T F T 2 0 4 とを有するソースフォロア回路構成となっている。 30

【 0 0 1 9 】

図 2 4 は、初期状態における駆動トランジスタとしての T F T 2 0 2 と有機 E L 素子 2 0 1 の動作点を示す図である。図 2 4 において、横軸は T F T 2 0 2 のドレイン・ソース間電圧 V d s を、横軸はドレイン・ソース間電流 I d s をそれぞれ示している。図 2 4 に示すように、ソース電圧は T F T 2 0 2 と有機 E L 素子 2 0 1 との動作点で決まり、ゲート電圧によって異なる値を持つ。この T F T 2 0 2 は飽和領域で駆動されるため、動作点のソース電圧に対するゲート・ソース間電圧 V g s に関して式 (1) で与えられる電流値の電流 I d s を流す。 40

【 0 0 2 0 】

【特許文献 1】米国特許第 5 6 8 4 3 6 5 号明細書

【特許文献 2】特開平 8 - 2 3 4 6 8 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 1 】

しかしながら、Pチャネルの T F T を Nチャネルの T F T に置き換えた画素回路においても、有機 E L 素子の I - V 特性の経時変化に伴う劣化は避けられず、これにより、図 2 50

5に示すように、動作点が変動してしまうため、駆動トランジスタであるTFT202に同じゲート電圧を印加したとしてもそのソース電圧は変動する。これにより、TFT202のゲート・ソース間電圧 V_{gs} が変化してしまい、当該TFT202に流れる電流値が変動する。同時に、有機EL素子201に流れる電流値も変化するため、有機EL素子201のI-V特性が変化すると、それに伴って有機EL素子201の発光輝度も経時変化してしまう。

【0022】

また、図24の画素回路の変形例として、図26に示すように、有機EL素子201のアノードを正電源電位 V_{cc} に接続し、駆動トランジスタとしてのNチャネルTFT202のドレインを有機EL素子201のカソードに、ソースを接地電位 GND にそれぞれ接続する回路構成を採ることも考えられる。 10

【0023】

この変形例に係る画素回路においては、図21のPチャネルTFT102による駆動の場合と同様に、NチャネルTFT202はソース電位が接地電位 GND に固定され、定電流源として動作する。したがって、有機EL素子201のI-V特性の劣化による輝度変化を防止できる。

【0024】

しかしながら、この変形例に係る画素回路では、駆動トランジスタであるNチャネルTFT202を有機EL素子201のカソード側に接続する構成を採らざるを得ない。このカソード接続の構成を採るためには、有機EL素子に関して新規にアノード・カソードの電極の開発が必要である。このアノード・カソードの電極の開発は、現状の技術では非常に困難であるとされている。このような観点から、従来は、有機EL素子のI-V特性の経時変化に伴う輝度の変化を抑えたNチャネルトランジスタによる画素回路の開発は為されていなかった。 20

【0025】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、発光素子の電流-電圧特性が経時変化しても、それに伴う輝度変化のないNチャネルトランジスタによって実現可能な画素回路、当該画素回路が行列状に配置されてなる表示装置およびその駆動方法を提供することにある。

【課題を解決するための手段】

30

【0026】

上記目的を達成するために、本発明では、一端が第1の電源電位に接続された電気光学素子と、前記電気光学素子の他端と第2の電源電位との間に接続された駆動トランジスタと、前記駆動トランジスタのゲートとソースの間に接続されたキャパシタと、前記駆動トランジスタのゲートに対して輝度情報に応じた信号を選択的に取り込む第1のスイッチングトランジスタとを有する画素回路において、前記駆動トランジスタのゲートとソースの間に第2のスイッチングトランジスタを接続し、当該第2のスイッチングトランジスタによって前記電気光学素子の発光/非発光を制御するようにする。

【0027】

上記構成の画素回路において、第2のスイッチングトランジスタをオン状態することにより、駆動トランジスタのゲート・ソース間の電位差が0[V]となり、当該駆動トランジスタがオフ状態となるため、電気光学素子は非発光状態となる。この動作により、電気光学素子の非発光状態における駆動トランジスタのオン状態の時間を短縮でき、また電気光学素子の非発光期間に駆動トランジスタに流れる電流によって当該駆動トランジスタの閾値電圧 V_{th} の変動量を抑えることができる。 40

【発明の効果】

【0028】

本発明によれば、電気光学素子の非発光状態における駆動トランジスタのオン状態の時間を短くできるとともに、電気光学素子の非発光期間に駆動トランジスタに流れる電流によって当該駆動トランジスタの閾値電圧 V_{th} の変動量を抑えることができるため、電気 50

光学素子の電流 - 電圧特性が経時変化しても、それに伴って輝度が変化しないようにすることができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0030】

図1は、本発明に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本例に係る尼マトリクス型表示装置は、流れる電流によって輝度が変化する電気光学素子を表示素子として含む画素（画素回路）11がマトリクス状にm列n行配列されてなる画素アレイ部12を有している。ここでは、図面の簡略化のために、画素アレイ部12が3列2行の画素配列を例に挙げて示している。 10

【0031】

この画素アレイ部12において、画素12の各々に対して各行毎に走査線13および2本の駆動線14, 15が配線され、また各列毎にデータ線16が配線されている。この画素アレイ部12の周囲には、走査線13を駆動する書き込み走査回路17と、2本の駆動線14, 15をそれぞれ駆動する第一、第二駆動走査回路18, 19と、輝度情報に応じたデータ信号をデータ線16に供給するデータ線駆動回路20とが配置されている。

【0032】

[第1実施形態]

図2は、表示素子として有機EL素子を用いた第1実施形態に係る画素回路の構成例を示す回路図である。本実施形態に係る画素回路11は、有機EL素子21、駆動トランジスタ22、キャパシタ（画素容量）23および第1～第3のスイッチングトランジスタ24～26を有する構成となっている。駆動トランジスタ22およびスイッチングトランジスタ24～26は、Nチャネル電界効果トランジスタ、例えばNチャネルTFT（薄膜トランジスタ）である。以下、駆動トランジスタ22およびスイッチングトランジスタ24～26を、TFT22およびTFT24～26と記す。 20

【0033】

図2において、有機EL素子21はカソードが第1の電源電位（本例では、接地電位GND）に接続されて設けられている。TFT22は、有機EL素子21を発光駆動する駆動トランジスタであり、ドレインが第2の電源電位（本例では、正電源電位Vcc）に、ソースが有機EL素子21のアノードにそれぞれ接続されてソースフォロア回路を形成している。キャパシタ23は、一端がTFT22のゲートに、他端がTFT22のソースと有機EL素子21のアノードの接続ノードN11にそれぞれ接続されている。 30

【0034】

TFT24は、ソースがデータ線16に、ゲートが走査線13に、ドレインがTFT22のゲートとキャパシタ23の一端の接続ノードN12にそれぞれ接続されている。TFT25は、ドレインが接続ノードN12に、ソースが接続ノードN11にそれぞれ接続されている。TFT26は、ドレインが接続ノードN11に、ソースが接地電位GNDにそれぞれ接続されている。

【0035】

続いて、上記構成の第1実施形態に係る画素回路11を備えた有機EL表示装置の回路動作について、図3のタイミングチャートおよび図4～図7の動作説明図を用いて説明する。 40

【0036】

図3は、ある行の画素回路11を駆動する際に、書き込み走査回路17から走査線13を介して画素回路11に与えられる書き込み信号ws、第一、第二駆動走査回路18, 19から駆動線14, 15を介して画素回路11に与えられる駆動信号ds1, ds2ならびにTFT22のゲート電位Vgおよびソース電位Vs（図2を参照）の1フィールド期間におけるタイミング関係を示すタイミングチャートである。

【0037】

通常の発光状態では、書き込み走査回路 17 および第一、第二駆動走査回路 18, 19 からそれぞれ出力される書き込み信号 w_s および駆動信号 d_{s1} , d_{s2} がほぼ接地電位 GND (以下、「“L”レベル」と記す)にあるため、図 4 に示すように、 $TFT_{24} \sim 26$ はオフした状態にある。このとき、駆動トランジスタである TFT_{22} は、飽和領域で動作するように設計されている。すなわち、 TFT_{22} は定電流源として動作する。したがって、有機 EL 素子 21 に流れる電流 I_{ds} は、先述した式 (1) で示される値をとる。

【0038】

次に、第二駆動走査回路 19 からほぼ正電源電位 V_{cc} (以下、「“H”レベル」と記す)の駆動信号 d_{s2} が出力されると、図 5 に示すように、当該駆動信号 d_{s2} に応答して TFT_{25} はオン状態となる。 TFT_{25} がオン状態になることにより、 TFT_{22} のゲート・ソース間の電位差が 0 [V] となるため、 TFT_{22} がオフ状態となる。したがって、有機 EL 素子 21 には電流 I_{ds} が流れず、当該有機 EL 素子 21 は非発光状態となる。すなわち、 TFT_{25} がオン状態となることで、有機 EL 素子 21 の発光期間が終了し、非発光期間に入る。有機 EL 素子 21 が非発光状態となることで、 TFT_{22} のソース電位 V_s (接続ノード N_{11} の電位) およびゲート電位 V_g (接続ノード N_{12} の電位) は、有機 EL 素子 21 の閾値電圧 V_{thEL} という値をとる。

【0039】

続いて、駆動信号 d_{s2} が“L”レベルになることで、図 6 に示すように、 TFT_{25} がオフ状態となり、次いで第一駆動走査回路 18 から出力される駆動信号 d_{s1} が“H”レベルになることで、 TFT_{26} がオン状態となって TFT_{22} のソース電位 V_s を接地電位 GND とする。しかる後、書き込み走査回路 17 から出力される書き込み信号 w_s が 1 水平走査期間 (1H) に亘って“H”レベルになることで、 TFT_{24} がオン状態となって入力信号レベル V_{in} をキャパシタ 23 に書き込む。このとき、 TFT_{22} のソース電位 V_s は接地電位 GND にあるため、キャパシタ 23 には入力信号レベル V_{in} という値が書き込まれる。その後、書き込み信号 w_s が“L”レベルとなり、 TFT_{24} がオフ状態になることで、キャパシタ 23 への入力信号レベル V_{in} の書き込みが終了する。

【0040】

その後、第一駆動走査回路 18 から出力される駆動信号 d_{s1} が“L”レベルになることにより、図 7 に示すように、 TFT_{25} がオフ状態となって再び発光期間に入る。 TFT_{26} がオフ状態となることにより、 TFT_{22} ソース電位 V_s が上昇し、有機 EL 素子 21 に電流が流れる。 TFT_{22} のゲート・ソース間にはキャパシタ 23 が接続されているため、 TFT_{22} のソース電位 V_s が変動するにも拘わらず、 TFT_{22} のゲート・ソース間電圧 V_{gs} は常に入力信号レベル V_{in} に保たれている。このとき、 TFT_{22} が飽和領域で動作しているため、 TFT_{22} に流れる電流値 $I_{ds'}$ は、先述した式 (1) で示された値となり、ゲート・ソース間電圧 V_{gs} である入力信号レベル V_{in} によって決められる。この電流値 $I_{ds'}$ は有機 EL 素子 21 にも同様に流れるため、当該有機 EL 素子 21 は発光する。

【0041】

上述したように、第 1 実施形態に係る画素回路 11 では、N チャネル TFT を用いたソースフォロア回路構成において、駆動トランジスタである TFT_{22} のゲート・ソース間にキャパシタ 23 を接続するとともに、 TFT_{22} のソースをスイッチングトランジスタである TFT_{26} を介して固定電位 (本例では、接地電位 GND) に接続するようにしたことを特徴としている。本実施形態に係る画素回路ではさらに、 TFT_{22} のゲートとソース間にスイッチングトランジスタである TFT_{25} を接続し、当該 TFT_{25} のスイッチングによって有機 EL 素子 21 の発光 / 非発光期間を決定するようにしたことを特徴としている。

【0042】

ここで、 TFT_{22} のゲート・ソース間にキャパシタ 23 を接続するとともに、 TFT_{22} のソースを TFT_{26} を介して固定電位 (本例では、接地電位 GND) に選択的に接

10

20

30

40

50

続する構成を採ることによる作用効果について説明する。

【0043】

入力電圧 V_{in} をキャパシタ 23 に書き込む時間に、TFT 26 をオン状態にして TFT 22 のソース電位 V_s を接地電位 GND に設定し、キャパシタ 23 に充電される電圧を入力電圧 V_{in} に確定させる。キャパシタ 23 への書き込み終了後、有機 EL 素子 21 の発光期間において、TFT 26 をオフ状態にすることで、有機 EL 素子 21 に電流が流れ始める。このとき、TFT 22 のゲート・ソース間にはキャパシタ 23 が存在するため、TFT 22 のソース電位 V_s の変動に拘わらず、TFT 22 のゲート・ソース間の電位差は常に入力電圧 V_{in} である。

【0044】

また、TFT 22 は定電流源として動作するため、有機 EL 素子 21 の $I-V$ 特性が経時変化し、これに伴って TFT 22 のソース電位 V_s が変化したとしても、キャパシタ 23 によって TFT 22 のゲート・ソース間電位 V_{gs} が一定に保たれているので、有機 EL 素子 21 に流れる電流は変わらず、その発光輝度も一定に保たれる。したがって、有機 EL 素子 21 の $I-V$ 特性が経時変化しても、それに伴う輝度劣化のない画像表示が可能になる。

【0045】

また、Nチャネルトランジスタを用いたソースフォロア回路によって画素回路を構成することができるために、現状のアノード・カソード電極の有機 EL 素子をそのまま用いても、当該有機 EL 素子の駆動が可能になる。しかも、Nチャネルのみのトランジスタを用いて画素回路を構成することができ、TFT 作成においてもアモルファスシリコン (a-Si) プロセスを用いることができるようになるため、TFT 基板の低コスト化が図れることになる。

【0046】

次に、TFT 22 のゲートとソース間に TFT 25 を接続し、当該 TFT 25 のスイッチングによって有機 EL 素子 21 の発光 / 非発光期間を決定する構成を採ることによる作用効果について説明する。

【0047】

先ず、TFT 25 を設けない場合について考えると、有機 EL 素子 21 の非発光期間中でも、TFT 22, 26 はオン状態であり、これら TFT 22, 26 には電流が流れるため、有機 EL 素子 21 が発光していなくても、時間が経過するにつれて TFT 22, 26 それぞれの閾値電圧 V_{th} が変動してゆく。ここで、駆動トランジスタである TFT 22 の閾値電圧 V_{th} が画素ごとに変動してしまうと、画素ごとに電流値が大きくばらついてしまい、均一な画質を得ることができない。また、TFT 26 の閾値電圧 V_{th} が変動すると、TFT 24 をオン状態にして輝度情報に応じた信号電圧をキャパシタ 23 に書き込むときに、TFT 22 のソース電位 V_s がばらついてしまい、これが画にざらつきとなって現れることになる。

【0048】

これに対して、TFT 22 のゲートとソース間に TFT 25 を接続し、当該 TFT 25 をオン状態することにより、TFT 22 のゲート・ソース間の電位差が 0 [V] となり、TFT 22 がオフ状態となるため、有機 EL 素子 21 には電流 I_{ds} が流れず、当該有機 EL 素子 21 は非発光状態となる。この動作により、1 フィールド期間内において TFT 22, 26 がオンしている時間を短くできるとともに、有機 EL 素子 21 の非発光期間に TFT 22, 26 に流れる電流によってこれら TFT 22, 26 の各閾値電圧 V_{th} の変動量を抑えることができる。

【0049】

因みに、ポリシリコンやアモルファスシリコン TFT を用いた回路においては、トランジスタに流れた電流量や、電流が流れた時間によってその閾値電圧 V_{th} が変動し、特にアモルファスシリコン TFT においては顕著である。したがって、TFT 25 のスイッチングによって有機 EL 素子 21 の発光 / 非発光期間を決定することによる閾値電圧 V_{th}

10

20

30

40

50

の変動量の低減効果は大である。また、有機 E L 素子 2 1 を非発光状態にする T F T 2 5 の動作により、非発光期間に画素回路内に貫通電流が流れないため、消費電力も少なく抑えることができる。

【 0 0 5 0 】

[第 2 実施形態]

図 8 は、表示素子として有機 E L 素子を用いた第 2 実施形態に係る画素回路の構成例を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。

【 0 0 5 1 】

本実施形態に係る画素回路 3 1 は、第 1 実施形態に係る画素回路 1 1 と同様に、有機 E L 素子 2 1、駆動トランジスタである T F T 2 2、キャパシタ 2 3 および第 1 ~ 第 3 のスイッ

10

チングトランジスタである T F T 2 4 ~ 2 6 を有する構成となっている。第 1 実施形態に係る画素回路 1 1 と異なるのは、T F T 2 4 と T F T 2 6 を同じ書き込み信号 w s によって同じタイミング（位相）で駆動するようにした点である。

【 0 0 5 2 】

この構成を採ることにより、第 1 実施形態に係る画素回路 1 1 では書き込み走査回路 1 7 の他に、2 つの駆動走査回路 1 8 , 1 9 が必要であったのに対して、T F T 2 6 の駆動に用いていた一方の駆動走査回路 1 8 を省略することができる。すなわち、その分だけ、有機 E L 表示装置全体の回路構成を簡略化できることになる。

【 0 0 5 3 】

続いて、上記構成の第 2 実施形態に係る画素回路 3 1 を備えた有機 E L 表示装置の回路動作について、図 9 のタイミングチャートおよび図 1 0 ~ 図 1 3 の動作説明図を用いて説明する。

20

【 0 0 5 4 】

図 9 は、ある行の画素回路 3 1 を駆動する際に、書き込み走査回路 1 7 から走査線 1 3 を介して画素回路 3 1 に与えられる書き込み信号 w s、駆動走査回路 1 9 から駆動線 1 5 を介して画素回路 3 1 に与えられる駆動信号 d s ならびに T F T 2 2 のゲート電位 V g およびソース電位 V s の 1 フィールド期間におけるタイミング関係を示すタイミングチャートである。

【 0 0 5 5 】

通常の発光状態では、書き込み走査回路 1 7 および駆動走査回路 1 9 からそれぞれ出力される書き込み信号 w s および駆動信号 d s が “ L ” レベルにあるため、図 1 0 に示すように、T F T 2 4 ~ 2 6 はオフした状態にある。次に、駆動走査回路 1 9 から出力される駆動信号 d s が “ H ” レベルになることで、図 1 1 に示すように、T F T 2 5 はオン状態となる。T F T 2 5 がオン状態になることにより、T F T 2 2 のゲート・ソース間電圧 V g s が 0 [V] となるため、T F T 2 2 がオフ状態となる。したがって、有機 E L 素子 2 1 には電流 I d s が流れず、当該有機 E L 素子 2 1 は非発光状態となる。有機 E L 素子 2 1 が非発光状態となることで、T F T 2 2 のソース電位 V s が有機 E L 素子 2 1 の閾値電圧 V t h E L という値となる。

30

【 0 0 5 6 】

次に、駆動信号 d s が “ L ” レベルになることで、図 1 2 に示すように、T F T 2 4 , 2 6 が共にオン状態となって T F T 2 2 のソース電位 V s を接地電位 G N D に、ゲート電位 V g を入力信号レベル V i n とし、キャパシタ 2 3 にその値を書き込む。その後、書き込み信号 w s が “ L ” レベルとなり、図 1 3 に示すように、T F T 2 4 , 2 6 が共にオフ状態になることで、キャパシタ 2 3 への入力信号レベル V i n の書き込みが終了すると同時に発光期間に入る。これにより、T F T 2 2 のソース電位 V s が上昇し、T F T 2 2 のゲート・ソース間電圧 V g s、即ち入力信号レベル V i n によって決まる値 I d s ' の電流が有機 E L 素子 2 1 に流れることとなり、その結果、有機 E L 素子 2 1 は発光する。

40

【 0 0 5 7 】

上述したように、第 2 実施形態に係る画素回路 3 1 においては、T F T 2 4 と T F T 2 6 を同じ書き込み信号 w s によって同じタイミング（位相）で駆動する構成を採ることに

50

より、1フィールド期間内においてTFT22, 26がオンしている時間を短くすることができるため、第1実施形態に係る画素回路31と同様の作用効果、即ち有機EL素子21のI-V特性の経時変化に伴う輝度劣化のない画像表示が可能であるとともに、TFTの閾値電圧 V_{th} の変動に対応でき、かつ低消費電力化が可能であることに加えて、TFT26の駆動に用いていた一方の駆動走査回路18を省略することができる分だけ、有機EL表示装置全体の回路構成を簡略化できる。

【0058】

[第3実施形態]

図14は、表示素子として有機EL素子を用いた第3実施形態に係る画素回路の構成例を示す回路図であり、図中、図2と同等部分には同一符号を付して示している。

10

【0059】

本実施形態に係る画素回路41は、有機EL素子21、駆動トランジスタであるTFT22、キャパシタ23および第1, 第2のスイッチングトランジスタであるTFT24, 25を有する構成となっており、第1, 第2実施形態に係る画素回路11, 31とは、第3のスイッチングトランジスタであるTFT26を持っていない点で相違している。

【0060】

このように、TFT26を省略することで、その分だけ画素回路41を構成する素子数を削減できるとともに、第2実施形態に係る画素回路31と同様に、TFT26の駆動に用いていた一方の駆動走査回路18を省略することができる分だけ、有機EL表示装置全体の回路構成を簡略化できる。

20

【0061】

続いて、上記構成の第3実施形態に係る画素回路41を備えた有機EL表示装置の回路動作について、図15のタイミングチャートおよび図16～図19の動作説明図を用いて説明する。

【0062】

図14は、ある行の画素回路41を駆動する際に、書き込み走査回路17から走査線13を介して画素回路41に与えられる書き込み信号 w_s 、駆動走査回路19から駆動線15を介して画素回路41に与えられる駆動信号 d_s ならびにTFT22のゲート電位 V_g およびソース電位 V_s の1フィールド期間におけるタイミング関係を示すタイミングチャートである。

30

【0063】

通常の発光状態では、書き込み走査回路17および駆動走査回路19からそれぞれ出力される書き込み信号 w_s および駆動信号 d_s が“L”レベルにあるため、図16に示すように、TFT24, 25はオフした状態にある。次に、駆動走査回路19から出力される駆動信号 d_s が“H”レベルになることで、図17に示すように、TFT26はオン状態となる。TFT25がオン状態になることで、TFT22のゲート・ソース間電圧 V_{gs} が0[V]となるため、TFT22がオフ状態となる。したがって、有機EL素子21には電流 I_{ds} が流れず、当該有機EL素子21は非発光状態となる。有機EL素子21が非発光状態となることで、TFT22のソース電位 V_s が有機EL素子21の閾値電圧 V_{thEL} という値となる。

40

【0064】

次に、駆動信号 d_s が“L”レベルになることで、図18に示すように、TFT24がオン状態となってTFT22のゲート電位 V_g を入力信号レベル V_{in} とし、キャパシタ23にその値を書き込む。一般的に、有機EL素子21は、図20に示すように、ダイオード接続のトランジスタQと容量Cで表される。したがって、TFT22のゲート電位 V_g の変動量に対してソース電位 V_s は、式(2)で表される量 ΔV だけ変動する。

$$\Delta V = C_{pix} \times V_{in} / (C_{pix} + C_{el}) \quad \dots (2)$$

【0065】

ここで、 C_{pix} は画素容量であるキャパシタ23の容量値、 C_{el} は有機EL素子21の容量値をそれぞれ示している。そして、その変動量 ΔV の係数は、キャパシタ23の

50

容量値 C_{pix} と有機 EL 素子 21 の容量値 C_{el} によって決定される。この係数を α とすると、 V_{in} 入力時にキャパシタ 23 には $V_{in} - \alpha \{ (V_{in} - V_{thEL}) + V_{thEL} \} = (1 - \alpha) (V_{in} - V_{thEL})$ という値が充電される。

【0066】

その後、書き込み信号 w_s が “L” レベルとなり、図 19 に示すように、TFT 24 がオフ状態になることで、キャパシタ 23 への入力信号レベル V_{in} の書き込みが終了すると同時に発光期間に入る。これにより、TFT 22 のソース電位 V_s が上昇し、キャパシタ 23 に充電された値に応じた電流 I_{ds^*} の電流が有機 EL 素子 21 に流れることとなり、その結果、有機 EL 素子 21 は発光する。

【0067】

上述したように、第 3 実施形態に係る画素回路 41 においては、TFT 22 のゲートとソース間に第 2 のスイッチングトランジスタである TFT 25 を接続し、当該 TFT 25 のスイッチングによって有機 EL 素子 21 の発光 / 非発光を決定するようにしたことにより、1 フィールド期間内において TFT 22 がオンしている時間を短くすることができるため、有機 EL 素子 21 の $I - V$ 特性の経時変化に伴う輝度劣化のない画像表示が可能であるとともに、TFT の閾値電圧 V_{th} の変動に対応でき、かつ低消費電力化が可能であり、さらには、画素回路 41 を 3 つのトランジスタで構成できることによって素子数を削減できるとともに、第 2 実施形態に係る画素回路 31 と同様に、TFT 26 の駆動に用いていた一方の駆動走査回路 18 を省略することができる分だけ、有機 EL 表示装置全体の回路構成を簡略化できる。

【0068】

なお、上記各実施形態では、画素の表示素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、これに限られるものではなく、流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いた表示装置全般に適用可能である。

【図面の簡単な説明】

【0069】

【図 1】本発明に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図 2】第 1 実施形態に係る画素回路の構成例を示す回路図である。

【図 3】第 1 実施形態に係る画素回路の動作を説明するためのタイミングチャートである。

【図 4】第 1 実施形態に係る画素回路の動作説明図（その 1）である。

【図 5】第 1 実施形態に係る画素回路の動作説明図（その 2）である。

【図 6】第 1 実施形態に係る画素回路の動作説明図（その 3）である。

【図 7】第 1 実施形態に係る画素回路の動作説明図（その 4）である。

【図 8】第 2 実施形態に係る画素回路の構成例を示す回路図である。

【図 9】第 2 実施形態に係る画素回路の動作を説明するためのタイミングチャートである。

【図 10】第 2 実施形態に係る画素回路の動作説明図（その 1）である。

【図 11】第 2 実施形態に係る画素回路の動作説明図（その 2）である。

【図 12】第 2 実施形態に係る画素回路の動作説明図（その 3）である。

【図 13】第 2 実施形態に係る画素回路の動作説明図（その 4）である。

【図 14】第 3 実施形態に係る画素回路の構成例を示す回路図である。

【図 15】第 3 実施形態に係る画素回路の動作を説明するためのタイミングチャートである。

【図 16】第 3 実施形態に係る画素回路の動作説明図（その 1）である。

【図 17】第 3 実施形態に係る画素回路の動作説明図（その 2）である。

【図 18】第 3 実施形態に係る画素回路の動作説明図（その 3）である。

【図 19】第 3 実施形態に係る画素回路の動作説明図（その 4）である。

【図 20】第 3 実施形態に係る画素回路の等価回路図である。

【図 21】従来例に係る画素回路を示す回路図である。

【図 22】有機 EL 素子の I - V 特性の経時変化を示す特性図である

【図 23】Nチャネル T F T で構成した従来例に係る画素回路を示す回路図である。

【図 24】初期状態における駆動トランジスタである T F T と有機 EL 素子の動作点を示す図である。

【図 25】経時変化後の駆動トランジスタである T F T と有機 EL 素子の動作点を示す図である。

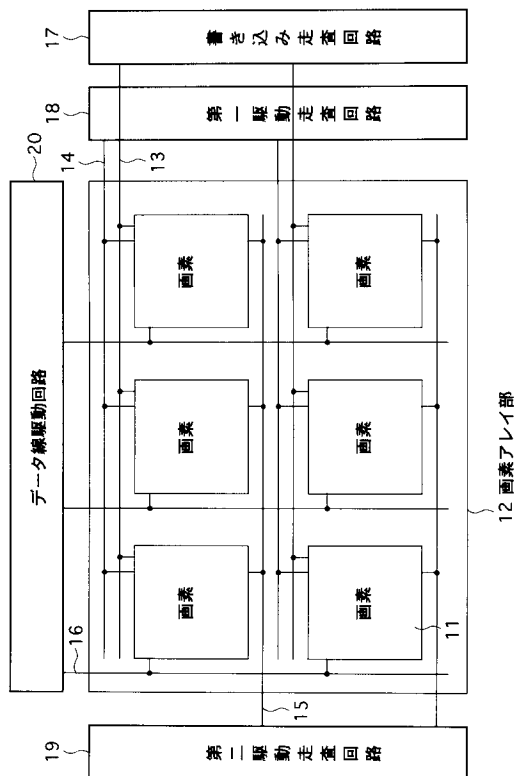
【図 26】Nチャネル T F T のソースを接地電位に接続した構成の画素回路を示す回路図である。

【符号の説明】

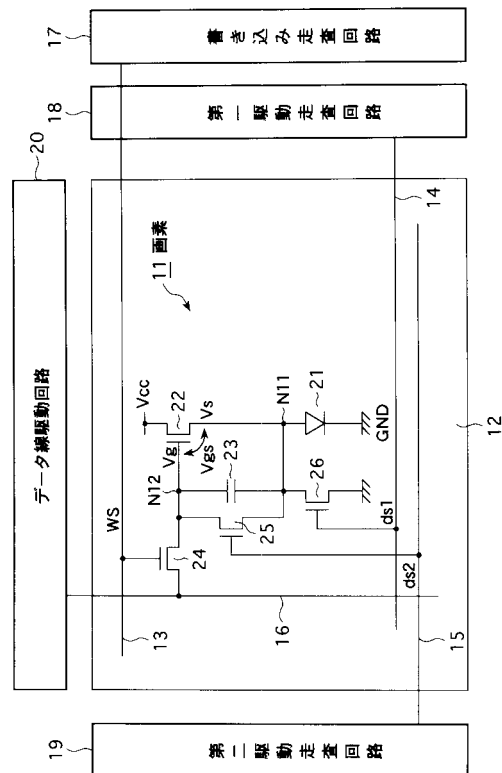
【0070】

11, 31, 41...画素(画素回路)、12...画素アレイ部、13...走査線、14, 15...駆動線、16...データ線、17...書き込み走査回路、18...第一駆動走査回路、19...第二駆動走査回路、20...データ線駆動回路、21...有機 EL 素子、22...駆動トランジスタ(T F T)、23...キャパシタ(画素容量)、24~26...スイッチングトランジスタ(T F T)

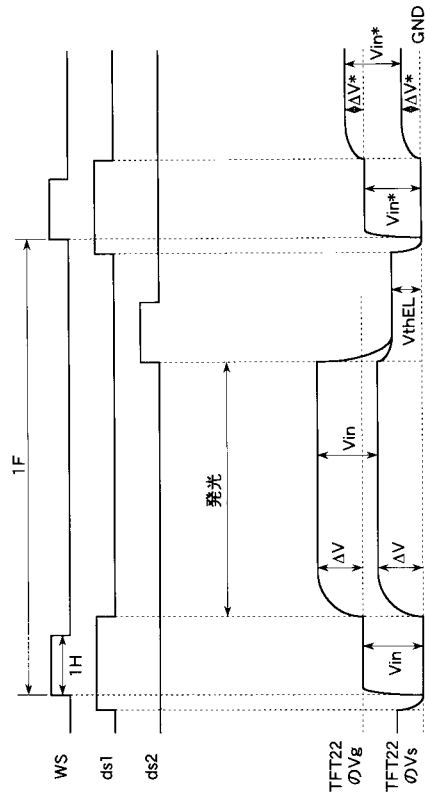
【図 1】



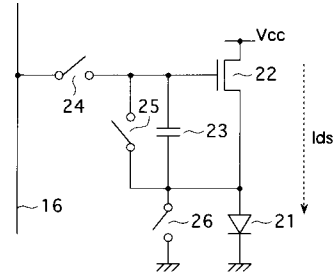
【図 2】



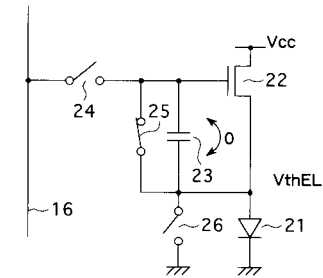
【図 3】



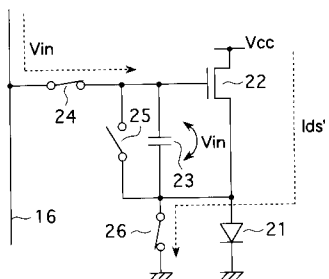
【図 4】



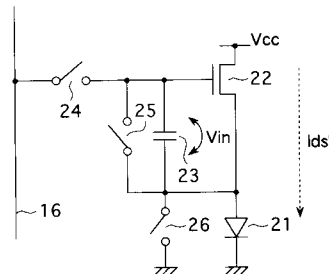
【図 5】



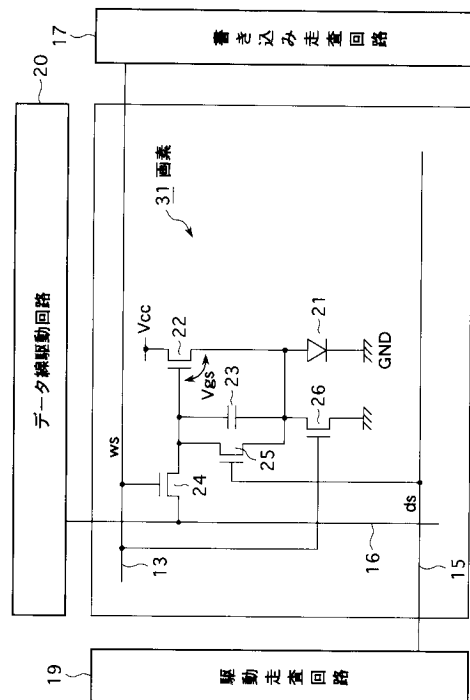
【図 6】



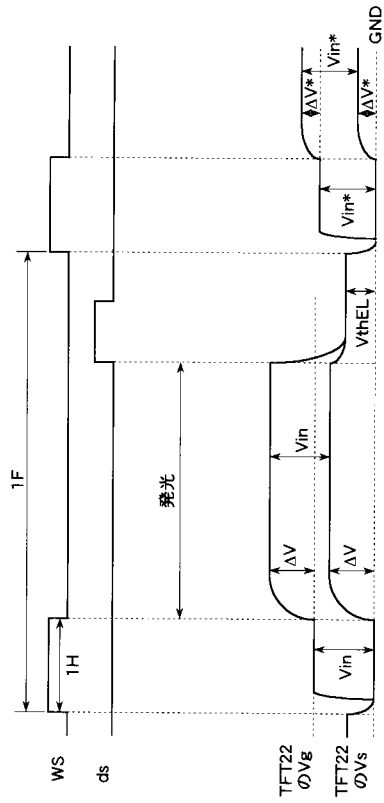
【図 7】



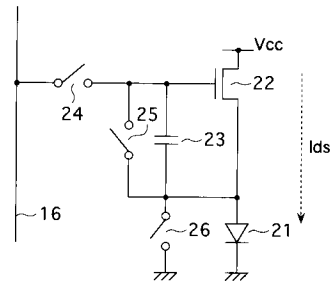
【図 8】



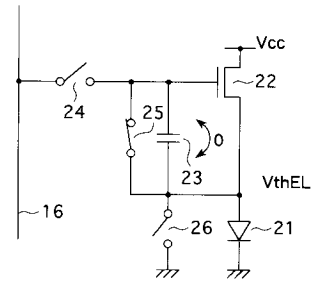
【図 9】



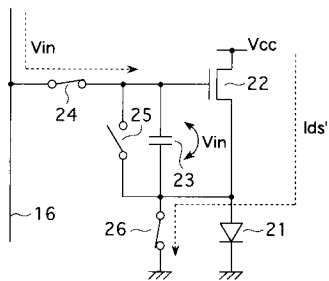
【図 10】



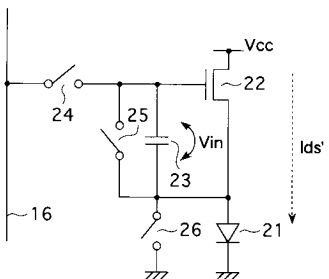
【図 11】



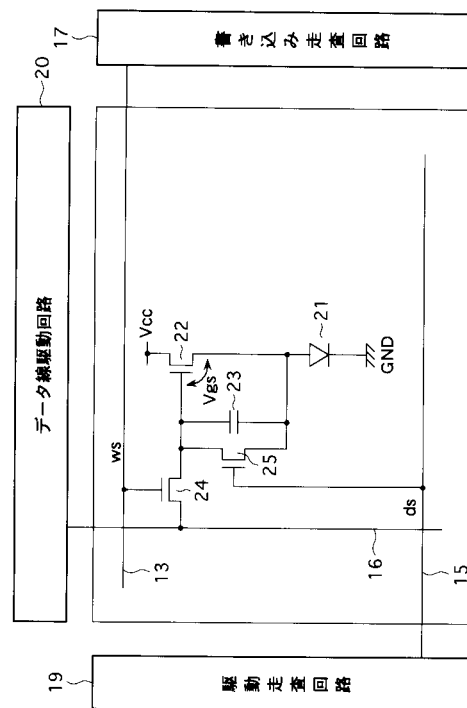
【図 12】



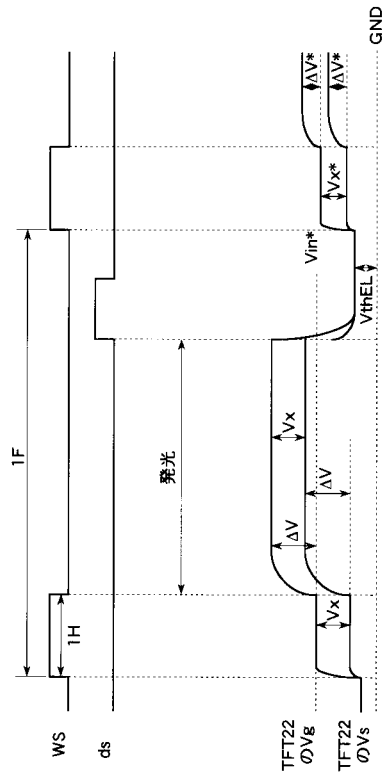
【図 13】



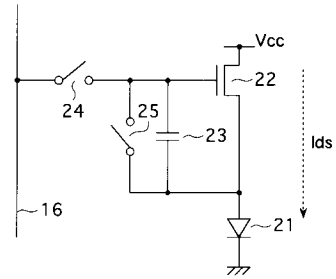
【図 14】



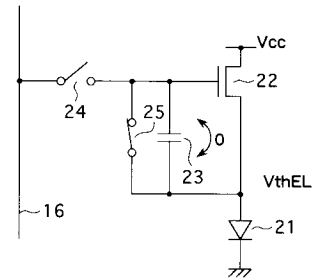
【図 15】



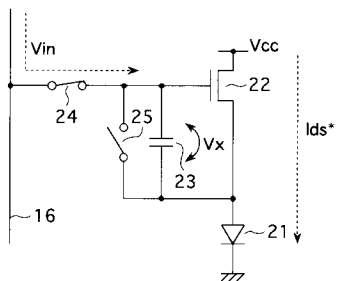
【図 16】



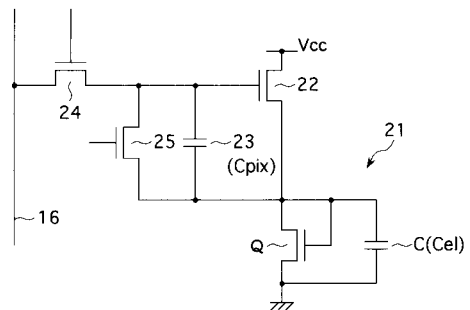
【図 17】



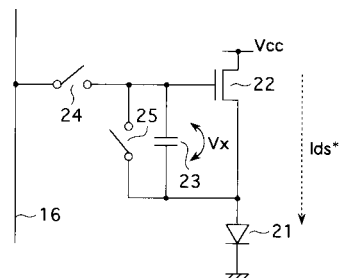
【図 18】



【図 20】

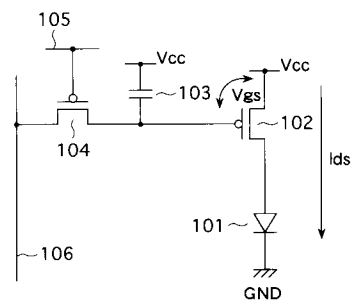


【図 19】

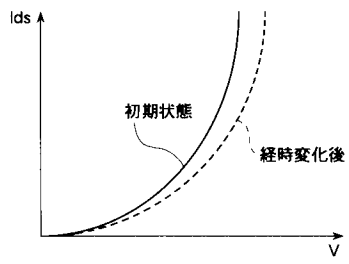


$$\Delta V = C_{pix} \times V_{in} / (C_{pix} + C_{el})$$

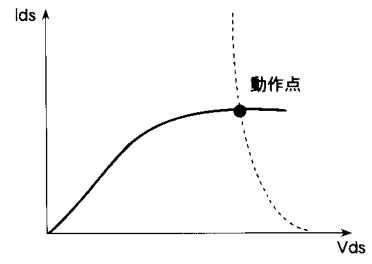
【図 21】



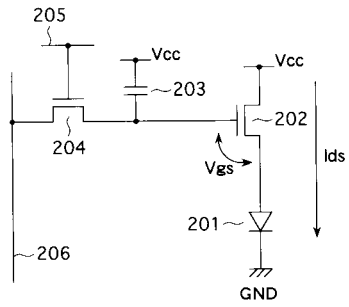
【図 2 2】



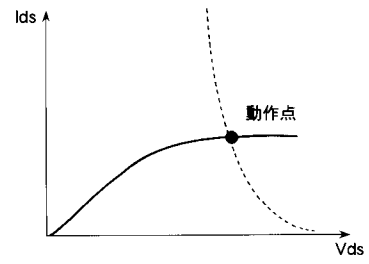
【図 2 4】



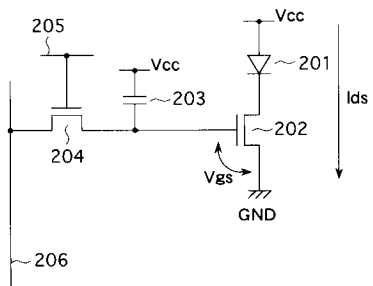
【図 2 3】



【図 2 5】



【図 2 6】



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 J

H 0 5 B 33/14 A

F ターム(参考) 5C080 AA06 BB05 DD05 DD26 DD27 DD29 EE29 FF11 JJ02 JJ03

JJ04

5C094 AA04 AA23 AA43 AA44 BA03 BA27 CA19 FB01

专利名称(译)	像素电路，显示装置及其驱动方法		
公开(公告)号	JP2005181920A	公开(公告)日	2005-07-07
申请号	JP2003426278	申请日	2003-12-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09F9/30.338 G09G3/20.624.B G09G3/20.641.A G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/DD27 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA04 5C094/AA23 5C094/AA43 5C094/AA44 5C094/BA03 5C094/BA27 5C094/CA19 5C094/FB01 3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BA01 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BD05 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC02 5C380/CC06 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD014 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种像素电路，该像素电路可以通过N沟道晶体管实现，随着时间的推移伴随着发光元件的电流 - 电压特性的变化不引起亮度变化，并提供一种显示装置其中像素电路排列成矩阵，并提供一种驱动显示装置的方法。
 ŽSOLUTION：在至少具有阴极连接到地电位GND的有机EL元件21的像素电路11中，连接在有机EL元件21的阳极和正电源电位Vcc之间的TFT22，连接的电容器23在TFT 22的栅极和源极之间，以及用于选择性地输入信号的TFT 24，对应于来自数据线16的亮度信息，TFT 25连接在TFT 22的栅极和源极之间，使得发射/非有机EL元件21的发射由TFT 25控制

