

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 297095

(P2002 - 297095A)

(43)公開日 平成14年10月9日(2002.10.9)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	611	3/20	611 A 5 C 0 8 0
	624		624 B
	642		642 D

H 0 5 B 33/08

H 0 5 B 33/08

審査請求 未請求 請求項の数 11 O L (全 9 数) 最終頁に続く

(21)出願番号 特願2001 - 98864(P2001 - 98864)

(22)出願日 平成13年3月30日(2001.3.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式
会社日立製作所日立研究所内

(72)発明者 大内 貴之

茨城県日立市大みか町七丁目1番1号 株式
会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外 2 名)

最終頁に続く

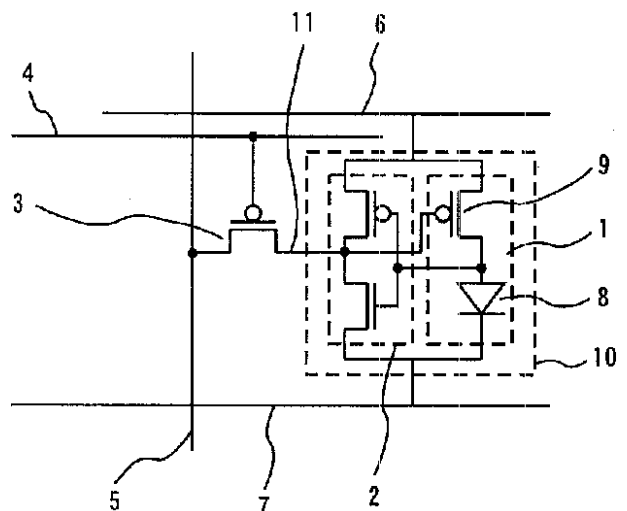
(54)【発明の名称】 発光型表示装置

(57)【要約】

【課題】発光型表示装置の画素回路を簡略化して、開口率を高め、高精細化する。また、回路の消費電力を低減する。

【解決手段】画素内に配置するメモリ回路を構成する2組のインバータ回路のうち、1組のインバータ回路を有機EL素子とトランジスタを直列に接続した回路とし、メモリ回路のトランジスタを省く。また、2組のインバータの相互接続において、有機EL素子と直列に接続するトランジスタのゲートに接続する配線に、表示データを入力するように接続することで書き込み負荷を下げ、高速書き込みを可能として高精細化する。

図 1



【特許請求の範囲】

【請求項 1】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素を有する発光型表示装置において、

前記画素は、第 1 および第 2 のインバータ回路を含んでなるメモリ回路を含み、前記第 1 のインバータ回路は、負荷素子として電流で駆動する有機多層膜からなる EL 素子と、少なくとも 1 つの第 1 のトランジスタの主回路を直列接続した表示制御回路を含み、

前記メモリ回路には、画素の表示情報がインバータの主回路の導通、非導通状態に応動して記憶され、かつ、前記 EL 素子の点灯及び非点灯状態を 2 値制御することを特徴とする発光型表示装置。

【請求項 2】 請求項 1 において、前記第 2 のインバータ回路には、CMOS トランジスタを用いることを特徴とする発光型表示装置。

【請求項 3】 請求項 1 または 2 において、前記メモリ回路は、前記第 1 および第 2 のインバータ回路の一方の入力端子を他方の出力端子と相互接続してなる双安定回路に構成し、

前記第 1 のインバータ回路を構成するトランジスタのゲート端子部には、第 2 のトランジスタの主回路を介して前記信号配線と接続し、前記第 2 のトランジスタのゲートを走査電極と接続して前記メモリ回路に記憶するデータを入力する入力回路を設けることを特徴とする発光型表示装置。

【請求項 4】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素を有する発光型表示装置において、

前記画素は、第 1 および第 2 のインバータ回路を含んでなるメモリ回路を含み、前記第 1 のインバータ回路は、負荷素子として電流で駆動する有機多層膜からなる EL 素子と、少なくとも 1 つの第 1 のトランジスタの主回路を直列接続した表示制御回路を含み、前記メモリ回路は、前記第 1 および第 2 のインバータ回路の一方の入力端子を他方の出力端子と相互接続してなる双安定回路に構成し、

前記メモリには、画素の表示情報がインバータの主回路の導通、非導通状態に応動して記憶され、かつ、前記 EL 素子の点灯及び非点灯状態を 2 値制御されており、前記画素を配列した表示領域の周囲にシフトレジスタ回路を用いた直列 - 並列変換回路を設け、前記シフトレジスタの各段の出力を信号配線に接続することを特徴とする発光型表示装置。

【請求項 5】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素を有する発光型表示装置において、

電源配線と基準電圧配線と、それらの間に第 3 のトランジスタの主回路と有機 EL 素子を直列に接続した第 1 のインバータ回路と、

前記第 1 のインバータ回路の入力端子には、前記走査配線を介して印加する走査パルスに応動して前記信号配線との接続を制御するサンプリング回路と、

前記電源配線と前記第 1 のインバータ回路の入力端子との間の接続を、該第 1 のインバータ回路の出力により制御するセット回路と、

前記サンプリング回路によりサンプリングされた信号電圧により、基準電源配線と前記第 1 のインバータ回路の入力端子との間の接続を制御するリセット回路と、前記第 1 のインバータ回路を含んでなるメモリ回路が設けられ、

前記メモリ回路には、画素の表示情報がインバータの主回路の導通、非導通状態に応動して記憶され、かつ、有機 EL 素子の点灯及び非点灯状態を 2 値制御することを特徴とする発光型表示装置。

【請求項 6】 請求項 5 において、前記セット回路または前記リセット回路には、入力信号を電源もしくは基準電源の電圧を超えてトランジスタのゲート端子に印加するために、容量とダイオードもしくは抵抗を用いてなる交流結合回路を設け、前記画素のすべてのトランジスタを P 型もしくは N 型で構成することを特徴とする発光型表示装置。

【請求項 7】 請求項 5 または 6 において、前記信号配線には 2 値出力可能な信号シフトレジスタ、前記走査配線には画素を選択する走査パルスを発生させる走査配線駆動回路がそれぞれ接続され、前記信号シフトレジスタには走査パルス期間内において、前記信号配線を前記 EL 素子が消灯するように論理信号を印加する初期化期間を設けたことを特徴とする発光型表示装置。

【請求項 8】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素を有する発光型表示装置において、

前記画素は第 1 および第 2 のインバータ回路を含んでなるメモリ回路を含み、前記第 1 および第 2 のインバータ回路は負荷素子として電流で駆動する有機多層膜からなる EL 素子と、少なくとも 1 つの第 1 のトランジスタの主回路を直列接続した表示制御回路を含み、

前記メモリ回路には、前記画素の表示情報がインバータの主回路の導通、非導通状態に応動して記憶され、前記第 2 のインバータ回路の EL 素子の発光を遮光する遮光手段を有し、かつ、前記 EL 素子の点灯及び非点灯状態を 2 値制御することを特徴とする発光型表示装置。

【請求項 9】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素を有する発光型表示装置において、

前記画素にはインバータ回路を含んでなるメモリ回路を含み、前記インバータ回路は負荷素子として電流で駆動する有機多層膜からなる EL 素子と、少なくとも 1 つの第 1 のトランジスタの主回路を直列接続した表示制御回

路を含み、
前記メモリ回路には、画素の表示情報がインバータの主回路の導通、非導通状態に応動して記憶され、かつ、前記EL素子の点灯及び非点灯状態を2値制御することを特徴とする発光型表示装置。

【請求項10】 請求項1から6の何れかにおいて、前記画素は、画素面積に対する発光領域の面積比である開口率と平均輝度との間に開口率<平均輝度/3000の関係有する発光型表示装置。

【請求項11】 請求項1から6の何れかにおいて、前記インバータ回路の電源および基準電源電圧配線を画素の上下方向に配置し、かつ画素面積に対する発光領域の面積比である開口率と平均輝度(cd/m^2)との間に開口率<平均輝度/3000の関係を有する発光型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置、特に有機ELを用いた発光型表示装置に関する。

【0002】

【従来の技術】有機ELは平面型表示装置への応用が進められ、高輝度アクティブマトリクス表示を実現するための提案がなされている。低温ポリシリコンTFT(薄膜トランジスタ)を用いた駆動方式については、エスアイディー99テクニカルダイジェスト372頁から375ページに記載されている。

【0003】画素構造は、走査配線と、信号配線、EL電源配線および容量基準電圧配線が交差するように配置されており、ELを駆動するためにn型の走査TFTとストレージコンデンサを用いた信号電圧の保持回路が形成されている。保持した信号電圧は画素に設けたpchの駆動用TFTのゲートに印加され、駆動TFTの主回路のコンダクタンスを制御する。EL電源配線から駆動TFTの主回路と有機EL素子が直列に接続されEL共通配線に接続されている。

【0004】この画素を駆動する際には、走査配線から画素選択パルス印加し、走査TFTを介して信号電圧をストレージコンデンサに書き込み、保持する。保持した信号電圧は駆動TFTのゲート電圧として印加し、電源配線から供給されるソース電圧と、ドレイン電圧から決定される駆動TFTのコンダクタンスに応じてドレイン電流を制御し、EL素子の駆動電流が制御され、表示輝度を制御している。

【0005】しかしながら、このシステムにおいては電流を制御するためには同じ信号電圧を印加してもELを駆動する駆動TFTのしきい値、オン抵抗が変動するとELの駆動電流が変化する性質があり、ばらつきが少なく特性のそろったTFTが必要とされる。

【0006】このような駆動回路を実現するために適したトランジスタとして、移動度が高く、大型基板への適用が可能なレーザアニールプロセスを用いた低温ポリ

シリコンTFTがあるが、素子特性にバラツキのあることが知られており、有機EL駆動回路として用いると、TFT特性のばらつきにより、同一信号電圧を印加しても、画素毎に輝度のばらつきが発生するため、高精度の階調を表示するために十分ではなかった。

【0007】また、特開平10-232649号においては、駆動方法として画素を点灯/非点灯のデジタルの2値表示とすることにより、TFTの特性ばらつきが顕著に表示に反映する閾値付近を動作点として使う必要がないので、輝度ばらつきが低減できるメリットがある。階調表示を得るためには、1フレーム時間を表示時間が異なる8つのサブフレームに分割し、1フレーム時間内の発光時間を変化させることにより平均輝度を制御する。

【0008】

【発明が解決しようとする課題】上記のデジタル駆動方式では、画素内にフレーム時間以上のデータの保持が可能なメモリ回路を設ける必要があり、安定したメモリ動作のためには7個程度のトランジスタが必要になる。しかし、面積が限られた画素においては、トランジスタが多いと開口率を低下させてしまい、高精細化しようすると回路の配置面積がアナログ画素よりも3倍の個数が必要となるので、高精細化できない。

【0009】本発明の目的は、上記従来技術の問題点を克服し、画素内に蔵するメモリ回路を簡略化することであり、開口率を高め、高精細化された発光型表示装置を提供することに有る。また、表示装置の回路の消費電力を低減する。

【0010】

【課題を解決するための手段】上記の目的は、画素内に配置するメモリ回路を構成する2組のインバータ回路について、有機EL素子とトランジスタを直列に接続した回路を1組のインバータ回路として用いることにより、メモリ回路のトランジスタを省き、回路を簡略化し、開口率を向上することができる。

【0011】また、2組のインバータの相互接続において、有機EL素子と直列に接続するトランジスタのゲートに接続する配線に表示データを入力するように接続することにより、書き込み負荷を下げ、高速書き込みを可能とし、高精細化できる。

【0012】また、画素にすべてpchトランジスタを用いて、貫通電流が流れないように接続した回路構成とすることにより、メモリ保持時の消費電力を低減できる。また、画素にすべてnchトランジスタを用いることにより、メモリ時のリーク電流を低減できるので、回路の消費電力を低減することができる。

【0013】本発明の作用を説明する。画素内に配置したメモリ回路では、有機EL素子をダイオードとして動作するので、駆動用トランジスタを直列に接続し、インバータにおける負荷素子として動作する。これによりインバータ回路を構成し、CMOSトランジスタのみで構成した

もう 1 組のインバータ回路と組み合わせることにより、メモリ回路として機能する。

【0014】データの画素メモリへの書き込みは、駆動用トランジスタのゲートに書き込むようにデータを入力することにより、ゲート容量が少ないので駆動負荷を低減し、高速書き込みが可能となる。

【0015】

【発明の実施の形態】以下、本発明の複数の実施の形態について図面を用いて詳細に説明する。図 1 は、第 1 の実施例である表示装置の画素回路構成を示す。画素は走査配線 4、データ配線 5 が互いに交差するように配置され、配線で囲まれた領域が画素領域である。さらに EL 電源配線 6、EL コモン配線 7 が接続されている。

【0016】画素内部には EL 素子 8、駆動トランジスタ 9 からなる EL インバータ回路 1 と、CMOS 接続された CMOS インバータ回路 2 から構成されるメモリ回路 10 が配置される。メモリ回路 10 は走査トランジスタ 3 の主回路を介してデータ配線と接続され、走査トランジスタ 3 のゲートは走査配線 4 に接続されている。

【0017】図 2 に EL インバータ回路の動作を示す。駆動トランジスタは pch トランジスタであり、ソース端子を EL 電源配線 6、ドレイン端子を EL 素子の陽極と接続し、EL 素子の陰極は EL コモン配線 7 に接続される。EL 電源および EL コモン配線はすべての画素で共通に接続するものである。EL 電源配線 6 には正、EL コモン配線 7 には負の電圧を印加することで、インバータの入出力端子は駆動トランジスタのゲート電極が入力端子 61 であり、駆動トランジスタと EL 素子を接続する端子は出力端子 62 として機能する。

【0018】図 3 に、この回路の入出力特性を示す。EL 素子は、電流 - 電圧特性が閾値を有するダイオードに似た指数関数特性を示すので、入力電圧が EL 電源配線に近い高いレベルに有るときには、駆動トランジスタはオフ状態にあるため、出力端子は EL コモン配線とほぼ同じ低電圧を示す。入力端子の電圧を次第に下げ、閾値を超えると駆動トランジスタの主回路の電流が流れ始める。このため EL 素子の電流 - 電圧特性に対応して出力電圧が上昇する。入力電圧がさらに高くなると電流が増加し、出力端子の電圧がさらに上昇し、EL 電源電圧に近づく。

【0019】このように動作するので、本回路は論理反転回路すなわち EL を回路素子として含むインバータ回路として動作する。以後、この回路を EL インバータ回路と呼称する。

【0020】図 4 は EL インバータ回路と CMOS 回路を組み合わせたメモリ回路の構成である。メモリの基本構成は、インバータ 2 個の入力端子を他方の出力端子と相互に接続してある。この接続点にデータの入力端子として、外部から論理状態を入力し、回路の安定状態を制御し、出力端子として回路の状態を壊すことなく読み出すことにより、メモリ回路として用いる。

【0021】図 4 の EL インバータ 1 の入力端子 61 は CMOS インバータ 2 の出力端子 71 と接続している。また、CMOS インバータの入力端子 73 は EL インバータの出力端子 62 と接続されており、この接続により回路は双安定状態を取るメモリセルとして機能する。

【0022】メモリセルとして用いる場合には、データの入力端子 71 は EL メモリの入力端子 61 を用いることにより、負荷の軽い高速動作に適したメモリセルとなる。これは EL 素子 8 を発光させるように、画素内でなるべく広い面積に形成した薄膜構造であるので、端子間容量 75 が大きい。このため、EL インバータの出力端子 62 をデータ入力端子として使うと大きな容量となる。

【0023】この値を比較すると、EL インバータの入力端子 61 容量は回路のすべてのトランジスタサイズをゲート長、ゲート幅 $10\ \mu\text{m}$ 、ゲート容量を $0.3\ \text{fF}/\mu\text{m}^2$ として、ほぼトランジスタ 1 個のゲート容量と見なせる $30\ \text{fF}$ である。他方の EL インバータ出力端子をデータ入力端子として用いた場合には、EL 素子容量は、画素サイズを $100\ \mu\text{m}^2$ 、開口率 70%、EL 素子の厚みを $0.1\ \mu\text{m}$ 、EL 素子の平均 ϵ を 3 とすると $1.9\ \text{pF}$ となり、容量が 63 倍も大きくなる。

【0024】このため、マトリクス配線を介してデータを書き込む際には長い時間が必要となり、走査時間が短い高精細パネル、配線抵抗が増大する大型パネルの駆動が困難になる。したがって、EL インバータの入力端子 61 と CMOS インバータの出力端子 71 の接続点を、メモリセルの入力端子として用いることが高性能化のポイントである。

【0025】以上述べたメモリセルを用いた画素構成の動作について説明する。図 1 のメモリ回路においては、メモリセル 10 の入力端子 11 は走査トランジスタ 3 の主回路を介してデータ配線 5 に接続されており、走査トランジスタの導通は走査配線 4 の電圧により制御される。

【0026】図 5 に、本発明の表示装置の実施例を示す。図 1 で説明したメモリセルを内蔵した画素 21 を配列して表示領域 22 を形成し、マトリクスを駆動するために、データ配線にはソフトレジスタ 24、走査配線には走査駆動回路 23 が接続されている。これらの回路動作を制御する制御信号および表示データは、入力配線 25 を介して供給する。また画素の EL 電源配線 6 および EL コモン配線 7 は一括して画素電源 26 に接続されている。

【0027】本実施例によれば、駆動回路は画素内に高速書き込み可能なメモリが入っており、表示領域周囲の駆動回路はデータ側にはデジタルのシフトレジスタのみで良く、簡略な構成となる特長がある。

【0028】図 6 に、画素の表示動作を示す。走査配線には 1 フレーム期間にマトリクスを順次走査する走査パルスが印加されている。データ配線には走査パルスに同期してあるマトリクス行の画素の点灯、非点灯に応じて

高低の2値データが供給されている。走査パルスが印加されたタイミングには、データ配線の電圧状態がメモリセルに取り込まれる。このとき、L状態のデータであればELインバータの出力は反転してH状態となる。また、CMOSインバータ出力は反対にL状態となり、この状態をメモリセルが保持する。このとき、ELインバータではトランジスタが導通状態となっており、EL素子に電流が流れるので、有機ELは発光状態となる。

【0029】また、走査パルスが印加された際にデータ配線がHレベルであると、ELインバータ出力はLレベルに変化し、CMOSインバータの出力がHレベルに変化する。この状態ではEL素子には電流が流れないので、発光しない状態となる。以上のように、画素では走査パルスに応動してデータ配線の電圧状態を画素のメモリセルに取り込む動作ができる。

【0030】次に、図7に示す第2の実施例について説明する。本実施例は画素内のトランジスタを、すべて同一の閾値特性を有するpch型のみで構成したものである。これによりトランジスタプロセスは簡略化され、安価に製造できる特長がある。

【0031】回路構成は、EL素子8および駆動トランジスタ9は第1の実施例と同じ構成である。もう1組のインバータはCMOSではなく、すべてPchトランジスタで構成したPMOSインバータ47である。本回路の動作を以下に説明する。

【0032】PMOSインバータ47は2個のpchトランジスタであるリセットトランジスタ46、セットトランジスタ43と、1個のMOSダイオードであるバイアスダイオード44と、バイアス容量45により構成する。セットトランジスタ43は出力47をLレベルに変化する際にオンする。pchであるセットトランジスタが出力をLレベルに変化させる際には、バイアス容量45とバイアスダイオード44により、セットトランジスタ43のゲート電圧をELコモン配線7の電位よりも低くする。リセットトランジスタ46は出力をHレベルに変化させる場合にオンする。

【0033】このように接続すると、PMOSインバータ47は、入力端子49がELインバータの入力端子48と接続され、出力端子50がリセットトランジスタ46のゲートに接続される。また、入力端子49は駆動トランジスタ9のゲートにも接続される。セットトランジスタのゲート端子49は常にダイオードが接続されているので、通常はELコモン電圧の電圧値になっており、セットトランジスタはオフ状態である。

【0034】ここに入力信号としてデータ信号がHからLレベルに変化すると、バイアス容量45により容量結合しているために、セットトランジスタのゲート端子49は引き下げられる。これによりセットトランジスタは導通し、出力端子48はLレベルに変化する。これによりELインバータは論理反転信号を生成するので、出力端子はHレベルとなりEL素子は点灯し、リセットトランジスタ46

のゲート電圧はHレベルであり、リセットトランジスタオフ状態となる。したがって、PMOSインバータ回路の出力48はLレベルを保つ。

【0035】次に、画素の入力49がHレベルに変化した場合には、セットトランジスタは容量結合によりゲートはオフ状態となる。また駆動トランジスタ9のゲートにも接続しているので、ELインバータ出力50はLレベルに変化し、これによりリセットトランジスタがオン状態となりPMOSインバータの出力はHレベルに変化する。

【0036】このように、この画素回路はELインバータ回路出力端子がHもしくはLレベルを保つことができる双安定回路であり、メモリとしての機能を有している。さらにPMOSインバータは回路の状態が変化する場合のみ電流が流れるので、PMOSのみで構成した論理回路であるにもかかわらず、消費電力が非常に少ない利点がある。なお、ダイオードは抵抗に代えてもよく、抵抗の場合はセットトランジスタの入力回路に時定数回路を含む交流結合回路が接続される。抵抗にはi-Siなどの高抵抗層を用いればよく、ダイオードに比べ素子構造が簡単になる。また、時定数を制御すればよいので、高速な書き込みが可能である。

【0037】さらに、消費電力が少ない回路構成として、すべてのトランジスタをNchにて形成したのが第3の実施例である。図8に示すとおり、すべてのトランジスタがN型で形成されている。走査トランジスタ143、セットトランジスタ142、リセットトランジスタ145、バイアスダイオード145である。

【0038】この回路動作は第2の実施例と同一である。この回路を薄膜トランジスタで構成しようとすると、NchTFTでLDD構造、トランジスタの直列接続構成など、リーク電流低減構造を採用することにより、トランジスタがオフの場合の電流が大きく低減できるので、第2の実施例に対して回路消費電力をさらに低減することができる。リーク電流の低減構成については一般的な方法で良い。

【0039】第2の実施例および第3の実施例では、画素点灯状態を継続するとセットトランジスタ、リセットトランジスタが両方ともオフ状態なる。するとELインバータ入力端子の電位はL常態から次第に走査トランジスタのリーク電流により電位が上昇し、不安定となり次第に駆動トランジスタ電流が低下する。そこで、データ信号が走査される毎に、Hの電圧を印加することにより回避する。

【0040】図9にシフトレジスタの動作を示す。シフトクロックは走査パルス131が走査配線に印加している期間のうち、データをシフトしている期間はシフトパルスを印加する。走査パルス131の期間には、まず、すべてのデータ線出力端子は一斉にHレベルとなる。この期間に、1ライン上のすべての画素のPMOSインバータ入力端子はHレベルとなる。この期間は少なくともデータ配

線の遅延時間以上保持しなければならない。その後、データはシフトレジスタにより順次 1 ライン分のデータが配列される。その後、データ配線の遅延時間以上に各データ出力の状態は保持され、画素にはデータが取り込まれ、走査パルスが終了する。

【0041】以上の動作を実現するためには、シフトレジスタの各段のラッチにはリセット状態でHレベルとなるような初期化手段を設け、シフトクロックを間歇駆動とすればよい。

【0042】図10に第4の実施例を示す。携帯電話などのパネルの構成例であり、TFT駆動有機ELマトリクスによる映像表示領域92および周辺駆動回路、有機ELインジケータ部93が同一ガラス基板91上に形成され、データ制御信号および電源はフレキシブルプリント基板95を介して供給する。

【0043】画素回路96は有機ELインジケータ部の駆動に接続されており、メモリ機能、低電力駆動の特長があるのでマトリクス画素のみではなく、個別の有機ELインジケータの表示駆動制御回路として用いることにより、映像表示を消して、インジケータ94のみを点灯させ、制御信号も表示状態を変化させる場合のみ画素回路96にデータと走査パルスを印加することにより書き換えることで、待機時電力を低減することができる。

【0044】図11に第5の実施例を示す。本実施例では2個の論理ELインバータ81および表示ELインバータ82の入力、出力端子を相互に接続して、画素回路をわずか3個のトランジスタで構成している。この場合、メモリ状態に応じてEL素子が交互に点灯するので、負荷EL素子83は表示に用いるEL素子よりも面積を少なくし、かつ表示の妨げとならないよう発光部を覆う遮光層84を設けることにより、表示コントラストを低下させることなくトランジスタ数を低減することができる。

【0045】図12は、図1に示した画素回路のマスクレイアウト図である。走査配線4、データ配線5、EL電源配線6、ELコモン配線7、CMOSインバータ2、駆動トランジスタ3、EL表示電極115が配置されている。図示していないが、有機EL層および、ELコモン配線7と同一電圧に接続したEL陰極層が画素全面の表面に積層されている。図示のように、EL電源配線6、ELコモン配線7を上下方向に配置し、走査配線と直行するように配列することにより、線順次の駆動の際に列毎に一斉に負荷が変動しても、電源配線6での電流は安定しているので変動がなく、メモリ内容も安定して良好な表示が得られる利点がある。

【0046】また、上下に配線が多く配置すると、EL表示電極115は狭小になるが、画素に閉める発光領域が小さい場合の表示は、図13の画素発光状態図に示すとおり、マトリクス配置した画素内のごく一部でしか発光しない。

【0047】この画素の輝度状態を図14に示す。狭小*50

*画素発光領域122と広い発光画素121における発光輝度の場所依存性である。画素全面の平均輝度を合わせた場合には、狭小画素輝度124では広い画素の輝度125よりも高い輝度がスポット状に見えるため、環境光123が高い場合でも発光部の輝度が高いため表示の判読が容易になる。これは携帯電話などの限られた電力で、明るいところでも表示が良好に見えることになり、低電力で視認性の良い表示を提供することができる特長がある。

【0048】環境光の強度は屋外を想定すると10000luxであり、完全拡散面に照射することを考えると、反射光の輝度は3000cd/m²以上となる。このとき、平均輝度と開口率、発光部の輝度は(1)式の関係になる。

【0049】平均輝度 = 発光部輝度 × 開口率 (1)
ここで、(1)式に発光部の輝度を屋外環境光として > 3000 (cd/m²) を代入すると、開口率 < 平均輝度 / 3000 となる。たとえば、ノートPCなどでは平均輝度は100 (cd/m²) であるので、発光部の開口率は3%とすれば良い。このように、(1)式で開口率を定めることにより、明るい環境でも表示を視認することができる。

【0050】なお、図12の画素では開口率が15%であるので、平均輝度を450 (cd/m²) とすれば、所望の表示特性を得ることができる。特に、本発明のメモリ内蔵画素との組み合わせにより、表示特性の均一性が優れた良好な表示が屋外環境光の元で視認することができるので、携帯電話などの携帯情報機器、携帯テレビジョンなどに好適である。

【0051】

【発明の効果】本発明によれば、発光型表示装置の画素に内蔵するメモリ回路を簡略化できるので、開口率を高め、高精細化された画像を実現できる効果がある。また、表示装置の回路の消費電力を低減する効果がある。さらに、環境光の元で表示特性の均一性が優れた表示を提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による有機EL表示装置の画素回路の構成図。

【図2】ELインバータ回路の構成図。

【図3】インバータ特性を示す説明図。

【図4】一実施例のメモリセル回路の構成図。

【図5】有機EL表示装置の構成ブロック図。

【図6】一実施例による画素回路の動作波形図。

【図7】PMOSインバータによる画素回路の構成図。

【図8】Nchトランジスタによる画素回路の構成図。

【図9】シフトレジスタの動作波形図。

【図10】表示装置の概略構成図。

【図11】2個のELインバータ回路による画素回路の構成図。

【図12】画素回路のマスクレイアウト図。

【図13】表示画素発光部の概観図。

【図14】画素内の発光強度分布を示す説明図。

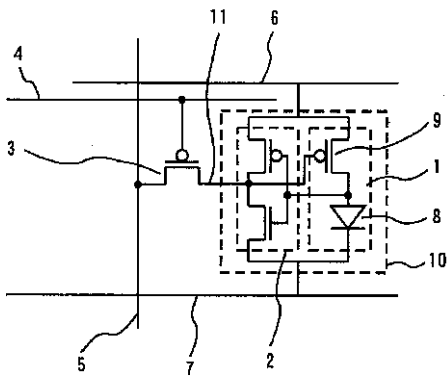
【符号の説明】

1...ELインバータ回路、2...CMOSインバータ回路、3...走査トランジスタ、4...走査配線、5...データ配線、6...EL電源配線、7...ELコモン配線、8...EL素子、9...駆動トランジスタ、10...メモリセル、11...メモリ入力端子、21...画素、22...表示領域、23...走査駆動回路、24...シフトレジスタ、25...入力配線、26...画素電源、46...リセットトランジスタ、47...セットトランジスタ、48...PMOSインバータ、49...入力端子、50...ELインバータ出力端子、61...入力端子、62...出力端子、71...データ入力端子、73...CMOSインバータ*

*タ入力端子、75...端子間容量、81...論理ELインバータ、82...表示ELインバータ、83...負荷EL素子、84...遮光層、91...ガラス基板、92...映像表示領域、93...有機ELインジケータ部、94...インジケータ、95...フレキシブルプリント基板、96...画素回路、115...表示電極、121...広い発光画素、122...狭小画素発光領域、123...環境光、124...狭小画素輝度、125...広い画素の輝度、142...セットトランジスタ、143...走査トランジスタ、144...リセットトランジスタ、145...バイアスダイオード。

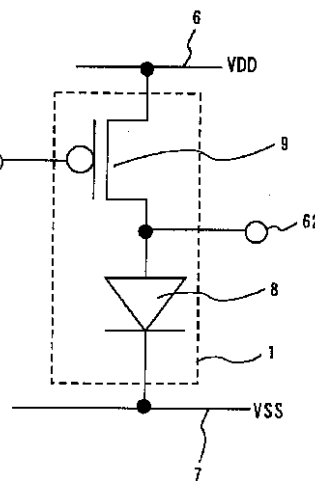
【図1】

図 1



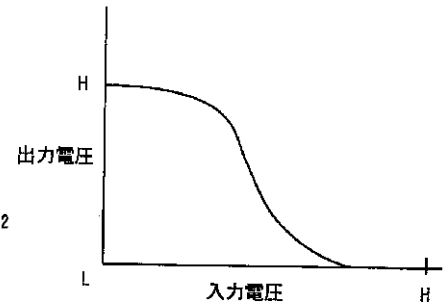
【図2】

図 2



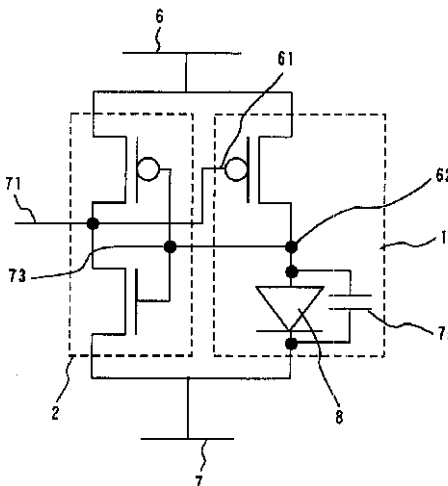
【図3】

図 3



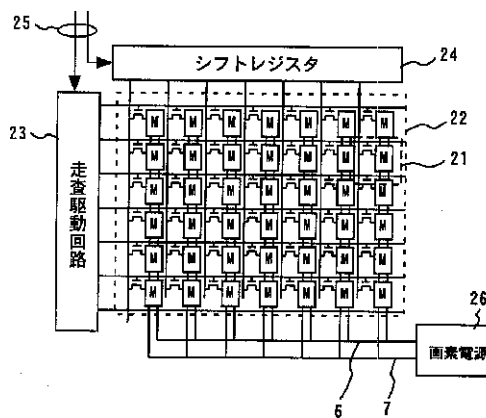
【図4】

図 4



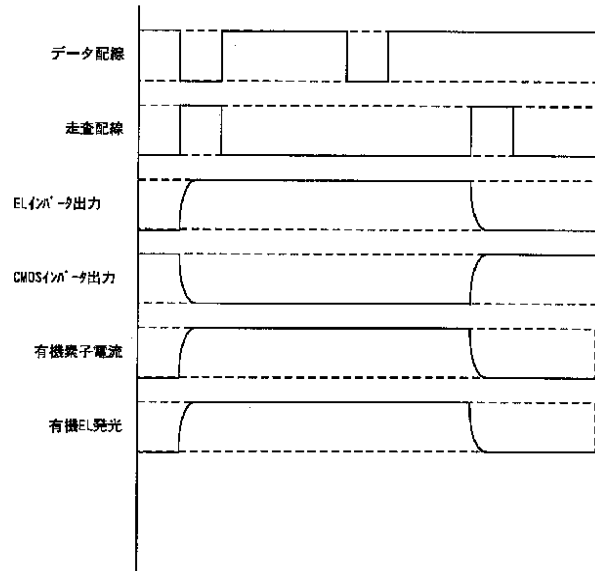
【図5】

図 5



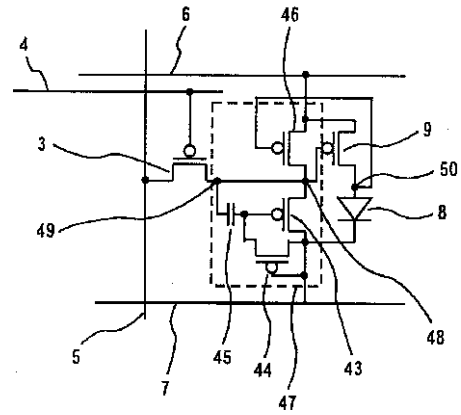
【図6】

図 6



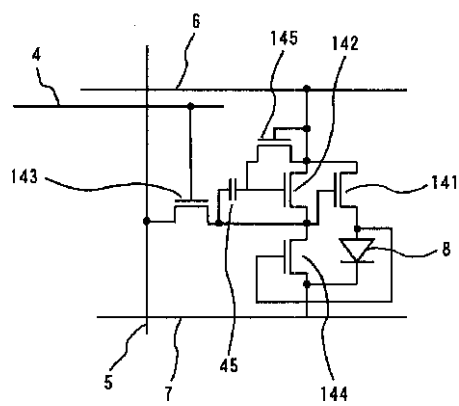
【図7】

図 7



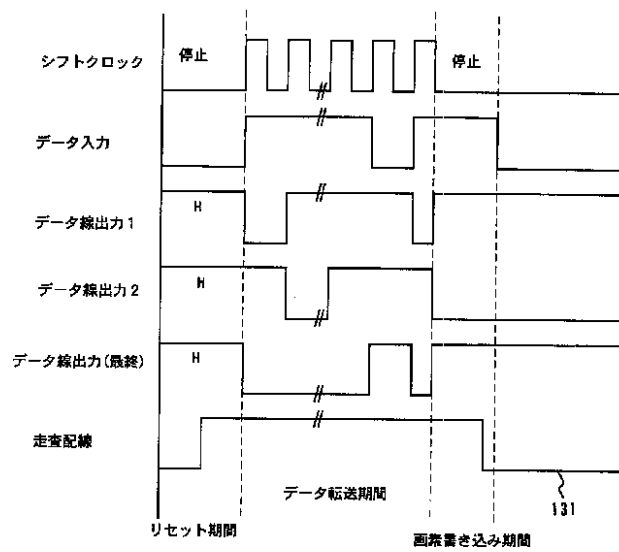
【図8】

図 8



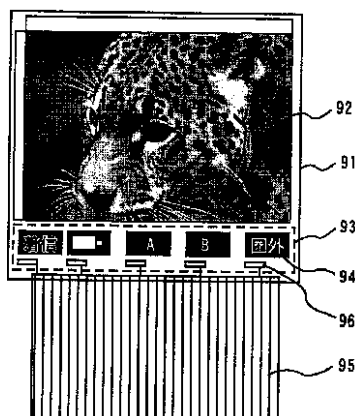
【図9】

図 9



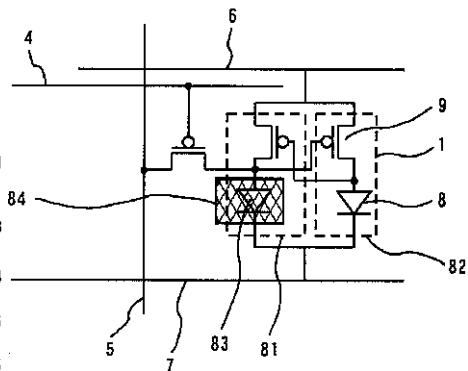
【図10】

図 10



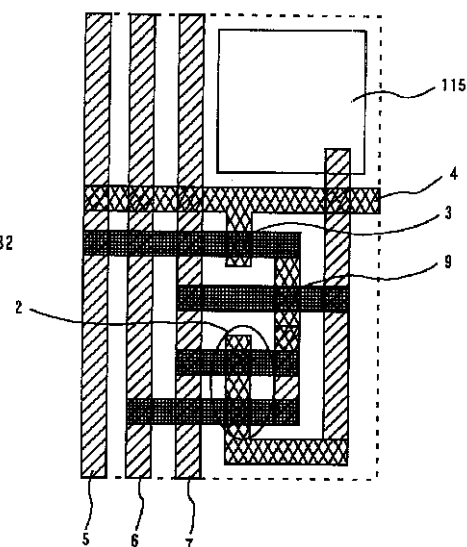
【図11】

図 11



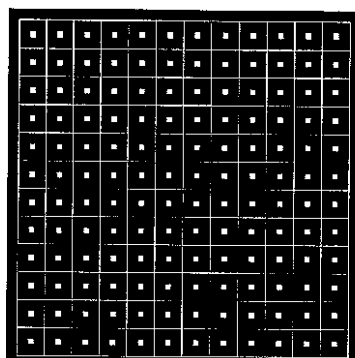
【図12】

図 12



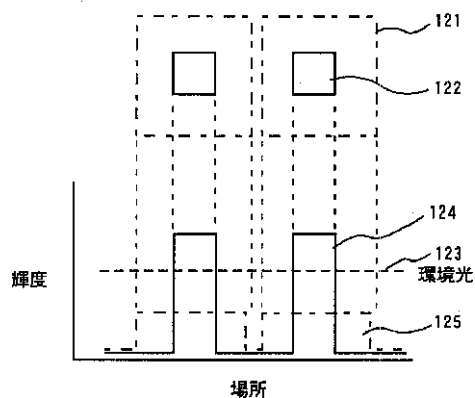
【図13】

図 13



【図14】

図 14



フロントページの続き

(51)Int.Cl.⁷

H 0 5 B 33/14

識別記号

F I

H 0 5 B 33/14

テ-マ-ド' (参考)

A

(72)発明者 金子 好之

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 佐藤 敏浩

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F タ-ム(参考) 3K007 AB02 AB05 AB17 AB18 BA06

DA01 DB03 EB00 GA04

5C080 AA06 BB05 DD26 FF11 HH10

JJ01 JJ02 JJ03 JJ04 JJ05

JJ06 KK07 KK43

专利名称(译)	发光型显示装置		
公开(公告)号	JP2002297095A	公开(公告)日	2002-10-09
申请号	JP2001098864	申请日	2001-03-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	三上佳朗 大内貴之 金子好之 佐藤敏浩		
发明人	三上 佳朗 大内 貴之 金子 好之 佐藤 敏浩		
IPC分类号	H05B33/08 G09G3/20 G09G3/30 G09G3/32 H01L51/50 H05B33/14		
CPC分类号	G09G3/3258 G09G3/3291 G09G2300/0439 G09G2300/0465 G09G2300/0842 G09G2300/0857 G09G2300/0861 G09G2320/0252 G09G2330/021		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.624.B G09G3/20.642.D H05B33/08 H05B33/14.A G09G3/20.631.Z G09G3/20.670.E G09G3/20.680.H G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K007/AB02 3K007/AB05 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD26 5C080/FF11 5C080/HH10 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK43 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC35 3K107/CC36 3K107/CC45 3K107/EE03 3K107/FF12 3K107/FF15 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AC07 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA10 5C380/BA13 5C380/BB22 5C380/CA04 5C380/CA08 5C380/CA14 5C380/CB01 5C380/CC23 5C380/CC29 5C380/CC33 5C380/CD014 5C380/CD015 5C380/CD073 5C380/CD074 5C380/CF07 5C380/DA02		
其他公开文献	JP3788916B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了简化发光型显示装置的像素电路，增加孔径比并实现高清晰度。此外，它还降低了电路的功耗。构成布置在像素中的存储电路的两组反相器电路中的一组反相器电路是其中有机EL元件和晶体管串联连接的电路，并且省略了存储器电路的晶体管。在两组逆变器的互连中，通过将显示数据连接到与有机EL元件串联连接的晶体管的栅极连接的布线，可以降低写入负载，从而实现高速写入和高要完善。

