

【特許請求の範囲】

【請求項1】 発光素子が画素単位で配列されてなる素子層と、前記発光素子を駆動する画素回路が画素単位で配列されてなる回路層とが基板上に積層されてなるアクティブマトリクス型表示装置において、画素ごとに前記発光素子と前記画素回路との電気的な接続をなすコンタクト部が、前記素子層の各画素の発光領域外に形成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記コンタクト部は、画素配列の各行または各列ごとに1次元的に配列されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 前記コンタクト部は、隣り合う2行または2列分が画素配列の行間または列間において1次元的に配列されていることを特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項4】 前記発光素子は、第1,第2の電極およびこれら電極間に挟持された発光層を含む有機層を有する有機エレクトロルミネッセンス素子であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項5】 前記画素回路は、薄膜トランジスタを用いて構成される回路であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項6】 上部電極、下部電極およびこれら電極間に挟持された発光層を含む有機層を有する発光素子が画素単位で配列されてなる素子層と、前記発光素子を駆動する画素回路が画素単位で配列されてなる回路層とが基板上に積層されてなるアクティブマトリクス型表示装置において、画素ごとに前記発光素子と前記画素回路との電気的な接続をなすコンタクトが前記下部電極によって形成され、前記上部電極が前記下部電極のコンタクト領域上を除いて形成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項7】 前記画素回路は、薄膜トランジスタを用いて構成される回路であることを特徴とする請求項6記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各画素毎に能動素子を有して当該能動素子によって画素単位で表示の制御が行われるアクティブマトリクス型表示装置に関し、特に各画素の発光素子（電気光学素子）として有機材料のエレクトロルミネッセンス素子（以下、有機EL（electroluminescence）素子と記す）を用いたアクティブマトリクス型有機エレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】近年、フラットパネルディスプレイとし

て、画素毎に配される発光素子に有機EL素子を用いた有機EL表示装置が注目されている。すなわち、有機EL素子は、10V以下の駆動電圧で、数100～数10000cd/m²の輝度が得られることから、これを画素の発光素子として用いた有機EL表示装置は、次世代のフラットパネルディスプレイとして有望視されている。

【0003】有機EL表示装置の駆動方式としては、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とが挙げられる。ディスプレイの大型化・高精細化を実現するには、単純マトリクス方式の場合は、各画素の発光期間が走査線（即ち、垂直方向の画素数）の増加によって減少するため、瞬間的に各画素の有機EL素子が高輝度で発光することが要求される。一方、アクティブマトリクス方式の場合は、各画素が1フレームの期間に亘って発光を持続するため、ディスプレイの大型化・高精細化が容易である。

【0004】ところで、有機EL素子の素子構造は、透明電極からなる陽極と金属からなる陰極との間に、発光層を含む有機層を挟持した構造となっている。一方、アクティブマトリクス型有機EL表示装置において、有機EL素子を駆動する能動素子として、一般的に、薄膜トランジスタ（Thin Film Transistor; TFT）が用いられている。このTFTを含む画素駆動回路（以下、単に画素回路と称す）と有機EL素子とは、画素ごとに1:1の対応関係をもって別の層として形成される。

【0005】具体的には、ガラス基板上にTFTを含む画素回路を作製して回路層を形成する。この回路層の上に平坦化膜を成膜し、画素回路と有機EL素子とを電気的に接続するためのコンタクト部を作製する。その上にさらに、先述した構造、即ち発光層を含む有機層が2つの電極間に挟持されてなる有機EL素子を作製して素子層を形成する。ここで、有機層の膜厚は、通常、数μm以下、例えば数10nm～数100nmと極めて薄いため、有機層を成膜する下部電極の平坦性がきわめて重要となってくる。

【0006】

【発明が解決しようとする課題】ところで、TFTを含む画素回路が画素単位で配列されてなる回路層は、凹凸や段差が平坦化膜を成膜することによって平坦化されるのであるが、コンタクト部などを作製することによって数μmの凹凸や段差を持つ。結果として、有機層を成膜する下部電極の平坦性の悪化につながる。下部電極の平坦性が悪く、凹凸が大きいと、有機EL素子において下部電極と上部電極との短絡の原因となったり、有機層の膜厚が面内方向に分布を生じ、電界集中を起こすことによって素子劣化の原因となるなどの悪影響を与える可能性がある。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、平坦な基板上での発

光素子の作製を可能とし、発光素子の信頼性を向上させたアクティブマトリクス型表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明では、発光素子が画素単位で配列されてなる素子層と、発光素子を駆動する画素回路が画素単位で配列されてなる回路層とが基板上に積層されてなるアクティブマトリクス型表示装置において、画素ごとに発光素子と画素回路との電気的な接続をなすコンタクト部を、
10 素子層の各画素の発光領域外に形成する構成を採っている。また、発光素子と画素回路との電気的な接続を、発光素子の下部電極で行うようにし、そのコンタクト領域上には発光素子の上部電極を設けない構成を採っている。

【0009】上記構成のアクティブマトリクス型表示装置において、回路層はコンタクト部などを形成することで、その部分に数 μm の凹凸や段差を持つ。そこで、コンタクト部を、素子層の各画素の発光領域を避けて形成する。これにより、回路層の発光領域内に位置する部分
20 の凹凸が最小限に抑えられることから、回路層上に形成する発光素子の下部電極の平坦性を上げることができる。また、コンタクト部上に上部電極を設けないことで、コンタクト部での上部電極と下部電極の短絡を防ぐことができる。したがって、発光素子の信頼性を向上できる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置、例え
30 ばアクティブマトリクス型有機EL表示装置の構成例を示す回路図である。

【0011】図1において、画素回路（以下、単に画素と記す場合もある）11がマトリクス状に多数配置されて表示領域を構成している。ここでは、図面の簡略化のために、 i 行 $\sim i+2$ 行、 i 列 $\sim i+2$ 列の3行3列分の画素配列を例に採って示している。この表示領域には、画素回路11の各々に対して、走査信号 $X(i) \sim X(i+2)$ が順に与えられることによって各画素を行単位で
40 選択する走査線 $12i \sim 12i+2$ と、各画素に画像データ、例えば輝度データ $Y(i) \sim Y(i+2)$ を供給するデータ線 $13i \sim 13i+2$ とが配線されている。

【0012】画素回路11の具体的な構成について、 i 行 i 列の画素 (i, i) を例に採って説明する。ただし、他の画素の画素回路についても、全く同じ回路構成となっている。また、本実施形態においては、表示素子として有機EL素子ELiiを用いるとともに、画素トランジスタとしてTF T（膜膜トランジスタ）を用いている。なお、画素回路11としては、この回路例に限定されるものではない。

【0013】画素回路11は、画素を選択するための選択トランジスタTRii aと、データ電圧を保持するための保持容量Ciiと、有機EL素子ELiiを駆動するための駆動トランジスタTRii bとを有する構成となっている。そして、輝度データがデータ線13iから電圧の形で与えられ、有機EL素子ELiiにはデータ電圧に応じた電流Eelが流れるようになっている。

【0014】具体的な接続関係としては、有機EL素子ELiiは、そのアノードが共通電源ライン（電源電圧 V_o ）14に接続されている。駆動トランジスタTRii bは、有機EL素子ELiiのカソードと共通グランドライン15との間に接続されている。保持容量Ciiは、駆動トランジスタTRii bのゲートと共通グランドライン15との間に接続されている。選択トランジスタTRii aは、データ線13iと駆動トランジスタTRii bのゲートとの間に接続され、そのゲートが走査線12iに接続されている。

【0015】ここで、有機EL素子の構造の一例について説明する。図2に、有機EL素子の断面構造を示す。同図から明らかのように、有機EL素子は、透明ガラスなどからなる基板21上に、透明導電膜からなる第1の電極（例えば、陽極）22を形成し、その上にさらに正孔輸送層23、発光層24、電子輸送層25および電子注入層26を順次堆積させて有機層27を形成した後、この有機層27の上に低仕事関数の金属からなる第2の電極（例えば、陰極）28を形成した構成となっている。

【0016】この有機EL素子において、第1の電極22と第2の電極28との間に直流電圧Eを印加することにより、正孔は第1の電極（陽極）22から正孔輸送層23を経て、電子は第2の電極（陰極）28は電子輸送層25を経て、それぞれ発光層24内に注入される。そして、注入された正負のキャリアによって発光層24内の蛍光分子が励起状態となり、この励起分子の緩和過程で発光が得られるようになっている。

【0017】上記構成の本実施形態に係るアクティブマトリクス型有機EL表示装置の断面構造を図3に示す。なお、図3には、ある1つの画素（サブピクセル）を構成する有機EL素子とその画素回路を示している。

【0018】図3において、ガラス基板31上に先ず、先述した選択トランジスタTRii aおよび駆動トランジスタTRii bを含む画素回路（TF T回路）が作製されて回路層32を形成するとともに、配線33がパターン化されて形成され、その上に平坦化膜34が成膜される。平坦化膜34の上にはさらに、先述したように、2つの電極35、36に有機層37が挟持されてなる有機EL素子が作製されて素子層38を形成している。下部電極35と上部電極36との間には、絶縁層40が介在している。

50 【0019】先述した有機EL素子の断面構造（図2を

参照)との対応関係において、下部電極35が第1の電極(例えば、陽極)22に対応し、上部電極36が第2の電極(例えば、陰極)に対応し、有機層37が発光層24を含む有機層27に対応している。そして、回路層32の画素回路と素子層38の有機EL素子とは、平坦化膜34を通して形成されるコンタクト部39にて電気的に接続される。このコンタクト部39での電気的接続(コンタクト)は、図3から明らかなように、下部電極35を用いて行われる。

【0020】ここで、コンタクト部39は、その作製によって回路層32上に数 μm 程度の凹凸や段差をもたらす。一方、有機EL素子の有機層37の膜厚は、通常、数10nm~数100nmと極めて薄い。したがって、有機層37を成膜する下部電極35の平坦性がきわめて重要となってくる。そのために、本実施形態に係る有機EL表示装置では、有機EL素子の発光領域外、即ち発光層を含む有機層37の領域外にコンタクト部39を形成する構成を採っている。

【0021】このように、回路層32の画素回路と素子層38の有機EL素子とを電気的に接続するコンタクト部39を、素子層38の各画素の発光領域を避けて形成するようにしたことで、回路層32の発光領域内に位置する部分、即ち有機層37の下方部分の凹凸を最小限に抑えることができる。これにより、回路層32上に平坦化膜34を介して形成する下部電極35の平坦性を上げることができるため、有機EL素子の信頼性を向上できる。

【0022】続いて、有機EL素子の画素配列と画素回路の画素配列との組み合わせの具体例について説明する。

【0023】[第1具体例]図4は、有機EL素子の画素配列と画素回路の画素配列との組み合わせの第1具体例を示す平面パターン図である。この第1具体例では、素子層38でのRGBの各光を発光するサブピクセル(有機EL素子)の画素配列を、図4(A)に示すストライプ配列とし、回路層32での画素回路の画素配列も同様に、図4(B)に示すストライプ配列とする。なお、図4(A)において、点線の領域内が各画素の発光領域となっている。

【0024】ここで、回路層32において、画素回路を形成する場合、画素回路の回路構成が画素間で同じであることから、回路層32の画素回路と素子層38の有機EL素子とを電気的に接続するコンタクト部39は画素回路ごとに規則性を持って配列されることになる。今、図4(B)に示すように、コンタクト部39が各行ごとに1次元的に配列され、また画素回路の中央部分に形成されるものとする。

【0025】このとき、回路層32上に素子層38を、各画素を対向させて積層したのでは先述したコンタクト部39の配置条件、即ちコンタクト部39を素子層38

の各画素の発光領域外に配置するという条件を満たさなくなる。そこで、本具体例では、素子層38を行方向に画素ピッチの半分程度ずらした状態で回路層32上に積層するようにする。これにより、図4(C)に示すように、コンタクト部39が画素の行間に位置し、各画素の発光領域を避けて形成されることになる。

【0026】なお、本具体例では、素子層38を行方向に画素ピッチの半分程度ずらした状態で回路層32上に積層するとしたが、素子層38を列方向に画素ピッチの半分程度ずらした状態で回路層32上に積層するようにしても良く、この場合にも、コンタクト部39が画素の列間に位置し、各画素の発光領域を避けて形成されることになる。

【0027】[第2具体例]図5は、有機EL素子の画素配列と画素回路の画素配列との組み合わせの第2具体例を示す平面パターン図である。この第2具体例でも、第1具体例の場合と同様に、素子層38でのRGBの各光を発光するサブピクセルの画素配列をストライプ配列とし、回路層32での画素回路の画素配列も同様にストライプ配列とした構成を採っている。

【0028】ただし、本具体例では、第1具体例のように、回路層32上に素子層38を、画素の対応関係をずらして積層するのではなく、各画素を1:1の対応関係をもって積層するようにしている。このようにするために、回路層32において、画素回路を形成する場合、コンタクト部39をあらかじめ素子層38の各画素の発光領域を避けた位置に形成するようにする。

【0029】コンタクト部39を形成するに当たっては、好ましくは、図5から明らかなように、隣り合う2行分の画素のコンタクト部39、即ち奇数行の画素ODDのコンタクト部39oと偶数行の画素EVENのコンタクト部39eとが、画素配列の行間において1次元的に配列されるように形成する。これによれば、コンタクト部39を画素の発光領域を避けて形成することに伴って発光領域の面積が減少するのを極力抑えることができる。

【0030】なお、本具体例では、画素のコンタクト部39を画素の行間に配置し、また2行分の画素のコンタクト部39を画素配列の行間において1次元的に配列するように形成するとしたが、画素のコンタクト部39を画素の列間に配置し、また2列分の画素のコンタクト部39を画素配列の列間において1次元的に配列するように形成しても良いことは勿論である。

【0031】[第3具体例]図6は、有機EL素子の画素配列と画素回路の画素配列との組み合わせの第3具体例を示す平面パターン図である。この第3具体例では、素子層38でのRGBの各光を発光するサブピクセルの画素配列をデルタ()配列とする一方、回路層32での画素回路の画素配列をストライプ配列とした構成を採っている。

【0032】本具体例でも、第2具体例と同様に、回路層32上に素子層38を、各画素を1:1の対応関係をもって対向させて積層するとともに、回路層32において、画素回路を形成する際に、コンタクト部39をあらかじめ素子層38の各画素の発光領域を避けた位置に形成するようにする。

【0033】さらに、コンタクト部39を形成するに当たっては、好ましくは、図6から明らかなように、隣り合う2行分の画素のコンタクト部39o, 39eが画素配列の行間において1次元的に配列されるように形成する。これによれば、第2具体例の場合と同様に、コンタクト部39を画素の発光領域を避けて形成することに伴って、発光領域の面積が減少するのを極力抑えることができる。

【0034】特に、本具体例の場合は、デルタ配列とストライプ配列との組み合わせ、即ち素子層38の画素配列がデルタ配列で、回路層32の画素配列がストライプ配列であることから、図6から明らかなように、第1具体例の場合のように、コンタクト部39が各画素回路の中央部分に形成されたとしても、回路層32上に素子層38をずらして積層しなくても、コンタクト部39を素子層38の各画素の発光領域を避けた位置に配置できる利点がある。

【0035】図7は、有機EL素子の上部電極のレイアウトの具体例を示す平面パターン図である。この具体例では、有機EL素子の発光領域および下部電極(陽極)35を画素単位で形成しているのに対して、上部電極(陰極)36をコンタクト部39上を除く全面に亘って形成した構成を採っている。すなわち、コンタクト部39上には上部電極36を形成しないようにしている。

【0036】図3の断面構造図から明らかなように、コンタクト部39では下部電極35の凹凸が大きい。通常、下部電極35と上部電極36の間には絶縁層40が形成されるが、コンタクト部39では凹凸が大きいいため、下部電極35と上部電極36との間で短絡が起こりやすい。そこで、コンタクト部39上には上部電極36を形成しないようにすることで、下部電極35と上部電極36との短絡を防ぐことができるため、有機EL素子の信頼性を向上できる。

【0037】図8は、上部電極のレイアウトの他の具体例を示す平面パターン図である。この他の具体例では、有機EL素子の発光領域および下部電極36と対向して設けられる上部電極36に加えて、その周りに上部電極36よりも小さい抵抗を持つ材料からなる上部補助電極41をコンタクト部39上を除いて形成した構成を採っている。図9に、その断面構造を示す。

【0038】ところで、特に大型の有機ELディスプレイを作製した際に、上部電極36での電圧降下が問題となる場合がある。このような場合、上部電極36よりも小さい抵抗を持つ材料を用いた上部補助電極41を設け*

ることにより、上部電極36での電圧降下の問題を解消することができる。

【0039】このように、上部補助電極41を設けた場合にも、先の具体例の場合と同様の理由により、コンタクト部39での下部電極35と上部電極36との間、もしくは下部電極35と上部補助電極41との間で短絡が起こりやすい。そこで、コンタクト部39上には上部電極36および上部補助電極41を形成しないようにすることで、下部電極35と上部電極36および上部補助電極41との短絡を防ぐことができるため、有機EL素子の信頼性を向上できる。

【0040】なお、上記実施形態では、画素回路の発光素子として、有機EL素子を用いたアクティブマトリクス型有機EL表示装置に適用した場合を例に採って説明したが、本発明はこれに限られるものではなく、回路層上に発光層を含む薄膜層を有する発光素子を積層した構造のアクティブマトリクス型表示装置全般に適用し得るものである。

【0041】

【発明の効果】以上説明したように、本発明によれば、発光素子が画素単位で配列されてなる素子層と、発光素子を駆動する画素回路が画素単位で配列されてなる回路層とを基板上に積層するに当たって、画素ごとに発光素子と画素回路との電気的な接続をなすコンタクト部を、素子層の各画素の発光領域外に形成し、またコンタクト部上には上部電極を設けないようにしたことにより、回路層上に形成する発光素子の下部電極の平坦性を上げることができ、それに伴って発光素子の信頼性を向上できるため、信頼性の高いアクティブマトリクス型表示装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型有機EL装置の構成例を示す回路図である。

【図2】有機EL素子の構造の一例を示す断面図である。

【図3】本実施形態に係るアクティブマトリクス型有機EL表示装置の断面構造を示す断面図である。

【図4】有機EL素子の画素配列と画素回路の画素配列との組み合わせの第1具体例を示す平面パターン図である。

【図5】有機EL素子の画素配列と画素回路の画素配列との組み合わせの第2具体例を示す平面パターン図である。

【図6】有機EL素子の画素配列と画素回路の画素配列との組み合わせの第3具体例を示す平面パターン図である。

【図7】有機EL素子の上部電極のレイアウトの具体例を示す平面パターン図である。

【図8】有機EL素子の上部電極のレイアウトの他の具体例を示す平面パターン図である。

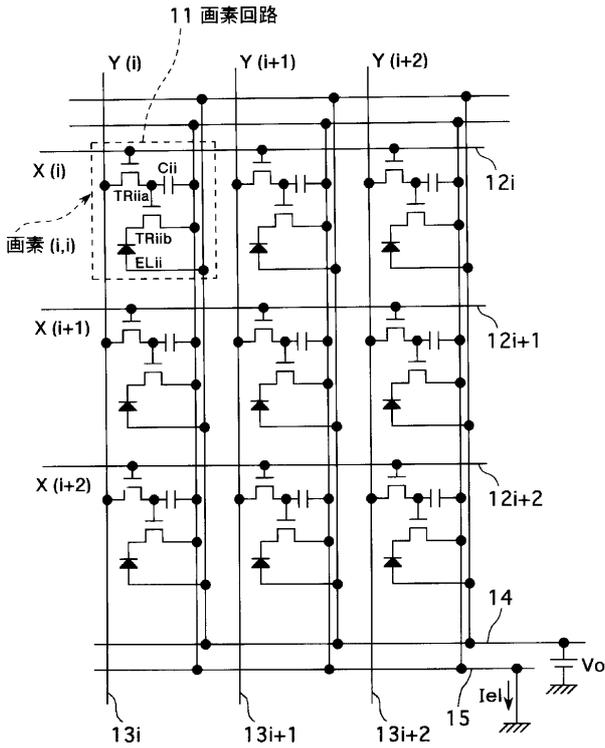
【図9】上部補助電極を有する場合のアクティブマトリクス型有機EL表示装置の断面構造を示す断面図である。

【符号の説明】

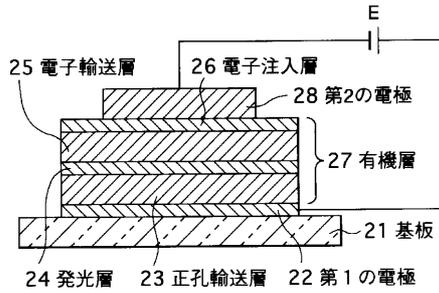
1 1...画素回路、1 2 i ~ 1 2 i+2 ...走査線、1 3 i ~ 1 3 i+2 ...データ線、1 4...共通電源ライン、1 5...共*

*通グランドライン、2 2...第1の電極、2 4...発光層、2 7, 3 7...有機層、3 1...ガラス基板、3 2...回路層、3 4...平坦化膜、3 5...下部電極、3 6...上部電極、3 8...素子層、4 1...上部補助電極、C ii...保持容量、E L ii...有機EL素子、T R ii a...選択トランジスタ、T R ii b...駆動トランジスタ

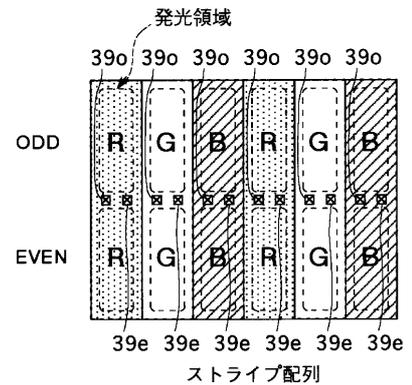
【図1】



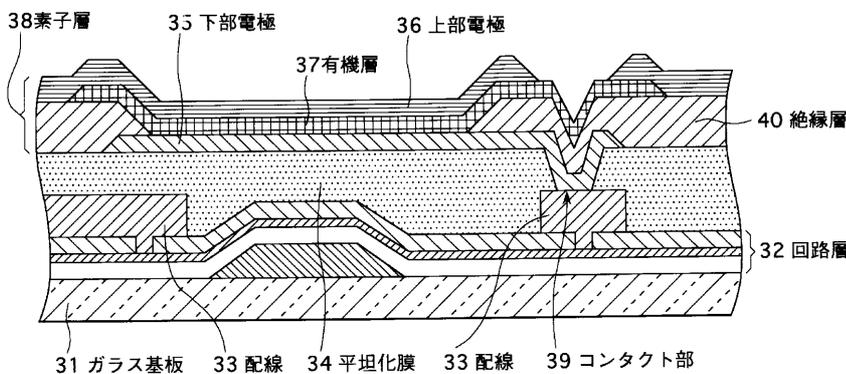
【図2】



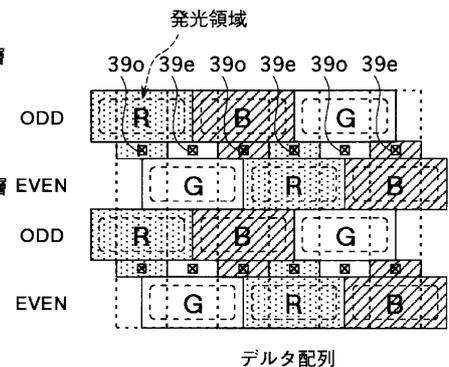
【図5】



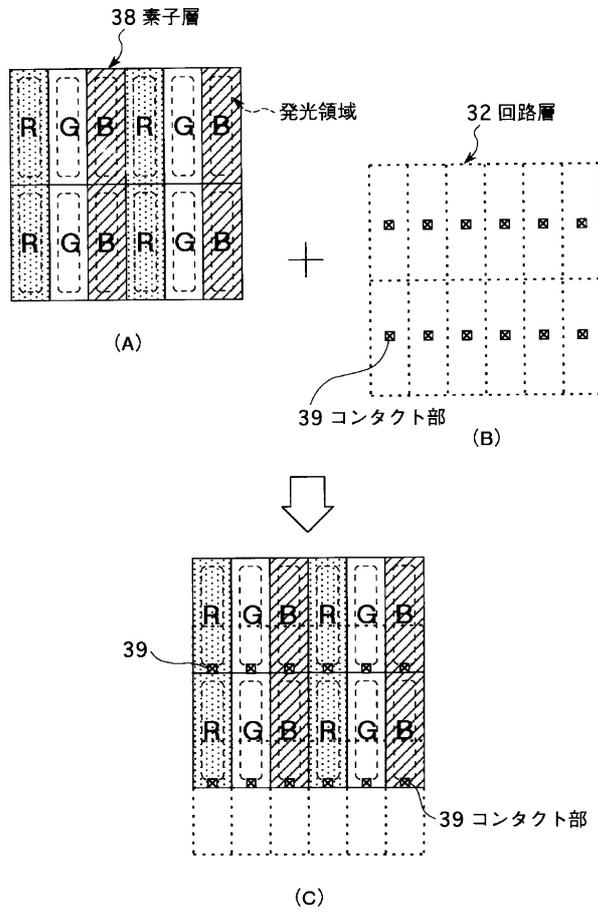
【図3】



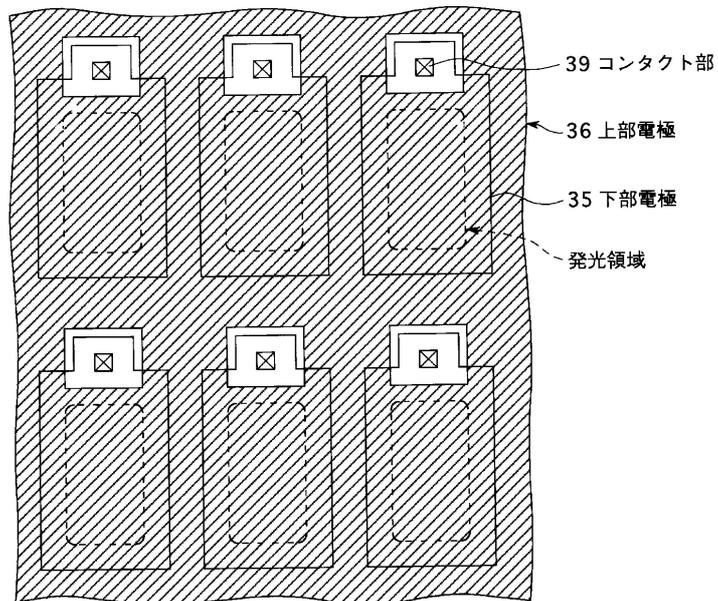
【図6】



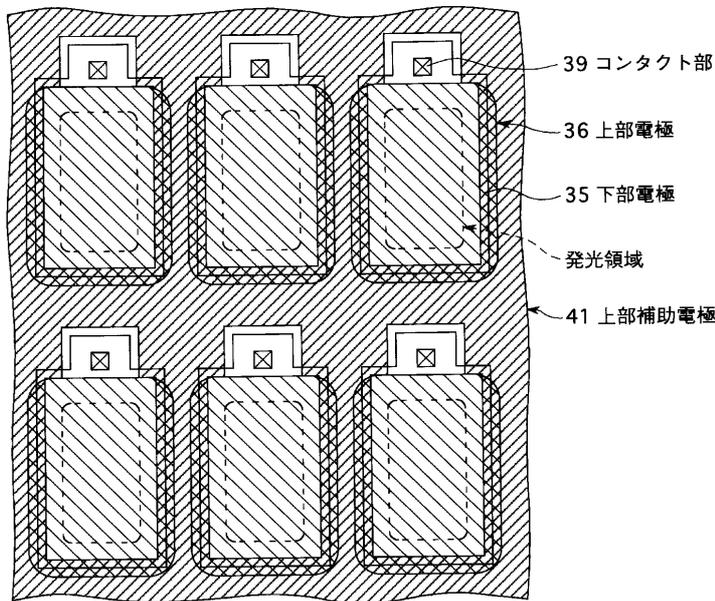
【図4】



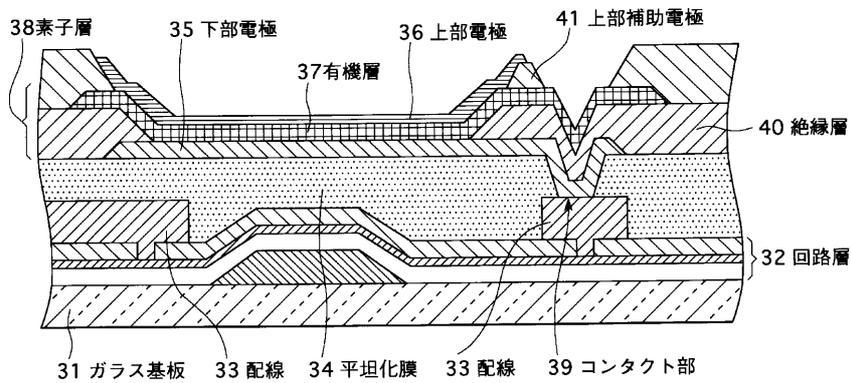
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.Cl.⁷
H 0 5 B 33/26

識別記号

F I
H 0 5 B 33/26

テ-マ-コ-ド (参考)
Z

(72) 発明者 森 敬郎
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

F タ-ム (参考) 3K007 AB11 AB18 BA06 CA01 CB01
DA01 DB03 EB00
5C094 AA31 AA42 AA43 AA48 BA03
BA12 BA27 CA19 CA24 DA13
DB01 DB04 EA04 EA10 EB02
FA01 FB01 FB12 FB14 FB15

(72) 発明者 平野 貴之
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2002215063A	公开(公告)日	2002-07-31
申请号	JP2001010976	申请日	2001-01-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎 山田二郎 森敬郎 平野貴之		
发明人	浅野 慎 山田 二郎 森 敬郎 平野 貴之		
IPC分类号	H05B33/12 G02F1/136 G09F9/30 G09G3/32 H01L27/32 H01L51/50 H05B33/22 H05B33/26 H05B33/14		
CPC分类号	H01L27/3248 G09G3/3208 G09G3/3225 G09G2300/0842 H01L27/3218 H01L51/5228		
FI分类号	G09F9/30.338 G09F9/30.365.Z H05B33/12.B H05B33/14.A H05B33/22.Z H05B33/26.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB11 3K007/AB18 3K007/BA06 3K007/CA01 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EB00 5C094/AA31 5C094/AA42 5C094/AA43 5C094/AA48 5C094/BA03 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA10 5C094/EB02 5C094/FA01 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 3K107/AA01 3K107/BB01 3K107/CC29 3K107/DD38 3K107/EE03 3K107/EE07		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

当在接触部分上形成用于形成有机层的下部电极时，下部电极的平坦度劣化，这导致下部电极与上部电极之间的短路，或者使电场集中而使元件劣化。原因。在玻璃基板（31）上形成有以像素单位配置有像素电路的电路层（32），并通过平坦化膜（34）在其中以像素单位配置有有机EL元件的元件层（38）。在堆叠的有源矩阵型有机EL显示装置中，将有机EL元件与每个像素的像素电路电连接的接触部分39包括元件层38的每个像素的发光区域，即发光层。形成为避开有机层37的区域。

