(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5744829号
(P5744829)

(45)発行日　平成27年7月8日(2015.7.8)　(24)登録日　平成27年5月15日(2015.5.15)

| (51)Int.Cl. | | | F I | | |
|---|---|---|---|---|---|
| ***G09G*** | ***3/30*** | ***(2006.01)*** | G09G | 3/30 | J |
| ***G09G*** | ***3/20*** | ***(2006.01)*** | G09G | 3/20 | 612G |
| | | | G09G | 3/20 | 622D |
| | | | G09G | 3/20 | 623C |
| | | | G09G | 3/20 | 612J |

請求項の数 11　(全 17 頁)　最終頁に続く

(21)出願番号　特願2012-275503 (P2012-275503)
(22)出願日　平成24年12月18日 (2012.12.18)
(65)公開番号　特開2014-71450 (P2014-71450A)
(43)公開日　平成26年4月21日 (2014.4.21)
審査請求日　平成24年12月18日 (2012.12.18)
(31)優先権主張番号　10-2012-0108967
(32)優先日　平成24年9月28日 (2012.9.28)
(33)優先権主張国　韓国 (KR)
(31)優先権主張番号　10-2012-0131463
(32)優先日　平成24年11月20日 (2012.11.20)
(33)優先権主張国　韓国 (KR)

(73)特許権者　501426046
エルジー　ディスプレイ　カンパニー　リミテッド
大韓民国　ソウル、ヨンドゥンポーグ、ヨウィ－テロ　１２８
(74)代理人　100094112
弁理士　岡部　讓
(74)代理人　100106183
弁理士　吉澤　弘司
(74)代理人　100128657
弁理士　三山　勝巳
(74)代理人　100160967
弁理士　▲濱▼口　岳久

最終頁に続く

(54)【発明の名称】有機発光表示装置及びその残像消去方法

(57)【特許請求の範囲】
【請求項１】
表示パネルと、
前記表示パネルにデータを書き込むためのパネル駆動回路と、
電源入力信号の入力を受け前記パネル駆動回路の駆動に必要なロジック電源電圧を発生し、前記電源入力信号ハイロジックレベルからローロジックレベルまで低下した後から所定のパワーオフ遅延時間内には前記ロジック電源電圧の出力を維持し、前記パワーオフ遅延時間以後に前記ロジック電源電圧を低下させる電源部を含み、
前記表示パネルには、直交するデータラインとゲートライン、及び有機発光ダイオードを含む画素が形成され、
前記ゲートラインは、スキャンラインと、エミッションラインと、初期化ラインと、に分けられ、
前記画素は、
ゲートが前記スキャンラインに、ドレインが前記データラインに、各々接続された、第４のスイッチングトランジスタと、
ゲートが前記エミッションラインに、ドレインが前記第４のスイッチングトランジスタのソースに、各々接続された、第１のスイッチングトランジスタと、
ゲートが前記初期化ラインに、ソースが前記第１のスイッチングトランジスタのソースに、各々接続された、第３のスイッチングトランジスタと、
ゲートが前記初期化ラインに、ソースが前記有機発光ダイオードのアノードに、各々

接続された、第２のスイッチングトランジスタと、
　ゲートが前記第１のスイッチングトランジスタのソースに、ソースが前記有機発光ダイオードのアノードに、各々接続された、駆動トランジスタと、
　前記第４のスイッチングトランジスタのソースと、前記第２のスイッチングトランジスタのソースと、の間に接続された、ストレージキャパシタと、
を具備し、
　前記パネル駆動回路は、
　前記電源入力信号の変化を検知してパワーオフスタート時点を判断し、該パワーオフスタート時点において前記第２のスイッチングトランジスタ及び前記第３のスイッチングトランジスタのドレインが接地電圧に設定され、前記パワーオフ遅延時間の間前記ロジック電源電圧で駆動され、あらかじめ設定されたブラックデータを前記前記ストレージキャパシタに供給して画素を書き換える、又はゲート信号を前記画素エミッションライン及び前記初期化ラインに供給して前記ストレージキャパシタに蓄積された電荷を放電させる、ことを特徴とする有機発光表示装置。
【請求項２】
　前記パネル駆動回路は、
　前記データラインにデータ電圧を供給するデータ駆動回路と、
　前記ゲートラインに前記ゲート信号を順次に供給するゲート駆動回路と、
　前記データ駆動回路とゲート駆動回路の動作タイミングを制御し、前記電源入力信号の変化を検知し、前記パワーオフ遅延時間の間前記データ駆動回路と前記ゲート駆動回路を駆動させて前記画素の放電タイミングを制御するタイミングコントローラを含むことを特徴とする請求項１記載の有機発光表示装置。
【請求項３】
　前記パネル駆動回路が前記ブラックデータを供給する場合において、
　前記タイミングコントローラは前記パワーオフ遅延時間の間、入力映像と無関係に残像消去のためにあらかじめ設定されたデジタルブラックデータを前記データ駆動回路に伝送し、
　前記データ駆動回路は前記パワーオフ遅延時間の間前記デジタルブラックデータをガンマ補償電圧に変換し、ブラックデータ電圧を発生して前記データラインに供給し、
　前記ゲート駆動回路は前記パワーオフ遅延時間の間前記ブラックデータ電圧と同期されるスキャン信号を含む前記ゲート信号を前記ゲートラインに順次に供給することを特徴とする請求項２記載の有機発光表示装置。
【請求項４】
　前記ゲート駆動回路は前記パワーオフ遅延時間内で前記ロジック電源電圧が低下し始める前にゲート信号出力を止めることを特徴とする請求項３記載の有機発光表示装置。
【請求項５】
　前記タイミングコントローラは前記パワーオフスタート時点から前記パワーオフ遅延時間までの時間より短い時間に設定されたゲートオン時間に到達する時前記ゲート駆動回路の動作タイミングを制御するためのゲートタイミング制御信号の出力を止めることを特徴とする請求項４記載の有機発光表示装置。
【請求項６】
　前記パネル駆動回路は、
　前記ゲート信号は前記スキャンラインに順次に供給されるスキャン信号、前記エミッションラインに順次に供給される発光制御信号の第１及び第２パルス、前記初期化ラインに順次供給される初期化信号に分けられ、
　前記初期化信号は前記発光制御信号の第１パルスと重畳されることを特徴とする請求項３記載の有機発光表示装置。
【請求項７】
　前記タイミングコントローラは、
　前記データ駆動回路の動作タイミングを制御するためのデータタイミング制御信号と、

前記ゲート駆動回路の動作タイミングを制御するためのゲートタイミング制御信号を発生し、
前記パワーオフスタート時点に前記ゲートタイミング制御信号を変調し、
前記ゲート駆動回路は変調された前記ゲートタイミング制御信号に応答して前記パワーオフ遅延時間の間前記スキャン信号と前記発光制御信号の第２パルスを除外した残りゲート信号を出力することを特徴とする請求項６記載の有機発光表示装置。
【請求項８】
前記データ駆動回路は前記パワーオフ遅延時間の間にデータ電圧を出力しないことを特徴とする請求項７記載の有機発光表示装置。
【請求項９】
前記ゲート駆動回路は前記パワーオフ遅延時間内で前記ロジック電源電圧が低下し始める前にゲート信号出力を止めることを特徴とする請求項７記載の有機発光表示装置。
【請求項１０】
前記タイミングコントローラは前記パワーオフスタート時点から前記パワーオフ遅延時間までの時間より短い時間に設定されたゲートオン時間に到達する時、前記ゲート駆動回路の動作タイミングを制御するためのゲートタイミング制御信号の出力を止めることを特徴とする請求項９記載の有機発光表示装置。
【請求項１１】
表示パネルと、
前記表示パネルにデータを書き込むためのパネル駆動回路と、
電源部を含む、
有機発光表示装置の残像消去方法であって、
前記表示パネルには、直交するデータラインとゲートライン、及び有機発光ダイオードを含む画素が形成され、
前記ゲートラインはスキャンラインとエミッションラインと、初期化ラインに分けられ、
前記画素は、
ゲートが前記スキャンラインに、ドレインが前記データラインに、各々接続された、第４のスイッチングトランジスタと、
ゲートが前記エミッションラインに、ドレインが前記第４のスイッチングトランジスタのソースに、各々接続された、第１のスイッチングトランジスタと、
ゲートが前記初期化ラインに、ソースが前記第１のスイッチングトランジスタのソースに、各々接続された、第３のスイッチングトランジスタと、
ゲートが前記初期化ラインに接続され、ソースが前記有機発光ダイオードのアノードに、各々接続された第２のスイッチングトランジスタと、
ゲートが前記第１のスイッチングトランジスタのソースに、ソースが前記有機発光ダイオードのアノードに、各々接続された、駆動トランジスタと、
前記第４のスイッチングトランジスタのソースと、前記第２のスイッチングトランジスタのソースと、の間に接続された、ストレージキャパシタと、
を具備し、
前記方法は、
前記電源部において、電源入力信号の入力を受けパネル駆動回路の駆動に必要なロジック電源電圧を発生する段階と、
前記電源入力信号ハイロジックレベルからローロジックレベルに反転された後、所定のパワーオフ遅延時間の間、前記ロジック電源電圧の出力を維持して前記パネル駆動回路を駆動する段階と、
前記電源入力信号の変化を検知してパワーオフスタート時点を判断する段階と、
前記パワーオフスタート時点において前記第２のスイッチングトランジスタ及び前記第３のスイッチングトランジスタのドレインを接地電圧に設定する段階と、
前記パワーオフ遅延時間の間前記ロジック電源電圧で駆動されるパネル駆動回路を利用

してあらかじめ設定されたブラックデータを前記画素前記ストレージキャパシタに供給して画素を書き換える、又はゲート信号を前記画素エミッションライン及び前記初期化ラインに供給して前記画素ストレージキャパシタに蓄積された電荷を放電させる段階を含むことを特徴とする、有機発光表示装置の残像消去方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は残像消去機能を有する有機発光表示装置及びその残像消去方法に関する。

【背景技術】

【０００２】

有機発光表示装置の画素は自発光素子である有機発光ダイオード(Organic Light Emitting Diode: 以下、"ＯＬＥＤ"と称する)を含む。ＯＬＥＤは正孔注入層(Hole Injection layer、ＨＩＬ)、正孔輸送層(Hole transport layer、ＨＴＬ)、発光層(Emission layer、ＥＭＬ)、電子輸送層(Electron transport layer、ＥＴＬ) 及び電子注入層(Electron Injection layer、ＥＩＬ) などの有機化合物層が積層される。ＯＬＥＤにおいては、蛍光または燐鉱有機物薄膜に電流が流れるようにして電子と正孔が有機物層で結合する時に発光する。

【０００３】

有機発光ダイオード表示装置においては、電源オフ(Power off) 後に残像が見え、その残像が長時間固定されることがある。このような残像問題は有機発光ダイオード表示装置には電源オフ(Power off)時に画素の残留電荷を放電する機能がないことに起因する。有機発光ダイオードの残像は電源オフの時にも観察され、電源オフ後にまた電源をオンして表示パネルを再駆動した後にも一定時間の間消えないで観察される。

【発明の概要】

【発明が解決しようとする課題】

【０００４】

本発明の目的は、パワーオフ・シーケンス過程で残像を防止することができる有機発光表示装置及びその残像消去方法を提供することにある。

【課題を解決するための手段】

【０００５】

前記目的を達成するために、本発明に係る有機発光表示装置は直交するデータラインとゲートラインと、有機発光ダイオードを含む画素が形成された表示パネルと前記表示パネルにデータを書き込むためのパネル駆動回路と、電源入力信号の入力を受け前記パネル駆動回路の駆動に必要なロジック電源電圧を発生し、前記電源入力信号がハイロジックレベルからローロジックレベルに低下した後から所定のパワーオフ遅延時間内には前記ロジック電源電圧の出力を維持し、前記パワーオフ遅延時間以後に前記ロジック電源電圧を低下させる電源部を含む。

【０００６】

前記パネル駆動回路は前記電源入力信号の変化を検知してパワーオフスタート時点を判断し、前記パワーオフ遅延時間の間前記ロジック電源電圧で駆動され、あらかじめ設定されたブラックデータを前記画素に供給し、又はゲート信号を前記画素に供給して前記画素を放電させる。

【発明の効果】

【０００７】

前述のように、本発明はパワーオフ・シーケンスが始まるパワーオフスタート時点からパネル駆動回路が駆動されるパワーオフ遅延時間の間画素を放電させパワーオフ・シーケンス過程で有機発光表示装置の残像を消すことができる。

【図面の簡単な説明】

【０００８】

【図１】本発明の実施の形態に係る有機発光表示装置を示すブロック図である。

【図２】本発明の実施の形態に係る有機発光表示装置の残像消去方法の制御手順を段階的に示す流れ図である。
【図３】パワーオフ・シーケンス過程でロジック電源電圧遅延時間を示す波形図である。
【図４】図１に示された画素の一例を示す回路図である。
【図５】パワーオン状態で正常に入力映像を表示する画素の動作を示す波形図である。
【図６】本発明の第１実施の形態に係る有機発光表示装置の残像消去方法で画素に残像を消去するためのブラックデータを書き込む動作を説明する波形図である。
【図７】本発明の第２実施の形態に係る有機発光表示装置の残像消去方法で画素を初期化し発光を抑制して残像を消去する動作を説明する波形図である。
【図８】本発明の第２実施の形態に係る有機発光表示装置の残像消去方法で画素を初期化し発光を抑制して残像を消去する動作を説明する波形図である。
【図９】本発明の第１実施の形態に係る有機発光表示装置の残像消去方法を具現するためのタイミングコントローラの構成を示すブロック図である。
【図１０】本発明の第２実施の形態に係る有機発光表示装置の残像消去方法を具現するためのタイミングコントローラの構成を示すブロック図である。
【図１１】ロジック電源電圧が低くなる時ゲート信号が印加される例を示す波形図である。
【図１２】ロジック電源電圧が低くなる前にゲート信号の出力が遮断される例を示す波形図である。
【発明を実施するための形態】
【０００９】
以下、添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。
【００１０】
明細書全体に亙って同一参照番号は実質的に同一構成要素子を意味する。以下の説明で、本発明と係わる公知機能あるいは構成に対する具体的な説明が本発明の要旨を不必要に不明にすることがあると判断される場合、その詳細な説明を省略する。
【００１１】
図１を参照すれば、本発明の実施の形態に係る有機発光表示装置は表示パネル１０、表示パネル１０にデータを書き込むためのパネル駆動回路、及びパネル駆動回路の駆動に必要な電源を発生する電源部２０を含む。
【００１２】
パネル駆動回路はデータ駆動回路１２、ゲート駆動回路１３、タイミングコントローラ１１などを含む。パネル駆動回路は電源入力信号（ＥＬ＿ＯＮ）の変化を検知し、パワーオフスタート時点を判断する。そしてパネル駆動回路はパワーオフ遅延時間の間ロジック電源電圧を供給受けて追加駆動され、入力映像と無関係に残像消去のためにあらかじめ設定されたブラックデータを前記画素に書き込むか、前記パワーオフ遅延時間の間前記画素を初期化し前記画素の発光を抑制する。パワーオフ遅延時間はパワーオフスタート時点以後にロジック電源電圧１２Ｖが維持される時間である。
【００１３】
表示パネル１０では複数のデータライン１４と複数のゲートライン１５が交差する。画素（Ｐ）はデータライン１４とゲートライン１５の交差によって定義されたマトリックス形態で配置される。ゲートライン１５はスキャンライン１５ａとエミッションライン１５ｂ及び初期化ライン１５ｃに分けられる。画素（Ｐ）それぞれは図４のようにＯＬＥＤ、駆動ＴＦＴ(Thin Film Transistor)、４つのスイッチＴＦＴと２つのキャパシタを含む回路で形成できるがこれに限定されない。例えば、画素（Ｐ）はＯＬＥＤ、データ電圧によってＯＬＥＤに流れる電流を調節する駆動素子、一つ以上のスイッチ素子と一つ以上のキャパシタなどを含みスキャンパルスに応答しデータ電圧を駆動素子のゲートに供給した後発光制御信号に応答しＯＬＥＤを発光させる公知のどのような回路でも具現されることができる。
【００１４】

タイミングコントローラ１１は外部のホストシステム(host system)から入力されるデジタルビデオデータ（ＲＧＢ）を表示パネル１０の画素配置に対応するように再整列しデータ駆動回路１２に供給する。ホストシステムはＴＶシステム、セットトップボックス、ナビゲーションシステム、ＤＶＤプレーヤー、ブルーレイプレーヤー、パソコン（ＰＣ）、ホームシアターシステム、フォンシステム(Phone system)中いずれか一つに実現されることができる。ホストシステムは入力映像のデジタルビデオデータと共にそのデータと同期されるタイミング信号（Ｖｓｙｎｃ、Ｈｓｙｎｃ、ＣＬＫ、ＤＥ）をタイミングコントローラ１１に伝送する。

【００１５】

タイミングコントローラ１１は垂直同期信号（Ｖｓｙｎｃ）、水平同期信号（Ｈｓｙｎｃ）、メインクロック信号（ＣＬＫ）及びデータイネーブル信号（ＤＥ）などのタイミング信号を利用しデータ駆動回路１２の動作タイミングを制御するためのソースタイミング制御信号（ＤＤＣ）と、ゲート駆動回路１３の動作タイミングを制御するためのゲートタイミング制御信号（ＧＤＣ）を発生する。ソースタイミング制御信号はソーススタートパルス(Source Start Pulse、ＳＳＰ)、ソースサンプリングクロック(Source Sampling Clock、ＳＳＣ)、ソース出力イネーブル信号(Source Output Enable、ＳＯＥ）などを含む。ゲートタイミング制御信号はゲート信号のスタートタイミングを定義するゲートスタートパルス(Gate Start Pulse、ＧＳＰ)、ゲート信号のシフトタイミングを定義するシフトクロック(shift clock、ＧＳＣ)、ゲート信号の出力タイミングを定義するゲート出力イネーブル信号(Gate Output Enable、ＧＯＥ）などを含む。

【００１６】

データ駆動回路１２はタイミングコントローラ１１から入力されるデジタルビデオデータ（ＲＧＢ）をガンマ補償電圧に変換しアナログデータ電圧を発生して、そのデータ電圧をデータライン１４に供給する。ゲート駆動回路１３はタイミングコントローラ１１の制御の下にゲート信号を発生しそのゲート信号を画素アレイのローライン単位で順次シフトする。ゲート信号は図５のようにスキャン信号（ＳＣＡＮ）、発光制御信号（ＥＭ）、及び初期化信号(ＩＮＩＴ)を含むことができるがこれに限定されない。ゲート駆動回路１３はタイミングコントローラ１１の制御の下にデータ電圧と同期されるスキャン信号（ＳＣＡＮ）をスキャンライン１５ａに順次供給し、発光制御信号（ＥＭ）をエミッションライン１５ｂに順次供給する。そしてゲート駆動回路１３は初期化信号(ＩＮＩＴ)をライン順次方式で初期化ライン１５ｃに順次供給する。スキャン信号（ＳＣＡＮ）と発光制御信号（ＥＭ）、及び初期化信号（ＩＮＩＴ）それぞれはゲートハイ電圧（ＶＧＨ）とゲートロー電圧（ＶＧＬ）の間でスイングする。ゲートハイ電圧（ＶＧＨ）は画素（Ｐ）に形成されたスイッチ ＴＦＴのしきい電圧以上の高い電圧で設定される一方、ゲートロー電圧（ＶＧＬ）は画素（Ｐ）に形成されたスイッチＴＦＴのしきい電圧より低い電圧に設定される。

【００１７】

電源部２０は電源入力信号（ＥＬ＿ＯＮ）がハイロジック電圧で入力されればパネル駆動回路を駆動させるロジック電源電圧を発生する。電源部２０は電源入力信号（ＥＬ＿ＯＮ）がハイロジックレベルを維持するパワーオン状態で高電位電源電圧（ＥＶＤＤ）、低電位電源電圧（ＥＶＳＳ）、基準電圧（Ｖｒｅｆ）、初期化電圧（Ｖｉｎｉｔ）を生成することができる。電源部２０は電源入力信号（ＥＬ＿ＯＮ）がローロジック 電圧で低くなる時、高電位電源電圧（ＥＶＤＤ）をグラウンド電位あるいは０Ｖに低下させ、その後パワーオフ遅延時間(図３のＴｏｆｆ) 間パネル駆動回路が正常に動作するようにロジック電源電圧の出力を１２Ｖで維持した後に、そのロジック電源電圧をグラウンド電位あるいは０Ｖまで低下させる。高電位電源電圧（ＥＶＤＤ）がグラウンド電位まで低下すれば画素（Ｐ）のＯＬＥＤに電流が流れないので画素（Ｐ）は発光できない。

【００１８】

電源入力信号（ＥＬ＿ＯＮ）は ３．３ＶとＯＶ間でスイングする３．３ＶＴＴＬ(Transistor Transistor Logic) 電圧として、有機発光表示装置の電源状態を指示する。電源

入力信号（ＥＬ＿ＯＮ）は有機発光表示装置の電源がターン-オンされパワーオン状態になるとパワーオフ状態に転換される前までハイロジックレベル３．３Ｖで維持される。パワーオフ状態は有機発光表示装置の電源が使用者や他の原因によってターン-オフされる時に発生する。パワーオフ状態で、あらかじめ設定されたパワーオフ・シーケンス(Power off sequence)によって有機発光表示装置の駆動電圧が順次オフされる。電源入力信号（ＥＬ＿ＯＮ）はパワーオフ状態に切り換わるとローロジックレベル０Ｖに下がる。

【００１９】

ロジック電源電圧は１２Ｖ電源である。電源部２０は電源入力信号（ＥＬ＿ＯＮ）がローロジックレベルに変わるパワーオフスタート時点から所定時間が経過されるまでのパワーオフ遅延時間(Ｔｏｆｆ）間、ロジック電源電圧１２Ｖをそのまま維持した後、そのロジック電源電圧１２Ｖの出力を遮断する。したがって、パネル駆動回路はパワーオフ・シーケンス過程でパワーオフ遅延時間（Ｔｏｆｆ）の間は正常に動作し、その後にロジック電源電圧１２Ｖが入力されなくなるとディセーブル(disable)されて動作を止める。パワーオフ遅延時間（Ｔｏｆｆ）は１フレーム期間以上であり約５０ｍｓｅｃ以上の時間で設定されることができるがこれに限定されない。

【００２０】

タイミングコントローラ１１はデータ駆動回路１２とゲート駆動回路１３を制御し、パワーオフ・シーケンス過程で表示パネル１０の画素アレイに残っている残像を消去する。図２は本発明の実施の形態に係る有機発光表示装置の残像消去方法の制御手順を段階的に示す流れ図である。

【００２１】

図２を参照すると、タイミングコントローラ１１は電源入力信号（ＥＬ＿ＯＮ）の変化を検知し電源入力信号が所定の基準値以下に低下した時、パワーオフスタートと判断する。（Ｓ１及びＳ２）タイミングコントローラ１１はパワーオフスタート時点からパワーオフ遅延時間（Ｔｏｆｆ）の間、データ駆動回路１２とゲート駆動回路１３を制御し、画素アレイに残っている残像を消去する。(Ｓ３）残像は下の第１及び第２実施の形態のような残像消去方法で消去されることができる。パワーオフスタート時点以後には高電位電源電圧（ＥＶＤＤ）が画素（Ｐ）に印加されないので画素（Ｐ）はＯＬＥＤに電流が流れないので発光されない。したがって、本発明は画素が発光されない状態で画素（Ｐ）を放電させて残像を消去する。使用者はパワーオフ以後に画素が発光されないで黒く見えるのでパワーオフ以後に画素（Ｐ）が放電する現象を認識できない。

【００２２】

第１実施の形態

【００２３】

タイミングコントローラ１１は第１実施の形態で少なくとも１フレーム期間の間、データ駆動回路１２にブラックデータを伝送し、データ駆動回路１２とゲート駆動回路１３を駆動させ、画素（Ｐ）にブラックデータを書き込む。パワーオフ・シーケンス過程で画素に書き込まれるブラックデータは入力映像データと無関係にパワーオフ・シーケンス過程で残像を消去するための目的にタイミングコントローラ１１内に記憶されている。タイミングコントローラ１１には残像消去のためのブラックデータがブラック階調値のデジタルデータ"０００００００００２“で設定されレジスターに記憶されることができる。ブラックデータはブラック階調付近の暗い階調、例えば“０００００ＸＸＸＸ２”に設定されることができる。ここで、Ｘは０または１である。タイミングコントローラ１１はパワーオフスタート時点にそのレジスターからブラックデータを読み出してデータ駆動回路１２に伝送する。データ駆動回路１２は第１実施の形態でパワーオフ遅延時間（Ｔｏｆｆ）間、追加駆動されタイミングコントローラ１１から入力されるブラックデータをガンマ補償電圧に変換してブラックデータ電圧を発生し、そのブラックデータ電圧をデータライン１４に供給する。ゲート駆動回路１３は第１実施の形態でパワーオフ遅延時間（Ｔｏｆｆ）の間追加駆動されタイミングコントローラ１１の制御の下にスキャン信号（ＳＣＡＮ）、発光制御信号（ＥＭ）、及び初期化信号(ＩＮＩＴ)を発生する。画素（Ｐ）はパワーオフ遅延

時間（Ｔｏｆｆ）内でブラックデータ電圧が供給される時残留電荷を、データラインを通じて放電する。したがって、画素（Ｐ）の残像がパワーオフ遅延時間（Ｔｏｆｆ）内で消される。

【００２４】

タイミングコントローラ１１はパワーオフ・シーケンス過程においてパワーオフ遅延時間（Ｔｏｆｆ）内で許容されるＮ(Ｎは正の整数)フレーム期間の間画素（Ｐ）にブラックデータを繰り返し的に書き込むこともできる。

【００２５】

第２実施の形態

【００２６】

タイミングコントローラ１１は第２実施の形態でゲートタイミング制御信号（ＧＤＣ）を変調して画素（Ｐ）の発光を抑制することができる。ゲートタイミング制御信号（ＧＤＣ）はスキャン信号（ＳＣＡＮ）、発光制御信号（ＥＭ）、及び初期化信号（ＩＮＩＴ）それぞれのスタートタイミングを指示するスタートパルス、その信号のシフトタイミングを指示するクロック信号を含む。タイミングコントローラ１１は第２実施の形態でゲートタイミング制御信号（ＧＤＣ）を変調して画素（Ｐ）を初期化し、画素（Ｐ）の発光を抑制する。

【００２７】

タイミングコントローラ１１は第２実施の形態でどのようなデータもデータ駆動回路１２に供給しない。データ駆動回路１２は第２実施の形態によればパワーオフ・シーケンス過程でデータ電圧を出力しない。ゲート駆動回路１３は、第２実施の形態ではタイミングコントローラ１１の制御の下に画素（Ｐ）の初期化に必要な信号のみを順次供給し、画素（Ｐ）の発光タイミングを制御する発光制御信号(図５のＥＭ（Ｐ２）)を出力しない。画素（Ｐ）の初期化に必要な信号、例えば、図７のＥＭ、ＩＮＩＴが画素（Ｐ）に印加されれば画素（Ｐ）でＴＦＴの中で一部がターン-オンされる。画素（Ｐ）はパワーオフ遅延時間（Ｔｏｆｆ）内でターン-オンされたＴＦＴを通じて残留電荷を放電する。

【００２８】

図３はパワーオフ・シーケンス過程でパワーオフ遅延時間（Ｔｏｆｆ）を示す波形図である。

【００２９】

図３を参照すると、タイミングコントローラ１１は電源入力信号（ＥＬ＿ＯＮ）がハイロジックレベルを維持するパワーオン状態で入力映像のデジタルビデオデータをデータ駆動回路１２に伝送し、データ駆動回路１２とゲート駆動回路１３を正常な方法で制御して入力映像のデータを画素（Ｐ）に書き込む。画素（Ｐ）にはデータが毎フレーム期間ごとにアップデートされる。図３において“正常フレーム”はパワーオン状態で入力映像のデータが画素（Ｐ）に書き込まれる１フレーム期間を示す。

【００３０】

タイミングコントローラ１１は電源入力信号（ＥＬ＿ＯＮ）がローロジックレベルに変わる時にパワーオフスタート時点と判断して、ロジック電源電圧１２Ｖが維持されるパワーオフ遅延時間（Ｔｏｆｆ）間データ駆動回路１２とゲート駆動回路１３を制御し、画素アレイに残っている残像を消去する。図３で“Ｏｆｆフレーム”はパワーオフ・シーケンス過程で画素（Ｐ）にブラックデータが書き込まれるか発光制御信号の遮断によって画素（Ｐ）の発光が抑制され残像が消去される１フレーム期間を示す。パワーオフ遅延時間（Ｔｏｆｆ）内には１つ以上のＯｆｆフレーム期間が割り当てられることがある。

【００３１】

画素（Ｐ）それぞれは図４のようにデータライン１４とスキャンライン１５ａとエミッションライン１５ｂ、及び初期化ライン１５ｃに接続される。画素（Ｐ）それぞれは高電位電源電圧（ＥＶＤＤ）、低電位電源電圧（ＥＶＳＳ）、基準電圧（Ｖｒｅｆ）、初期化電圧（Ｖｉｎｉｔ）などの画素駆動電源の供給を受ける。基準電圧（Ｖｒｅｆ）と初期化電圧（Ｖｉｎｉｔ）は低電位電源電圧（ＥＶＳＳ）より低く設定されることができる。基

準電圧（Ｖｒｅｆ）は初期化電圧（Ｖｉｎｉｔ）より高く設定される。基準電圧（Ｖｒｅｆ）と初期化電圧（Ｖｉｎｉｔ）の間の差は駆動ＴＦＴ（ＤＴ）のしきい電圧よりも大きくなるように設定されることができる。高電位電源電圧（ＥＶＤＤ）、低電位電源電圧（ＥＶＳＳ）、基準電圧（Ｖｒｅｆ）、初期化電圧（Ｖｉｎｉｔ）はホストシステムまたは電源部２０で生成されることができる。

【００３２】

タイミングコントローラ１１は電源入力信号（ＥＬ＿ＯＮ）がローロジックレベルに変わる時点に画素（Ｐ）に入力映像のデータがアップデートされていたら図３のように残りデータを画素（Ｐ）に全て書き込む後残像を消去することができる。

【００３３】

図４は画素（Ｐ）の一例を示す回路図である。図５はパワーオン状態で正常に入力映像を表示する画素（Ｐ）の動作を示す波形図である。

【００３４】

図４及び図５を参照すると、画素（Ｐ）は ＯＬＥＤ、駆動ＴＦＴ（ＤＴ）、第１ないし第４スイッチＴＦＴ（ＳＴ１～ＳＴ４）、補償キャパシタ（Ｃｇｓｓ）及びストレージキャパシタ（Ｃｓｔ）を備える。

【００３５】

ＯＬＥＤは駆動ＴＦＴ（ＤＴ）から供給される電流によって発光する。ＯＬＥＤのアノードとカソードの間には有機化合物層が積層される。ＯＬＥＤの有機化合物層は正孔注入層（ＨＩＬ）、正孔輸送層（ＨＴＬ）、発光層（ＥＭＬ）、電子輸送層（ＥＴＬ）及び電子注入層（ＥＩＬ）などを含むことができるが、これに限定されるのではなく公知のどのようなＯＬＥＤ構造でも適用可能である。

【００３６】

駆動ＴＦＴ（ＤＴ）は自分のゲート-ソースの間電圧でＯＬＥＤに流れる電流を調節する。駆動ＴＦＴ（ＤＴ）のゲート電極はノードＢに、ドレーン電極は高電位セル駆動電圧（ＥＶＤＤ）入力端に、ソース電極はノードＣにそれぞれ接続される。

【００３７】

第１スイッチＴＦＴ（ＳＴ１）は発光制御信号（ＥＭ）に応答しノードＡとノードＢの間の電流パスをスイッチングする。第１スイッチＴＦＴ（ＳＴ１）はターンオンされることでノードＡに蓄積（記憶）されたデータ電圧（Ｖｄａｔａ）をノードＢに伝達する。第１スイッチＴＦＴ（ＳＴ１）のゲート電極はエミッションライン１５ｂに、ドレーン電極はノードＡに、ソース電極はノードＢにそれぞれ接続される。

【００３８】

第２スイッチＴＦＴ（ＳＴ２）は初期化信号(ＩＮＩＴ)に応答し初期化電圧（Ｖｉｎｉｔ）の入力端とノードＣの間の電流パスをスイッチングする。第２スイッチＴＦＴ（ＳＴ２）はターンオンされることでノードＣに初期化電圧（Ｖｉｎｉｔ）を供給する。第２スイッチＴＦＴ（ＳＴ２）のゲート電極は初期化ライン１５ｃに、ドレーン電極は初期化電圧（Ｖｉｎｉｔ）の入力端に、ソース電極はノードＣにそれぞれ接続される。

【００３９】

第３スイッチＴＦＴ（ＳＴ３）は初期化信号(ＩＮＩＴ)に応答し基準電圧（Ｖｒｅｆ）の入力端とノードＢの間の電流パスをスイッチングする。第３スイッチＴＦＴ（ＳＴ３）はターン-オンされることでノードＢに基準電圧（Ｖｒｅｆ）を供給する。第３スイッチＴＦＴ（ＳＴ３）のゲート電極は初期化ライン１５ｃに、ドレーン電極は基準電圧（Ｖｒｅｆ）の入力端に、ソース電極はノードＢにそれぞれ接続される。

【００４０】

第４スイッチＴＦＴ（ＳＴ４）はスキャン信号（ＳＣＡＮ）に応答しデータライン１４とノードＡの間の電流パスをスイッチングする。第４スイッチＴＦＴ（ＳＴ４）はターンオンされることでノードＡにデータ電圧（Ｖｄａｔａ）を供給する。第４スイッチＴＦＴ（ＳＴ４）のゲート電極はスキャンライン１５ａに、ドレーン電極はデータライン１４に、ソース電極はノードＡにそれぞれ接続される。

【００４１】
補償キャパシタ（Ｃｇｓｓ）はノードＢとノードＣの間に接続される。補償キャパシタ（Ｃｇｓｓ）は駆動ＴＦＴ（ＤＴ）のしきい電圧の検出の時ソースフォロワ方式ができるようにし、しきい電圧に対する補償能力向上に寄与する。
【００４２】
ストレージ キャパシタ（Ｃｓｔ）はノードＡとノードＣの間に接続される。ストレージキャパシタ（Ｃｓｔ）はノードＡに入力されたデータ電圧（Ｖｄａｔａ）を蓄積（記憶）し、ノードＣに伝達する。
【００４３】
画素（Ｐ）の動作はノードＡ、Ｂ、Ｃを特定電圧で初期化する初期化期間（Ｔｉ）、駆動ＴＦＴ（ＤＴ）のしきい電圧を検出及び記憶するセンシング期間（Ｔｓ）、データ書き込みのためにデータ電圧（Ｖｄａｔａ）を画素（Ｐ）に印加するプログラミング期間（Ｔｐ）、及び駆動ＴＦＴ（ＤＴ）のしきい電圧に影響を受けないデータ電圧（Ｖｄａｔａ）によって駆動される駆動ＴＦＴ（ＤＴ）を通じてＯＬＥＤの電流を供給する発光期間（Ｔｅ）に分けられる。発光期間（Ｔｅ）は第１及び第２発光期間（Ｔｅ１、Ｔｅ２）に分けられる。
【００４４】
初期化期間（Ｔｉ）で、第２及び第３スイッチＴＦＴ(ＳＴ２、ＳＴ３)はハイロジックレベルの初期化信号(ＩＮＩＴ)に応答し同時にターン-オンされる。第１スイッチＴＦＴ（ＳＴ１）は初期化期間（Ｔｉ）に発光制御信号（ＥＭ）の第１パルス（Ｐ１）に応答してターン-オンされる。発光制御信号（ＥＭ）の第１パルス（Ｐ１）は初期化信号(ＩＮＩＴ)と重畳される。初期化信号(ＩＮＩＴ)のパルスは初期化を安定化するために発光制御信号（ＥＭ）の第１パルス（Ｐ１）よりさらに広く設定されることが望ましい。その結果、初期化期間（Ｔｉ）間初期化電圧（Ｖｉｎｉｔ）はノードＣに供給され、基準電圧（Ｖｒｅｆ）はノードＢに供給される。また、基準電圧（Ｖｒｅｆ）は第１及び第３スイッチＴＦＴ（ＳＴ１、ＳＴ３）を経由しノードＡに供給される。第４スイッチＴＦＴ（ＳＴ４）は初期化期間（Ｔｉ）でオフ状態を維持する。駆動ＴＦＴ（ＤＴ）のゲート電圧をソース電圧より高くして駆動ＴＦＴ（ＤＴ）のドレーン-ソースの間電流パスを導通させるために、基準電圧（Ｖｒｅｆ）は初期化電圧（Ｖｉｎｉｔ）よりも高く設定される。
【００４５】
初期化電圧（Ｖｉｎｉｔ）は発光期間（Ｔｅ）を除外した残り期間(Ｔｉ、Ｔｓ、Ｔｐ)でＯＬＥＤが発光されないように適切に低い値に設定される。例えば、高電位セル駆動電圧（ＥＶＤＤ）が２０Ｖ、低電位セル駆動電圧（ＥＶＳＳ）が０Ｖに設定される場合、基準電圧（Ｖｒｅｆ）及び初期化電圧（Ｖｉｎｉｔ）はそれぞれ－１Ｖ及び－５Ｖで設定されることができる。
【００４６】
図５のようなスキャン信号（ＳＣＡＮ）、発光制御信号（ＥＭ）、及び初期化信号(ＩＮＩＴ)は一組を成し画素アレイの １ラインを選択するためのスキャンライン１５ａ、エミッションライン１５ｂ、及び初期化ライン１５ｃを含む１組のゲートラインに供給される。このような信号(ＳＣＡＮ、ＥＭ、ＩＮＩＴ)は画素アレイのローライン(Row line)単位でシフトしながらゲートライン１５に供給される。
【００４７】
センシング期間（Ｔｓ）で、発光制御信号（ＥＭ）と初期化信号(ＩＮＩＴ)はローロジックレベルに反転される。スキャン信号（ＳＣＡＮ）もセンシング期間（Ｔｓ）にローロジックレベルで維持される。その結果、第１ないし第４スイッチＴＦＴ(ＳＴ１、ＳＴ２、ＳＴ３、ＳＴ４)はセンシング期間（Ｔｓ）間オフ状態を維持し、駆動ＴＦＴ（ＤＴ）を介して流れる電流(Ｉｄｔ)は徐々に減少される。駆動ＴＦＴ（ＤＴ）のゲート-ソース間電圧が駆動ＴＦＴ（ＤＴ）のしきい電圧（Ｖｔｈ）まで到達すれば駆動ＴＦＴ（ＤＴ）がターンオフされ、この時駆動ＴＦＴ（ＤＴ）のしきい電圧（Ｖｔｈ）がソースフォロワ方式に検出されノードＣに充電される。

【００４８】
プログラミング期間（Ｔｐ）で、第４スイッチＴＦＴ（ＳＴ４）は入力映像のデータ電圧（Ｖｄａｔａ）に同期されるハイロジックレベルのスキャン信号（ＳＣＡＮ）によってターン-オンされる。この時データ電圧（Ｖｄａｔａ）はノードＡに供給される。第１ないし第３スイッチＴＦＴ(ＳＴ１、ＳＴ２、ＳＴ３)はプログラミング期間（Ｔｐ）間オフ状態を維持する。プログラミング期間（Ｔｐ）で、ノードＢ及びＣはＴＦＴまたはキャパシタ によってノードＡと分離しているのでセンシング期間（Ｔｓ）での電位をほぼそのまま維持する。
【００４９】
第１発光期間（Ｔｅ１）において、第１スイッチＴＦＴ（ＳＴ１）は発光制御信号（ＥＭ）の第２パルス（Ｐ２）によってターン-オンされる。この時、ノードＡに充電されたデータ電圧（Ｖｄａｔａ）がノードＢに伝達する。第２ないし第４スイッチＴＦＴ（ＳＴ２、ＳＴ３、ＳＴ４）は第１発光期間（Ｔｅ１）の間オフ状態を維持する。駆動ＴＦＴ（ＤＴ）は第１発光期間（Ｔｅ１）にノードＢに伝達するデータ電圧（Ｖｄａｔａ）に比例する電流をＯＬＥＤに供給する。第１発光期間（Ｔｅ１）の間、駆動ＴＦＴ（ＤＴ）を介して流れる電流にしたがってノードＣの電位が上昇し、その電位がＯＬＥＤのしきい電圧以上に上昇するとＯＬＥＤを導通させることができる“Ｖｏｌｅｄ"まで増加し、その結果ＯＬＥＤがターン-オンされて発光する。
【００５０】
第２発光期間（Ｔｅ２）で、第１ないし第４スイッチＴＦＴ（ＳＴ１、ＳＴ２、ＳＴ３、ＳＴ４）はオフ状態を維持する。第２発光期間（Ｔｅ２）は発光制御信号（ＥＭ）が印加される第１スイッチＴＦＴ（ＳＴ１）の劣化防止のために設定される。このために、発光制御信号（ＥＭ）は第１スイッチＴＦＴ（ＳＴ１）のゲートバイアスストレス(gate bias stress)を補償するために第２発光期間（Ｔｅ２）間ローロジックレベルに反転される。
【００５１】
画素（Ｐ）は図４のような回路によって実現される場合にソースフォロワ方式に従って駆動ＴＦＴ（ＤＴ）のしきい電圧を検出する。ソースフォロワ方式は駆動ＴＦＴ（ＤＴ）のゲート-ソースの間に補償キャパシタを接続させ、しきい電圧検出の時に駆動ＴＦＴのソース電圧をゲート電圧に追従させる。さらに、駆動ＴＦＴ（ＤＴ）のドレーンにはゲートと分離して高電位セル駆動電圧（ＥＶＤＤ）が供給されているので、ソースフォロワ方式は正の値を有する駆動ＴＦＴ（ＤＴ）のしきい電圧だけでなく負の値を有するしきい電圧まで検出することができる。画素（Ｐ）は駆動ＴＦＴ（ＤＴ）のしきい電圧センシングの時駆動ＴＦＴ（ＤＴ）のゲートをフローティングさせ、駆動ＴＦＴ（ＤＴ）のゲート-ソースの間に接続された補償キャパシタ（Ｃｇｓｓ）と駆動ＴＦＴ（ＤＴ）の寄生キャパシタを利用してしきい電圧補償能力を向上することができる。発光制御信号（ＥＭ）のオンデューティー(on-duty)を減らせば、発光制御信号（ＥＭ）によってスイッチングされるスイッチＴＦＴ（ＳＴ１）の劣化を最小化することができる。
【００５２】
図６は本発明の第１実施の形態に係る有機発光表示装置の残像消去方法で画素に残像を消去するためのブラックデータを書き込む動作を説明する波形図である。図６で、ゲート信号の中で発光制御信号（ＥＭ）と初期化信号(ＩＮＩＴ)は省略されている。
【００５３】
図６を参照すれば、ゲート駆動回路１３はタイミングコントローラ１１の制御の下にパワーオン状態で入力映像のデータ電圧に同期されるスキャン信号（ＳＣＡＮ1～ＳＣＡＮｎ）を順次にスキャンライン１５ａに供給する。したがって、パワーオン状態で画素（Ｐ）には入力映像のデータが書き込まれる。
【００５４】
タイミングコントローラ１１は電源入力信号（ＥＬ＿ＯＮ）がローロジックレベルに変わった以後にパワーオフ遅延時間（Ｔｏｆｆ）内で入力映像データと無関係に残像消去を

目的に設定されたデジタルブラックデータをデータ駆動回路１２に伝送する。デジタルブラックデータは入力映像データと無関係に残像消去を目的に設定されタイミングコントローラ１１で生成される。デジタルブラックデータはパワーオフスタート以後パワーオフ遅延時間（Ｔｏｆｆ）以内で画素（Ｐ）の放電を誘導する。

【００５５】

データ駆動回路１２はデジタルブラックデータをガンマ補償電圧に変換してブラックデータ電圧を生成しそのブラックデータ電圧をデータライン１４に供給する。ゲート駆動回路１３はパワーオフ遅延時間（Ｔｏｆｆ）内でタイミングコントローラ１１の制御の下にブラックデータ電圧と同期されるスキャン信号（ＳＣＡＮ1～ＳＣＡＮｎ）を順次にスキャンライン１５ａに供給する。したがって、パワーオフ・シーケンス過程で画素（Ｐ）には入力映像と無関係なブラックデータが書き込まれる。画素（Ｐ）にブラックデータが書き込まれるので残像が消去される。

【００５６】

基準電圧（Ｖｒｅｆ）及び初期化電圧（Ｖｉｎｉｔ）はパワーオフスタート時点にグラウンド電圧あるいは０Ｖに変わる。これはパワーオフスタート以後に基準電圧（Ｖｒｅｆ）及び初期化電圧（Ｖｉｎｉｔ）が負極性電圧または正極性電圧で維持されれば画素（Ｐ）に不必要な電荷が積もることができるからである。したがって、パワーオフスタート以後に画素（Ｐ）のノードＡ、Ｂ及びＣはグラウンド電位まで放電する。

【００５７】

図７及び図８は本発明の第２実施の形態に係る有機発光表示装置の残像消去方法で画素（Ｐ）を初期化し、発光を抑制して残像を消去する動作を説明する波形図である。

【００５８】

図７及び図８を参照すれば、タイミングコントローラ１１は電源入力信号（ＥＬ＿ＯＮ）がローロジックレベルに変わったパワーオフスタート時点に発光制御信号（ＥＭ）の第２パルス（Ｐ２）とスキャン信号（ＳＣＡＮ）が発生されないようにゲートタイミング制御信号（ＧＤＣ）を変調する。

【００５９】

データ駆動回路１２はパワーオフ遅延時間（Ｔｏｆｆ）間、タイミングコントローラ１１からどのようなデータも入力されないのでデータ電圧を出力しない。ゲート駆動回路１３はタイミングコントローラ１１の制御の下にパワーオフ遅延時間（Ｔｏｆｆ）間画素（Ｐ）を初期化するための発光制御信号（ＥＭ）の第１パルス（Ｐ１）と初期化信号(ＩＮＩＴ)を発生し、その信号を図８のように順次シフトさせる。ゲート駆動回路１３はタイミングコントローラ１１の制御の下にパワーオフ遅延時間（Ｔｏｆｆ）間発光制御信号（ＥＭ）の第２パルス（P2）を出力しないでデータ電圧と同期されるスキャン信号（ＳＣＡＮ）のパルスを発生しない。

【００６０】

画素（Ｐ）はパワーオフ遅延時間（Ｔｏｆｆ）間、図７及び図８のような信号(ＥＭ（Ｐ１)、ＩＮＩＴ)に応答して放電する。この時、画素（Ｐ）それぞれで、ノードＡ、Ｂ及びＣはグラウンド電圧源に接続され放電する。画素（Ｐ）のＯＬＥＤはパワーオフ遅延時間（Ｔｏｆｆ）間オフ状態を維持して発光しない。

【００６１】

図９は本発明の第１実施の形態に係る有機発光表示装置の残像消去方法を実現するためのタイミングコントローラの構成を示すブロック図である。

【００６２】

図９を参照すると、タイミングコントローラ１１は電源検知部１１１、データ整列部１１２、レジスター１１３、タイミング制御信号発生部１１４を含む。

【００６３】

電源検知部１１１は電源入力信号（ＥＬ＿ＯＮ）の電圧変化を検知してパワーオン状態またはパワーオフ状態を指示するパワーオン/オフ信号を出力する。

【００６４】

データ整列部１１２は入力映像のデジタルビデオデータと、残像消去のためのデジタルブラックデータを受信する。データ整列部１１２は表示パネル１０の画素配置に対応するようにデータを整列する。データ整列部１１２は電源検知部１１１から入力されるパワーオン/オフ信号の第１ロジックレベルに応答してパワーオン状態で入力映像のデジタルビデオデータを選択してデータ駆動回路１２に伝送する。一方、電源検知部１１１から入力されるパワーオン/オフ信号の第２ロジックレベルに応答しパワーオフ遅延時間（Ｔｏｆｆ）に残像消去のためのデジタルブラックデータを選択してデータ駆動回路１２に伝送する。デジタルブラックデータは入力映像と無関係に設定されタイミングコントローラ１１の内蔵レジスター１１３に記憶される。

【００６５】

タイミング制御信号発生部１１４は垂直同期信号（Ｖｓｙｎｃ）、水平同期信号（Ｈｓｙｎｃ）、メインクロック信号（ＣＬＫ）及びデータイネーブル信号（ＤＥ）などのタイミング信号の受信を受けてそのタイミング信号をカウントしてデータタイミング制御信号（ＤＤＣ）とゲートタイミング制御信号（ＧＤＣ）を発生する。本発明の第１実施の形態に係る有機発光表示装置の残像消去方法では、パワーオフ・シーケンス過程でデータタイミング制御信号（ＤＤＣ）とゲートタイミング制御信号（ＧＤＣ）は変調されない。したがって、本発明の第１実施の形態に係る有機発光表示装置の残像消去方法で、データ駆動回路１２とゲート駆動回路１３はパワーオフ遅延時間（Ｔｏｆｆ）間、パワーオン状態のような方法で正常動作し、ブラックデータを画素（Ｐ）に書き込んで残像を消去する。

【００６６】

図１０は本発明の第２実施の形態に係る有機発光表示装置の残像消去方法を実現するためのタイミングコントローラの構成を示すブロック図である。

【００６７】

図１０を参照すると、タイミングコントローラ１１は電源検知部１１７、データ整列部１１５、及びタイミング制御信号発生部１１６を含む。

【００６８】

電源検知部１１７は電源入力信号（ＥＬ＿ＯＮ）の電圧変化を検知してパワーオン状態またはパワーオフ状態を指示するパワーオン/オフ信号を出力する。

【００６９】

データ整列部１１５は入力映像のデジタルビデオデータを受信し、表示パネル１０の画素配置に対応するようにデータを整列した後、データ駆動回路１２に伝送する。

【００７０】

タイミング制御信号発生部１１６は垂直同期信号（Ｖｓｙｎｃ）、水平同期信号（Ｈｓｙｎｃ）、メインクロック信号（ＣＬＫ）及びデータイネーブル信号（ＤＥ）などのタイミング信号の受信を受け、そのタイミング信号をカウントしてパワーオン/オフ信号の第１ロジックレベルを維持するパワーオン状態で図５のような波形が生成されるようにデータタイミング制御信号（ＤＤＣ）とゲートタイミング制御信号（ＧＤＣ）を発生する。タイミング制御信号発生部１１６は電源検知部１１７から入力されるパワーオン/オフ信号の第２ロジックレベルに応答しパワーオフスタート時点に図７及び図８のような信号が発生されるようにゲートタイミング制御信号（ＧＤＣ）を変調する。その変調方法の一例として、スキャン信号（ＳＣＡＮ）のスタートパルスを発生せず、発光制御信号（ＥＭ）のスタートパルスから第１パルスだけ発生し第２パルスを発生しない方法である。発光制御信号（ＥＭ）のスタートパルスはパワーオン状態で発光制御信号（ＥＭ）のような第１及び第２パルス（Ｐ１、Ｐ２）を含む。発光制御信号（ＥＭ）の変調されたスタートパルスに第１パルスだけ含まれれば、図７及び図８のように発光制御信号（ＥＭ）は画素（Ｐ）の初期化のための第１パルス（Ｐ１）だけ含まれる。

【００７１】

ゲート駆動回路１３がゲート信号を図１１のようにロジック電源電圧が下がるまで出力すると、ロジック電源電圧の変動によってゲート駆動回路１３の出力が非正常的に変動し、表示パネル１０のいずれかのラインでそのゲート信号の波形歪が発生し、そのゲート信

号電圧によって画素（Ｐ）に電荷が蓄積されてしまうことがある。その結果、画素（Ｐ）に不要な電荷が蓄積し、このような電荷は画素（Ｐ）でＴＦＴのストレスを増加させ、しきい電圧変動と劣化をもたらすことがある。このようにロジック電源電圧が低下する過程やロジック電源電圧が０Ｖまで下がった後にもゲート駆動回路１３の出力が発生されると(図１１の傾斜線パターン参照)、有機発光ダイオード表示装置では、電源が再度投入されて表示パネル１０に映像が表示された場合に、表示パネルのいずれかのラインに縞模様ノイズが観察されてしまう。

【００７２】

本発明は電源入力信号が低下する時、ゲートパワーオフ遅延時間（Ｔｏｆｆ）内でロジック電源電圧が１２Ｖを維持する間にだけゲート駆動回路１３からゲート信号が正常に出力されるようにし、ロジック電源電圧が低下し始める前にゲート駆動回路１３の出力を遮断させる。具体的には、タイミングコントローラ１１はパワーオフスタート時点からパワーオフ遅延時間（Ｔｏｆｆ）までの時間より短い時間で設定されたゲートオン時間（Ｔｇｏｎ）をカウントし、その時間（Ｔｇｏｎ）に到達される時ゲートタイミング制御信号（ＧＤＣ）の出力を止める。これにより、ゲート駆動回路１３はゲートタイミング制御信号（ＧＤＣ）、すなわち、ゲートスタートパルス（ＧＳＰ）、ゲートシフトクロック（ＧＳＣ）、ゲート出力イネーブル信号（ＧＯＥ）が入力されないため、図１２のように出力を発生しない。

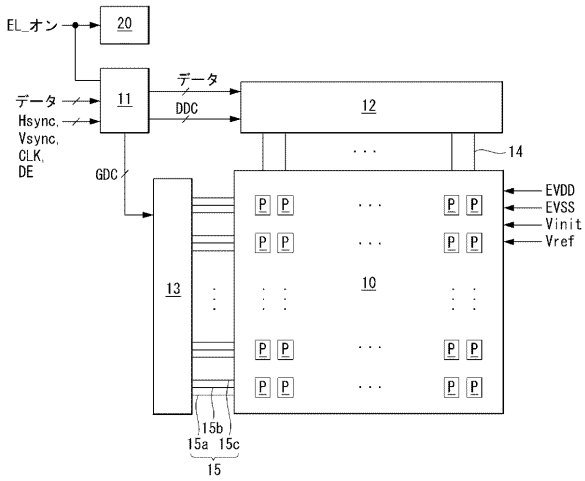
【００７３】

前述の本発明の残像消去方法は、パワーオン状態でブラックデータ挿入(Black Data Insertion) 駆動のためにブラック階調データを画素に書き込む方法にも適用されることができる。ブラックデータ挿入駆動は画素に入力映像のデータを書き込んだ後の所定時間後にブラックデータを書き込む。

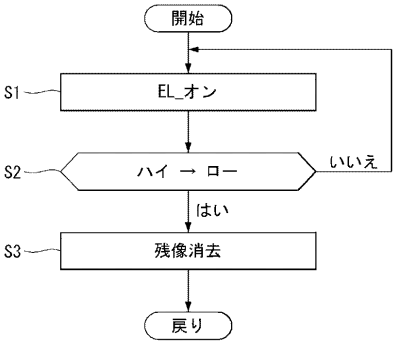
【００７４】

本発明の残像消去方法は、シャッタメガネ(shutter glass)方式の立体映像表示装置のパワーオン状態で３Ｄクロストーク(crosstalk)を減らすためにブラックデータを画素に書き込む方法にも適用されることができる。３Ｄクロストークは視聴者の片目(左目または右目)で左目映像と右目映像が共に見え、左目映像と右目映像が重なったように見える現象を意味する。シャッタメガネ方式の立体映像表示装置は表示パネルに表示される左目映像と右目映像を時分割し表示パネルに表示される映像データと同期してシャッタメガネの左目シャッタと右目シャッタをオン/オフする。シャッタメガネ方式の立体映像表示装置は３Ｄクロストークを減らすために左目映像データが書き込まれるフレーム期間と右目映像データが書き込まれるフレーム期間の間に挿入されるリセットフレーム期間の間画素データにブラック階調データを書き込む。本発明の残像消去方法はシャッタメガネ方式の立体映像表示装置でリセットフレーム期間に適用し画素にブラック階調を表示することができる。

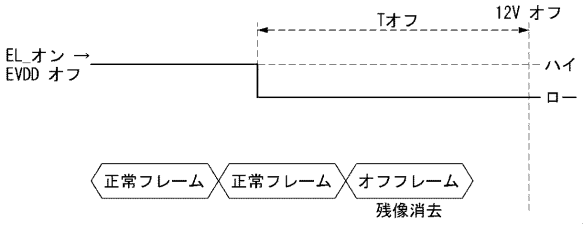
【図１】



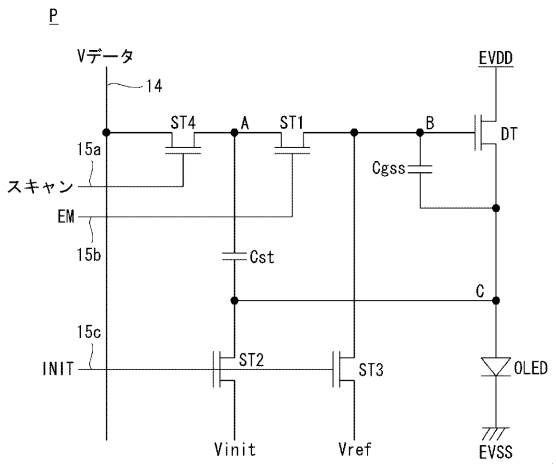

【図２】



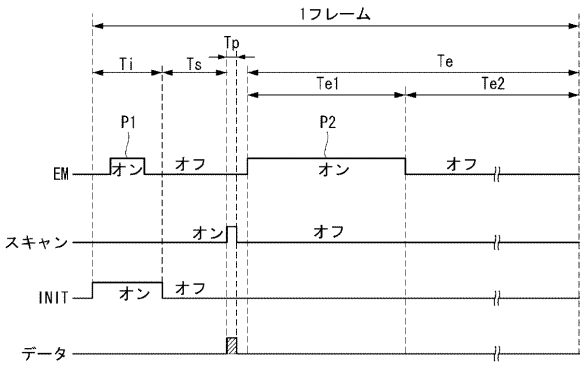

【図３】



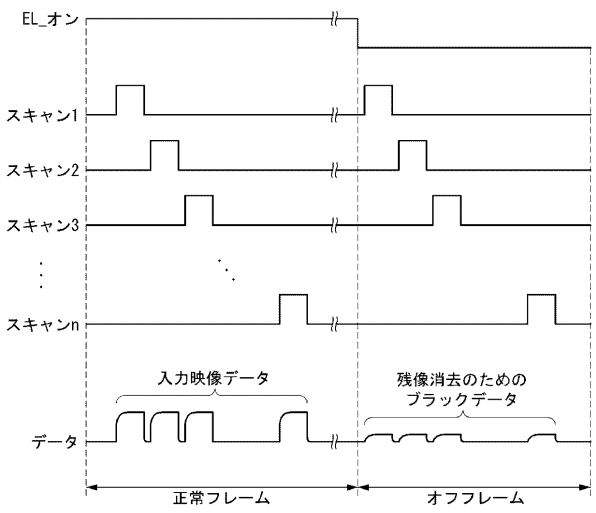

【図４】



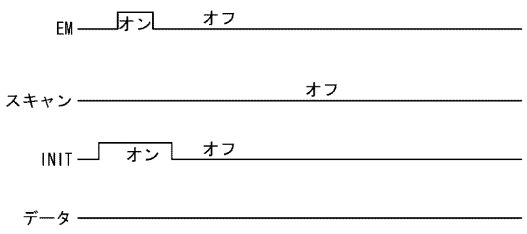

【図５】



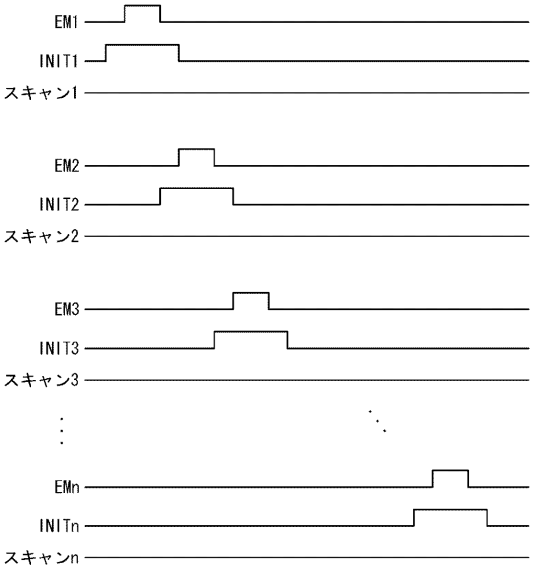

【図６】



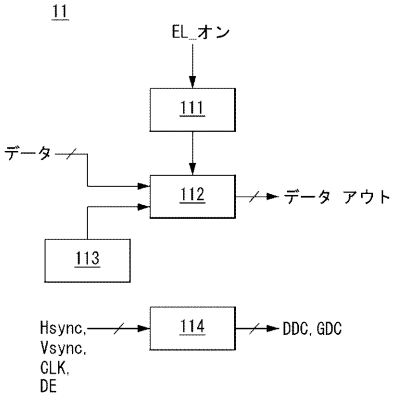

【図７】



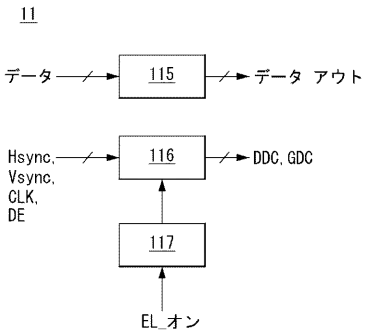
【図８】



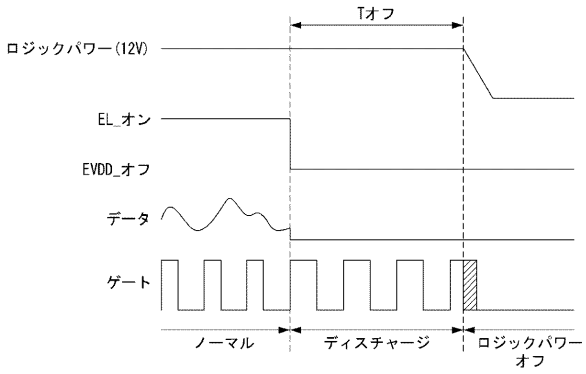

【図９】



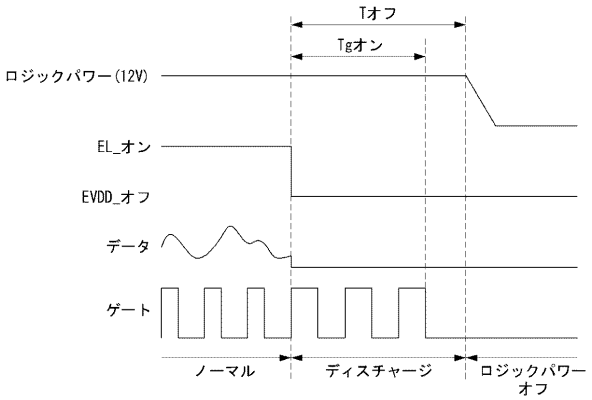

【図１０】




【図１１】




【図１２】



フロントページの続き

(51)Int.Cl. FI

| | | |
|---|---|---|
| G09G | 3/20 | 624B |
| G09G | 3/20 | 623D |
| G09G | 3/20 | 611D |
| G09G | 3/20 | 660X |
| G09G | 3/20 | 670D |

(72)発明者 金 俊 永
大韓民国 413－720 キョンギド パジュシ アドンドン パルムスプリング アパート 108－1204
(72)発明者 李 賢 基
大韓民国 413－772 キョンギド パジュシ グムチョン 2イドン フゴクメウル アパート 409－705
(72)発明者 李 文 準
大韓民国 413－833 キョンギド パジュシ ギョハップ ドンペリ ジンフン ヒョジャ アパート 1203－704

審査官 橋本 直明

(56)参考文献 特開2008－299025（JP, A）
特開2009－276744（JP, A）
特開平01－170986（JP, A）
特開2002－169509（JP, A）
特開2005－106998（JP, A）
特開2009－109984（JP, A）
特開2009－271392（JP, A）

(58)調査した分野(Int.Cl., DB名)
G09G 3／30
G09G 3／20

| | | | |
|---|---|---|---|
| 专利名称(译) | 有机发光显示装置及其残留图像擦除方法 | | |
| 公开(公告)号 | JP5744829B2 | 公开(公告)日 | 2015-07-08 |
| 申请号 | JP2012275503 | 申请日 | 2012-12-18 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | Eruji显示有限公司 | | |
| 当前申请(专利权)人(译) | Eruji显示有限公司 | | |
| [标]发明人 | 金俊永<br>李賢基<br>李文準 | | |
| 发明人 | 金 俊 永<br>李 賢 基<br>李 文 準 | | |
| IPC分类号 | G09G3/30 G09G3/20 | | |
| CPC分类号 | G02F1/061 G09G3/3225 G09G3/3233 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0245 G09G2310/0262 G09G2320/0257 G09G2330/027 H01L27/32 | | |
| FI分类号 | G09G3/30.J G09G3/20.612.G G09G3/20.622.D G09G3/20.623.C G09G3/20.612.J G09G3/20.624.B G09G3/20.623.D G09G3/20.611.D G09G3/20.660.X G09G3/20.670.D G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 | | |
| F-TERM分类号 | 5C080/AA06 5C080/BB05 5C080/CC03 5C080/CC04 5C080/DD01 5C080/DD05 5C080/DD10 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA22 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BD10 5C380/BE04 5C380/CA04 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB18 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC37 5C380/CC52 5C380/CC64 5C380/CD025 5C380/CE01 5C380/CE20 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA40 5C380/DA44 5C380/DA47 | | |
| 代理人(译) | 吉泽博<br>▲滨▼口 岳久 | | |
| 审查员(译) | Naoaki桥本 | | |
| 优先权 | 1020120108967 2012-09-28 KR<br>1020120131463 2012-11-20 KR | | |
| 其他公开文献 | JP2014071450A | | |
| 外部链接 | Espacenet | | |


摘要(译)

（有纠正）提供了一种有机发光二极管（OLED）显示器和擦除其余像的方法。 在断电延迟时间期间保持逻辑电源电压的输出，并且使用由逻辑电源电压驱动的面板驱动电路将预设黑色数据提供给像素或栅极信号。向像素放电像素。 [选中图]图3

(21)出願番号　特願2012-275503 (P2012-275503)
(22)出願日　平成24年12月18日 (2012.12.18)
(65)公開番号　特開2014-71450 (P2014-71450A)
(43)公開日　平成26年4月21日 (2014.4.21)
審査請求日　平成24年12月18日 (2012.12.18)
(31)優先権主張番号　10-2012-0108967
(32)優先日　平成24年9月28日 (2012.9.28)
(33)優先権主張国　韓国 (KR)
(31)優先権主張番号　10-2012-0131463
(32)優先日　平成24年11月20日 (2012.11.20)
(33)優先権主張国　韓国 (KR)

(73)特許権者　501426046
エルジー　ディスプレイ　カンパニー　リミテッド
大韓民国　ソウル、ヨンドゥンポーグ、ヨウィーテロ　１２８
(74)代理人　100094112
弁理士　岡部　讓
(74)代理人　100106183
弁理士　吉澤　弘司
(74)代理人　100128667
弁理士　三山　勝巳
(74)代理人　100160967
弁理士　▲濱▼口　岳久

最終頁に続く