

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2019-526816

(P2019-526816A)

(43) 公表日 令和1年9月19日 (2019.9.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 611F	5C094
H01L 27/32 (2006.01)	G09G 3/20 642P	5C380
G09F 9/30 (2006.01)	G09G 3/20 670Z	
審査請求 未請求 予備審査請求 未請求 (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2017-550869 (P2017-550869)	(71) 出願人	510280589
(86) (22) 出願日	平成29年3月16日 (2017.3.16)		京東方科技集團股▲ふん▼有限公司
(85) 翻訳文提出日	平成29年9月28日 (2017.9.28)		BOE TECHNOLOGY GROUP CO., LTD.
(86) 国際出願番号	PCT/CN2017/076917		中華人民共和国100015北京市朝陽區
(87) 国際公開番号	W02018/028198		酒仙橋路10號
(87) 国際公開日	平成30年2月15日 (2018.2.15)		No. 10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, CHINA
(31) 優先権主張番号	201610664473.0		
(32) 優先日	平成28年8月12日 (2016.8.12)	(74) 代理人	100108453
(33) 優先権主張国・地域又は機関	中国 (CN)		弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉
		最終頁に続く	

(54) 【発明の名称】 補償画素回路、表示パネル、表示装置、補償及び駆動方法

(57) 【要約】

当該補償画素回路100は、補償駆動回路110及び前記補償駆動回路110に接続される信号収集回路120を備える。補償駆動回路110は、駆動トランジスタ及び有機発光ダイオードを有し、前記補償駆動回路110は、発光データ信号を受信し、前記駆動トランジスタの閾値電圧を補償し、前記発光データ信号により前記有機発光ダイオードの発光を駆動するように配置され、信号収集回路120は、前記駆動トランジスタのゲート電圧を収集するように配置される。補償画素回路における駆動トランジスタのゲート電圧を収集し、当該電圧に応じて周囲の非補償画素回路を補償することで、閾値電圧の補償が実現される。これにより、補償駆動回路の数が低下され、駆動回路に占められるパネル領域が小さくなることによって、表示パネルの物理解像度の向上に有利である。

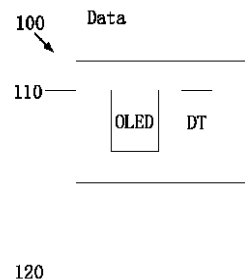


図1(a)

【特許請求の範囲】**【請求項 1】**

駆動トランジスタ及び有機発光ダイオードを有し、発光データ信号を受信し、前記駆動トランジスタの閾値電圧を補償し、前記発光データ信号に応じて前記有機発光ダイオードの発光を駆動するように配置される補償駆動回路と、

前記補償駆動回路に接続され、前記駆動トランジスタのゲート電圧を収集するように配置される信号収集回路と、を備える補償画素回路。

【請求項 2】

前記信号収集回路は前記駆動トランジスタのゲート電極に電氣的に接続される請求項 1 に記載の補償画素回路。

【請求項 3】

前記補償駆動回路は、さらに、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ及び記憶容量を備える請求項 1 に記載の補償画素回路。

【請求項 4】

第 1 の電圧を受信するように、前記第 1 のトランジスタの第 1 極が第 1 の電源線に電氣的に接続され、第 2 の走査信号を受信するように、前記第 1 のトランジスタのゲート電極、及び前記第 5 のトランジスタのゲート電極が第 2 の走査信号線に電氣的に接続され、前記第 1 のトランジスタの第 2 極が第 1 のノードに電氣的に接続され、

発光データ信号を受信するように、前記第 2 のトランジスタの第 1 極が発光データ信号線に電氣的に接続され、第 1 の走査信号を受信するように、前記第 2 のトランジスタのゲート電極、及び前記第 4 のトランジスタのゲート電極が第 1 の走査信号線に電氣的に接続され、前記第 2 のトランジスタの第 2 極が前記第 1 のノードに電氣的に接続され、

第 2 の電圧を受信するように、前記第 3 のトランジスタの第 1 極が第 2 の電源線に電氣的に接続され、制御信号を受信するように、前記第 3 のトランジスタのゲート電極が制御信号線に電氣的に接続され、前記第 3 のトランジスタの第 2 極が第 2 のノードに電氣的に接続され、

前記第 4 のトランジスタの第 1 極が前記第 2 のノードに電氣的に接続され、前記第 4 のトランジスタの第 2 極が第 3 のノードに電氣的に接続され、

前記第 5 のトランジスタの第 1 極が前記第 3 のノードに電氣的に接続され、前記第 5 のトランジスタの第 2 極が前記有機発光ダイオードの第 1 極に電氣的に接続され、

前記有機発光ダイオードの第 2 極が接地され、

前記駆動トランジスタの第 1 極が前記第 1 のノードに電氣的に接続され、前記駆動トランジスタのゲート電極が前記第 2 のノードに電氣的に接続され、前記駆動トランジスタの第 2 極が前記第 3 のノードに電氣的に接続され、

前記記憶容量の第 1 端が前記第 2 の電源線に電氣的に接続され、前記記憶容量の第 2 端が前記第 2 のノードに電氣的に接続される請求項 3 に記載の補償画素回路。

【請求項 5】

前記第 2 の電源線が接地される請求項 4 に記載の補償画素回路。

【請求項 6】

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ及び前記第 5 のトランジスタは何れも P 型トランジスタである請求項 3 ~ 5 の何れか 1 項に記載の補償画素回路。

【請求項 7】

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ及び前記第 5 のトランジスタは何れも薄膜トランジスタである請求項 3 ~ 5 の何れか 1 項に記載の補償画素回路。

【請求項 8】

前記信号収集回路により収集された前記駆動トランジスタのゲート電圧を受信するように配置される補償制御器をさらに備える請求項 3 ~ 5 の何れか 1 項に記載の補償画素回路

10

20

30

40

50

。

【請求項 9】

前記補償制御器は、さらに、前記補償駆動回路が受信した発光データ信号を受信し、前記駆動トランジスタの閾値電圧を取得するように、前記駆動トランジスタのゲート電圧から、前記補償駆動回路が受信した発光データ信号の発光電圧を減じるように配置される請求項 8 に記載の補償画素回路。

【請求項 10】

請求項 1 ~ 9 の何れか 1 項に記載の補償画素回路を備えることを特徴とする表示パネル

。

【請求項 11】

複数の補償領域を備え、各前記補償領域は少なくとも 1 つの前記補償画素回路を有することを特徴とする請求項 10 に記載の表示パネル。

10

【請求項 12】

各前記補償領域は、さらに、非補償画素回路を有し、前記非補償画素回路が占めるサブ画素領域は前記補償画素回路が占めるサブ画素領域に隣り合う請求項 11 に記載の表示パネル。

【請求項 13】

前記信号収集回路により収集される前記駆動トランジスタのゲート電圧を受信し、前記駆動トランジスタのゲート電圧に応じて前記非補償画素回路を補償するように配置される補償制御器をさらに備える請求項 12 に記載の表示パネル。

20

【請求項 14】

前記補償制御器は、さらに、
前記補償駆動回路が受信した発光データ信号を受信し、
前記駆動トランジスタの閾値電圧を取得するように、前記駆動トランジスタのゲート電圧から、前記補償駆動回路が受信した発光データ信号の発光電圧を減じ、
前記非補償画素回路の発光データ信号を受信し、
前記非補償画素回路の更新した発光データ信号の発光電圧を取得するように、前記非補償画素回路の発光データ信号の発光電圧に前記閾値電圧を加え、
前記非補償画素回路に前記更新した発光データ信号の発光電圧を送信するように配置される請求項 13 に記載の表示パネル。

30

【請求項 15】

各前記補償領域は、1 つの補償画素回路及び 8 つの非補償画素回路を備え、前記非補償画素回路は前記補償画素回路を囲むように設置される請求項 12 に記載の表示パネル。

【請求項 16】

請求項 10 ~ 15 の何れか 1 項に記載の表示パネルを備えることを特徴とする表示装置

。

【請求項 17】

補償画素回路における信号収集回路が収集した駆動トランジスタのゲート電圧を受信することと、
前記駆動トランジスタのゲート電圧に応じて非補償画素回路を補償することと、を備える領域補償方法である。

40

【請求項 18】

前記駆動トランジスタのゲート電圧に応じて前記非補償画素回路を補償することは、
補償駆動回路が受信した発光データ信号を受信することと、
前記補償駆動トランジスタの閾値電圧を取得するように、前記駆動トランジスタのゲート電圧から前記補償駆動回路が受信した発光データ信号の発光電圧を減じることと、
前記非補償画素回路の発光データ信号を受信することと、
前記非補償画素回路の更新した発光データ信号の発光電圧を取得するように、前記非補償画素回路の発光データ信号の発光電圧に前記閾値電圧を加えることと、
前記非補償画素回路に前記更新した発光データ信号の発光電圧を送信することとを備え

50

る請求項 17 に記載の領域補償方法。

【請求項 19】

請求項 1 ~ 9 の何れか 1 項に記載の補償画素回路を駆動する方法であって、

リセット期間、補償期間及び発光期間を備え、

前記リセット期間では、制御信号をオン電圧とし、第 1 の走査信号をオフ電圧とし、第 2 の走査信号をオフ電圧とし、

前記補償期間では、制御信号をオフ電圧とし、第 1 の走査信号をオン電圧とし、第 2 の走査信号をオフ電圧とし、

前記発光期間では、制御信号をオフ電圧とし、第 1 の走査信号をオフ電圧とし、第 2 の走査信号をオン電圧とする方法。

10

【請求項 20】

前記リセット期間の前に、準備期間をさらに備え、

前記準備期間では、制御信号をオフ電圧とし、第 1 の走査信号をオフ電圧とし、第 2 の走査信号をオフ電圧とする請求項 19 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、補償画素回路、表示パネル、表示装置、領域補償方法及び駆動方法に関する。

【背景技術】

20

【0002】

表示分野では、有機発光ダイオード（OLED）表示パネルは、自己発光、高コントラスト、低エネルギー消費、広視角、高応答速度、可撓性パネルに利用可能、利用可能温度の広範囲、単純な製造等の特徴を有し、広い将来性を有している。

【0003】

上記特徴により、有機発光ダイオード（OLED）表示パネルは、携帯電話、ディスプレイ、ノート型パソコン、デジタルカメラ、計器等の表示機能を有する装置に適用できる。

【発明の概要】

【0004】

30

本発明の実施例は、駆動トランジスタ及び有機発光ダイオードを有し、発光データ信号を受信し、前記駆動トランジスタの閾値電圧を補償し、前記発光データ信号に応じて前記有機発光ダイオードの発光を駆動するように配置される補償駆動回路と、前記補償駆動回路に接続され、前記駆動トランジスタのゲート電圧を収集するように配置される信号収集回路と、を備える補償画素回路を提供する。

【0005】

例えば、本発明の実施例に係る補償画素回路において、前記信号収集回路は前記駆動トランジスタのゲート電極に電氣的に接続される。

【0006】

40

例えば、本発明の実施例に係る補償画素回路において、前記補償駆動回路は、さらに、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ及び記憶容量を備える。

【0007】

例えば、本発明の実施例に係る補償画素回路において、第 1 の電圧を受信するように、前記第 1 のトランジスタの第 1 極が第 1 の電源線に電氣的に接続され、第 2 の走査信号を受信するように、前記第 1 のトランジスタのゲート電極、前記第 5 のトランジスタのゲート電極が第 2 の走査信号線に電氣的に接続され、前記第 1 のトランジスタの第 2 極が第 1 のノードに電氣的に接続され、発光データ信号を受信するように、前記第 2 のトランジスタの第 1 極が発光データ信号線に電氣的に接続され、第 1 の走査信号を受信するように、前記第 2 のトランジスタのゲート電極、前記第 4 のトランジスタのゲート電極が第 1 の走

50

査信号線に電氣的に接続され、前記第 2 のトランジスタの第 2 極が前記第 1 のノードに電氣的に接続され、第 2 の電圧を受信するように、前記第 3 のトランジスタの第 1 極が第 2 の電源線に電氣的に接続され、制御信号を受信するように、前記第 3 のトランジスタのゲート電極が制御信号線に電氣的に接続され、前記第 3 のトランジスタの第 2 極が第 2 のノードに電氣的に接続され、前記第 4 のトランジスタの第 1 極が前記第 2 のノードに電氣的に接続され、前記第 4 のトランジスタの第 2 極が第 3 のノードに電氣的に接続され、前記第 5 のトランジスタの第 1 極が前記第 3 のノードに電氣的に接続され、前記第 5 のトランジスタの第 2 極が前記有機発光ダイオードの第 1 極に電氣的に接続され、前記有機発光ダイオードの第 2 極が接地され、前記駆動トランジスタの第 1 極が前記第 1 のノードに電氣的に接続され、前記駆動トランジスタのゲート電極が前記第 2 のノードに電氣的に接続され、前記駆動トランジスタの第 2 極が前記第 3 のノードに電氣的に接続され、前記記憶容量の第 1 端が前記第 2 の電源線に電氣的に接続され、前記記憶容量の第 2 端が前記第 2 のノードに電氣的に接続される。

10

【 0 0 0 8 】

例えば、本発明の実施例に係る補償画素回路において、前記第 2 の電源線が接地される。

【 0 0 0 9 】

例えば、本発明の実施例に係る補償画素回路において、前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ及び前記第 5 のトランジスタは何れも P 型トランジスタである。

20

【 0 0 1 0 】

例えば、本発明の実施例に係る補償画素回路において、前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ及び前記第 5 のトランジスタは何れも薄膜トランジスタである。

【 0 0 1 1 】

例えば、本発明の実施例に係る補償画素回路において、前記信号収集回路により収集された前記駆動トランジスタのゲート電圧を受信するように配置される補償制御器をさらに備える。

【 0 0 1 2 】

例えば、本発明の実施例に係る補償画素回路において、前記補償制御器は、さらに、前記補償駆動回路が受信した発光データ信号を受信し、前記駆動トランジスタの閾値電圧を取得するように、前記駆動トランジスタのゲート電圧から、前記補償駆動回路が受信した発光データ信号の発光電圧を減じるように配置される。

30

【 0 0 1 3 】

本発明の実施例は、さらに、本発明の何れか 1 つの実施例に係る補償画素回路を備える表示パネルを提供する。

【 0 0 1 4 】

例えば、本発明の実施例に係る表示パネルにおいて、複数の補償領域を備え、各前記補償領域は少なくとも 1 つの前記補償画素回路を有する。

【 0 0 1 5 】

例えば、本発明の実施例に係る表示パネルにおいて、各前記補償領域は、さらに、非補償画素回路を有し、前記非補償画素回路が占めるサブ画素領域は前記補償画素回路が占めるサブ画素領域に隣り合う。

40

【 0 0 1 6 】

例えば、本発明の実施例に係る表示パネルにおいて、前記信号収集回路により収集される前記駆動トランジスタのゲート電圧を受信し、前記駆動トランジスタのゲート電圧に応じて前記非補償画素回路を補償するように配置される補償制御器を更に備える。

【 0 0 1 7 】

例えば、本発明の実施例に係る表示パネルにおいて、前記補償制御器は、さらに、前記補償駆動回路が受信した発光データ信号を受信し、前記駆動トランジスタの閾値電圧を取

50

得するように、前記駆動トランジスタのゲート電圧から、前記補償駆動回路が受信した発光データ信号の発光電圧を減じ、前記非補償画素回路の発光データ信号を受信し、前記非補償画素回路の更新した発光データ信号の発光電圧を取得するように、前記非補償画素回路の発光データ信号の発光電圧に前記閾値電圧を加え、前記非補償画素回路に前記更新した発光データ信号の発光電圧を送信するように配置される。

【0018】

例えば、本発明の実施例に係る表示パネルにおいて、各前記補償領域は、1つの補償画素回路及び8つの非補償画素回路を備え、前記非補償画素回路は前記補償画素回路を囲むように設置される。

【0019】

本発明の実施例は、さらに、本発明の何れか1つの実施例に係る表示パネルを備える表示装置を提供する。

【0020】

本発明の実施例は、さらに、補償画素回路における信号収集回路が収集した駆動トランジスタのゲート電圧を受信することと、前記駆動トランジスタのゲート電圧に応じて非補償画素回路を補償することと、を備える領域補償方法を提供する。

【0021】

例えば、本発明の実施例に係る領域補償方法において、前記駆動トランジスタのゲート電圧に応じて前記非補償画素回路を補償することは、補償駆動回路が受信した発光データ信号を受信することと、前記補償駆動トランジスタの閾値電圧を取得するように、前記駆動トランジスタのゲート電圧から前記補償駆動回路が受信した発光データ信号の発光電圧を減じることと、前記非補償画素回路の発光データ信号を受信することと、前記非補償画素回路の更新した発光データ信号の発光電圧を取得するように、前記非補償画素回路の発光データ信号の発光電圧に前記閾値電圧を加えることと、前記非補償画素回路に前記更新した発光データ信号の発光電圧を送信することとを備える。

【0022】

本発明の実施例は、本発明の何れか1つの実施例に係る補償画素回路を駆動する方法を提供し、それはリセット期間、補償期間及び発光期間を備え、

前記リセット期間では、制御信号をオン電圧とし、第1の走査信号をオフ電圧とし、第2の走査信号をオフ電圧とし、

前記補償期間では、制御信号をオフ電圧とし、第1の走査信号をオン電圧とし、第2の走査信号をオフ電圧とし、

前記発光期間では、制御信号をオフ電圧とし、第1の走査信号をオフ電圧とし、第2の走査信号をオン電圧とする。

【0023】

例えば、本発明の実施例に係る駆動方法において、前記リセット期間の前に、準備期間をさらに備え、前記準備期間では、制御信号をオフ電圧とし、第1の走査信号をオフ電圧とし、第2の走査信号をオフ電圧とする。

【0024】

以下、本発明の実施例の技術案をより明瞭に説明するために、実施例又は関連技術に用いる図面について簡単に説明する。明らかなように、下記の図面の説明は本発明の実施例の一部に関し、本発明に対する制限ではない。

【図面の簡単な説明】

【0025】

【図1】(a)は本発明の実施例に係る補償画素回路の概略図であり、(b)は本発明の実施例に係る他の補償画素回路の概略図である。

【図2】(a)は本発明の実施例に係る更に他の補償画素回路の概略図であり、(b)は本発明の実施例に係る補償画素回路における信号収集回路の概略図である。

【図3】本発明の実施例に係る図2(a)に示す補償画素回路の駆動シーケンス図である。

【図４】本発明の実施例に係る表示パネルの概略図である。

【図５】本発明の実施例に係る表示パネルでの補償領域の１つの例示の概略図である。

【図６】本発明の実施例に係る非補償画素回路の概略図である。

【図７】本発明の実施例に係る表示装置の概略図である。

【図８】本発明の実施例に係る領域補償方法のフローチャートである。

【図９】本発明の実施例に係る図８に示す領域補償方法でのステップＳ２０の１つの例示を示すフローチャートである。

【図１０】（ａ）及び（ｂ）は４Ｔ２Ｃ補償駆動回路及び４Ｔ１Ｃ補償駆動回路をそれぞれ示す。

【発明を実施するための形態】

10

【００２６】

以下、図面を組み合わせ、本発明の実施例における技術案について明瞭且つ完全に説明し、図面に示され下記具体的な説明で説明される非限定性の例示的な実施例を参照して、本発明の例示的な実施例及びそれらの多種類の特徴及び有利な細部をより全面に説明する。ここで、図に示す特徴は比例によって描かれたものではない。本発明では、既知材料、組成部分及び技術に対する説明が省略されることによって、本発明の例示的な実施例が混同されない。下記の例示は、本発明の例示的な実施例の実施に対する理解、更には当業者に例示的な実施例を実施させるためのものである。そのため、これらの例示は、本発明の実施例の範囲に対する制限ではない。

【００２７】

20

本発明に用いられる技術的用語又は科学用語は、特に定義されない限り、当業者が理解可能な一般的な意味である。本発明に用いられる「第１」、「第２」及び類似な用語は、順序、数又は重要性を表すものではなく、異なる組成部分を区分するためのものだけである。また、本発明の各実施例では、同じ又は類似の符号は同じまたは類似の部材を示す。

【００２８】

近年では、拡張現実、仮想現実等の民生電子機器製品の発展に伴って、ユーザの視聴体験を向上させるために、高い解像度の表示パネルに対する要求がますます切実になってきた。

【００２９】

ＯＬＥＤ表示パネルでは、解像度は主にフォトエッチング技術水準及び精度が高い金属マスク（Ｆｉｎｅ Ｍｅｔａｌ Ｍａｓｋ、ＦＦＭ）のサイズに制約される。フォトエッチング技術水準及び精度が高い金属マスクの製造水準がある程度になった場合、ＯＬＥＤ表示パネルの解像度を高くさせることが難しいので、高い解像度の問題を解決するためには、その他の解決策を探す必要がある。

30

【００３０】

ＯＬＥＤ表示パネルは、一般的にアクティブ駆動方式を用いて、アレイに配列される複数のサブ画素を有する。

各サブ画素の最も基本的な画素回路は２Ｔ１Ｃ（即ち、２つのトランジスタ（走査トランジスタと駆動トランジスタ）及び１つの記憶容量を有する）モードである。例えば、図６に示す２Ｔ１Ｃ画素回路である。パネル全体の表示の均一性を改善するために、各サブ画素の画素回路に、上記の２Ｔ１Ｃモードに基づいて補償機能を有する画素回路を具備させてもよい。このような画素回路は補償画素回路と呼ばれてもよい。補償原理に基づいて、補償画素回路は、電圧補償、電流補償及び混合補償との３種を含むことができる。然し、基本的な２Ｔ１Ｃ画素回路に比べて、補償画素回路を用いるＯＬＥＤ表示パネルは、輝度の均一性がより優れるが、各サブ画素の駆動回路部分に占められるパネル領域が大きくなり、高い解像度のＯＬＥＤ表示パネルの取得に不利になる。

40

【００３１】

本発明の実施例は、補償画素回路における駆動トランジスタのゲート電圧を収集し、当該電圧により周囲の非補償画素回路を補償することで、閾値電圧の補償を実現する補償画素回路、表示パネル、表示装置、領域補償方法及び駆動方法を提供する。このような設置

50

により、補償駆動回路の数が減少され、駆動回路に占められるパネル領域が小さくなって、表示パネルの物理解像度の向上に有利である。

【0032】

例えば、図1(a)は、本発明の実施例に係る補償画素回路の概略図である。本発明の実施例は、補償画素回路100を提供し、図1(a)に示すように、補償画素回路100は補償駆動回路110及び補償駆動回路110に接続される信号収集回路120を備える。補償駆動回路110は、駆動トランジスタDT及び有機発光ダイオードOLEDを有し、補償駆動回路110は、発光データ信号Dataを受信し、駆動トランジスタDTの閾値電圧を補償し、発光データ信号Dataにより有機発光ダイオードOLEDを発光させるように配置される。信号収集回路120は、駆動トランジスタDTのゲート電圧を収集するように配置される。

10

【0033】

例えば、図1(b)は本発明の実施例に係る他の補償画素回路の概略図である。補償画素回路100は、さらに補償制御器130を有し、補償制御器130は、補償画素回路100における信号収集回路120により収集される駆動トランジスタDTのゲート電圧を受信し、駆動トランジスタDTのゲート電圧に応じて非補償画素回路を補償するように配置されてもよい。非補償画素回路については、下記の説明を参照する。

【0034】

例えば、本発明の実施例に係る表示パネル10では、補償制御器130は、さらに、補償駆動回路110により受信された発光データ信号Dataを受信し、駆動トランジスタDTの閾値電圧Vthを取得するように駆動トランジスタDTのゲート電圧($V_{data} + V_{th}$)から補償駆動回路110により受信された発光データ信号Dataの発光電圧 V_{data} を減じ、また非補償画素回路の発光データ信号Data1を受信し、非補償画素回路の更新された発光データ信号の発光電圧 $V_{data1} + V_{th}$ を得るように非補償画素回路の発光データ信号Data1の発光電圧 V_{data1} にその前に取得した閾値電圧Vthを加えて、非補償画素回路に更新された発光データ信号の発光電圧 $V_{data1} + V_{th}$ を送信するように配置される。これにより、補償画素回路から取得した駆動トランジスタの閾値電圧を利用して周囲の非補償画素回路における駆動トランジスタの閾値電圧を補償することが実現される。

20

【0035】

例えば、図2(a)は本発明の実施例に係るまた他の補償画素回路の概略図である。

図2(a)に示すように、本発明の実施例に係る補償画素回路100では、信号収集回路120が駆動トランジスタDTのゲート電極に電氣的に接続されることにより、駆動トランジスタDTのゲート電圧を収集することができる。

30

【0036】

例えば、図2(a)に示すように、本発明の実施例に係る補償画素回路100では、補償駆動回路110は、さらに、第1のトランジスタT1、第2のトランジスタT2、第3のトランジスタT3、第4のトランジスタT4、第5のトランジスタT5及び記憶容量Cを備える。

【0037】

例えば、図2(a)に示すように、本発明の実施例に係る補償画素回路100では、第1の電圧VDDを受信するように第1のトランジスタT1の第1極が第1の電源線に電氣的に接続され、第2の走査信号Scan2を受信するように第1のトランジスタT1のゲート電極と、第5のトランジスタT5のゲート電極とが第2の走査信号線に電氣的に接続され、第1のトランジスタT1の第2極が第1のノードN1に電氣的に接続される。発光データ信号Dataを受信するように第2のトランジスタT2の第1極が発光データ信号線に電氣的に接続され、第1の走査信号Scan1を受信するように第2のトランジスタT2のゲート電極と第4のトランジスタT4のゲート電極とが第1の走査信号線に電氣的に接続され、第2のトランジスタT2の第2極が第1のノードN1に電氣的に接続される。第2の電圧Vinを受信するように第3のトランジスタT3の第1極が第2の電源線に

40

50

電氣的に接続され、制御信号 E_m を受信するように第 3 のトランジスタ T_3 のゲート電極が制御信号線に電氣的に接続され、第 3 のトランジスタ T_3 の第 2 極が第 2 のノード N_2 に電氣的に接続される。第 4 のトランジスタ T_4 の第 1 極が第 2 のノード N_2 に電氣的に接続され、第 4 のトランジスタ T_4 の第 2 極が第 3 のノード N_3 に電氣的に接続される。第 5 のトランジスタ T_5 の第 1 極が第 3 のノード N_3 に電氣的に接続され、第 5 のトランジスタ T_5 の第 2 極が有機発光ダイオード $OLED$ の第 1 極（例えば、アノード）に電氣的に接続される。有機発光ダイオード $OLED$ の第 2 極（例えば、カソード）が接地される。駆動トランジスタ DT の第 1 極が第 1 のノード N_1 に電氣的に接続され、駆動トランジスタ DT のゲート電極が第 2 のノード N_2 に電氣的に接続され、駆動トランジスタ DT の第 2 極が第 3 のノード N_3 に電氣的に接続される。記憶容量 C の第 1 端が第 2 の電源線に電氣的に接続され、記憶容量 C の第 2 端が第 2 のノード N_2 に電氣的に接続される。

10

【0038】

例えば、図 2 (a) に示す画素回路 100 における補償駆動回路は、その構造が簡単で、製造が便利になり、動作が安定で、駆動トランジスタの閾値電圧の補償をよく実現した。

【0039】

例えば、上述のように、図 2 (a) に示す補償画素回路 100 における補償駆動回路は 1 つの例示だけである。本発明の 1 つの実施例では、画素回路 100 における補償駆動回路は、駆動トランジスタ DT の閾値電圧を補償する機能及び発光データ信号 $Data$ に応じて有機発光ダイオード $OLED$ の発光を駆動する機能を有するその他の補償駆動回路であってもよい。例えば、図 10 (a) 及び図 10 (b) を参照して、補償駆動回路は、図 10 (a) 又は図 10 (b) に示す回路であってもよい。例えば、図 10 (a) に示す 4 T_2C 回路について、その基本的な原理は、まず、駆動トランジスタ M_2 をオフさせ、そして、ダイオードとして接続し、後者が導通状態になり、駆動トランジスタのゲート電圧が閾値電圧になってオフするまで記憶容量 C_{st} を充電し、この閾値電圧を記憶容量 C_{st} に記憶することである。例えば、図 10 (b) に示す 4 T_1C 回路のように、まず、トランジスタ M_1 を導通させ、記憶容量 C_{st} を充電し、トランジスタ M_2 を導通させ、 M_3 をダイオードとして接続して、駆動電流 I_{DATA} を記憶容量 C_{st} に記憶される電圧に変換する過程を完成する。

20

【0040】

例えば、本発明の実施例に係る補償画素回路 100 では、第 2 の電源線が接地される。つまり、第 2 の電圧 V_{int} が接地電圧（例えば、0 V）である。

30

【0041】

なお、本発明の実施例は、第 2 の電圧が接地電圧である場合を含むが、それに限らず、第 2 の電圧は安定な低電圧、例えば 1 V であってもよい。

【0042】

例えば、本発明の実施例に係る補償画素回路 100 では、第 1 のトランジスタ T_1 、第 2 のトランジスタ T_2 、第 3 のトランジスタ T_3 、第 4 のトランジスタ T_4 及び第 5 のトランジスタ T_5 は何れも P 型トランジスタである。例えば、同じ種類のトランジスタを用いることで、製造工程を統一させることができ、製品の製造に便利である。

40

【0043】

例えば、本発明の実施例に係る補償画素回路 100 では、第 1 のトランジスタ T_1 、第 2 のトランジスタ T_2 、第 3 のトランジスタ T_3 、第 4 のトランジスタ T_4 及び第 5 のトランジスタ T_5 は何れも薄膜トランジスタである。

【0044】

なお、本発明の 1 つの実施例では、トランジスタは、薄膜トランジスタ又は電界効果トランジスタ又は特性が同じであるその他のスイッチングデバイスであってもよい。ここで、用いられるトランジスタのソース電極、ドレイン電極は構造が対称であってもよいので、ソース電極及びドレイン電極は構造が相違しなくてもよい。本発明の実施例では、トランジスタにおけるゲート電極以外の両極を区分するために、その中の 1 つの極を第 1 極と

50

して、もう1つの極を第2極とするので、本発明の実施例では、全部又は一部のトランジスタの第1極及び第2極は必要に応じて交換できるものである。例えば、本発明の実施例に記載のトランジスタでは、第1極がソース電極で、第2極がドレイン電極であってもよく、或いは、第1極がドレイン電極で、第2極がソース電極であってもよい。また、トランジスタの特性により、トランジスタをN型及びP型トランジスタに区分してもよく、本発明の実施例では、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ及び第5のトランジスタが何れもP型トランジスタであることを例として説明する。本発明におけるこの実現方式に対する記載及び教示に基づき、当業者は、創造性の労働をしないことを前提として、本発明の実施例がN型トランジスタ又はN型とP型トランジスタとの組み合わせを用いる実現方式を容易に想到し得るので、これらの実現方式も、本発明の保護範囲内にある。

10

【0045】

例えば、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ及び第5のトランジスタは何れもP型トランジスタであれば、補償駆動回路を便利に実現でき、製造に便利であり、且つ信号設置が簡単である。

【0046】

例えば、本発明の1つの実施例では、信号収集回路は、A/D変換器(analog to digital converter、A/D)により実現されてもよく、A/D変換器の作用は、時間が連続であり振幅も連続であるのアナログ量を、時間が離散であり振幅も離散であるのデジタル信号に変換することである。

20

【0047】

例えば、信号収集回路は、表示パネルに設けられ、集積回路チップにより実現されてもよい。

【0048】

例えば、図2(b)は、本発明の実施例に係る補償画素回路における信号収集回路の概略図である。図2(b)に示す信号収集回路は、漸次接近式のA/D変換器により実現される。

【0049】

なお、本発明の1つの実施例では、補償画素回路における信号収集回路は図2(b)に示す状況に限らず、電圧収集機能を有するその他の回路により実現されてもよい。

30

【0050】

例えば、図2(b)に示すように、補償駆動回路110を信号収集回路における比較器の「-」端に接続し、補償制御器130は信号収集回路におけるバッファレジスタに接続すれば、信号収集機能を実現することができる。

【0051】

例えば、本発明の実施例では、オン電圧とは、該当するトランジスタの第1極及び第2極を導通させる電圧であり、オフ電圧とは、該当するトランジスタの第1極及び第2極をオフさせる電圧である。トランジスタがP型トランジスタである場合、オン電圧が低電圧(例えば、0V)であり、オフ電圧が高電圧(例えば、5V)である。トランジスタがN型トランジスタである場合、オン電圧が高電圧(例えば、5V)であり、オフ電圧が低電圧(例えば、0V)である。図3に示す駆動波形は何れもP型トランジスタを例として説明し、即ち、オン電圧が低電圧(例えば、0V)であり、オフ電圧が高電圧(例えば、5V)である。

40

【0052】

例えば、図3は本発明の実施例に係る図2(a)に示す補償画素回路の駆動シーケンス図である。本発明の実施例は、さらに、本発明の何れか1つの実施例に係る補償画素回路を駆動する方法に関する。以下、図2(a)及び図3を組み合わせ、当該駆動方法及び補償画素回路の動作過程について説明する。

【0053】

準備期間t1では、制御信号Emがオフ電圧であり、第1の走査信号Scan1がオフ

50

電圧であり、第 2 の走査信号 S_{can2} がオフ電圧である。よって、第 1 のトランジスタ T_1 、第 2 のトランジスタ T_2 、第 3 のトランジスタ T_3 、第 4 のトランジスタ T_4 及び第 5 のトランジスタ T_5 は何れもオフ状態になる。準備期間には、補償画素回路に安定な過程を提供することができ、寄生容量の放電の不完全等による回路異常を防止する。

【0054】

リセット期間 t_2 では、制御信号 E_m がオン電圧であり、第 1 の走査信号 S_{can1} がオフ電圧であり、第 2 の走査信号 S_{can2} がオフ電圧である。よって、第 3 のトランジスタ T_3 が導通し、第 1 のトランジスタ T_1 、第 2 のトランジスタ T_2 、第 4 のトランジスタ T_4 及び第 5 のトランジスタ T_5 が何れもオフ状態になる。記憶容量 C の両端の電圧は第 2 の電圧 V_{int} (例えば、第 2 の電圧 V_{int} は安定の低電圧又は接地電圧である) に初期化され、補償画素回路の初期化を実現した。

10

【0055】

補償期間 t_3 では、制御信号 E_m がオフ電圧であり、第 1 の走査信号 S_{can1} がオン電圧であり、第 2 の走査信号 S_{can2} がオフ電圧である。よって、第 2 のトランジスタ T_2 及び第 4 のトランジスタ T_4 が導通し、第 1 のトランジスタ T_1 、第 3 のトランジスタ T_3 及び第 5 のトランジスタ T_5 は何れもオフ状態になる。発光データ信号 $Data$ は、第 2 のトランジスタ T_2 、駆動トランジスタ DT 及び第 4 のトランジスタ T_4 を介して、第 2 のノード N_2 の電圧が $V_{data} + V_{th}$ になるまで第 2 のノード N_2 を充電し、ここで、 V_{data} は発光データ信号 $Data$ の発光電圧であり、 V_{th} は駆動トランジスタ DT の閾値電圧であるので、そのとき、駆動トランジスタ DT のゲート電極とソース電極との間の電圧差が V_{th} であることは満足される。充電が完成後、記憶容量 C の両端の電圧差が $V_{data} + V_{th}$ である。また、第 5 のトランジスタ T_5 がオフ状態にあるので、電流が $OLED$ を流れることなく、 $OLED$ がこの期間に発光することが避けられ、表示効果が向上され、 $OLED$ の消耗が低下される。例えば、充電が完成後、発光期間 t_4 の前に、信号収集回路 120 は、このときの駆動トランジスタ DT のゲート電圧 ($V_{data} + V_{th}$) を収集して、この補償画素回路の周囲の非補償画素回路を補償することに用いる。

20

【0056】

発光期間 t_4 では、制御信号 E_m がオフ電圧であり、第 1 の走査信号 S_{can1} がオフ電圧であり、第 2 の走査信号 S_{can2} がオン電圧である。よって、第 1 のトランジスタ T_1 及び第 5 のトランジスタ T_5 が導通し、第 2 のトランジスタ T_2 、第 3 のトランジスタ T_3 及び第 4 のトランジスタ T_4 は何れもオフ状態になる。発光期間では、記憶容量 C の作用により、第 3 のノード N_3 の電圧が $V_{data} + V_{th}$ を維持し、発光電流 I_{OLED} が第 1 のトランジスタ T_1 、駆動トランジスタ DT 、第 5 のトランジスタ T_5 及び有機発光ダイオード $OLED$ を流れ、有機発光ダイオード $OLED$ が発光する。発光電流 I_{OLED} は下記の飽和電流公式を満足する。

30

$$\begin{aligned} I_{OLED} &= K (V_{GS} - V_{th})^2 \\ &= K (V_{data} + V_{th} - V_{dd} - V_{th})^2 \\ &= K (V_{data} - V_{dd})^2 \end{aligned}$$

ここで、

40

【数 1】

$$K = 0.5 \mu_n C_{ox} \frac{W}{L},$$

μ_n が駆動トランジスタのチャネル移動度であり、 C_{ox} が駆動トランジスタの単位面積のチャネル電気容量であり、 W 及び L がそれぞれ駆動トランジスタのチャネル幅及びチャネル長さであり、 V_{GS} が駆動トランジスタのゲートソース電圧 (駆動トランジスタのゲート電圧とソース電圧との差) である。

【0057】

50

上式から分かるように、発光電流 I_{OLED} は駆動トランジスタの閾値電圧 V_{th} に影響されなくなり、発光データ信号の電圧 V_{data} 及び第 1 の電圧 V_{dd} だけに関わる。駆動トランジスタの閾値電圧のドリフト問題が解決され、 $OLED$ 表示パネルの通常動作が確保される。

【0058】

なお、本発明の実施例に係る駆動方法はリセット期間 t_2 、補償期間 t_3 及び発光期間 t_4 だけを含み、準備期間 t_1 を含まなくてもよい。ここで制限しない。

【0059】

例えば、図 4 は本発明の実施例に係る表示パネルの概略図である。本発明の実施例は、さらに、表示パネル 10 を提供し、図 4 に示すように、表示パネル 10 は、本発明の何れか 1 つの実施例に係る補償画素回路 100 を備える。

10

【0060】

例えば、本発明の実施例に係る表示パネル 10 は、複数の補償領域 11 を有し、各補償領域 11 は少なくとも 1 つの補償画素回路 100 を備える。

【0061】

例えば、図 4 に示すように、本発明の実施例に係る表示パネル 10 では、各補償領域 11 は、さらに、非補償画素回路 200 を有し、非補償画素回路 200 が占めるサブ画素領域は補償画素回路 100 が占めるサブ画素領域に隣り合う。

【0062】

例えば、図 4 に示すように、補償制御器 130 は、表示パネル 10 に設けられてもよく、補償制御器 130 は、補償画素回路 100 における信号収集回路 120 が収集した駆動トランジスタ DT のゲート電圧を受信し、駆動トランジスタ DT のゲート電圧に応じて非補償画素回路 200 を補償する（例えば、同一の補償領域における非補償画素回路 200 を補償する）ように配置される。

20

【0063】

例えば、図 4 に示すように、本発明の実施例に係る表示パネル 10 は、さらに、走査駆動器 13、データ駆動器 14、タイミング制御器 15、発光データ信号線、第 1 の走査信号線、第 2 の走査信号線及び制御信号線を備える（発光データ信号線、第 1 の走査信号線、第 2 の走査信号線及び制御信号線は図 4 に図示されない）。データ駆動器 14 は、発光データ信号線を介して補償画素回路 100 及び非補償画素回路 200 に発光データ信号を提供するように配置され、走査駆動器 13 は、それぞれ第 1 の走査信号線、第 2 の走査信号線及び制御信号線を介して補償画素回路 100 に第 1 の走査信号 $Scan1$ 、第 2 の走査信号 $Scan2$ 及び制御信号 Em を提供するように配置され、タイミング制御器 15 は、クロック信号を提供してシステムの作動を協調させるように配置される。

30

【0064】

例えば、本発明の実施例に係る表示パネル 10 では、補償制御器 130 は、さらに、補償駆動回路 110 が受信した発光データ信号 $Data$ を受信し、駆動トランジスタ DT の閾値電圧 V_{th} を取得するように、駆動トランジスタ DT のゲート電圧 ($V_{data} + V_{th}$) から補償駆動回路 110 が受信した発光データ信号 $Data$ の中の発光電圧 V_{data} を減じ、非補償画素回路 200 の発光データ信号 $Data1$ を受信し、非補償画素回路の更新した発光データ信号の発光電圧 $V_{data1} + V_{th}$ を取得するように、非補償画素回路 200 の発光データ信号 $Data1$ の発光電圧 V_{data1} にその前に取得した閾値電圧 V_{th} を加え、非補償画素回路に更新した発光データ信号の発光電圧 $V_{data1} + V_{th}$ を送信するように、配置される。これにより、補償画素回路から取得した駆動トランジスタの閾値電圧により、周囲の非補償画素回路における駆動トランジスタの閾値電圧を補償することが実現された。

40

【0065】

なお、表示パネルにおいて、近い領域の技術的特性が近いし、近い領域の駆動トランジスタの閾値電圧及びドリフト特性も近いので、補償画素回路から取得した駆動トランジスタの閾値電圧により、周囲の非補償画素回路における駆動トランジスタの閾値電圧を補償

50

することができる。例えば、補償制御器により、閾値電圧を非補償画素回路の発光データ信号に重ね、閾値電圧の補償を実現する。さらに、補償画素回路及び非補償画素回路の組み合わせの利用により、画素回路において駆動回路部分が占める面積を小さくすることができ、表示パネルの解像度を向上させることができる。

【0066】

例えば、図4に示すように、本発明の実施例に係る表示パネル10では、各補償領域11は、1つの補償画素回路100及び8つの非補償画素回路200を備え、非補償画素回路200は補償画素回路100を囲んで設置される。

【0067】

なお、補償領域11の設置は、図4に示す方式を含むが、それに限らず、その他の設置方式を有してもよい。

【0068】

例えば、図5は、本発明の実施例に係る表示パネルにおける補償領域の1つの例示の概略図である。図5に示すように、補償領域11は、1つの補償画素回路100及び24個の非補償画素回路200を有する。つまり、1つの補償画素回路から取得する閾値電圧は周囲の24個の非補償画素回路の補償に用いられる。

【0069】

例えば、補償領域11の設置は、駆動トランジスタの閾値電圧の一致性、及び画素回路が占める面積等の要素に応じて総合に選択することができる。例えば、駆動トランジスタの閾値電圧の一致性が高い場合、補償領域をより大きく設置することができ、つまり、1つの補償画素回路から取得する閾値電圧を、周囲のより多くの非補償画素回路の補償に用いられる。

【0070】

例えば、図6は本発明の実施例に係る非補償画素回路の概略図である。非補償画素回路200は、2T1C（即ち、2つのトランジスタ（走査トランジスタSTと駆動トランジスタDT'）及び一個記憶容量C'を有する）回路である。非補償画素回路200は閾値補償機能を有しないが、占用面積が小さくて、表示パネルの解像度を向上させるように補償画素回路と合わせて用いられる。

なお、図7に示す非補償画素回路は1つの例示に過ぎず、本発明の実施例は、それを含むが、それに限らない。

【0071】

例えば、図7は本発明の実施例に係る表示装置の概略図である。本発明の実施例は、さらに表示装置1に関し、図7に示すように、表示装置1は、本発明の何れか1つの実施例に係る表示パネル10を備える。

【0072】

例えば、本発明の実施例に係る表示装置は、携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタル写真フレーム、ナビゲーター等の表示機能を有する任意の製品又は部材を含む。

【0073】

例えば、図8は本発明の実施例に係る領域補償方法のフローチャートである。本発明の実施例は、さらに、領域補償方法に関し、図8に示すように、当該方法は下記のステップを備える。

ステップS10：補償画素回路における信号収集回路が収集した駆動トランジスタのゲート電圧を受信し、

ステップS20：駆動トランジスタのゲート電圧に応じて非補償画素回路を補償する。

【0074】

例えば、図9は、本発明の実施例に係る図8に示す領域補償方法の中のステップS20の1つの例示を示すフローチャートである。図9に示すように、本発明の実施例に係る領域補償方法では、駆動トランジスタのゲート電圧に応じて非補償画素回路を補償するステップ（即ち上記ステップS20）は、さらに下記のステップを備える。

ステップ S 2 1 : 補償駆動回路が受信した発光データ信号を受信し、

ステップ S 2 2 : 補償駆動トランジスタの閾値電圧を取得するように、駆動トランジスタのゲート電圧から、補償駆動回路が受信した発光データ信号の発光電圧を減じ、

ステップ S 2 3 : 非補償画素回路の発光データ信号を受信し、

ステップ S 2 4 : 非補償画素回路の更新した発光データ信号の発光電圧を取得するように、非補償画素回路の発光データ信号の発光電圧に閾値電圧を加え、

ステップ S 2 5 : 非補償画素回路に更新した発光データ信号の発光電圧を送信する。

【 0 0 7 5 】

例えば、上述ステップの順序は本発明の実施例の 1 つの例示だけであり、本発明に対する制限ではなく、本発明に係る領域補償方法の実現に影響がない場合、あるステップの順序を交換してもよい。例えば、ステップ S 2 2 及びステップ S 2 3 の順序を交換してもよい。

10

【 0 0 7 6 】

本発明の実施例は補償画素回路、表示パネル、表示装置、領域補償方法及び駆動方法に関し、補償画素回路における駆動トランジスタのゲート電圧を収集し、この電圧に応じて周囲の非補償画素回路を補償することにより、閾値電圧の補償が実現される。このように設置することにより、補償駆動回路の数が低下され、駆動回路が占めるパネル領域が小さくなり、表示パネルの物理解像度の向上に有利である。

【 0 0 7 7 】

上記のように一般的な説明及び具体的な実施形態により本発明を詳しく説明したが、本発明の実施例に基づき、それを補正又は改進することができ、これは当業者にとって自明なことである。よって、本発明の趣旨から逸脱しない前提で行なわれるこれらの補正又は改進は何れも本発明の保護範囲に該当する。

20

【 0 0 7 8 】

本特許出願は 2 0 1 6 年 8 月 1 2 日に提出された中国特許出願第 2 0 1 6 1 0 6 6 4 4 7 3 . 0 の優先権を要求し、ここで、本願の一部として、上記中国特許出願に開示される内容を全文引用する。

【 符号の説明 】

【 0 0 7 9 】

- 1 0 表示パネル
- 1 1 補償領域
- 1 3 走査駆動器
- 1 4 データ駆動器
- 1 5 タイミング制御器
- 1 0 0 画素回路
- 1 1 0 補償駆動回路
- 1 2 0 信号収集回路
- 1 3 0 補償制御器
- 2 0 0 非補償画素回路

30

【図 1 (a)】

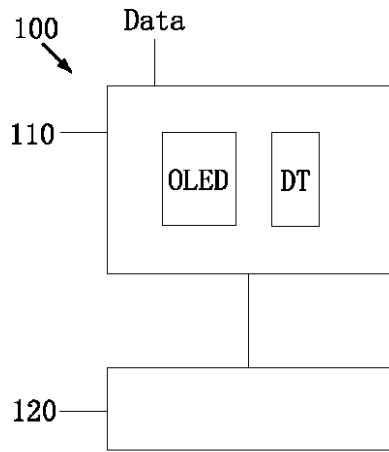


図 1 (a)

【図 1 (b)】

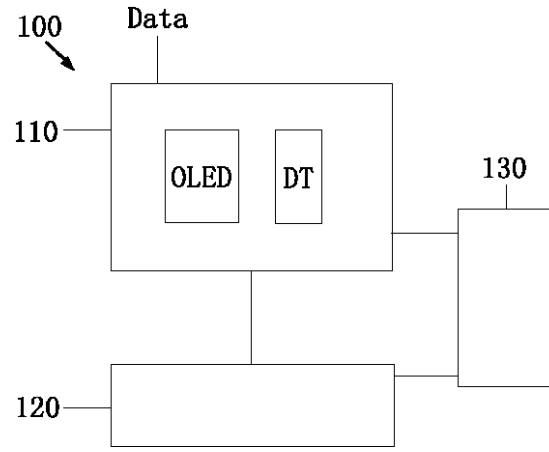


図 1 (b)

【図 2】

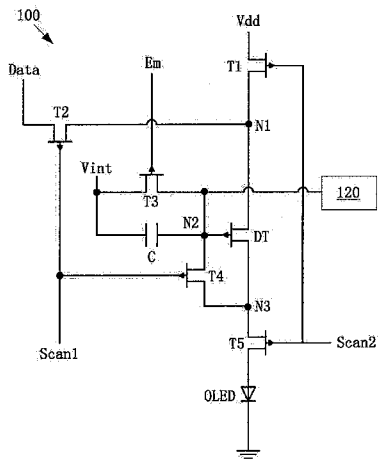


図 2 (a)

【図 3】

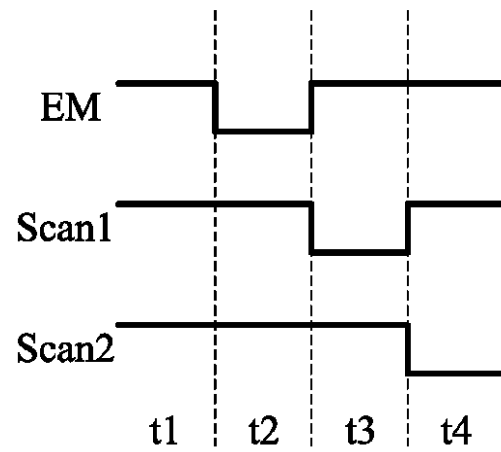


図 3

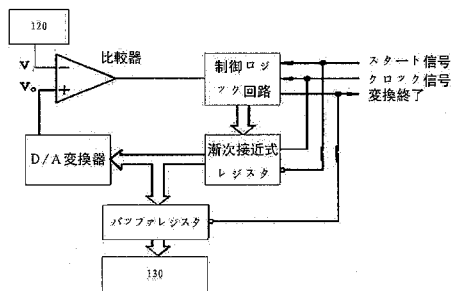


図 2 (b)

【図 4】

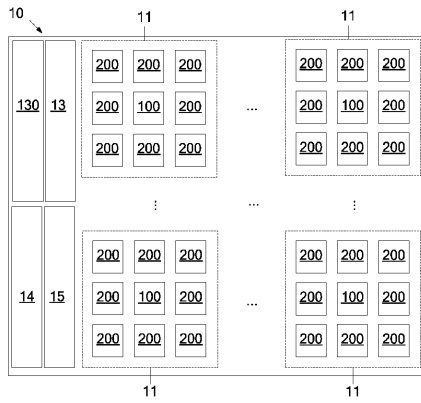


图 4

【図 5】

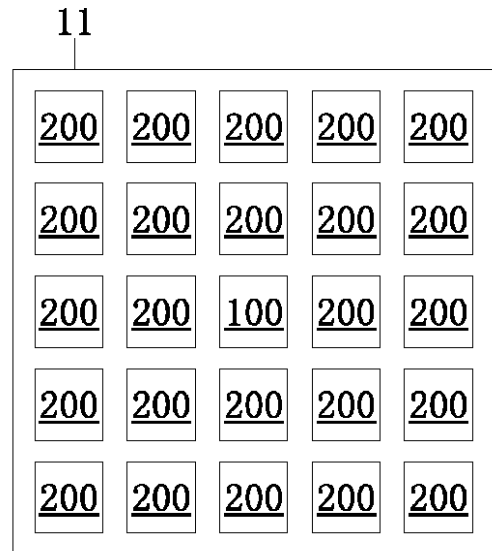


图 5

【図 6】

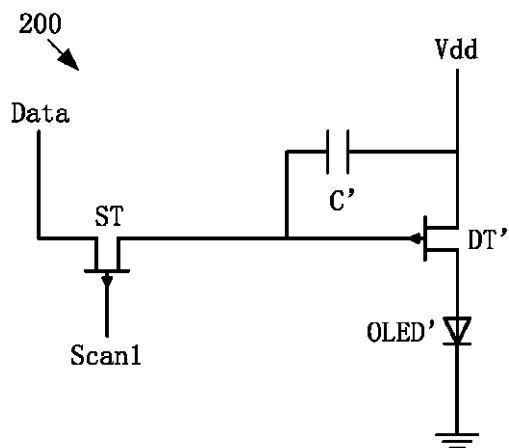


图 6

【図 8】

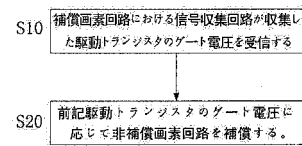


図 8

【図 7】

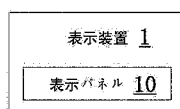


図 7

【図 9】

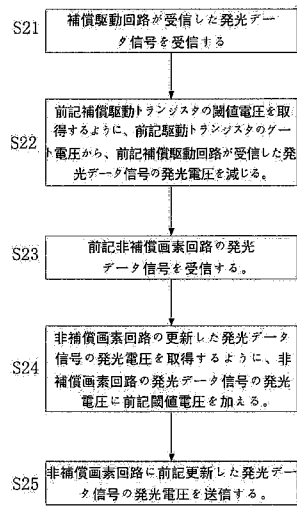


図 9

【図 10】

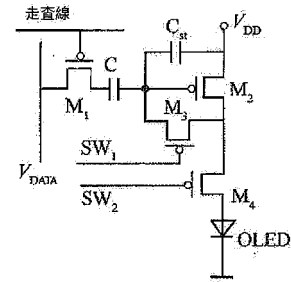


図 10 (a)

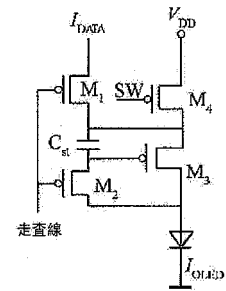


図 10 (b)

【 国际調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2017/076917
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/3208 (2016.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, CNKI, EPODOC, WPI: compensation region, correct, approximation, pixel circuit, equal, gate voltage, same, block, non-compensation, pixel, consistent, area, OLED, drive transistor?, threshold voltage, compensat???, display		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103500556 A (BOE TECHNOLOGY GROUP CO., LTD.), 08 January 2014 (08.01.2014), description, paragraphs [0050]-[0060] and [0065]-[0067], and figures 3 and 7	1-11, 16, 19-20
Y	CN 103500556 A (BOE TECHNOLOGY GROUP CO., LTD.), 08 January 2014 (08.01.2014), description, paragraphs [0050]-[0060] and [0065]-[0067], and figures 3 and 7	12-13, 15
X	CN 104318898 A (BOE TECHNOLOGY GROUP CO., LTD.), 28 January 2015 (28.01.2015), description, paragraphs [0054]-[0056], and figure 1	17
Y	CN 104318898 A (BOE TECHNOLOGY GROUP CO., LTD.), 28 January 2015 (28.01.2015), description, paragraphs [0054]-[0056], and figure 1	12-13, 15
A	CN 104123912 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 29 October 2014 (29.10.2014), the whole document	1-20
A	CN 105243986 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 13 January 2016 (13.01.2016), the whole document	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 May 2017 (17.05.2017)		Date of mailing of the international search report 31 May 2017 (31.05.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer LI, Suning Telephone No.: (86-10) 61648486

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/076917**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20150141368 A (NEOVUE KOLON CO., LTD.), 18 December 2015 (18.12.2015), the whole document	1-20
A	CN 104134426 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 05 November 2014 (05.11.2014), the whole document	1-20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/076917**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

- [1] Invention 1: claims 1-16 and 19-20 relate to a compensation pixel circuit, and a display panel and a display device including same, and a drive method for the compensation pixel circuit.
 [2] Invention 2: claims 17 and 18 relate to an area compensation method.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/076917

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103500556 A	08 January 2014	WO 2015051682 A1	16 April 2015
		US 9489894 B2	08 November 2016
		US 2015287360 A1	08 October 2015
		CN 103500556 B	02 December 2015
CN 104318898 A	28 January 2015	WO 2016074418 A1	19 May 2016
CN 104123912 A	29 October 2014	WO 2016000346 A1	07 January 2016
		CN 104123912 B	19 October 2016
		US 2016284274 A1	29 September 2016
CN 105243986 A	13 January 2016	None	
KR 20150141368 A	18 December 2015	None	
CN 104134426 A	05 November 2014	WO 2016004690 A1	14 January 2016
		CN 104134426 B	15 February 2017
		US 2016155385 A1	02 June 2016

国际检索报告		国际申请号 PCT/CN2017/076917																					
A. 主题的分类 G09G 3/3208(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, EPODOC, WPI: 补偿区, 纠正, 近似, 像素电路, 相等, 栅极电压, 相同, 块, 非补偿, 画素电路, 校正, 阈值电压, 驱动晶体管, 像素, 一致, 象素电路, 补偿, 区, 显示, OLED, drive transistor?, threshold voltage, compensat???, display																							
C. 相关文件 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">类 型*</th> <th style="width: 60%;">引用文件, 必要时, 指明相关段落</th> <th style="width: 30%;">相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103500656 A (京东方科技集团股份有限公司) 2014年 1月 8日 (2014 - 01 - 08) 说明书第[0050]-[0060], [0065]-[0067]段, 附图3, 7</td> <td>1-11, 16, 19-20</td> </tr> <tr> <td>Y</td> <td>CN 103500656 A (京东方科技集团股份有限公司) 2014年 1月 8日 (2014 - 01 - 08) 说明书第[0050]-[0060], [0065]-[0067]段, 附图3, 7</td> <td>12-13, 15</td> </tr> <tr> <td>X</td> <td>CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 说明书[0054]-[0056]段, 附图1</td> <td>17</td> </tr> <tr> <td>Y</td> <td>CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 说明书[0054]-[0056]段, 附图1</td> <td>12-13, 15</td> </tr> <tr> <td>A</td> <td>CN 104123912 A (京东方科技集团股份有限公司 等) 2014年 10月 29日 (2014 - 10 - 29) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105243986 A (京东方科技集团股份有限公司 等) 2016年 1月 13日 (2016 - 01 - 13) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103500656 A (京东方科技集团股份有限公司) 2014年 1月 8日 (2014 - 01 - 08) 说明书第[0050]-[0060], [0065]-[0067]段, 附图3, 7	1-11, 16, 19-20	Y	CN 103500656 A (京东方科技集团股份有限公司) 2014年 1月 8日 (2014 - 01 - 08) 说明书第[0050]-[0060], [0065]-[0067]段, 附图3, 7	12-13, 15	X	CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 说明书[0054]-[0056]段, 附图1	17	Y	CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 说明书[0054]-[0056]段, 附图1	12-13, 15	A	CN 104123912 A (京东方科技集团股份有限公司 等) 2014年 10月 29日 (2014 - 10 - 29) 全文	1-20	A	CN 105243986 A (京东方科技集团股份有限公司 等) 2016年 1月 13日 (2016 - 01 - 13) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103500656 A (京东方科技集团股份有限公司) 2014年 1月 8日 (2014 - 01 - 08) 说明书第[0050]-[0060], [0065]-[0067]段, 附图3, 7	1-11, 16, 19-20																					
Y	CN 103500656 A (京东方科技集团股份有限公司) 2014年 1月 8日 (2014 - 01 - 08) 说明书第[0050]-[0060], [0065]-[0067]段, 附图3, 7	12-13, 15																					
X	CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 说明书[0054]-[0056]段, 附图1	17																					
Y	CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 说明书[0054]-[0056]段, 附图1	12-13, 15																					
A	CN 104123912 A (京东方科技集团股份有限公司 等) 2014年 10月 29日 (2014 - 10 - 29) 全文	1-20																					
A	CN 105243986 A (京东方科技集团股份有限公司 等) 2016年 1月 13日 (2016 - 01 - 13) 全文	1-20																					
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 5月 17日		国际检索报告邮寄日期 2017年 5月 31日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 李苏宁 电话号码 (86-10)61648486																					

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告

国际申请号

PCT/CN2017/076917

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	KR 20150141368 A (NEOVIEW KOLON CO., LTD.) 2015年 12月 18日 (2015 - 12 - 18) 全文	1-20
A	CN 104134426 A (京东方科技集团股份有限公司 等) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-20

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告

国际申请号

PCT/CN2017/076917

第III栏 缺乏发明单一性的意见(续第1页第3项)

本国际检索单位在该国际申请中发现多项发明，即：

[1] 发明1：权利要求1-16、19-20涉及一种补偿像素电路以及包含其的显示面板和显示设备，以及该补偿像素电路的驱动方法；

[2] 发明2：权利要求17-18涉及一种区域补偿方法。

1. ☐ 由于申请人按时缴纳了被要求缴纳的全部附加检索费，本国际检索报告涉及全部可作检索的权利要求。
2. ☒ 由于无需付出有理由要求附加费的劳动即能对全部可检索的权利要求进行检索，本单位未通知缴纳任何加费。
3. ☐ 由于申请人仅按时缴纳了部分被要求缴纳的附加检索费，本国际检索报告仅涉及已缴费的那些权利要求，具体地说，是权利要求：
4. ☐ 申请人未按时缴纳被要求缴纳的附加检索费。因此，本国际检索报告仅涉及权利要求书中首先提及的发明；包含该发明的权利要求是：

对异议的意见

- ☐ 申请人缴纳了附加检索费，同时提交了异议书，适用时，缴纳了异议费。
- ☐ 申请人缴纳了附加检索费，同时提交了异议书，但未在通知书规定的时间期限内缴纳异议费。
- ☐ 缴纳附加检索费时未提交异议书。

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/076917

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103500556	A	2014年 1月 8日	WO	2015051682	A1	2015年 4月 16日
				US	9489894	B2	2016年 11月 8日
				US	2015287360	A1	2015年 10月 8日
				CN	103500556	B	2015年 12月 2日
CN	104318898	A	2015年 1月 28日	WO	2016074418	A1	2016年 5月 19日
CN	104123912	A	2014年 10月 29日	WO	2016000346	A1	2016年 1月 7日
				CN	104123912	B	2016年 10月 19日
				US	2016284274	A1	2016年 9月 29日
CN	105243986	A	2016年 1月 13日	无			
KR	20150141368	A	2015年 12月 18日	无			
CN	104134426	A	2014年 11月 5日	WO	2016004690	A1	2016年 1月 14日
				CN	104134426	B	2017年 2月 15日
				US	2016155385	A1	2016年 6月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 2 3 C
	H 0 5 B 33/14	A
	H 0 1 L 27/32	
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 6 5

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(72) 発明者 ▲楊▼ 盛▲際▼

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 董 学

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 ▲呂▼ 敬

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 ▲陳▼ 小川

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 ▲劉▼ 冬▲二▼

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 王 磊

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 肖 ▲麗▼

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 岳 ▲ハﾝ▼

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 ▲盧▼ ▲鵬▼程

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 付 杰

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 ▲劉▼ 英明

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72) 発明者 ▲張▼ 燦

中華人民共和国 1 0 0 1 7 6 北京市▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

F ターム(参考) 3K107 AA01 BB01 BB08 CC33 CC35 CC36 CC43 EE03 EE59 FF15

HH02 HH05

5C080 AA06 BB05 DD05 DD19 DD22 JJ02 JJ03 JJ04 JJ07 KK07

5C094 AA21 BA03 BA27 CA19 DB01 DB04 FB01 FB12 FB14 FB19

GA10 HA05 HA08

5C380 AA01 AB06 AC08 AC09 AC11 BA14 BB04 BB05 CA54 CC07

CC09	CC26	CC33	CC39	CC58	CC62	CC64	CC77	CD012	CD014
CD016	CD024	CF46	CF49	DA47	DA50	FA02	FA18	FA20	FA23
FA28	GA14								

专利名称(译)	补偿像素电路，显示面板，显示装置，补偿及驱动方法		
公开(公告)号	JP2019526816A	公开(公告)日	2019-09-19
申请号	JP2017550869	申请日	2017-03-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	董学 呂敬 陳小川 王磊		
发明人	▲楊▼盛▲際▼ 董 学 ▲呂▼ 敬 ▲陳▼ 小川 ▲劉▼ 冬▲二▼ 王 磊 肖 ▲麗▼ 岳 ▲ハン▼ ▲盧▼ ▲鵬▼程 付 杰 ▲劉▼ 英明 ▲張▼ 粲		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50 H01L27/32 G09F9/30		
CPC分类号	G09G3/3208 G09G3/3233 G09G3/3266 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2300/0828 G09G3/3258 G09G2300/0426		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.611.F G09G3/20.642.P G09G3/20.670.Z G09G3/20.621.A G09G3/20.621.M G09G3/20.680.G G09G3/20.623.C H05B33/14.A H01L27/32 G09F9/30.338 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC33 3K107/CC35 3K107/CC36 3K107/CC43 3K107/EE03 3K107/EE59 3K107/FF15 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD19 5C080/DD22 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 5C080/KK07 5C094/AA21 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/DB04 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB19 5C094/GA10 5C094/HA05 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA14 5C380/BB04 5C380/BB05 5C380/CA54 5C380/CC07 5C380/CC09 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC58 5C380/CC62 5C380/CC64 5C380/CC77 5C380/CD012 5C380/CD014 5C380/CD016 5C380/CD024 5C380/CF46 5C380/CF49 5C380/DA47 5C380/DA50 5C380/FA02 5C380/FA18 5C380/FA20 5C380/FA23 5C380/FA28 5C380/GA14		
代理人(译)	村山彦		
优先权	201610664473.0 2016-08-12 CN		
外部链接	Espacenet		

摘要(译)

补偿像素电路100包括补偿驱动电路110和连接到补偿驱动电路110的信号收集电路120。补偿驱动电路110具有驱动晶体管和有机发光二极管，补偿驱动电路110接收发光数据信号，补偿驱动晶体管的阈值电压，即有机发光二极管的发光数据信号。布置为驱动发光，并且信号收集电路120布置为收集驱动晶体管的栅极电压。通过收集补偿像素电路中的驱动晶体管的栅极电压并根据该电压

补偿周围的非补偿像素电路来实现阈值电压的补偿。结果，减少了补偿驱动电路的数量，并且减少了驱动电路所占据的面板面积，这对于提高显示面板的物理分辨率是有利的。

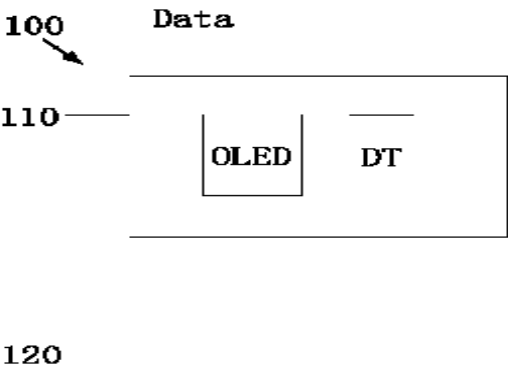


图 1 (a)