

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-12256

(P2019-12256A)

(43) 公開日 平成31年1月24日 (2019.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 612T	5C080
G09G 3/30 (2006.01)	G09G 3/20 621A	5C094
G09G 3/3291 (2016.01)	G09G 3/20 642P	5C380
G09G 3/3266 (2016.01)	G09G 3/20 641P	
審査請求 有 請求項の数 12 O L (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2017-238182 (P2017-238182)	(71) 出願人	501426046 エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル、ヨンドゥンポグ、ヨ ウィーテロ 128
(22) 出願日	平成29年12月13日 (2017.12.13)	(74) 代理人	100094112 弁理士 岡部 譲
(31) 優先権主張番号	10-2017-0083267	(74) 代理人	100106183 弁理士 吉澤 弘司
(32) 優先日	平成29年6月30日 (2017.6.30)	(74) 代理人	100114915 弁理士 三村 治彦
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100120363 弁理士 久保田 智樹
		(74) 代理人	100125139 弁理士 岡部 洋
		最終頁に続く	

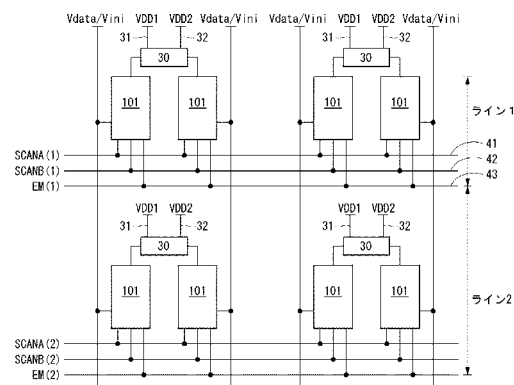
(54) 【発明の名称】 表示パネルおよび電界発光表示装置

(57) 【要約】

【課題】本発明は、ピクセルの各々で駆動素子の電気的特性ばらつきをリアルタイム補償することができる表示パネルと、これを利用した電界発光表示装置を提供する。

【解決手段】本発明の表示パネルは、アクティブ区間とブランク区間に分割されたフレーム期間の間にフレームデータを表示し、ブランク区間においてピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する電界発光表示装置の表示パネルにおいて、発光素子と前記発光素子を駆動する駆動素子を含み、駆動段階において前記発光素子が駆動素子を介して流れる電流で発光するサブピクセル、及び前記アクティブ区間と、前記ブランク区間で駆動段階の間、第1駆動電圧をサブピクセルに供給し、アクティブ区間のデータ書き込み段階、ブランク区間の初期化段階、ブランク区間のセンシング段階及びブランク区間のデータ書き込み段階において、サブピクセルに第2駆動電圧を供給する電源スイッチング回路を備える。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

アクティブ区間とblank区間に分割されたフレーム期間の間、フレームデータを表示し、前記blank区間でピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する電界発光表示装置の表示パネルにおいて、

発光素子と前記発光素子を駆動する駆動素子を含み、駆動段階において前記発光素子が前記駆動素子を介して流れる電流で発光するサブピクセルと、

前記アクティブ区間と、前記blank区間で前記駆動段階の間、第1駆動電圧を前記サブピクセルに供給し、

前記アクティブ区間のデータ書き込み段階、前記blank区間の初期化段階、前記blank区間のセンシング段階及び前記blank区間のデータ書き込み段階において、前記サブピクセルに第2駆動電圧を供給する電源スイッチング回路を備える表示パネル。

10

【請求項 2】

前記第1駆動電圧が第1電源配線に供給され、前記第2駆動電圧が前記第1電源配線と分離される第2電源配線に供給される、請求項1に記載の表示パネル。

【請求項 3】

前記サブピクセルは、前記駆動素子に接続されたキャパシタをさらに備え、

前記第1駆動電圧は、前記アクティブ区間と、前記blank区間の前記駆動段階の間に、前記キャパシタの第1電極と前記駆動素子の第1電極に供給され、

前記第2駆動電圧は、前記blank区間において、前記初期化段階、前記センシング段階及び前記データ書き込み段階の間に、前記キャパシタの第1電極に供給され、

20

前記キャパシタの第2電極は、第1ノードを経由して前記駆動素子のゲートに接続され、前記駆動素子の第1電極が前記キャパシタの第1電極に接続され、前記駆動素子の第2電極が第2ノードに接続される、請求項1に記載の表示パネル。

【請求項 4】

前記第1駆動電圧が供給され、すべてのピクセルラインの前記サブピクセルに共通に接続された第1電源配線と、

前記第2駆動電圧が供給され、ピクセルラインの間に分離された複数の第2電源配線をさらに備える、請求項3に記載の表示パネル。

【請求項 5】

30

前記電源スイッチング回路は、

前記駆動段階の期間を定義する発光スイッチング信号に応答して前記駆動段階でターンオンされて前記第1電源配線を前記サブピクセルに接続する第1ピクセル駆動電圧スイッチング素子と、

前記アクティブ区間の前記データ書き込み段階、前記blank区間の前記初期化段階、前記blank区間の前記センシング段階及び前記blank区間のデータ書き込みの段階の期間を定義する第1スキャン信号に応答してターンオンされて前記第2電源配線を前記サブピクセルに接続する第2ピクセル駆動電圧スイッチング素子を備える、請求項3に記載の表示パネル。

【請求項 6】

40

前記サブピクセルは、

前記センシング段階の期間を定義する第2スキャン信号に応答してターンオンされて前記第1ノードを前記第2ノードに接続する第1スイッチ素子と、

前記第1スキャン信号に応答してターンオンされてデータラインを前記第1ノードに接続する第2スイッチ素子と、

前記発光スイッチング信号に応答してターンオンされて前記第2ノードを第3ノードに接続する第3スイッチ素子と、

前記第1スキャン信号に応答してターンオンされて、所定の初期化電圧が印加される第3電源配線を前記第3ノードに接続する第4スイッチ素子をさらに備え、

前記第3ノードは、前記第3スイッチ素子、前記第4スイッチ素子及び前記発光素子の

50

アノードに接続され、

前記データ書き込み段階において、前記データラインに入力映像のデータ電圧が供給され、前記初期化段階で、前記データラインに前記初期化電圧が供給される、請求項 5 に記載の表示パネル。

【請求項 7】

前記ブランク区間と、

前記ブランク区間に先立つ以前の前記アクティブ区間のデータ書き込み段階で同じである、以前のフレームのデータが、前記ブランク区間にセンシングされるサブピクセルに書き込まれ、

前記ブランク区間後の次の前記アクティブ区間のデータ書き込み段階においてセンシングされたサブピクセルに、現在のフレームのデータが書き込まれる、請求項 1 に記載の表示パネル。

10

【請求項 8】

アクティブ区間とブランク区間に分割されたフレーム期間の間にフレームデータを表示し、前記ブランク区間でピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する電界発光表示装置の表示パネルを備える電界発光表示装置において、

発光素子と前記発光素子を駆動する駆動素子を含み、

駆動段階で前記発光素子が前記駆動素子を介して流れる電流で発光する複数のサブピクセルと、前記アクティブ区間と、前記ブランク区間で前記駆動段階の間、第 1 駆動電圧を前記サブピクセルに供給し、前記アクティブ区間のデータ書き込み段階、前記ブランク区間の初期化段階及び前記ブランク区間のセンシング段階及び前記ブランク区間のデータ書き込み段階において、前記サブピクセルに第 2 駆動電圧を供給する電源スイッチング回路を含む表示パネルを備える電界発光表示装置。

20

【請求項 9】

入力映像のデータ電圧を前記アクティブ区間のデータ書き込み段階と、前記ブランク区間のデータ書き込み段階で、前記データラインにデータ電圧を供給し、前記初期化段階で所定の初期化電圧を供給するデータ駆動部と、

前記アクティブ区間のデータ書き込み段階と、前記ブランク区間の初期化段階、前記ブランク区間のセンシング段階及び、前記ブランク区間のデータ書き込みの段階の期間を定義する第 1 スキャン信号を第 1 ゲートラインに供給し、前記ブランク区間のセンシング段階の期間を定義する第 2 スキャン信号を第 2 ゲートラインに供給し、前記駆動段階の期間を定義する発光スイッチング信号を第 3 ゲートラインに供給するゲート駆動部をさらに備え、

30

前記表示パネルのサブピクセルは、

互いに異なるデータラインにそれぞれ接続され、前記第 1 ～ 第 3 ゲートラインに共通的に接続された第 1 及び第 2 サブピクセルを含む、請求項 8 に記載の電界発光表示装置。

【請求項 10】

前記第 1 駆動電圧と前記第 2 駆動電圧を出力する電源回路をさらに備え、

前記電源回路は、前記第 1 駆動電圧を出力する第 1 出力端子と、前記第 2 駆動電圧を出力する第 2 出力端子を含み、

40

前記電源回路から前記第 1 及び前記第 2 駆動電圧が同じ電圧レベルで出力される、請求項 8 に記載の電界発光表示装置。

【請求項 11】

前記第 1 駆動電圧と前記第 2 駆動電圧を出力する電源回路をさらに備え、

前記電源回路は、一つの出力チャンネルを介して、単一駆動電圧を、単一配線に、

前記単一配線が第 1 及び第 2 分岐配線に分離され、

前記第 1 駆動電圧が前記第 1 分岐配線を介して前記サブピクセルに供給され、

前記第 2 駆動電圧が前記第 2 分岐配線を介して前記サブピクセルに供給される、請求項 8 に記載の電界発光表示装置。

50

【請求項 12】

前記第 1 駆動電圧が供給され、すべてのピクセルラインの前記サブピクセルに共通に接続された第 1 電源配線と、

前記第 2 駆動電圧が供給され、ピクセルライン別に分離され、前記サブピクセルに接続された複数の第 2 電源配線をさらに備え、

前記第 2 電源配線を介して 1 つのピクセルラインに配置された前記サブピクセルに、前記第 2 駆動電圧が供給されるとき、前記第 1 電源配線を介して前記 1 つのピクセルラインを除外した他のピクセルラインの前記サブピクセルに前記第 1 駆動電圧が供給される、請求項 8 に記載の電界発光表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、ピクセル (pixel: 画素) の各々で駆動素子の電気的特性ばらつきをリアルタイム補償することができる表示パネルおよび電界発光表示装置に関する。

【背景技術】

【0002】

電界発光表示装置は、発光層の材料に応じて無機発光表示装置と有機発光表示装置に大別される。この中で、アクティブマトリクス型 (active matrix type) の有機発光表示装置は、自ら発光する、代表的な電界発光ダイオードである、有機発光ダイオード (Organic Light Emitting Diode: 以下、「OLED」と称する) を含み、応答速度が速く、発光効率、輝度及び視野角が大きい長所がある。

20

【0003】

有機発光表示装置のピクセルは、OLED、キャパシタ、駆動素子、スイッチ素子等を含む。駆動素子とスイッチ素子は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 構造の TFT (Thin Film Transistor) で実現されることができる。駆動素子は、映像データの階調に応じて変化するゲート・ソース間電圧で OLED の電流を調整して、ピクセルの輝度を映像データに基づいて調節する。

【0004】

駆動素子として利用されるトランジスタが飽和領域で動作するとき、駆動素子のドレイン・ソース間に流れる駆動電流 (I_{ds}) は以下のように表現される。

30

【0005】

$$I_{ds} = 1/2 * (\mu * C * W/L) * (V_{gs} - V_{th})^2$$

【0006】

ここで、 μ は電子移動度を、 C はゲート絶縁膜の静電容量を、 W は駆動素子のチャネル幅を、そして L は駆動素子のチャネル長をそれぞれ示す。また、 V_{gs} は駆動素子のゲート・ソース間電圧を示し、 V_{th} は駆動 TFT のしきい値電圧 (または臨界電圧) を示す。データ電圧に応じて駆動 TFT のゲート・ソース間電圧 (V_{gs}) がプログラミング (または設定) される。プログラミングされたゲート・ソース間電圧 (V_{gs}) に応じて OLED に流れる駆動素子のドレイン・ソース電流 (I_{ds}) が決定される。

【0007】

40

駆動素子のしきい値電圧 (V_{th})、駆動 TFT の電子移動度 (μ)、及び OLED のしきい値電圧などのピクセルの電気的特性は、OLED の電流を決定する要因であるため、理想的には、ピクセルの各々で同じでなければならない。しかし、工程ばらつき (偏差)、経時変化など、さまざまな原因によってピクセル間の電気的特性が異なることがある。このようなピクセルの電気的特性ばらつきは画質の劣化や寿命の短縮をもたらす。

【0008】

駆動素子の電気的特性ばらつきを補償するために、内部補償方法と、外部補償方法が適用されることがある。内部補償方法は、駆動素子の電気的特性ばらつきをピクセル内でリアルタイムに自動的に補償することができる。外部補償の方法は、ピクセルのそれぞれの駆動電圧をセンシングし、センシングされた電圧に基づいて、外部回路で入力映像のデー

50

タを変調することにより、ピクセル間の駆動素子の電気的特性ばらつきを補償する。

【0009】

ところで、従来の内部または外部補償方法においてIRドロップ(drop)の影響を受ける問題がある。IRドロップは抵抗体(R)の電流(I)が流れて発生するピクセルの駆動電圧降下をもたらす。このような電圧降下は、画面の位置に応じて変わる。これにより、表示パネル上の画面の位置に応じて、ピクセル間に輝度差が発生することができる。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開特開2010-122461号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の目的は、ピクセルの各々で駆動素子の電気的特性ばらつきを補償することができ、ピクセルに印加される電源の電圧降下の影響を最小化することができる表示パネルおよび電界発光表示装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明の表示パネルは、アクティブ区間とブランク区間に分割されたフレーム期間の間にフレームデータを表示し、前記ブランク区間においてピクセルの電気的特性をセンシングした結果に基づいて、入力映像のデータを変調する電界発光表示装置の表示パネルにおいて、発光素子と前記発光素子を駆動する駆動素子を含み、駆動段階で前記発光素子が前記駆動素子を介して流れる電流で発光するサブピクセル、及び前記アクティブ区間と、前記ブランク区間で前記駆動段階の間、第1駆動電圧を前記サブピクセルに供給し、前記アクティブ区間のデータ書き込み段階、前記ブランク区間の初期化段階、前記ブランク区間のセンシング段階及び前記ブランク区間のデータ書き込み段階で、前記サブピクセルに第2駆動電圧を供給する電源スイッチング回路を備える。

20

【0013】

前記第1駆動電圧が第1電源配線に供給され、前記第2駆動電圧が前記第1電源配線と分離される第2電源配線に供給される。

30

【0014】

前記サブピクセルは、前記駆動素子に接続されたキャパシタをさらに備える。前記第1駆動電圧は、前記アクティブ区間と、前記ブランク区間の駆動段階の間に、前記キャパシタの第1電極と前記駆動素子の第1電極に供給される。前記第2駆動電圧は、前記ブランク区間において、前記初期化段階、前記センシング段階及び前記データ書き込み段階の間に、前記キャパシタの第1電極に供給される。前記キャパシタの第2電極は、第1ノードを経由して前記駆動素子のゲートに接続され、前記駆動素子の第1電極が前記キャパシタの第1電極に接続され、前記駆動素子の第2電極が第2ノードに接続される。

【0015】

前記表示パネルは、前記第1駆動電圧が供給され、すべてのピクセルのラインのサブピクセルに共通に接続された第1電源配線、及び前記第2駆動電圧が供給されピクセルライン間に分離された複数の第2電源配線をさらに備える。

40

【0016】

前記電源スイッチング回路は、前記駆動段階の期間を定義する発光スイッチング信号に応答して前記駆動段階でターンオンされて前記第1電源配線を、前記サブピクセルに接続する第1ピクセル駆動電圧スイッチング素子、前記アクティブ区間のデータ書き込み段階、前記ブランク区間の初期化段階、前記ブランク区間のセンシング段階及び前記ブランク区間のデータ書き込み段階の期間を定義する第1スキャン信号に応答してターンオンされ、前記第2電源配線を前記サブピクセルに接続する第2ピクセル駆動電圧スイッチング素子を備える。

50

【 0 0 1 7 】

前記サブピクセルは、前記センシング段階の期間を定義する第2スキャン信号に 응답してターンオンされ前記第1ノードを前記第2ノードに接続する第1スイッチ素子、前記第1スキャン信号に 응답してターンオンされてデータラインを前記第1ノードに接続する第2スイッチ素子、前記発光スイッチング信号に 응답してターンオンされ前記第2ノードを第3ノードに接続する第3スイッチ素子、及び前記第1スキャン信号に 응답してターンオンされ、所定の初期化電圧が印加される第3電源配線を前記第3ノードに接続する第4スイッチ素子をさらに備える。前記第3ノードは、前記第3スイッチ素子、前記第4スイッチ素子及び、前記発光素子のアノードに接続される。前記データ書き込み段階で、前記データラインに入力映像のデータ電圧が供給され、前記初期化段階で、前記データラインに前記初期化電圧が供給される。

10

【 0 0 1 8 】

前記ブランク区間と、前記ブランク区間に先立つ以前のアクティブ区間のデータ書き込み段階で同じである、以前のフレームデータが、前記ブランク区間にセンシングされるサブピクセルに書き込まれる。前記ブランク区間後の次のアクティブ区間のデータ書き込み段階でセンシングされたサブピクセルに、現在のフレームデータが書き込まれる。

【 0 0 1 9 】

本発明の電界発光表示装置は前記表示パネルを備える。

【 発明の効果 】

【 0 0 2 0 】

20

本発明は、駆動電圧 (VDD) を駆動段階用 $VDD = VDD1$ と、センシング段階及び、データ書き込み段階用 $VDD = VDD2$ に分離し、外部補償の方法でサブピクセルの電気的特性ばらつきを補償する。本発明は、アクティブ区間にサブピクセルにデータを書き込むとき、そしてパーチカルブランク区間でサブピクセルの電気的特性をセンシングするとき $VDD (= VDD1)$ をサブピクセルに印加する。したがって、本発明の電界発光表示装置は、センシング段階と、データ書き込みの段階で IR ドロップの影響なしにサブピクセルの各々において駆動素子のゲート・ソース間電圧 (V_{gs}) の変動を防止し、センシング段階で IR ドロップの影響を受けないため、サブピクセルの各々で駆動素子の電気的特性を正確にセンシングすることができる。

【 図面の簡単な説明 】

30

【 0 0 2 1 】

【 図 1 】 本発明の実施形態に係る電界発光表示装置を示すブロック図である。

【 図 2 】 本発明の実施形態に係る外部補償回路を示す回路図である。

【 図 3 】 ピクセルアレイの一部を示す図である。

【 図 4 】 IR ドロップによる電圧降下を示す図である。

【 図 5 】 サブピクセルのキャパシタの両端に印加される電圧を示す図である。

【 図 6 】 LOG 配線と第2 VDD 配線の一部を拡大した図である。

【 図 7 】 LOG 配線と第2 VDD 配線の一部を拡大した図である。

【 図 8 】 LOG 配線と第2 VDD 配線の一部を拡大した図である。

【 図 9 】 VDD 配線上での IR ドロップによる電圧降下を示す図である。

40

【 図 10 】 VDD 配線上での IR ドロップによる電圧降下を示す図である。

【 図 11A 】 本発明の実施形態に係る電源回路と表示パネルとの間の VDD 経路を示す図である。

【 図 11B 】 本発明の実施形態に係る電源回路と表示パネルとの間の VDD 経路を示す図である。

【 図 12 】 本発明の実施形態に係る第1及び第2 VDD 配線を示す図である。

【 図 13 】 共通 VDD で、すべてのピクセルラインのピクセルを駆動する例を示して図である。

【 図 14 】 センシング段階のピクセルラインに印加される VDD と駆動段階のピクセルラインに印加される VDD が分離された例を示して図である。

50

【図 1 5】本発明の実施形態に係る V D D スイッチング回路とピクセル回路を示す回路図である。

【図 1 6】バーチカルブランク区間でサブピクセルのセンシング段階を示す波形図である。

【図 1 7】バーチカルブランク区間に以前のフレームのデータをサブピクセルに再び書き込む例を示す図である。

【図 1 8】アクティブ区間でサブピクセルのデータ書き込み段階を示す波形図である。

【図 1 9】アクティブ区間のデータ書き込み段階と駆動段階を示す回路図である。

【図 2 0】データ書き込み段階と駆動段階でピクセル回路に印加される V D D とストレージキャパシタの電圧を示す図である。

10

【図 2 1】バーチカルブランク区間の初期化段階とセンシング段階でピクセル回路の動作を示す回路図である。

【図 2 2】アクティブ区間とバーチカルブランク区間を詳細に示す図である。

【発明を実施するための形態】

【 0 0 2 2 】

本発明の利点及び特徴、そしてそれらを達成する方法は添付される図面と共に詳細に後述される実施形態を参照すると明確になる。本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる様々な形で実現されるものであり、単に実施形態は、本発明の開示が完全にし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は、請求項の範疇によって定義されるだけである。

20

【 0 0 2 3 】

本発明の実施形態を説明するための図で開示された形状、大きさ、比率、角度、数などは例示的なものなので、本発明は、図面に示された事項に限定されるものではない。明細書全体にわたって同一参照符号は同一の構成要素を指す。また、本発明を説明するにおいて、関連する公知技術に対する具体的な説明が本発明の要旨を不必要に曖昧にすると判断される場合、その詳細な説明は省略する。

【 0 0 2 4 】

本明細書上で言及された「備える」、「含む」、「有する」、「行われる」などが使用される場合、「～だけ」が使用されない限り、他の部分が追加されることができる。構成要素を単数で表現する場合に特に明示的な記載事項がない限り、複数として解釈されることができる。

30

【 0 0 2 5 】

構成要素を解釈するに当たり、別の明示的な記載がなくても誤差の範囲を含むものと解釈する。

【 0 0 2 6 】

位置関係の説明である場合には、例えば、「～の上に」、「～の上部に」、「～の下部に」、「～の隣に」など 2 つの構成要素の間の位置関係が説明される場合には、「すぐに」または「直接」が使用されないその構成要素の間の 1 つ以上の他の構成要素が介在されることがある。

40

【 0 0 2 7 】

構成要素を区分するために、第 1、第 2 などが使用されることができるが、これらの構成要素は、構成要素の前についた序数や構成要素の名称で、その機能や構造が制限されない。

【 0 0 2 8 】

以下の実施形態は、部分的または全体的に互いに結合または組み合わせ可能であり、技術的に様々な連動及び駆動が可能である。各実施形態は、互いに独立して実施可能することもあり関連の関係と一緒に実施可能することもある。

【 0 0 2 9 】

本発明の電界発光表示装置においてピクセル回路は、n 型 T F T (N M O S) と p 型 T

50

ＦＴ（ＰＭＯＳ）の内、１つ以上を含むことができる。ＴＦＴは、ゲート（gate）、ソース（source）及びドレイン（drain）を含む３電極素子である。ソースは、キャリア（carrier）をトランジスタに供給する電極である。ＴＦＴの中でキャリアは、ソースから流れ始める。ドレインはＴＦＴでキャリアが外部に出る電極である。ＴＦＴでキャリアの流れは、ソースからドレインに流れる。ｎ型ＴＦＴの場合には、キャリアが電子（electron）であるため、ソースからドレインに電子が流れるで有り得るよう、ソース電圧がドレイン電圧より低い電圧を有する。ｎ型ＴＦＴで電流の方向は、ドレインからソースの方向に流れる。ｐ型ＴＦＴ（ＰＭＯＳ）の場合、キャリアが正孔（hole）であるため、ソースからドレインに正孔が流れるで有り得るよう、ソース電圧がドレイン電圧より高い。ｐ型ＴＦＴで正孔がソースからドレインの方向に流れるため、電流がソースからドレインの方向に流れる。ＴＦＴのソースとドレインは、固定されたものではないことに注意しなければならない。例えば、ソースとドレインは、印加電圧に応じて変更されることができる。したがって、ＴＦＴのソースとドレインによって発明が限定されない。以下の説明ではＴＦＴのソースとドレインを第１及び第２電極と称する。

10

20

30

40

50

【００３０】

ピクセル回路に印加されるゲート信号は、ゲートオン電圧（Gate On Voltage）とゲートオフ電圧（Gate Off Voltage）の間でスイングする。ゲートオン電圧はＴＦＴのしきい値電圧より高い電圧に設定され、ゲートオフ電圧はＴＦＴのしきい値電圧より低い電圧に設定される。ＴＦＴは、ゲートオン電圧に応答してターンオン（turn-on）されるものの、ゲートオフ電圧に応答してターン-オフ（turn-off）される。ｎ型ＴＦＴの場合、ゲートオン電圧はゲートハイ電圧（Gate High Voltage、VGH）であり、ゲートオフ電圧はゲートロー電圧（Gate Low Voltage、VGL）で有り得る。ｐ型ＴＦＴの場合、ゲートオン電圧はゲートロー電圧（VGL）であり、ゲートオフ電圧は、ゲートハイ電圧（VGH）で有り得る。

【００３１】

以下、添付された図面を参照して、本発明の様々な実施形態を詳細に説明する。以下の実施形態において、電界発光表示装置は、有機発光物質を含む有機発光表示装置を中心に説明する。本発明の技術的思想は、有機発光表示装置に限定されず、無機発光物質を含む無機発光表示装置に適用することができる。無機発光表示装置は、量子点（quantum dot）表示装置を例に挙げられるが、これに限定されるものではない。

【００３２】

図１は、本発明の実施形態に係る電界発光表示装置を示すブロック図である。図２は、本発明の実施形態に係る外部補償回路を示す回路図である。図３は、ピクセルアレイの一部を示す図である。

【００３３】

図１及び図２を参照すると、本発明の実施形態に係る電界発光表示装置は、表示パネル１００と、表示パネル駆動回路を含む。

【００３４】

表示パネル１００は、画面上での入力映像を表示するアクティブ領域（AA）を含む。アクティブ領域（AA）にピクセルアレイが配置される。ピクセルアレイは、信号配線とピクセルを含む。信号配線は、データライン１０２と、データライン１０２と交差されるゲートライン１０４を含む。ピクセルアレイにVDD、Vini、VSSなどの電源をピクセルに供給するための電源配線と電極が配置されることができる。ピクセルは、マトリックス形態に配置されるピクセルを含む。図３において、LINE１とLINE２は、ピクセルラインを示す。ピクセルライン（LINE１、LINE２）それぞれは、ピクセルアレイでゲートラインを共有する１ラインのピクセルを含む。

【００３５】

ピクセルの各々は、カラー実現のため赤色サブピクセル、緑色サブピクセル、青色サブピクセルに分けすることができる。ピクセルの各々は、白色サブピクセルをさらに含むことで有り得る。サブピクセル１０１のそれぞれは、ピクセル回路を含む。ピクセル回路は

、発光素子、駆動素子、複数のスイッチ素子、キャパシタを含む。ピクセル回路は、スイッチ素子を用いてピクセルの各々で駆動素子の電気的特性ばらつきをリアルタイム補償することができる補償回路を含む。駆動素子とスイッチ素子は、PMOS構造のTFTに実現されることができるが、これに限定されない。

【0036】

表示パネル100は、ピクセル駆動電圧(VDD)をサブピクセル101に供給するためのVDD配線、ピクセル回路を初期化するための初期化電圧(Vini)をサブピクセル101に供給するためVini配線、低電位電源電圧(VSS)をサブピクセルに供給するためのVSS配線とVSS電極、VGHが印加されるVGH配線、VGLが印加されるVGL配線などをさらに含むことができる。VDD配線はVDD1が印加される第1VDD配線31と、VDD2が印加される第2VDD配線32に分離される。

10

【0037】

VDD、Vini、VSSなどの電源電圧は、電源回路150から発生される。電源回路150は、- 直流変換器(DC-DC converter)、チャージポンプ(Charge pump)、レギュレーター(Regulator)などを利用して、ピクセルの駆動に必要な電源を発生する。電源回路150は、PMIC(Power Module Integrated Circuit)として実現されることができるが、これに限定されない。VDD = VDD1 = VDD2 = 4.5V、VSS = -2.5V、Vini = -3.5V、VGH = 7.0V、VGL = -5.5Vなどで電源電圧が設定されることができるが、これに限定されない。電源電圧は、表示パネル100の駆動特性やモデルによって異なることができる。

20

【0038】

表示パネル100の画面上に示さないタッチセンサが配置されることができる。タッチ入力は、別のタッチセンサを利用して、センシングされたり、ピクセルを介してセンシングすることができる。タッチセンサは、オン-セル(On-cell type)またはアドオンタイプ(Add on type)で表示パネルの画面上に配置したり、ピクセルアレイに内蔵されるイン-セル(In-cell type)タッチセンサに実現されることができる。

【0039】

表示パネル駆動回路は、データ駆動部110、ゲート駆動部120、VDDスイッチング回路30などを備える。表示パネル駆動回路は、データ駆動部110とデータライン102との間に配置されたデマルチプレクサ112をさらに備えることができる。

30

【0040】

表示パネル駆動回路は、タイミングコントローラ(Timing controller、TCON)130の制御下に表示パネル100のピクセルに入力映像のデータを書き込む。表示パネル駆動回路は、タッチセンサを駆動するためのタッチセンサ駆動部をさらに備えることができる。タッチセンサ駆動部は、図1から省略されている。モバイル機器で表示パネル駆動回路、タイミングコントローラ130は、電源回路150などは、一つの集積回路に集積することができる。

【0041】

同一ピクセルラインにおいて隣接するサブピクセル101は、VDDスイッチング回路30に共通に接続される。したがって、隣接したサブピクセルが一つのVDDスイッチング回路30を共有する。VDDスイッチング回路30は、アクティブ区間(図22、AT)の駆動段階にサブピクセル101にVDD1を供給し、アクティブ区間のデータ書き込み段階とパーティカルブランク(Vertical blank)区間(図22、VB)の初期化及びセンシング段階の間、VDD2をサブピクセル101に供給する。

40

【0042】

アクティブ区間は1フレームのデータが画面上のすべてのピクセルに書き込まれる時間である。パーティカルブランク区間は、第N-1アクティブ区間と第Nアクティブ区間の間で所定時間に割り当てられる。パーティカルブランク区間の間、次のフレームデータ(第Nフレームデータ)がタイミングコントローラ130に受信されない時間である。

【0043】

50

駆動段階は、 $VDD1$ が駆動素子に供給され、駆動素子のゲート - ソース間電圧 (V_{gs}) に応じて発生する電流 (I_{ds}) が発光素子に流れる時間である。この駆動段階でサブピクセルの発光素子が発光することができる。

【0044】

データ書き込み段階は、サブピクセルのストレージキャパシタ (C_{st}) の第1電極に $VDD2$ が供給され、データ駆動部 110 から発生されたデータ電圧 (V_{data}) がストレージキャパシタ (C_{st}) の第2電極と駆動素子のゲートに印加される時間である。

【0045】

センシング段階は、バーチカルブランク区間内に割り当てられる。センシング段階の前に、サブピクセルを初期化するための初期化段階が設定される。センシング段階は、サブピクセルの電気的特性、例えば、駆動素子のしきい値電圧がセンシングされる。

10

【0046】

表示パネル駆動回路では、アクティブ区間それぞれで、現在のフレームのデータをすべてのサブピクセルに書き込む。表示パネル駆動回路は、バーチカルブランク区間にあらかじめ設定されたピクセルラインでサブピクセルの駆動素子の電気的特性をセンシングして、以前のフレームのデータである第 $N-1$ フレームのデータをセンシングされたサブピクセルに再度書き込む。バーチカルブランク区間に1つ以上のピクセルラインがセンシングされ、次のバーチカルブランク区間に他のピクセルラインがセンシングされることができ

【0047】

20

表示パネル駆動回路は、低速駆動モードで動作することができる。低速駆動モードは、入力映像を分析して、入力映像が予め設定された時間だけ変化がない場合に表示装置の消費電力を低減する。低速駆動モードは、静止映像が一定時間以上入力される時、ピクセルのリフレッシュレート (Refresh rate または Frame rate) を下げることで、ピクセルのデータ書き込みサイクルを長く制御して消費電力を減らすことができる。低速駆動モードは、静止映像が入力される際に限定されない。表示装置が待機モードで動作するか、ユーザコマンドや入力映像が所定時間以上表示パネル駆動回路に入力されないとき表示パネル駆動回路は、低速駆動モードで動作することができる。

【0048】

データ駆動部 110 は、毎フレーム期間ごとにタイミングコントローラ 130 から受信される入力映像のデータ信号 (デジタルデータ) をデジタル - アナログ変換器 (Digital to Analog converter、DAC) 22 を介してアナログデータ電圧に変換する。タイミングコントローラ 130 は、補償部 131 によって変調された補償データをデータ駆動部 110 に伝送する。データ駆動部 110 から出力されたデータ電圧 (V_{data}) はデマルチプレクサ 112 を介してデータライン 102 に供給される。データ駆動部 110 は、図2に示されたセンシング部 20 を含むことができる。

30

【0049】

デマルチプレクサ 112 は、データ駆動部 110 とデータライン 102 との間に配置されて、データ駆動部 110 から出力されるデータ電圧 (V_{data}) をデータライン 102 に分配する。デマルチプレクサ 112 により、データ駆動部 110 の出力チャンネル数をデータラインに比べて $1/2$ 以下に低減することができる。

40

【0050】

ゲート駆動部 120 は、タイミングコントローラ 130 の制御下にゲート信号をゲートライン 104 に出力する。ゲート駆動部 120 は、シフトレジスタ (Shift register) を利用して、ゲート信号をシフト (shift) することにより、その信号をゲートライン 104 に順次供給することができる。ゲート信号は、データが書き込まれるラインのピクセルを選択するためのスキャン信号 ($SCAN_A(1) \sim SCAN_B(2)$) と、データ電圧が充電されたピクセルの発光時間を定義する発光スイッチング信号 (以下、「EM信号」と称する) ($EM(1)$ 、 $EM(2)$) を含む。図3において、 $SCAN_A(1)$ 、 $SCAN_B(1)$ 及び ($EM(1)$) は、第1ピクセルライン ($LINE1$) のサブピクセル 1

50

01に供給されるゲート信号である。SCAN A (2)、SCAN B (2)及びEM (2)は、第2ピクセルライン (LINE 2)のサブピクセル101に供給されるゲート信号である。ゲートライン104は、第1スキャン信号 (SCAN A (1)、SCAN A (2))が印加される第1ゲートライン41と、第2スキャン信号 (SCAN B (1)、SCAN B (2))が印加される第2ゲートライン42と、EM信号 (EM (1)、EM (2))が印加される第3ゲートライン43を含む。

【0051】

サブピクセルのピクセル回路、デマルチプレクサ112、ゲート駆動部120及び電源スイッチ回路140は、同一の製造工程で表示パネル100の基板上に直接形成することができる。ピクセル回路、デマルチプレクサ112、ゲート駆動部120、及び電源スイッチ回路140のトランジスタは、N MOSまたはP MOSトランジスタで実現されることができ、同じタイプのトランジスタに実現されることができる。

10

【0052】

タイミングコントローラ130は、示さないホストシステムから入力映像のデジタルデータと、それと同期されるタイミング信号を受信する。タイミング信号は、垂直同期信号 (Vsync)、水平同期信号 (Hsync)、クロック信号 (DCLK)及びデータイネーブル信号 (DE)などを含む。ホストシステムは、TV (Television)システム、セットトップボックス、ナビゲーションシステム、パーソナルコンピュータ (PC)、ホームシアターシステム、モバイル機器のシステムの内の、いずれか1つで有り得る。

20

【0053】

タイミングコントローラ130は、バーチカルブランク区間に受信されたサブピクセルのセンシング結果に基づいて補償値を選択し、この補正值で入力映像のデジタルデータを変調して、データ駆動部110に伝送する。したがって、データ駆動部110は、サブピクセルのセンシング結果に基づいて変調されたデータをDAC22を介してデータ電圧に変換して、データライン102に出力する。

【0054】

タイミングコントローラ130は、入力フレーム周波数をi倍通倍して、入力フレーム周波数かけるi (iは0より大きい正の整数)Hzのフレーム周波数で表示パネル駆動部 (110、112、120、140)の動作タイミングを制御することができる。入力フレーム周波数はNTSC (National Television Standards Committee)方式で60Hzであり、PAL (Phase-Alternating Line)方式で50Hzである。タイミングコントローラは、低速駆動モードでピクセルのリフレッシュレートを下げるために、フレーム周波数を1Hz~30Hzの間の周波数に下げることができる。

30

【0055】

タイミングコントローラ130は、ホストシステムから受信したタイミング信号 (Vsync、Hsync、DE)に基づいて、データ駆動部110を制御するためのデータタイミング制御信号、デマルチプレクサ112を制御するためのスイッチ制御信号、ゲート駆動部120を制御するためのゲートタイミング制御信号などを発生して表示パネル駆動回路の動作タイミングを制御する。タイミングコントローラ130から出力されたゲートタイミング制御信号は、示さないレベルシフタ (level shifter)を介して、ゲートオン電圧とゲートオフ電圧に変換されて、ゲート駆動部120に供給することができる。レベルシフタは、ゲートタイミング制御信号のローレベルの電圧 (low level voltage)をゲートロー電圧 (VGL)に変換し、ゲートタイミング制御信号のハイレベル電圧 (high level voltage)をゲートハイ電圧 (VGH)に変換する。

40

【0056】

ゲート駆動部120は、アクティブ領域 (AA)外のベゼル領域 (Bezel area、BZ)に形成されることができる。VDDスイッチング回路30は、ベゼル領域 (BZ)に形成されたり、アクティブ領域 (AA)内に分散配置されることができる。

【0057】

製品出荷前のピクセルのそれぞれの電気的特性をセンシングし、そのセンシング結果に

50

基づいて、サブピクセルの電気的特性ばらつきを補償する補償値を導出してルックアップテーブル (Look-up table) を生成する。このような補償値は、駆動素子のしきい値電圧を補償するための補償値 (offset) と駆動素子の移動度補償のための補償値 (gain) に分けられる。補償値が設定されたルックアップテーブルは、メモリ 132 に貯蔵される。メモリ 132 は、フラッシュメモリ (flash memory) で有り得るが、これに限定されない。

【0058】

電界発光表示装置に電源が印加されると、メモリ 132 からの補償値がタイミングコントローラの補償部 131 のメモリに伝送伝される。補償部 131 のメモリは D D R S D R A M (Double Data Rate Synchronous Dynamic RAM) または S R A M で有り得るが、これに限定されない。

10

【0059】

データ駆動部 110 は、図 2 に示されるように、D A C 22、センシング部 20、D A C 22 の出力端子とデータライン 102 との間に配置された第 1 スイッチ素子 (S W 1)、V i n i をデータライン 102 に供給するための第 2 スイッチ素子 (S W 2)、データライン 102 とセンシング部 20 の入力端子との間に配置された第 3 スイッチ素子 (S W 3) を含む。スイッチ素子 (S W 1、S W 2、S W 3) は、タイミングコントローラ 130 の制御下にオン/オフすることができる。

【0060】

第 1 スイッチ素子 (S W 1) は、アクティブ区間にターンオンされて D A C 20 から出力されるデータ電圧 (V d a t a) をデータライン 102 に供給する。第 1 スイッチ素子 (S W 1) は、バーチカルブランク区間の間にオフ状態を維持する。

20

【0061】

第 2 スイッチ素子 (S W 2) は、バーチカルブランク区間の初期化の段階で V i n i をデータライン 102 に供給する。第 3 スイッチ素子 (S W 3) は、バーチカルブランク区間のセンシング段階でターンオンされてデータライン 102 をセンシング部 20 に接続する。第 2 及び第 3 スイッチ素子 (S W 2、S W 3) は、アクティブ区間の間にオフ状態を維持する。

【0062】

センシング部 20 は、バーチカルブランク区間においてサブピクセルの電気的特性、例えば、駆動素子のしきい値電圧を毎フレーム期間ごとにリアルタイムセンシングする。センシング部 22 は、アナログ - デジタル変換器 (Analog to Digital Convertor、以下「A D C」と称する) を介してサブピクセルのセンシング結果をデジタルデータに変換して補償部 131 に伝送する。センシング部 22 は、公知の電圧センシング回路または電流センシング回路に実現されることができる。

30

【0063】

補償部 26 は、センシング部 20 から受信されたサブピクセルのセンシング結果をルックアップテーブルに入力して、センシング結果に応じた補償値を選択し、その補償値で入力映像のデータを変調して補償データを出力する。駆動素子のしきい値電圧を補償するための補償値は、入力映像のデータに加えられて、駆動素子の移動度を補償するための補償値は、入力映像のデータに乗算なることで有り得る。補償部 26 から出力された補償データは、データ駆動部 110 に伝送される。したがって、本発明の電界放出表示装置は、毎フレーム期間ごとにバーチカルブランク区間にサブピクセルの電気的特性をリアルタイムセンシングし、このセンシング結果に基づいて入力映像のデータを補償することにより、サブピクセルの電気的特性ばらつきをリアルタイム補償することができる。

40

【0064】

図 4 ~ 図 10 を結び付けて、ピクセルに影響を与える I R ドロップについて説明する。

【0065】

I R ドロップは、図 4 に示すように抵抗 (R) を介して電流 (I) が流れるときに発生する電圧降下 (V o l t a g e D r o p) を意味する。図 4 において、V e x t は外部入力電圧であり、V i n は負荷 (Load) に供給される実際の入力電圧である。V o u t は

50

、負荷 (Load) を通過した出力電圧 (Vout) である。実際の入力電圧 (Vin) は、 $V_{in} = V_{ext} - IR$ である。

【0066】

ピクセル回路は、駆動素子のゲート - ソース間電圧が保存されるストレージキャパシタ (Cst) を含む。図 5 に示すように、ストレージキャパシタ (Cst) の第 1 電極に VDD が印加され、第 2 電極に $VDD - V_{gs} = VDD - DATA - V_{th}$ が印加される。DATA は、データの階調電圧である。Vgs は駆動素子のゲート - ソース間電圧であり、Vth は駆動素子のしきい値電圧である。

【0067】

図 6 ~ 図 8 は、表示パネル 100 内の VDD 配線を示す図である。図 6 ~ 図 8 において「D - IC」は、モバイル機器のドライブ IC を示す。ドライブ IC (D - IC) に電源回路 150、タイミングコントローラ 130、データ駆動部 110 などが集積されることができる。

10

【0068】

図 6 ~ 図 8 を参照すると、表示パネル 100 内の VDD 配線は、PCB (または FPCB) を介して電源回路 150 から VDD の供給を受ける LOG 配線 70、LOG 配線 70 に接続されたメッシュ (mesh) 形態の VDD 配線 72 を含む。LOG 配線 70 の抵抗が VDD 配線 72 より大きい。

【0069】

VDD 配線 72 は、図 7 に示された垂直配線 72a と、図 8 に示された水平配線 72b を含む。垂直配線 72a と水平配線 72b は、絶縁層を間に置いて直交して、少なくとも一部の交差点において絶縁層を貫通するコンタクトホール (Contact hole) を介して互いに接続される。図 8 ~ 図 10 で B、C、D、E の位置にコンタクトホールが形成されることができる。

20

【0070】

LOG 配線の抵抗を介して入力 IR ドロップが発生する。LOG 配線の抵抗が大きいいため、VDD の電圧は、入力 IR ドロップによって変動することができる。LOG 配線上の A 地点の電流 Ia は、B、C、D、E、位置のピクセルの駆動に必要な電流をそれぞれ Ib、Ic、Id、Ie とする時、Ia は $Ib + Ic + Id + Ie$ ある。したがって、A 地点上の電圧 $Va = VDD - (Ra * Ia) = VDD - \{ Ra * (Ib + Ic + Id + Ie) \}$ である。ここで、IR ドロップは $Ra * (Ib + Ic + Id + Ie)$ である。Ra は、A 地点から LOG 配線の抵抗である。IR ドロップは、すべてのピクセルにおいて要求される電流量に応じて変動する電圧であり、LOG 配線 70 の抵抗が大きいいため、入力 IR ドロップが VDD 配線 72 上の IR ドロップより大きい。

30

【0071】

VDD 配線 72 の IR ドロップは、垂直配線 72a で発生する垂直 IR ドロップと水平配線 72b で発生する水平 IR ドロップに分かれる。垂直 IR ドロップは、図 7 に示すように、垂直配線 72a 上で現れる IR ドロップである。VDD 配線 72 から水平配線 72b を除去し、垂直 IR ドロップを解析する際に B 地点に流れる電流は、B 地点で要求される電流 (Ib) に C 地点で要求される電流 (Ic) が加わったものである。B 地点の電圧 Vb は、 $Vb = Va - \{ Rb * (Ib + Ic) \}$ である。Rb は、B 地点での抵抗である。

40

【0072】

水平 IR ドロップは、図 8 に示すように、水平配線 72b 上で現れる IR ドロップである。VDD 配線 72 から垂直配線 72a を除去し、水平 IR ドロップを解析する際に B 地点に流れる電流は、B 地点で要求される電流 (Ib) に D 地点で要求される電流 (Id) が加わったものである。B 地点の電圧 Vb は、 $Vb = Va - \{ Rb * (Ib + Id) \}$ である。

【0073】

電界発光表示装置において他のピクセルから発生する VDD の IR ドロップの影響を受

50

け、ピクセルの輝度が変わることがある。例えば、図 9 に示すように、すべてのピクセルが白階調で点灯された場合に P 1 位置の点灯ピクセルに印加される V D D の電圧降下が大きくなる。これに対し、一部のピクセルが点灯され、ほとんどのピクセルが消灯している場合は、P 1 位置の点灯ピクセルに印加される V D D の電圧降下が相対的に小さい。

【 0 0 7 4 】

ピクセルの駆動素子を介して発光素子に一定の電流が流れるべきですべてのピクセルが同じ階調で同じ輝度で発光することができる。高 P P I (pixel per inch) モデルの場合、V D D 配線の抵抗が大きくなり、図 1 0 に示すように表示パネル 1 0 0 の下部『 P 1 、 P 2 』に行くほど I R ドロップが大きくなる。I R ドロップによる駆動素子に印加される V D D の電圧降下は、表示パネルの位置ごとに発光素子に流れる電流が変動され、これにより、輝度ムラが発生することができる。

10

【 0 0 7 5 】

表示パネルの上部の位置 (P 0) に V D D が印加されると I R ドロップにより中間位置 (P 1) で V D D は $V D D - \alpha$ で低くなり、下部の位置 (P 2) で V D D は $V D D - \beta$ でさらに低くなる。

【 0 0 7 6 】

本発明の電界発光表示装置は、V D D を駆動段階用 $V D D = V D D 1$ と、センシング段階及びデータ書き込み段階用 $V D D = V D D 2$ に分離し、外部補償の方法でサブピクセルの電気的特性ばらつきを補償する。本発明は、アクティブ区間にサブピクセルにデータを書き込むときにそしてバーチカルブランク区間でサブピクセルの電気的特性をセンシングするとき V D D (= V D D 1) をサブピクセルに印加する。したがって、本発明の電界発光表示装置は、センシング段階及びデータ書き込み段階で I R ドロップの影響なしにサブピクセルの各々で駆動素子のゲート・ソース間電圧 ($V g s$) の変動を防止し、センシング段階で I R ドロップの影響を受けないため、サブピクセルの各々において駆動素子の電気的特性を正確にセンシングすることができる。本発明の電界発光表示装置は、I R ドロップを補償するための別のアルゴリズムや補償回路の追加開発なしで、V D D 配線上の I R ドロップを補償し、サブピクセルのセンシング結果に基づいて入力映像データを補償することにより、画面全体で均一な輝度で映像を表示することができる。

20

【 0 0 7 7 】

図 1 1 A 及び図 1 1 B は、本発明の実施形態に係る電源回路 1 5 0 と表示パネル 1 0 0 との間の V D D 経路を示す図である。

30

【 0 0 7 8 】

本発明の電源回路 1 5 0 は、図 1 1 A に示すように別の出力チャンネルを介して V D D 1 と V D D 2 を出力して表示パネル 1 0 0 に供給することができる。V D D 1 は、電源回路 1 5 0 の第 1 出力端子 (C H 1) を介して出力され、P C B 上の第 1 V D D 配線 1 3 2 に供給される。P C B の第 1 V D D 配線 1 3 2 は、表示パネル 1 0 0 の第 1 V D D 配線 3 1 に接続される。V D D 2 は、電源回路 1 5 0 の第 2 出力端子 (C H 2) を介して出力されて、P C B の第 2 V D D 配線 1 3 4 に供給される。P C B の第 2 V D D 配線 1 3 4 は、表示パネル 1 0 0 の第 2 V D D 配線 3 2 に接続される。図 1 1 A の場合に、電源回路 1 5 0 から V D D 1 と V D D 2 は同じ電圧レベルで出力されることができ、互いに異なる電圧レベルで出力されることもできる。表示パネルの駆動特性や応用分野に応じて V D D 1 と V D D 2 の電圧が決定されることができ。

40

【 0 0 7 9 】

本発明の電源回路 1 5 0 は、図 1 1 B に示すように、単一チャンネルを介し V D D 1 と V D D 2 を出力して表示パネル 1 0 0 に供給することができる。電源回路 1 5 0 の第 1 出力端子 (C H 1) を介して出力される V D D は P C B 上の単一配線 5 0 に供給される。単一配線 5 0 は、二つの分岐配線 (1 3 6 、 1 3 8) に分離される。第 1 分岐配線 1 3 6 に印加された V D D 1 は表示パネル 1 0 0 の第 1 V D D 配線 3 1 に供給される。第 2 分岐配線 1 3 8 に印加された V D D 2 は表示パネル 1 0 0 の第 2 V D D 配線 3 2 に供給される。

【 0 0 8 0 】

50

図 1 1 B で入端部の単一配線 5 0 の抵抗は最小に設計しなければならない。入端部の単一配線 5 0 の抵抗 (R_t) に流れる電流 (I_t) は、 $I_t = I_1 + I_2$ で X ノードの電圧 (V_x) = $R_t \cdot I_t = R_t \cdot (I_1 + I_2)$ となる。第 1 分岐配線 1 3 6 を介して流れる電流 (I_1) によってデータ書き込みとセンシング段階にサブピクセルに供給される V_{DD1} が変更されることができる。このため、入端部の単一配線 5 0 の抵抗 (R_t) を分岐配線 (4 6、4 8) の抵抗 (R_1 、 R_2) 対比 1 % 未満に設定して、分岐配線の電流 (I_1) による V_{DD2} の変動を 1 % 未満に抑えるべきである。

【0081】

図 1 2 は、本発明の実施形態に係る第 1 及び第 2 V_{DD} 配線を示す図である。

【0082】

図 1 2 を参照すると、第 1 V_{DD} 配線 3 1 は、映像が表示されるアクティブ領域 (A A) のピクセルアレイにメッシュ状に形成されてすべてのサブピクセルに接続される。 V_{DD} スwitchング回路 3 0 は、駆動段階で V_{DD1} が印加される第 1 V_{DD} 配線 3 1 をサブピクセルに接続する。 V_{DD} スwitchング回路 3 0 は、駆動段階で第 2 V_{DD} 配線 3 2 をサブピクセルから分離する。

【0083】

第 2 V_{DD} 配線 3 2 は、ピクセルラインのそれぞれに形成された複数の V_{DD} 配線 (3 2 1 ~ 3 2 4) を含む。 V_{DD} 配線 (3 2 1 ~ 3 2 4) は、ピクセルライン間に分離される。 V_{DD} スwitchング回路 3 0 は、データ書き込みとセンシング段階で第 1 ピクセルラインのサブピクセル 1 0 1 を V_{DD2} が印加される第 2 - 1 V_{DD} 配線 3 2 1 に接続する。 V_{DD} スwitchング回路 3 0 は、第 2 ピクセルラインのサブピクセル 1 0 1 を V_{DD2} が印加される第 2 - 2 V_{DD} 配線 3 2 2 に接続する。 V_{DD} スwitchング回路 3 0 は、データ書き込みとセンシング段階で第 2 V_{DD} 配線 (3 2 1 ~ 3 2 4) を 1 ピクセルラインずつ順次接続する。 V_{DD} スwitchング回路 3 0 は、データ書き込みとセンシング段階で動作するサブピクセルから第 1 V_{DD} 配線 3 1 を分離する。

【0084】

図 1 3 は、共通の V_{DD} ですべてのピクセルラインのピクセルを駆動する例を示して図である。図 1 4 は、センシング段階のピクセルラインに印加される V_{DD} と、駆動段階のピクセルラインに印加される V_{DD} が分離された例を示して図である。

【0085】

図 1 3 に示すように、電源回路 1 5 0 から出力された共通 V_{DD} は入端抵抗 (R_{in}) を介して駆動段階で動作するサブピクセル 1 3 2 に供給される。また、共通 V_{DD} は入端抵抗 (R_{in}) を介して初期化段階、センシング段階、またはデータ書き込み段階で動作するサブピクセル 1 3 1 に供給される。この場合、初期化段階、センシング段階、またはデータ書き込み段階で動作するサブピクセル 1 3 1 に印加される V_{DD} は駆動段階で動作する他のサブピクセル 1 3 2 により I_R ドロップが大きくなる。図 1 3 において、「 I_{dr} 」は駆動段階で動作するサブピクセル 1 3 2 の駆動素子を介して流れる電流である。「 I_{sc} 」は、初期化段階、センシング段階またはデータ書き込みの段階で動作するサブピクセル 1 3 1 の駆動素子を介して流れる電流である。 $I_{sc} = I_{dr}$ としたときに図 1 3 に示されたサブピクセル 1 3 1 に供給される電圧 (V_{sc}) は $V_{sc} = V_{DDPMIC} - (I_{sc} \cdot N \cdot M \cdot \text{サブピクセル数} \cdot R_{in})$ である。ここで、 V_{DDPMIC} は電源回路 1 5 0 から出力される V_{DD} である。 $N \cdot M$ は表示パネル 1 0 0 の解像度である。

【0086】

図 1 4 を参照すると、電源回路 1 5 0 は、 V_{DD} スwitch素子を用いて初期化段階、センシング段階またはデータ書き込み段階で V_{DD2} を第 2 V_{DD} 配線 3 2 に供給する。第 2 V_{DD} 配線 3 2 を介して 1 つのピクセルラインに配置されたサブピクセルに V_{DD2} が供給される時、第 2 V_{DD} 配線 3 2 を介して V_{DD2} が印加される 1 つのピクセルラインを除外した他のピクセルラインのサブピクセルに駆動段階用 V_{DD1} が供給される。

【0087】

図 1 4 に示すように、電源回路 1 5 0 から出力された V_{DD2} は、第 1 入端抵抗 (R_{in})

10

20

30

40

50

n 1) を介して初期化段階、センシング段階またはデータ書き込み段階で動作するサブピクセル 141 に供給される。電源回路 150 から出力された駆動段階用 VDD1 は、第 2 入端抵抗 (Rin2) を介して駆動段階で動作するサブピクセル 142 に供給される。Isc = Idr とするとき、図 14 に示されたサブピクセル 141 に供給される電圧 (Vsc) は $V_{sc} = V_{DDPMIC} - (I_{sc} * R_{in1})$ である。したがって、サブピクセル 141 に供給される VDD2 は、図 14 から分かるように、他のサブピクセルの影響を受けないため、IR ドロップによる電圧降下がない。

【0088】

図 15 は、本発明の実施形態に係る VDD スイッチング回路とピクセル回路を示す回路図である。図 16 は、バーチカルブランク区間でサブピクセルのセンシング段階を示す波形図である。図 17 は、バーチカルブランク区間に以前のフレームのデータをサブピクセルに再び書き込む例を示す図である。図 18 は、アクティブ区間でサブピクセルのデータ書き込み段階を示す波形図である。

10

【0089】

図 15 ~ 図 18 を参照すると、VDD スイッチング回路 30 は、隣接した第 1 及び第 2 サブピクセル (101A、101B) に接続された第 1 及び第 2 VDD スイッチ素子 (M1、M2) を備える。第 1 及び第 2 サブピクセル (101A、101B) は、互いに異なるデータライン 102 に接続され、複数のゲートライン (41 ~ 43) に共通して接続される。

【0090】

20

本発明は、第 1 及び第 2 サブピクセル (101A、101B) に VDD スイッチング回路 30 の VDD スイッチ素子 (M1、M2) が共有されるため、VDD スイッチング回路 30 に必要なスイッチ素子の数を減らすことができ、VDD スイッチング回路 30 に必要な面積を削減することができる。

【0091】

ピクセル回路は、発光素子 (EL)、駆動素子 (DT)、ストレージキャパシタ (Cst) と、複数のスイッチ素子 (T1 ~ T4) を含む。VDD スイッチ素子 (M1、M2) と、ピクセル回路のスイッチ素子 (T1 ~ T4) と駆動素子 (DT) は、PMOS 構造の TFT に実現されることができる。

【0092】

30

サブピクセルの発光素子 (EL) は、駆動素子 (DT) で電流 (Ids) が流れる駆動段階 (DRV) で発光される。駆動段階 (DRV) は、アクティブ区間 (AT) がバーチカルブランク区間 (VB) のそれぞれで初期化段階 (INI)、センシング段階 (SEN)、及びデータ書き込み段階 (WRV、WRA) を除外した 1 フレーム期間の大部分を占めする。

【0093】

バーチカルブランク区間 (VB) は、図 16 に示すように、初期化段階 (INI)、センシング段階 (SEN)、データ書き込み段階 (WRV) 及び駆動段階 (DRV) を含む。アクティブ区間 (AT) は、図 18 に示すように、データ書き込み段階 (WRA) と駆動段階 (DRV) を含む。バーチカルブランク区間 (VB) 以降のアクティブ区間 (AT) でセンシングされたサブピクセルのデータ書き込み段階 (WRA) に現在のフレームのデータがサブピクセルに書き込まれる。一方、バーチカルブランク区間 (VB) のデータ書き込み段階 (WRV) でサブピクセルに、以前のフレームのデータが再び書き込まれる。したがって、バーチカルブランク区間 (VB) とそれ以前のアクティブ区間 (AT) でセンシングされるサブピクセルに書き込まれるデータは、同じデータである。

40

【0094】

第 1 VDD スイッチ素子 (M1) は、EM 信号 (EM(N)) に応答して駆動段階 (DRV) でターンオン (turn-on) される。第 1 VDD スイッチ素子 (M1) は、駆動段階 (DRV) のサブピクセルに第 1 VDD 配線 31 を接続して、そのサブピクセルの駆動素子 (DT) とストレージキャパシタ (Cst) に VDD1 を供給する。第 1 VDD スイッ

50

チ素子 (M1) は、EM 信号 (EM(N)) が印加される第 3 ゲートライン 43 に接続されたゲート、第 1 VDD 配線 31 に接続された第 1 電極、及びピクセル回路の駆動素子 (DT) とストレージキャパシタ (Cst) に接続された第 2 電極を含む。

【0095】

第 2 VDD スイッチ素子 (M2) は、第 1 スキャン信号 (SCAN A(N)) に応答してターンオンされる。第 2 VDD スイッチ素子 (M2) は、データ書き込み段階またはセンシング段階のサブピクセルに第 2 VDD 配線 32 を接続して、そのサブピクセルの駆動素子 (DT) とストレージキャパシタ (Cst) に VDD2 を供給する。第 2 VDD スイッチ素子 (M2) は、第 1 スキャン信号 (SCAN A(N)) が印加される第 1 ゲートライン 41 に接続されたゲート、第 2 VDD 配線 32 に接続された第 1 電極、及びピクセル回路の駆動素子 (DT) とストレージキャパシタ (Cst) に接続された第 2 電極を含む。

10

【0096】

ピクセル回路の発光素子 (EL) は、OLED に実現されることができる。OLED は、アノードとカソードの間に形成された有機化合物層を含む。有機化合物層は、正孔注入層 (Hole Injection layer、HIL)、正孔輸送層 (Hole transport layer、HTL)、発光層 (Emission layer、EML)、電子輸送層 (Electron transport layer、ETL)、電子注入層 (Electron Injection layer、EIL) などを含むことができるが、これに限定されない。OLED がターンオン (turn-on) されるとき、正孔輸送層 (HTL) を通過した正孔と電子輸送層 (ETL) を通過した電子が発光層 (EML) に移動されて励起子が形成されて発光層 (EML) で可視光が発光される。OLED は、駆動段階 (DRV) で発生される駆動素子 (DT) のゲート・ソース間電圧 (Vgs) に応じて調節される電流で発光する。OLED のアノードは、第 3 ノード (n3) を介して、第 3 及び第 4 スイッチ素子 (T3、T4) に接続される。OLED のカソードは、VSS が印加される VSS 電極に接続される。駆動段階において OLED の電流パスは、第 1 VDD スイッチ素子 (M1) とピクセル回路の第 3 スイッチ素子 (T3) によってスイッチングされる。

20

【0097】

ストレージキャパシタ (Cst) の第 1 電極は、VDD スイッチング回路 30 を介してデータ書き込み段階とセンシング段階で第 2 VDD 配線 32 に接続され、駆動段階で VDD スイッチング回路 30 を介して第 1 VDD 配線 31 に接続される。ストレージキャパシタ (Cst) の第 2 電極は、第 1 ノード (n1) を経由して駆動素子 (DT) のゲートに、第 1 スイッチ素子 (T1) の第 1 電極及び第 2 スイッチ素子 (T2) の第 2 電極に接続される。

30

【0098】

第 1 スイッチ素子 (T1) は、第 2 スキャン信号 (SCAN B(N)) に応答してセンシング段階でターンオンされる。第 1 スイッチ素子 (T1) は、センシング段階で、第 1 ノード (n1) を第 2 ノード (n2) に接続する。第 2 ノード (n2) は、第 1 スイッチ素子 (T2) の第 2 電極、駆動素子 (D2) の第 2 電極、及び第 3 スイッチ素子 (T3) の第 1 電極に接続される。第 1 スイッチ素子 (T1) は、第 2 スキャン信号 (SCAN B(N)) が印加される第 2 ゲートライン 42 に接続されたゲート、第 1 ノード (n1) に接続された第 1 電極、及び第 2 ノード (n2) に接続された第 2 電極を含む。

40

【0099】

第 2 スイッチ素子 (T2) は、アクティブ区間 (AT) のデータ書き込み段階 (WRA) とバーチカルブランク区間 (VB) の初期化段階 (INI)、センシング段階 (SEN)、及びデータ書き込み段階 (WRV) で、第 1 スキャン信号 (SCAN A(N)) に応答してターンオンされてデータライン 102 を第 1 ノード (n1) に接続する。第 2 スイッチ素子 (T2) は、第 1 スキャン信号 (SCAN A(N)) が印加される第 1 ゲートライン 41 に接続されたゲート、データライン 102 に接続された第 1 電極、及び第 1 ノード (n1) に接続された第 2 電極を含む。

【0100】

50

第3スイッチ素子(T3)は、EM信号(EM(N))にตอบสนองして駆動段階(DRV)でターンオンされて第2ノード(n2)を第3ノード(n3)に接続する。第3スイッチ素子(T3)は、EM信号(EM(N))が印加される第3ゲートライン43に接続されたゲート、第2ノード(n2)に接続された第1電極、及び第3ノード(n3)を介して発光素子(EL)のアノードに接続された第2電極を含む。

【0101】

第4スイッチ素子(T4)は、アクティブ区間(AT)のデータ書き込み段階(WRA)と、パーティカルブランク区間(VB)の初期化段階(INI)、センシング段階(SEN)、及びデータ書き込み段階(WRV)で第1スキャン信号(SCANA(N))にตอบสนองしてターンオンされてVin i配線を第3ノード(n3)に接続する。第4スイッチ素子(T4)は、初期化段階(INI)、センシング段階(SEN)、及びデータ書き込み段階(WRA、WRV)でVin i配線を発光素子(EL)のアノードに接続して発光素子(EL)の寄生容量を放電して、サブピクセルの残像を防止する。第4スイッチ素子(T4)は、第1ゲートライン41に接続されたゲート、Vin i配線に接続された第1電極、及び第3ノード(n3)に接続された第2電極を含む。

10

【0102】

図16及び図17を参照すると、パーティブルブランク区間(VB)で第1スキャン信号(SCANA(N))は、初期化段階(INI)、センシング段階(SEN)及びデータ書き込み段階(WRV)を定義するゲートオン電圧のパルスで発生される。パーティカルブランク区間(VB)で第2スキャン信号(SCANB(N))は、センシング段階(SEN)を定義するゲートオン電圧のパルスで発生される。第2スキャン信号(SCANB(N))は、センシング段階(SEN)のみゲート・オン電圧で発生し、このセンシング段階(SEN)以外のパーティカルブランク区間(VB)とアクティブ区間(AT)でゲートオフ電圧に維持される。EM信号(EM(N))は、パーティカルブランク区間(VB)で初期化段階(INI)、センシング段階(SEN)及びデータ書き込み段階(WRV)でゲートオフ電圧のパルスで発生され、それ以外の残りの駆動段階(DRV)でゲートオン電圧に発生される。

20

【0103】

初期化段階(INI)において図21に示すように、第2VDDスイッチ素子(M2)と、ピクセル回路の第2スイッチ素子(T2)及び第4スイッチ素子(T4)が第1スキャン信号(SCANA(N))にตอบสนองしてターンオンされる。初期化段階(INI)でデータライン102にVin iが供給される。したがって、初期化段階(INI)でピクセル回路のストレージキャパシタ(Cst)の第1電極と、駆動素子(DT)の第1電極がIRドロップがないVDD2に初期化し、第1ノード(n1)と第3ノード(n3)をVin iで初期化する。

30

【0104】

センシング段階(SEN)で図21に示すように、第2VDDスイッチ素子(M2)と、ピクセル回路の第1、第2及び、第4スイッチ素子(T1、T2、T4)がスキャン信号(SCANA(N)、SCANB(N))にตอบสนองしてターンオンされる。センシング段階(INI)でピクセル回路のストレージキャパシタ(Cst)の第1電極と駆動素子(DT)の第1電極にIRドロップがないVDD2が供給されて駆動素子(DT)のゲート・ソース間電圧(Vgs)がしきい値電圧(Vth)に到達するまでのターンオンされ、このしきい値電圧(Vth)がストレージキャパシタ(Cst)に貯蔵される。センシング段階(SEN)でセンシングされた駆動素子(DT)のしきい値電圧(Vth)は、第1及び第2スイッチ素子(T1、T2)とデータライン102を介してセンシング部20からデジタルデータに変換された後、補償部131に伝送される。補償部131は、センシング段階(SEN)で受信された駆動素子のしきい値電圧に対応する補償値を選択し、その補償値で入力映像のデータを変調して補償データを発生する。

40

【0105】

データ書き込み段階(WRV)で第2VDDスイッチ素子(M2)と、ピクセル回路の

50

第 1、第 2 及び、第 4 スイッチ素子 (T1、T2、T4) が第 1 スキャン信号 (SCAN A (N)) に応答してターンオンされる。データ書き込み段階 (WRV) でデータライン 102 に以前フレームのデータ電圧 (Vdata) が供給され、入力映像のデータがサブピクセルに書き込まれる。データ書き込みの段階 (WRV) で、駆動素子 (DT) のしきい電圧 (Vth) だけ補償されたデータ電圧 (Vdata + Vth) がストレージキャパシタ (Cst) に貯蔵される。データ書き込み段階 (WRV) で駆動素子 (DT) の Vgs は、ストレージキャパシタ (Cst) に貯蔵された電圧 (Vdata + Vth) に変わる。データ書き込み段階 (WRV) でサブピクセルに書き込まれるデータは、それ以前のアクティブ区間のような、以前のフレームのデータである。このデータは、図 17 に示すように以前のフレームのデータである。

10

【0106】

バーチカルブランク区間 (VB) の駆動段階 (DRV) で第 1 VDD スイッチ素子 (M1) とピクセル回路の第 3 スイッチ素子 (T3) が EM 信号 (EM (N)) に応答してターンオンされる。このとき、駆動素子 (DT) は、ゲート・ソース間電圧 (Vgs) に応じて電流 (Ids) を発生する。発光素子 (EL) は、駆動素子 (DT) からの電流 (Ids) によってターンオンされて発光される。駆動段階 (DRV) でピクセル回路に供給される VDD1 は IR ドロップによる電圧降下分 (α) を含む。駆動段階 (DRV) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に VDD1 - α が印加される時、第 1 ノード (n1) の電圧も α だけ低くなるため駆動素子 (DT) の Vgs は変化がない。したがって、駆動段階 (DRV) で発光素子 (EL) は、IR ドロップの影響なしに駆動される。

20

【0107】

図 17 を参照すると、第 N - 1 アクティブ区間 (VB (N - 1)) の間にサブピクセル (PIX (N)) に以前のフレームのデータが書き込まれる。サブピクセル (PIX (N)) は、バーチカルブランク区間 (VB) にセンシングされる任意のサブピクセルである。第 N - 1 アクティブ区間 (AT (N - 1)) の間のすべてのピクセルにデータが書き込まれた後、第 N - 1 バーチカルブランク区間 (VB (N - 1)) でサブピクセル (PIX (N)) が初期化された後、センシングされると、そのサブピクセル (PIX (N)) でデータが消去 (erase) されるので、サブピクセル (PIX (N)) が消灯される。バーチカルブランク区間 (VB (N - 1)) が存在する 1 フレーム期間の間に、センシングされるサブピクセル (PIX (N)) の輝度が一定に維持されるようにバーチカルブランク区間 (VB (N - 1)) でセンシング段階 (SEN) の以後に以前のフレームのデータと同じデータがサブピクセル (PIX (N)) に再度書き込まなければならない。

30

【0108】

図 18 を参照すると、アクティブ区間 (AT) は、第 1 スキャン信号 (SCAN A (N)) によって定義されるデータ書き込み段階 (WRA) と、EM 信号 (EM (N)) によって定義される駆動段階 (WRA) を含む。

【0109】

アクティブ区間 (AT) で第 1 スキャン信号 (SCAN A (N)) は、約 1 水平期間のデータ書き込み段階 (WRA) を定義するゲートオン電圧のパルスで発生される。データ書き込み段階 (WRA) で第 2 スキャン信号 (SCAN B (N)) と EM 信号 (EM (N)) は、ゲートオフ電圧である。第 2 スキャン信号 (SCAN B (N)) は、アクティブ区間 (AT) の間、ゲートオフ電圧を維持する。図 19 に示すように、データ書き込み段階 (WRV) で第 2 VDD スイッチ素子 (M2) と第 2 スイッチ素子 (T2) がターンオンされる。データ書き込み段階 (WRV) で、現在のフレームデータのデータ電圧 (Vdata) がデータライン 102 に供給され、サブピクセルにデータが書き込まれる。データ電圧 (Vdata) は VDD - (DATA - Vth) と同じである。DATA は、データの階調電圧である。したがって、ストレージキャパシタ (Cst) と駆動素子 (DT) の第 1 電極に VDD2 が印加され、ストレージキャパシタ (Cst) の第 2 電極と駆動素子のゲートに接続された第 1 ノードにデータ電圧 (Vdata) が供給される。データ書

40

50

き込みの段階 (WRA) で駆動素子 (DT) の V_{gs} は $V_{data} + V_{th}$ に変わる。

【0110】

アクティブ区間 (AT) の駆動段階 (DRV) で図 19 に示すように、第 1 VDD スイッチ素子 (M1) と第 3 スイッチ素子 (T3) が EM 信号 (EM(N)) に応答してターンオンされる。このとき、駆動素子 (DT) は、ゲート・ソース間電圧 (V_{gs}) に応じて電流 (I_{ds}) を発生する。発光素子 (EL) は、駆動素子 (DT) からの電流 (I_{ds}) によってターンオンされて発光される。駆動段階 (DRV) でピクセル回路に供給される VDD1 は IR ドロップによる電圧降下分 (α) を含む。駆動段階 (DRV) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に $VDD1 - \alpha$ が印加される時、第 1 ノード (n1) の電圧も α だけ低くなるため駆動素子 (DT) の V_{gs} は変化がない。したがって、駆動段階 (DRV) で発光素子 (EL) は、IR ドロップの影響なしに駆動される。

10

【0111】

図 20 は、データ書き込み段階 (WRA、WRB) と駆動段階 (DRV) でピクセル回路に印加される VDD とストレージキャパシタの電圧を示す図である。

【0112】

図 20 を参照すると、データ書き込みの段階 (WRA、WRB) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に $VDD2 = VDD$ が印加され、ストレージキャパシタ (Cst) の第 2 電極に $V_{data} = VDD - (DATA - V_{th})$ が印加される。したがって、ストレージキャパシタ (Cst) の電圧 $V_{gs} = DATA + V_{th}$ である。

20

【0113】

駆動段階 (DRV) でストレージキャパシタ (Cst) の第 1 電極と駆動素子 (DT) の第 1 電極に IR ドロップによって発生される電圧降下分 (α) だけ変動した $VDD1 = VDD - \alpha$ が印加され、第 1 及び第 2 スイッチ素子 (T1、T2) がターン・オフされているので、ストレージキャパシタ (Cst) の第 2 電極は、フローティング (floating) される。第 1 ノード (n1) がフローティングされているので、ストレージキャパシタ (Cst) の第 1 電極電圧が α だけ変化するとき、ストレージキャパシタ (Cst) の第 2 電極の電圧も α だけ変わる。したがって、駆動段階 (DRV) で VDD が変化しても、ストレージキャパシタ (Cst) の両端間の電位差が維持されるため、 V_{gs} はセンシング段階で充電された電圧と同じ電圧に維持される。

30

【0114】

図 22 は、VES A (Video Electronics Standards Association) 標準のディスプレイタイミングでアクティブ区間とバーチカルブランク区間を示す図である。

【0115】

図 22 を参照すると、垂直同期信号 (Vsync) は、1 フレーム期間を定義する。水平同期信号 (Hsync) は、1 水平期間 (Horizontal time) を定義する。データイネーブル信号 (DE) は、画面に表示されるピクセルデータを含む有効なデータ区間を定義する。

【0116】

データイネーブル信号 (DE) は、表示パネル 100 のピクセルアレイに表示される有効なデータと同期される。データイネーブル信号 (DE) の 1 パルス周期は 1 水平期間であり、データイネーブル信号 (DE) のハイロジック (high logic) 区間は、1 ピクセルラインのデータ入力のタイミングを示す。1 水平期間は、表示パネル 100 で 1 ピクセルラインのピクセルにデータを書き込むのに必要な時間である。

40

【0117】

タイミングコントローラ 130 は、データイネーブル信号 (DE) と入力映像のデータをアクティブ区間 (AT) の間に受信する。バーチカルブランク区間 (VB) にデータイネーブル信号 (DE) と入力映像のデータがない。アクティブ区間 (AT) の間のすべてのピクセルに書き込まれる 1 フレーム分のデータがタイミングコントローラ 130 に受信

50

される。１フレーム期間は、アクティブ区間の間（ＡＴ）とバーチカルブランク区間（ＶＢ）を合わせた時間である。

【０１１８】

データインーブル信号（ＤＥ）から分かるように、バーチカルブランク区間（ＶＢ）の間、表示装置に入力データが受信されない。バーチカルブランク区間（ＶＢ）は、垂直同期時間（Vertical sync time、ＶＳ）、バーチカルフロントポーチ（Vertical Front Porch、ＦＰ）、及びバーチカルバックポーチ（Vertical Back Porch、ＢＰ）を含む。垂直同期時間（ＶＳ）は、Ｖｓｙｎｃのフォーリングエッジ（falling edge）からライジングエッジ（rising edge）までの時間として、一画面の開始（または終了）のタイミングを示す。バーチカルフロントポーチ（ＦＰ）は、１フレームデータの最後のラインのデータのタイミングを示す最後のＤＥのフォーリングエッジからバーチカルブランク期間（ＶＢ）の開始までの時間である。バーチカルバックポーチ（ＢＰ）は、バーチカルブランク期間（ＶＢ）の終わりから１フレームデータの第１ラインデータのタイミングを示す第１ＤＥのライジングエッジまでの時間である。

10

【０１１９】

以上説明した内容を通じて当業者であれば、本発明の技術思想を逸脱しない範囲で様々な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲によって定めべきである。

【符号の説明】

20

【０１２０】

２０ センシング部

２６ 補償部

１１０ データ駆動部

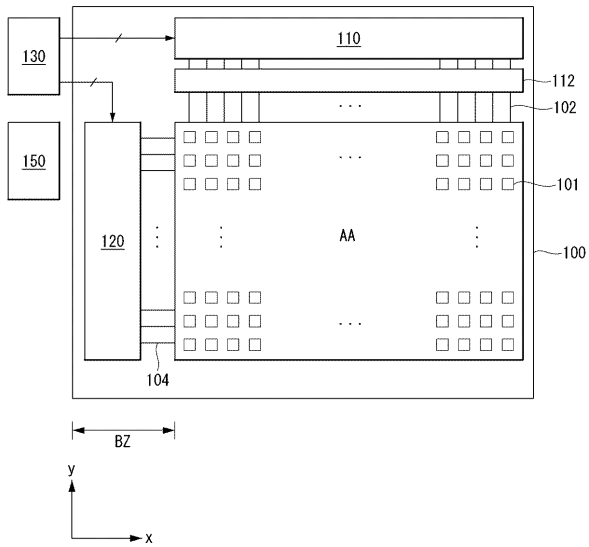
１２０ ゲート駆動部

１３０ タイミングコントローラ

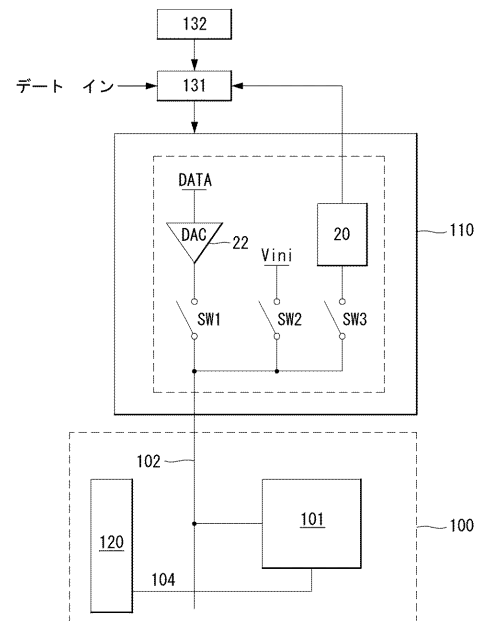
１３１ 補償部

１４０ 電源スイッチ回路

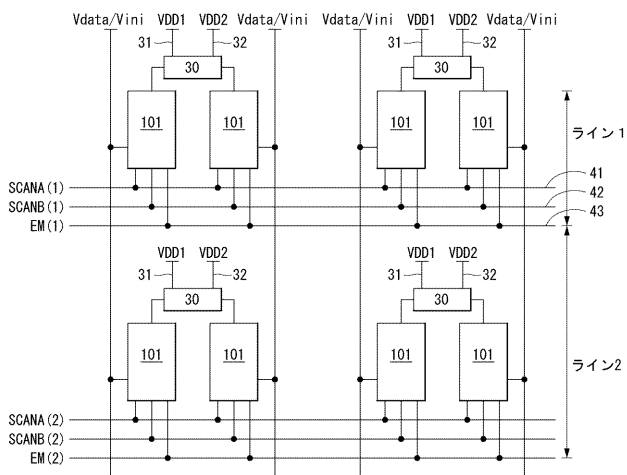
【図 1】



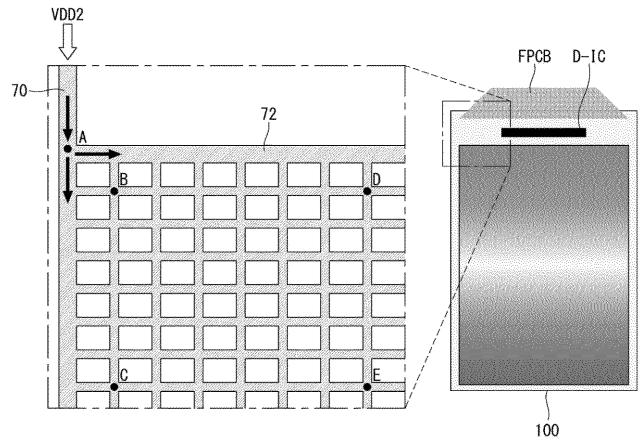
【図 2】



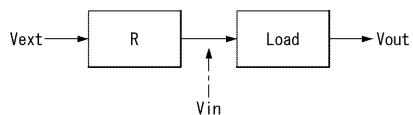
【図 3】



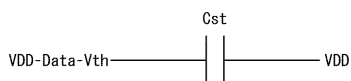
【図 6】



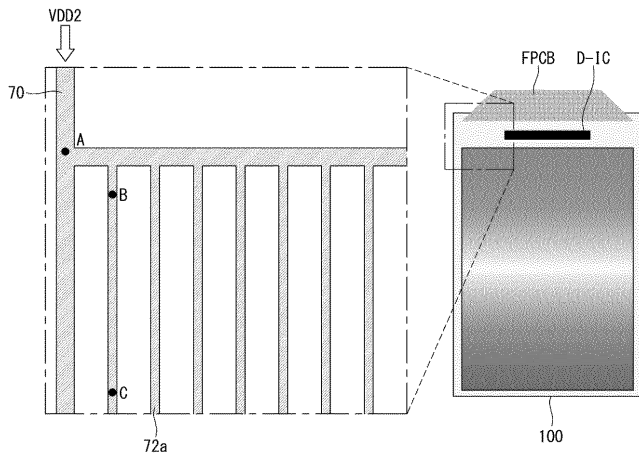
【図 4】



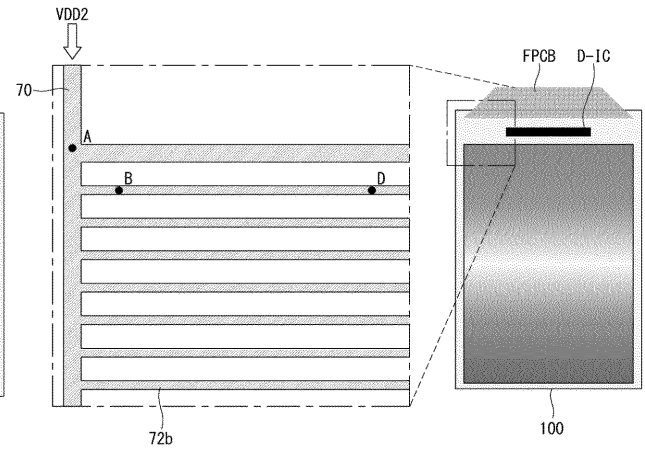
【図 5】



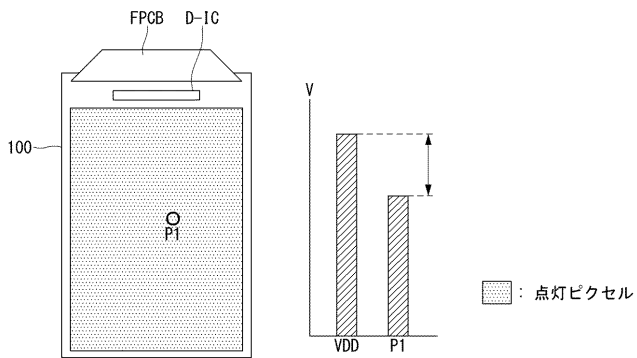
【図 7】



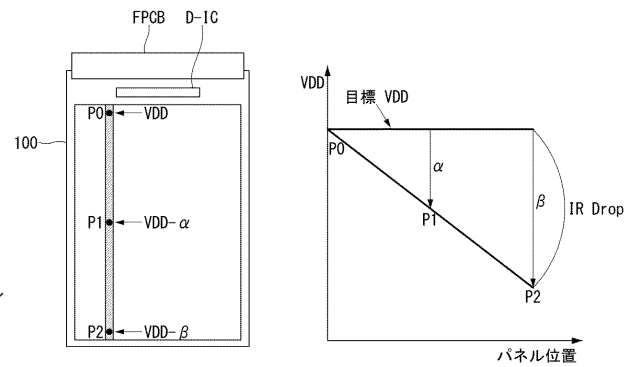
【図 8】



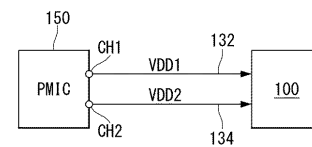
【図 9】



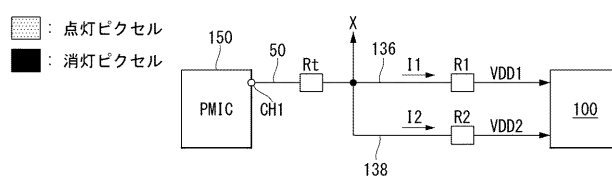
【図 10】



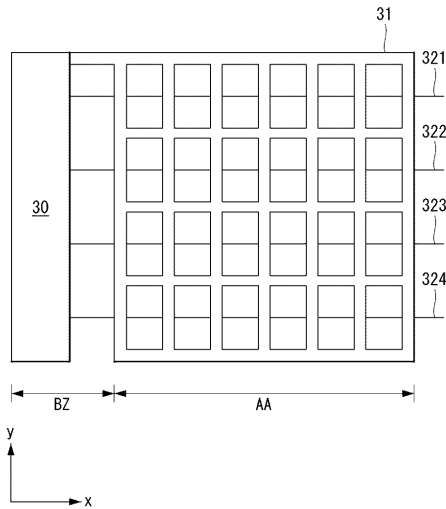
【図 11 A】



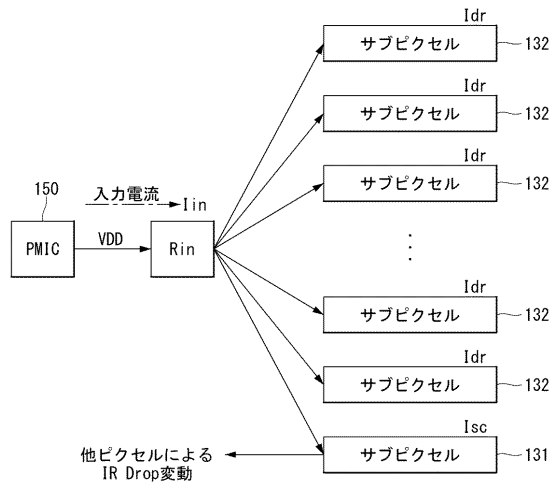
【図 11 B】



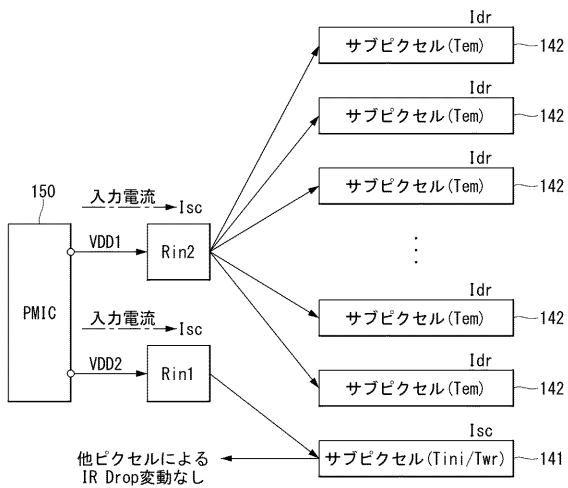
【図 1 2】



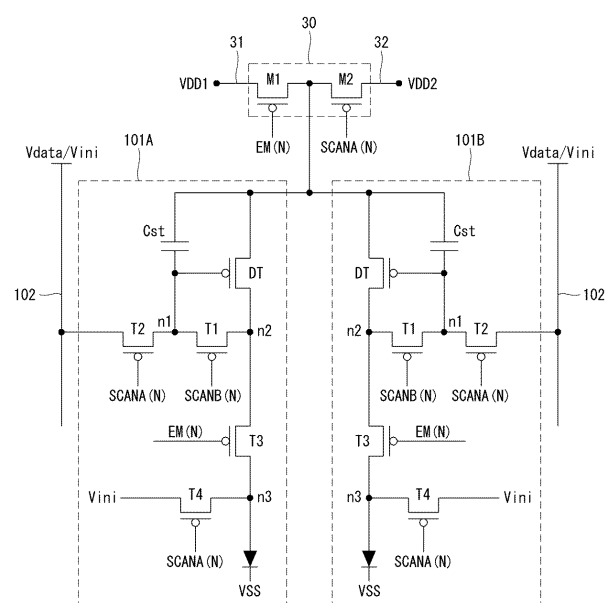
【図 1 3】



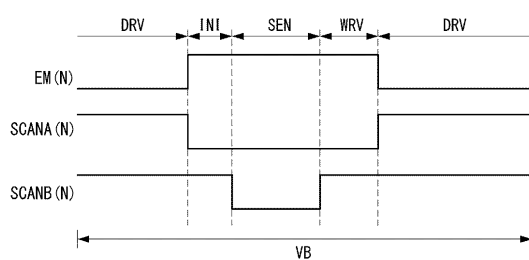
【図 1 4】



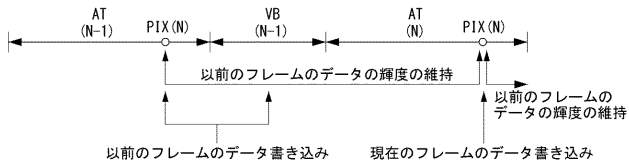
【図 1 5】



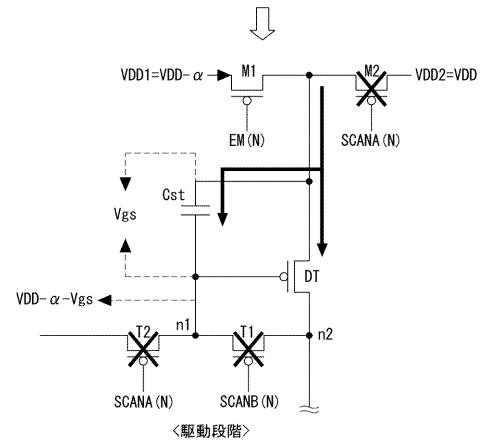
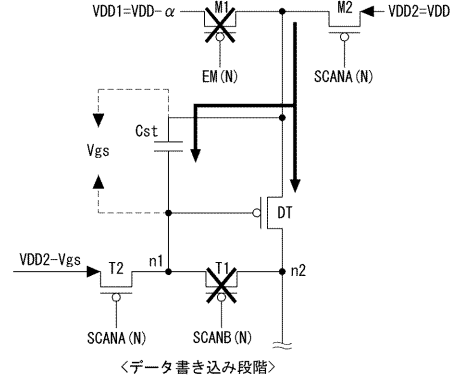
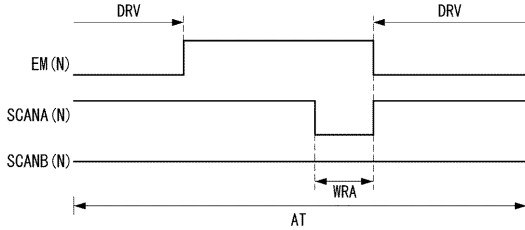
【図 1 6】



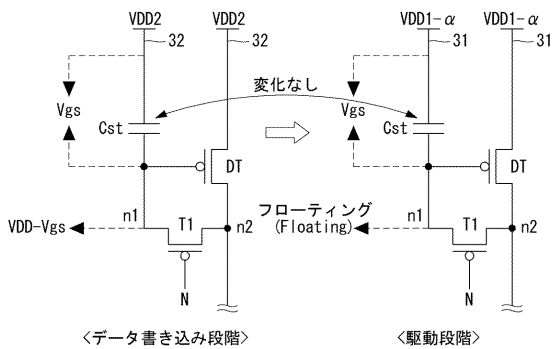
【 図 1 9 】



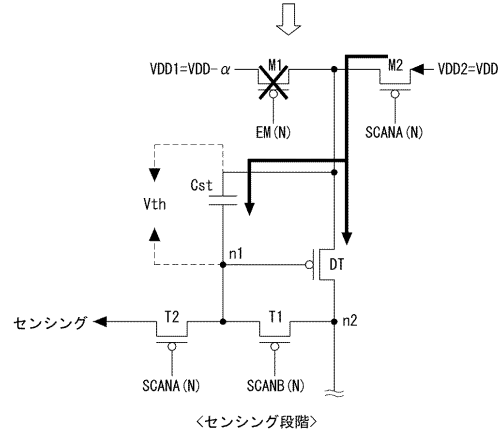
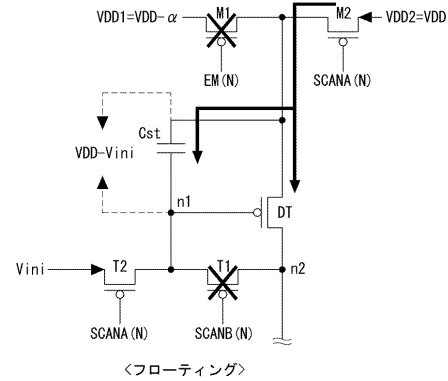
【 図 1 8 】



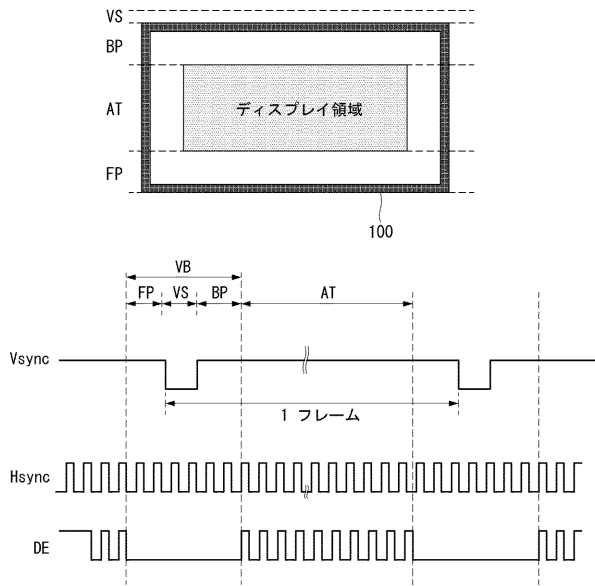
【 図 2 0 】



【 図 2 1 】



【図 22】



(51) Int.Cl.

テーマコード（参考）

6 5 0 M

K

6 2 4 B

6 4 1 D

6 2 3 D

6 2 3 C

6 2 2 A

6 1 2 E

6 1 1 H

6 4 2 A

670 K

6 1 1 J

6 1 2 D

A

338

3 6 5

大韓民国、 1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

F ターム(参考) 3K107 AA01 BB01 CC33 HH04 HH05

5C080 AA06 BB05 CC03 DD05 DD10 DD23 DD25 DD29 EE29 FF03

FF11 GG08 GG12 GG17 HH09 JJ02 JJ03 JJ04 KK04 KK07

KK23 KK43

5C094 AA04 AA55 BA03 BA27 DB01 DB04

5C380 AA01 AA02 AB06 AB18 AB28 AB34 AB36 AB37 AB46 AC07

AC08 AC12 BA03 BA06 BA12 BA19 BA20 BA38 BA39 BA45

BA48 BB02 BB04 BB08 BD04 CA04 CA10 CA12 CA32 CA53

CA54 CB01 CB16 CB17 CB20 CC03 CC07 CC09 CC26 CC27

CC30 CC33 CC39 CC41 CC48 CC61 CC65 CC77 CD015 CE03

CE04 CE20 CE21 CF07 CF13 CF19 CF24 CF37 CF48 CF49

CF52 CF57 CF59 DA02 DA06 DA33 DA41 DA47 DA49 DA50

DA58 EA01 EA02 EA16 FA02 FA03 FA10 FA21 FA24 FA28

HA02 HA03 HA05 HA07

专利名称(译)	显示面板和电致发光显示设备		
公开(公告)号	JP2019012256A	公开(公告)日	2019-01-24
申请号	JP2017238182	申请日	2017-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金奎珍		
发明人	金 奎 珍		
IPC分类号	G09G3/3233 G09G3/20 G09G3/30 G09G3/3291 G09G3/3266 H01L51/50 H01L27/32 G09F9/30		
CPC分类号	G09G3/3225 G09G3/3233 G09G3/3275 G09G2300/0814 G09G2300/0819 G09G2310/0289 G09G2310/0291 G09G2310/0294 G09G2310/061 G09G2320/0295 G09G2320/045 G09G2320/0223 G09G2320/04 G09G3/3258 G09G3/3266 G09G2320/0204		
FI分类号	G09G3/3233 G09G3/20.612.T G09G3/20.621.A G09G3/20.642.P G09G3/20.641.P G09G3/20.650.M G09G3/30.K G09G3/20.624.B G09G3/20.641.D G09G3/20.623.D G09G3/20.623.C G09G3/3291 G09G3/3266 G09G3/20.622.A G09G3/20.612.E G09G3/20.611.H G09G3/20.642.A G09G3/20.670.K G09G3/20.611.J G09G3/20.612.D H05B33/14.A H01L27/32 G09F9/30.338 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD10 5C080/DD23 5C080/DD25 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG08 5C080/GG12 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK04 5C080/KK07 5C080/KK23 5C080/KK43 5C094/AA04 5C094/AA55 5C094/BA03 5C094/BA27 5C094/DB01 5C094/DB04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB18 5C380/AB28 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC12 5C380/BA03 5C380/BA06 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BA48 5C380/BB02 5C380/BB04 5C380/BB08 5C380/BD04 5C380/CA04 5C380/CA10 5C380/CA12 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CC03 5C380/CC07 5C380/CC09 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC48 5C380/CC61 5C380/CC65 5C380/CC77 5C380/CD015 5C380/CE03 5C380/CE04 5C380/CE20 5C380/CE21 5C380/CF07 5C380/CF13 5C380/CF19 5C380/CF24 5C380/CF37 5C380/CF48 5C380/CF49 5C380/CF52 5C380/CF57 5C380/CF59 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA41 5C380/DA47 5C380/DA49 5C380/DA50 5C380/DA58 5C380/EA01 5C380/EA02 5C380/EA16 5C380/FA02 5C380/FA03 5C380/FA10 5C380/FA21 5C380/FA24 5C380/FA28 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA07		
代理人(译)	吉泽博 三村治彦 久保田大树 冈部弘		
优先权	1020170083267 2017-06-30 KR		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够实时补偿每个像素中的驱动元件的电特性变化的显示面板和使用该显示面板的电致发光显示器。本发明的显示面板显示的活动时段和分割帧期间空白周期之间的帧数据，根据感测在空白间隔中，输入视频的像素的电特性的结果在发光显示装置，用于调制该数据的显示面板包括驱动元件，用于驱动发光的发光元件的元件，所述子像素中的发光元件由流经在驱动级中的驱动元件的电流，和所述有源发光和区段，驱动级中的空白期间，提供给子像素的第一驱动电压之间，有源周期的数据写入阶段，空

白期间的初始化阶段中，感测步骤的数据写入级和一个空白部分的空白周期，以及用于向子像素提供第二驱动电压的电源切换电路获得。点域

