

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-77474

(P2018-77474A)

(43) 公開日 平成30年5月17日(2018.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 680G	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C094
H01L 27/32 (2006.01)	H05B 33/14 A	5C380
G09F 9/30 (2006.01)	H01L 27/32	5F110
審査請求 未請求 請求項の数 17 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2017-212456 (P2017-212456)
 (22) 出願日 平成29年11月2日 (2017.11.2)
 (31) 優先権主張番号 15/345248
 (32) 優先日 平成28年11月7日 (2016.11.7)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 New Orchard Road, Armonk, New York 10504, United States of America

(74) 代理人 100108501
 弁理士 上野 剛史

最終頁に続く

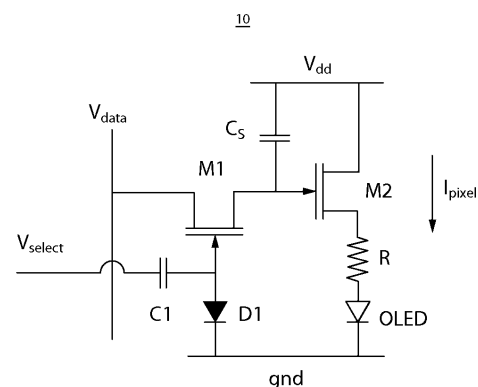
(54) 【発明の名称】 ピクセル回路およびピクセル回路を形成するための方法

(57) 【要約】

【課題】ピクセル回路およびピクセル回路を形成するための方法を提供すること。

【解決手段】ピクセル回路は、第1のトランジスタのゲートおよびグラウンドに接続されて選択入力を受信する第1のコンデンサおよびダイオード段を含む。データ・ラインは第1のトランジスタの第1のソース/ドレインに結合され、第1のトランジスタの第2のソース/ドレインは第2のトランジスタのゲートに結合される。第2のトランジスタのドレインは電源電圧に接続され、ソースは抵抗器に接続される。この抵抗器は、グラウンドに接続された有機発光ダイオード (OLED: organic light emitting diode) に接続される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ピクセル回路であって、

第 1 のトランジスタのゲートおよびグランドに接続されて選択入力を受信する第 1 のコンデンサおよびダイオード段と、

前記第 1 のトランジスタの第 1 のソース/ドレインおよび前記第 1 のトランジスタの第 2 のソース/ドレインに結合されたデータ・ラインとを備え、前記第 1 のトランジスタの前記第 2 のソース/ドレインは第 2 のトランジスタのゲートに結合され、前記第 2 のトランジスタのドレインは電源電圧に接続され、ソースは抵抗器に接続され、前記抵抗器は、前記グランドに接続された有機発光ダイオード (O L E D) に接続される、ピクセル回路

10

【請求項 2】

前記第 1 のコンデンサおよびダイオード段が、前記第 1 のトランジスタのピンチオフ電圧に従って前記選択入力をダウシフトし、前記選択入力を前記グランドの電位以下に維持する、請求項 1 に記載のピクセル回路。

【請求項 3】

前記 O L E D のしきい値電圧が、前記第 2 のトランジスタのピンチオフ電圧の絶対値よりも大きくなるように選択される、請求項 1 に記載のピクセル回路。

【請求項 4】

前記第 2 のトランジスタが電源電圧に結合され、ピクセル電流が前記第 2 のトランジスタ、前記抵抗器、および前記 O L E D に流れ、前記抵抗器が前記ピクセル電流をある範囲に制限し、前記電源電圧が前記第 2 のトランジスタを飽和領域の範囲内にバイアスして、電源電圧に対する前記ピクセル電流の依存関係が減少またはなくなるようにする、請求項 1 に記載のピクセル回路。

20

【請求項 5】

前記抵抗器が、前記第 2 のトランジスタの前記ソースを前記 O L E D の陽極に接続する透明導電体を含む、請求項 1 に記載のピクセル回路。

【請求項 6】

前記透明導電体が、形成ガスの希釈率を使用して形成された高抵抗層を含んでいる二重層を含む、請求項 5 に記載のピクセル回路。

30

【請求項 7】

前記透明導電体が、前記第 2 のトランジスタの前記ソースに対応するコンタクト・ホール内のライナ上に形成される、請求項 5 に記載のピクセル回路。

【請求項 8】

前記ライナが、材料の垂直スタックを含む、請求項 7 に記載のピクセル回路。

【請求項 9】

前記透明導電体が横方向の断絶部を伴って形成され、ブリッジが前記横方向の断絶部に形成されて前記抵抗器が提供される、請求項 5 に記載のピクセル回路。

【請求項 10】

前記グランドがグローバル・グランドを含む、請求項 1 に記載のピクセル回路。

40

【請求項 11】

前記グローバル・グランドがピクセル回路の配列上にブランケット蒸着される、請求項 10 に記載のピクセル回路。

【請求項 12】

前記第 1 のトランジスタおよび前記第 2 のトランジスタが低温ポリシリコン (L T P S) 材料を含む、請求項 1 に記載のピクセル回路。

【請求項 13】

前記第 1 のトランジスタおよび前記第 2 のトランジスタがヘテロ接合電界効果トランジスタを含む、請求項 1 に記載のピクセル回路。

【請求項 14】

50

ピクセル回路であって、

第 1 の方向に互いに並列に走る選択ラインと、

前記第 1 の方向を横断する第 2 の方向に互いに並列に走るデータ・ラインと、

前記選択ラインに接続されて前記選択ラインを駆動する行ドライバと、

前記データ・ラインに接続されて前記データ・ラインを駆動する列ドライバとを備え、

ピクセル回路は、交差する位置で前記選択ラインおよび前記データ・ラインに接続され、前記ピクセル回路は、第 1 のトランジスタのゲートおよびグランドに接続されて選択入力を受信する第 1 のコンデンサおよびダイオード段、ならびに前記第 1 のトランジスタの第 1 のソース/ドレインおよび前記第 1 のトランジスタの第 2 のソース/ドレインに結合されたデータ・ラインを使用し、前記第 1 のトランジスタの前記第 2 のソース/ドレインは第 2 のトランジスタのゲートに結合され、前記第 2 のトランジスタのドレインは電源電圧に接続され、ソースは抵抗器に接続され、前記抵抗器は、前記グランドに接続された有機発光ダイオード (O L E D) に接続される、ピクセル回路。

10

【請求項 1 5】

前記抵抗器が、前記第 2 のトランジスタの前記ソースを前記 O L E D の陽極に接続する透明導電体を含む、請求項 1 4 に記載のピクセル回路。

【請求項 1 6】

前記抵抗器が、二重層、コンタクト・ホール内のライナ、材料の垂直スタック、および前記 O L E D の陽極を形成するか、または前記 O L E D の陽極に接続される透明導電体内または金属内の横方向の断絶部に形成されたブリッジからなる群から選択される、請求項 1 5 に記載のピクセル回路。

20

【請求項 1 7】

ピクセル回路を形成するための方法であって、

低温ポリシリコンを使用してヘテロ接合電界効果トランジスタ (H J F E T) を基板上に形成することと、

保護層を H J F E T 上に形成することと、

コンタクト・ホールを H J F E T のソースに形成することと、

前記コンタクト・ホール内の接点およびピクセル電流を抑制するための抵抗器を形成する透明導電体を形成することと、

陽極を前記抵抗器に接続して有機発光ダイオード (O L E D) を形成することを含む、方法。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、概してディスプレイ回路に関し、さらに詳細には、ピクセル電流制御抵抗器およびコンデンサ/ダイオード段を含んでいるピクセル回路に関する。

【背景技術】

【0 0 0 2】

現在、低温ポリシリコン (L T P S : low-temperature poly-silicon) は、相対的に低い消費電力を可能にする高性能、および高いディスプレイ解像度に必要な小さい寸法へのスケラビリティのため、ポータブル電子デバイスおよびハンドヘルド電子デバイス (および、ほぼ例外なく携帯電話) のディスプレイのバックプレーンで採用されている主要な薄膜トランジスタ (T F T : thin-film transistor) 技術である。しかし、L T P S はアモルファス・シリコン (a - S i または a - S i : H) よりも非常に高価であり、低コストのガラス基板またはプラスチック基板にとっては高すぎるプロセス温度 (例えば 4 0 0 ~ 6 0 0) も必要とする。L T P S は基本的に室温で準備することができるが、結晶化および局所的に発生する熱の急速な放散に使用される短レーザ・パルス (約 1 0 ~ 5 0 n s) を前提とすれば、薄膜トランジスタ (T F T) の製造プロセスは、十分な T F T の性能およびゲート誘電体の信頼性を保証するために、依然として高温を必要としている。

40

【0 0 0 3】

50

加えて、LTFS TFTはa-Si:H TFTよりも安定的であるが、Si VL SIデバイス（詳細には、ゲート誘電体の信頼性の問題に加えて、浮遊体効果/キック効果の影響を受けるn-チャネル・デバイス）よりも依然として不安定である。しきい値電圧のデバイス間の変動のため、ピクセルで使用されるLTFS TFTを追加することによってディスプレイ解像度を減らす回路補償技術が必要になる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、ピクセル回路およびピクセル回路を形成するための方法を提供する。

【課題を解決するための手段】

10

【0005】

本発明の実施形態に従い、ピクセル回路は、第1のトランジスタのゲートおよびグラウンドに接続されて選択入力を受信する第1のコンデンサおよびダイオード段を含んでいる。データ・ラインは第1のトランジスタの第1のソース/ドレインに結合され、第1のトランジスタの第2のソース/ドレインは第2のトランジスタのゲートに結合される。第2のトランジスタのドレインは電源電圧に接続され、ソースは抵抗器に接続される。この抵抗器は、グラウンドに接続された有機発光ダイオード（OLED: organic light emitting diode）に接続される。

【0006】

別のピクセル回路は、第1の方向に互いに並列に走る選択ライン、および第1の方向を横断する第2の方向に互いに並列に走るデータ・ラインを含んでいる。行ドライバは、選択ラインに接続されて選択ラインを駆動し、列ドライバはデータ・ラインに接続されてデータ・ラインを駆動する。ピクセル回路は、交差する位置で選択ラインおよびデータ・ラインに接続される。ピクセル回路は、第1のトランジスタのゲートおよびグラウンドに接続され、選択入力を受信する第1のコンデンサおよびダイオード段、ならびに第1のトランジスタの第1のソース/ドレインおよび第1のトランジスタの第2のソース/ドレインに結合されたデータ・ラインを使用し、第1のトランジスタの第2のソース/ドレインは第2のトランジスタのゲートに結合される。第2のトランジスタのドレインは電源電圧に接続され、ソースは抵抗器に接続される。この抵抗器は、グラウンドに接続された有機発光ダイオード（OLED: organic light emitting diode）に接続される。

20

30

【0007】

ピクセル回路を形成する方法は、低温ポリシリコンを使用して基板上にヘテロ接合電界効果トランジスタ（HJFET: heterojunction field effect transistors）を形成することと、HJFET上に保護層を形成することと、HJFETのソースにコンタクト・ホールを形成することと、コンタクト・ホール内の接点およびピクセル電流を抑制する抵抗器を形成する透明導電体を形成することと、陽極が抵抗器に接続された有機発光ダイオード（OLED）を形成することを含む。

【0008】

これらおよびその他の特徴と長所は、以下の詳細な実施形態例の説明から明らかになるが、その説明は添付の図面と併せて読む必要がある。

40

【0009】

以降の説明では、以下の図を参照して、好ましい実施形態を詳細に示す。

【図面の簡単な説明】

【0010】

【図1】本発明の一実施形態に記載されたピクセル回路を示す回路図である。

【図2】一実施形態に記載された、抵抗器Rの値が0オーム（すなわち、抵抗器なし）でのさまざまなドレイン電圧について、ゲート電圧（V）に対するドレイン電流（A）（対数）を示すプロット図である。

【図3】別の実施形態に記載された、抵抗器Rの値が5Mオームでのさまざまなドレイン電圧について、ゲート電圧（V）に対するドレイン電流（A）（対数）を示すプロット図

50

である。

【図４】別の実施形態に記載された、抵抗器 R の値が $5\text{ M}\Omega$ でのさまざまなドレイン電圧について、ゲート電圧 (V) に対するドレイン電流 (μA) を示すプロット図である。

【図５】一実施形態に記載された、 V_{data} と I_{pixel} の間の関係を示す、図１のピクセル回路に対してシミュレーションされたタイミング図である。

【図６】本発明の実施形態に記載された、材料の二重層を使用して抵抗器を形成する透明導電体によって有機発光ダイオード (OLED) に接続されたヘテロ接合電界効果トランジスタを示す断面図である。

【図７】本発明の実施形態に記載された、酸素とアルゴンの間の希釈率 (%) に対する接触抵抗 (Ω) を示し、抵抗器の値を制御するための希釈率に対する接触抵抗の依存関係を示すプロット図である。

【図８】本発明の実施形態に記載された、縦方向の抵抗スタック構成で抵抗器を形成するライナを示す断面図である。

【図９】本発明の実施形態に記載された、縦方向の抵抗器構成で抵抗器を形成する垂直スタックの電圧 (V) に対する電流密度 ($\mu\text{A} / 2 \times 2 \mu\text{m}^2$) のプロットを示す図である。

【図１０】本発明の実施形態に記載された、横方向の抵抗器構成で抵抗器を形成するブリッジを示す断面図である。

【図１１】本発明の実施形態に記載された、横方向の抵抗器構成で抵抗器を形成する別のブリッジを示す断面図である。

【図１２】本発明の実施形態に記載された交差ピクセル配列回路 (cross-overpixel array circuit) を示す回路図である。

【図１３】本発明の別の実施形態に記載された、コンデンサ / ダイオード段が各行内で共有される交差ピクセル配列回路を示す回路図である。

【発明を実施するための形態】

【００１１】

本発明の態様に従って、アクティブ・マトリクス有機発光ダイオード (AMOLED) ピクセル回路が開示される。一実施形態では、各ピクセル回路は、スイッチング接合電界効果トランジスタ (JFET: junction field-effect transistor) と、ドライバ JFET と、ストレージ・コンデンサと、直流 (DC: direct current) レベルシフト・ダイオード / コンデンサ・ペアまたは段と、ドライバ JFET と OLED の間に接続された実質的に線形な抵抗器とを含むことができる。ダイオードは、例えば、JFET のゲート端子をダイオードの第１の端子 (陽極) として使用し、JFET のソース端子およびドレイン端子のいずれかまたは両方をダイオードの第２の端子 (陰極) として使用して、ダイオード接続された JFET として実装することができる。ピクセル回路は、OLED の陽極に作製されたビア・コンタクトの接触抵抗を構成することによって実装された抵抗器を含むことができる。別の実施形態では、JFET は、低温ポリシリコン (LTPS) 上の水素化シリコンをベースにした接点を含んでいるヘテロ接合電界効果トランジスタ (HJFET) デバイスである。

【００１２】

本実施形態によれば、従来の LTPS プロセスに比べて、製造コストおよび資本設備費が大幅に削減される。AMOLED ピクセルのピクセル回路で使用される回路素子の数が削減されるため、従来の LTPS プロセスに比べてディスプレイ解像度が向上する。AMOLED ピクセルのピクセル回路で使用される信号ライン / データ・ラインの数が削減される。したがって、従来の LTPS プロセスに比べてディスプレイ解像度が向上し、駆動方式の複雑さが低減し、その結果、コントローラの要件が減る。マスク・ステップの数も削減される。AMOLED ピクセルを形成するためのプロセス温度が、 $400 \sim 600$ から約 200 以下に低減する。加えて、デバイスの性能およびシステムレベルの性能を損なわずに、プラスチックや従来のガラスなどの低コストの基板または柔軟な基板あるい

10

20

30

40

50

はその両方の使用が可能になる。

【 0 0 1 3 】

有用な実施形態では、従来の L T P S プロセスに比べて、（特定の消費電力での）デバイスの性能およびシステムレベルの性能が向上するか、または（特定のシステム性能での）消費電力が減少する。これは、特にしきい値下での急勾配の特性を含む、優れた H J F E T デバイスの特性などの側面に起因する。

【 0 0 1 4 】

ヘテロ接合電界効果トランジスタ（H J F E T）は、低コストで面積が広くなるという長所があるアモルファス・シリコンおよびさらに高性能な L T P S を利用する。H J F E T デバイスは、L T P S 基板上的アモルファス・シリコンをベースにした接点で構成され、従来の L T P S T F T を上回る次のような長所を備えている。200 以下という低いプロセス温度、高い T F T の安定性、しきい値下の急勾配の特性、浮遊体効果に対する耐性、低いノイズ、良好な均一性、イオン注入などの高価なステップまたは高温のステップあるいはその両方をなくすことによる製造コスト / 資本設備費の大幅な削減、ドーピングの活性化、高品質なゲート誘電体の蒸着、および低温の製造プロセスによって低コストかつ柔軟な基板の使用を可能にすること。

【 0 0 1 5 】

加えて、さまざまなシステム・コンポーネントで構成される携帯電話およびその他のポータブル・デバイスなどのアプリケーションでは、実際上は、従来の T F T を H J F E T に置き換える際に、そのようなアプリケーションで従来使用されている他のシステム・コンポーネントまたはシステム設計全体に対する変更を最小限に抑えるか、まったく変更しないことが望ましい場合がある。そのような場合、H J F E T デバイスの長所およびプロセスの利点を最大限に活用するには、特に 2 つの問題への対処が必要になることがある。それらの問題は次のとおりである。H J F E T はノーマリオン型デバイスであるため、ピクセル回路の従来の実装では、ピクセルのローカルな共通グランドを、さまざまな他の回路およびシステム・コンポーネントによって共有されるグローバルな共通グランドと共有することが許されない。また、高解像度ディスプレイにおける小型の O L E D を前提にすれば、ドライバ H J F E T の駆動電流は、一体的に製造されたスイッチング H J F E T のスイッチング性能を損なわずに、所望の設定電圧範囲にわたって抑制される必要がある。これらの問題は、本実施形態に従って対処される。なお、ノーマリオフ型 H J F E T は可能であるが、より複雑であり、駆動電流がより低い。

【 0 0 1 6 】

本発明の態様は特定のアーキテクチャ例に関して説明されているが、アーキテクチャ、構造、基板材料、およびプロセスの特徴もしくはステップは、本発明の態様の範囲内で変更され得るということが理解されるべきである。

【 0 0 1 7 】

層、領域、または基板などの要素が別の要素の「上」または「上方」にあると称される場合、その要素は他の要素の上に直接存在しているか、または介在する要素が存在している可能性もあるということも理解されるであろう。対照的に、ある要素が別の要素の「上に直接」または「上方に直接」あると称される場合、介在する要素は存在していない。ある要素が別の要素に「接続されている」または「結合されている」と称される場合、その要素は他の要素に直接接続または結合されているか、または介在する要素が存在している可能性があるということも理解されるであろう。対照的に、ある要素が別の要素に「直接接続されている」または「直接結合されている」と称される場合、介在する要素は存在していない。

【 0 0 1 8 】

本実施形態は、グラフィカル・コンピュータ・プログラミング言語で作成され、コンピュータ記憶媒体（ディスク、テープ、物理ハード・ドライブ、またはストレージ・アクセス・ネットワーク内などに存在する仮想ハード・ドライブなど）に記憶できる、集積回路チップの設計を含むことができる。設計者が、チップを製造せず、チップの製造に使用さ

10

20

30

40

50

れるホトリソグラフィック・マスクも製造しない場合、設計者は、作成された設計を、物理的手段によって（例えば、設計を記憶している記憶媒体のコピーを提供することによって）、または電子的手段によって（例えばインターネットを介して）、製造者に直接的または間接的に送信することができる。その後、記憶された設計は、ホトリソグラフィック・マスクを製造するために、適切な形式（例えばGDSII）に変換される。このホトリソグラフィック・マスクは、通常、ウェハ上に形成される対象のチップ設計の複数のコピーを含んでいる。ホトリソグラフィック・マスクは、エッチングまたはその他の処理が行われるウェハ（またはウェハ上の層、あるいはその両方）の領域の画定に使用される。

【0019】

本明細書に記載された方法は、集積回路チップの製造において使用することができる。製造された集積回路チップは、製造者によって、未加工のウェハの形態で（つまり、パッケージ化されていない複数のチップを含んでいる1つのウェハとして）、むき出しのダイで、またはパッケージ化された形態で配布することができる。パッケージ化された形態の場合、チップは、シングル・チップ・パッケージ（マザーボードまたはその他の上位のキャリアに取り付けられるリードを備えたプラスチック・キャリアなど）内またはマルチチップ・パッケージ（表面相互接続または埋め込み相互接続あるいはその両方を備えるセラミック・キャリアなど）内に取り付けられる。いずれも場合も、その後チップは、（a）マザーボードなどの中間製品、または（b）最終製品のいずれかの一部として、他のチップ、個別の回路素子、またはその他の単一の処理デバイス、あるいはこれらの組合せと統合される。最終製品は、玩具などの低価格の用途から、ディスプレイ、キーボード、またはその他の入力デバイス、および中央処理装置を備えている高度なコンピュータ製品まで、集積回路チップを含んでいる任意の製品であることができる。

【0020】

材料の化合物が、示されている元素（例えばSiGe）に関して説明されるということも、理解されるべきである。これらの化合物は、化合物内に異なる割合の元素を含んでいる。例えば、SiGeは Si_xGe_{1-x} を含んでおり、 x は1以下などである。加えて、その他の元素を化合物に含めることができ、それらの元素も、本発明の原理に従って機能することができる。追加の元素を含む化合物は、本明細書では合金と呼ばれる。

【0021】

本明細書における「一実施形態」または「実施形態」およびその他のそれらの変形への言及は、実施形態に関連して説明される特定の特徵、構造、特性などが少なくとも1つの実施形態に含まれることを意味している。したがって、本明細書全体のさまざまな場所に現れる「一実施形態では」または「実施形態では」という語句、あるいはその他の変形は、必ずしもすべてが同じ実施形態を参照しているわけではない。

【0022】

「/」、「～または～あるいはその両方」、および「～のうちの少なくとも1つ」のいずれかの使用は、例えば、「A/B」、「AまたはBあるいはその両方」、および「AとBのうちの少なくとも一方」のケースでは、1番目に示されたオプション（A）のみの選択、または2番目に示されたオプション（B）のみの選択、または両方のオプション（AおよびB）の選択を包含することが意図されているということが理解されるべきである。さらに例を挙げると、「A、B、またはC、あるいはこれらの組合せ」および「A、B、およびCのうちの少なくとも1つ」のケースでは、そのような語句は、1番目に示されたオプション（A）のみの選択、または2番目に示されたオプション（B）のみの選択、または3番目に示されたオプション（C）のみの選択、または1番目および2番目に示されたオプション（AおよびB）のみの選択、または1番目および3番目に示されたオプション（AおよびC）のみの選択、または2番目および3番目に示されたオプション（BおよびC）のみの選択、または3つすべてのオプション（AおよびBおよびC）の選択を包含することが意図されている。これは、当業者または関連する業者にとって容易に明らかとなるように、示された多くの項目に関して拡張できる。

【0023】

10

20

30

40

50

本明細書で使用される用語は、特定の実施形態を説明することのみを目的としており、実施形態例を限定することは意図されていない。本明細書で使用される単数形「a」、「an」、および「the」は、特に明示的に示されない限り、複数形も含むことが意図されている。「備える」、「備えている」、「含む」、または「含んでいる」、あるいはこれらの組合せの用語は、本明細書で使用される場合、記載された特徴、整数、ステップ、操作、要素、またはコンポーネント、あるいはこれらの組合せの存在を示すが、1つまたは複数のその他の特徴、整数、ステップ、操作、要素、コンポーネント、またはこれらのグループ、あるいはこれらの組合せの存在または追加を除外していないということが、さらに理解されるであろう。

【0024】

「下方」、「下」、「下側」、「上」、「上側」などの空間的に相対的な用語は、本明細書では、各図で示されているように、ある要素または特徴の別の要素または特徴に対する関係の説明を容易にするために使用できる。空間的に相対的な用語は、各図に示された方向に加えて、使用中または操作中のデバイスの異なる方向を包含することが意図されていると理解されるであろう。例えば、図内のデバイスが反転した場合、他の要素または特徴の「下」または「下方」にあると説明された要素は、他の要素または特徴の「上」に位置する。したがって、「下」という用語は、上および下の両方の方向を包含することができる。デバイスを、上下以外の方向（90度の回転またはその他の方向）に向けることができ、それに応じて、本明細書で使用された空間的に相対的な記述を解釈することができる。加えて、ある層が2つの層の「間」に存在すると称される場合、その層は2つの層の間の唯一の層であることができ、または1つまたは複数の介在する層が存在することでもできるということも理解されるであろう。

【0025】

本明細書では、第1、第2などの用語をさまざまな要素を説明するために使用できるが、それらの要素はこれらの用語によって限定されないと理解されるであろう。これらの用語は、ある要素を別の要素から区別するためにのみ使用される。したがって、本概念の範囲を逸脱することなく、下で説明される第1の要素を、第2の要素と呼ぶことができる。

【0026】

ここで各図面を参照すると、似た数字は同じ要素または類似する要素を表しており、まず図1においては、AMOLEDピクセル回路10が一実施形態例に従って示されている。回路10は、スイッチング接合電界効果トランジスタ(JFET)M1と、ドライバJFET M2と、ストレージ・コンデンサ C_s と、DCレベルシフト・ダイオードD1/コンデンサ C_1 ペアまたは段と、ドライバJFET M2と有機発光ダイオードOLEDの間に接続された実質的に線形な抵抗器Rとを含む。ストレージ・コンデンサ C_s およびドライバJFET M2は、電源電圧(V_{dd})に結合される。

【0027】

V_{select} ライン上の V_{select} 信号のDCレベルは、 V_{select} の下側レベルがピンチオフ電圧（例えば-2V未満）を下回り、 V_{select} の上側レベルがグラウンド(gnd)以下になるように、 C_1/D_1 段（コンデンサ/ダイオード・ペアに加えて、またはコンデンサ/ダイオード・ペアの代わりに、コンポーネントを含むことができる）によってダウンシフトされる。したがって、 V_{select} がグラウンド(gnd)を超えた状態で、M1のオン/オフを適切に切り替えることができる。M1のドレインおよびソースは、それぞれ類似する構造または本質的に同一の構造を持つことができ、そのような端子がドレインまたはソースのいずれであるかに関する特定の指定は、当業者に良く知られた通常の回路の慣習に従う。例えば、特定のフレーム時間内の V_{data} の値が、前のフレーム時間内の V_{data} の値よりも増加した場合、M1が選択されたときに、 V_{data} に接続されたM1のソース/ドレイン端子の電圧が、M2のゲートに接続されたM1の他のソース/ドレイン端子の電圧よりも高くなる。したがって、 V_{data} に接続されたソース/ドレイン端子はドレイン端子として機能し、M2のゲートに接続されたソース/ドレイン端子はソース端子として機能する。

10

20

30

40

50

【0028】

ダイオードD1は、例えば、JFETのゲート端子をダイオードD1の第1の端子（陽極）として使用し、JFETのソース端子およびドレイン端子のいずれかまたは両方をダイオードD1の第2の端子（陰極）として使用して、ダイオード接続されたJFETとして実装することができる。このようにして、ダイオードD1を、JFET M1およびM2と同時に製造することができる。

【0029】

OLEDはM2のソースに接続され、OLEDのしきい値電圧はM2のピンチオフ電圧の絶対値よりも大きくなるように選択される。したがって、 V_{data} 信号が0になると、ピクセル電流 I_{pixel} が0になり、 V_{data} がグランド（ gnd ）を超えて、ピクセル回路10が適切に動作する。

10

【0030】

ピクセル回路10は、HJFETがノーマリオン型デバイスであるために、ローカル・グランドを基準にした負電圧を V_{data} および V_{select} で使用しなければならないということを含む、従来のピクセル回路における問題を解決する。この問題は、バックプレーンのローカル・グランド（ gnd ）を、他のすべての（例えば携帯電話における、さまざまなシステム・コンポーネントの）ローカル・グランドが接続されているグローバル・グランドに接続できないということの意味する。この問題は、本実施形態に従って次のようにして解決される。 V_{select} 信号のDCレベルを供給し、このDCレベルが、 V_{select} の下側レベルがピンチオフ電圧を下回り、 V_{select} の上側レベルがグランド（ gnd ）以下になるように、C1/D1段によってダウンシフトされる。したがって、 V_{select} がグランド（ gnd ）を超えた状態で、M1のオン/オフを適切に切り替えることができる。OLEDのしきい値電圧は、M2のピンチオフ電圧の絶対値よりも大きくなるように選択される。したがって、 V_{data} 信号が0になると、ピクセル電流 I_{pixel} が0になり、 V_{data} がグランド（ gnd ）を超えて、ピクセル回路10が適切に動作する。

20

【0031】

市販の列ドライバ・チップは、OLEDの輝度におけるグレースケール・レベル（例えば256）を設定するために、2～3ボルトの範囲を必要とする。したがって、（i）過剰な電流がOLEDに流れず、（ii）M1のスイッチング性能を損なわずに、M2の動作電圧範囲を増やす必要がある。

30

【0032】

本発明の態様に従って、（M2のチャネル抵抗と比較して）相対的に大きい抵抗RがM2のソースに接続される。その結果、ピクセル電流（ I_{pixel} ）が所望の範囲に制限される。 V_{dd} に対する I_{pixel} の依存関係がなくなるため、抵抗損失の補償は不要である。このような抵抗は、バックプレーンの製造プロセスに対する変更を最小限に抑えて実装することができる。従来のピクセルにおけるOLEDのしきい値電圧を減らすのにかかる労力（例えば、高品質のインジウム・スズ酸化物（ITO）の蒸着、 O_2 プラズマまたはUVオゾン処理によるITOの仕事関数の調整）を不要にすることができる。

40

【0033】

トランジスタおよび信号の数が減少することによって、より高い画像解像度が可能になる（例えば、1つのドレイン/ソースを備えるHJFETとしてダイオードを実装することができ、したがって、HJFETよりも占有する面積が小さくなる）。回路10は、すべてのデバイスの長所、HJFET製造のプロセスおよびコストの長所を活用する。

【0034】

1つの例では、OLEDに対する電流制限は次を含むことができる。OLEDの面積を、約 $20\mu m \times 20\mu m$ にすることができる。偏光子損失が約50%、その他すべての輝度損失が約50%で、フィルファクタ（OLED/サブピクセルの面積比）= 50%。サブピクセルは、赤、緑、および青（RGB）（3色）を含む。最大ピクセル輝度は約 500 Cd/m^2 であり、OLEDの発光効率は約 10 Cd/A である。回路10に従って

50

、最大ピクセル電流 = 最大OLED電流 = $500 \text{ (Cd/m}^2\text{)} / (10 \text{ (Cd/A)} \times (20 \mu\text{m})^2 \times 2 \times 2 \times 2 \times 3) = 500 \text{ nA}$ 。制限抵抗器を使用せずにHJFETドライバを使用する従来の回路の最大ピクセル電流は、この値よりも約1000倍高くなる。

【0035】

M2のチャンネルのシート抵抗を増やすことによって、ピクセル電流を減らすことができるが、M1およびM2が同じチャンネル材料を使用している場合は、M1のスイッチング性能が損なわれる。M1およびM2に対して異なるチャンネル材料、異なるゲート・スタックなどを使用すると、マスク数が増加し（プロセスが複雑になる場合もあり）、それによってコスト効率が悪くなる、または実用的ではなくなる、あるいはその両方が生じる。原理的には、広範囲にわたるチャンネルの長さおよび幅を使用してM1およびM2をそれぞれ実装できるが（例えば、 $W/L = 2 \mu\text{m} / 30 \mu\text{m}$ および $30 \mu\text{m} / 2 \mu\text{m}$ ）、面積の制約のため、そうすることは実用的ではない場合がある。

10

【0036】

本発明の態様に従って、抵抗RはM2のソースに接続され、電流 I_{pixel} を所望の範囲に制限する。M2のソースの抵抗Rは、ピクセル電流 I_{pixel} を制限することができる。例： $V_p = 2.5 \text{ V}$ 、 $W/L = 2.5$ 、 $R = 5 \text{ M}\Omega$ （ V_p はピンチオフ電圧）。ドレイン電圧 V_D が、M2が必ず飽和状態になるほど十分に高い限り（この例では、 $V_D > \text{約} 2.5 \text{ V}$ ）、ドレイン電流（ I_D ）には、ドレイン電圧に対する依存関係がない。

20

【0037】

$I_D = I_{ss} [1 - (V_{GS} - R I_D) / V_p]^2$ （ $V_{GS} - V_p$ ）/ R （ V_{GS} はM2のゲート・ソース間電圧、 I_{ss} はドレイン飽和電流）。したがって、ピクセル電流 I_{pixel} は V_{dd} とは無関係になり、 V_{dd} ライン上の抵抗損失に対する補償は不要になる。M2は電源電圧 V_{dd} に結合され、ピクセル電流 I_{pixel} がM2、R、およびOLEDに流れる。抵抗器Rはピクセル電流 I_{pixel} を所望の範囲に制限し、電源電圧 V_{dd} はM2を飽和領域（saturation regime）の範囲内にバイアスし、その結果、電源電圧に対するピクセル電流 I_{pixel} の依存関係が減少するか、なくなる。

【0038】

図2～4を参照すると、M2のゲート電圧に対するドレイン電流のプロットが図示されており、ピクセル回路10の安定性および性能を示している。図2では、M2の複数のドレイン電圧（ V_D ）に関して、ゲート電圧（V）に対するドレイン電流（A）の対数がプロットされており、Rは0オーム（抵抗器なし）である。プロット20では、 V_D は0.1Vである。プロット22では、 V_D は0.5Vである。プロット24では、 V_D は0.9Vである。プロット26では、 V_D は1.3Vである。プロット28では、 V_D は1.7Vである。好ましい実施形態では、M1はM2と同じプロセスを使用して製造されるため、Rが0オームである場合、M1はM2と同じ、図2にプロットされている特性を備える。-2～-3Vの範囲内のゲート電圧でのドレイン電流（ I_D ）の急勾配が、M1のスイッチング性能を改善し、従来のデバイスの問題に対処する。また、M1の良好なスイッチング性能を実現するために、高い駆動電流（-2～0Vの範囲内のゲート電圧での I_D ）が望ましい。ただし、Rが0オームの場合、（飽和領域内で）駆動電流が高すぎてOLEDを駆動できない場合がある。

30

40

【0039】

図3では、M2の複数のドレイン電圧（ V_D ）に関して、ゲート電圧（V）に対するドレイン電流（A）が対数スケール上にプロットされており、Rは5Mオームである。プロット30では、 V_D は0.1Vである。プロット32では、 V_D は0.5Vである。プロット34では、 V_D は0.9Vである。プロット36では、 V_D は1.3Vである。プロット38では、 V_D は1.7Vである。プロット40では、 V_D は2.1Vである。プロット42では、 V_D は2.5Vである。プロット44では、 V_D は2.9Vである。

【0040】

図4では、M2の複数のドレイン電圧（ V_D ）に関して、ゲート電圧（V）に対するド

50

レイン電流 (μA) が線形スケール上に再プロットされており、 R は $5 M$ オームである。プロット 30 では、 V_D は $0.1 V$ である。プロット 32 では、 V_D は $0.5 V$ である。プロット 34 では、 V_D は $0.9 V$ である。プロット 36 では、 V_D は $1.3 V$ である。プロット 38 では、 V_D は $1.7 V$ である。プロット 40 では、 V_D は $2.1 V$ である。プロット 42 では、 V_D は $2.5 V$ である。プロット 44 では、 V_D は $2.9 V$ である。

【0041】

すべての例において、 $M2$ が必ず飽和状態になるほど V_D が十分に大きい限り、ドレイン電圧 V_D の変化にもかかわらず、ゲート電圧の遷移が十分に定義され、正しく相関している。これは、ピクセル電流 I_{pixel} が V_{dd} とは無関係になり、 V_{dd} ライン上の抵抗損失に対する補償が不要であることを裏付けている。また、 R が $5 M$ オームの場合、駆動電流は、 R が 0 オームのときに比べて約 $1/1000$ に減少し、 $OLED$ を駆動するのに望ましい値になる。

【0042】

図5を参照すると、 $HSPICE$ (TM) シミュレーションのタイミング図が、ピクセル回路10における V_{select} 、 $V_{G,M1}$ ($M1$ のゲート電圧)、 V_{data} 、および I_{pixel} の間の関係を示している。なお、使用されているフレーム時間は、波形を見やすくするために、 16 ミリ秒ではなく 640 マイクロ秒とした。シミュレーションによれば、 I_{pixel} は V_{data} に正しく追従している。

【0043】

図6を参照すると、一実施形態に従って、ドライバ・ヘテロ接合電界効果トランジスタ ($HJFET$) 130 および $OLED$ 136 を含んでいるピクセルの部分100の断面図が示されている。部分100は、 $LTPS$ (低温ポリシリコン) の処理に整合させることができる基板102を含んでおり、絶縁体材料または埋め込み絶縁体材料を含むことができる。基板102は、ガラス、または柔軟な材料を含むがこれに限定されないプラスチック材料を含むことができる。チャネル領域106は、基板102上に形成されて、パターン化される。チャネル領域106は、 N 型ドープ・シリコン (Si) などの N 型材料を含むことができる。チャネル領域106は、単結晶材料構造または多結晶材料構造を含むことができる。チャネル領域106は、好ましくは、低温ポリシリコン ($LTPS$) を含む。 N 型材料が説明されているが、当業者は、 P 型材料も使用できるということを理解するであろう。

【0044】

ゲート・スタックが形成される。このゲート・スタックは、固有水素化アモルファス・シリコン ($i-a-Si:H$) 層108、アモルファス p^+ シリコン層 ($p^+a-Si:H$ 層) 110、金属層112、および誘電体キャップ114を含むことができる。 $i-a-Si:H/p^+a-Si:H$ スタックは、 N 型ドープ・チャネル材料 (例えば $LTPS$) の上にヘテロ接合を形成する。ゲート・スタックで使用される $a-Si:H$ 層または誘電体キャップあるいはその両方は、約 200 以下の温度でプラズマ化学気相成長法 ($PECVD$: plasma enhanced chemical vapor deposition) を使用して形成することができる。スペーサ126がゲート・スタック上に形成される。スペーサ126の形成によって、チャネル領域106の両端に誘電体スペーサ107も形成され得る。誘電体スペーサ107は、 $HJFET$ 130の動作に関しては重要でない。

【0045】

ソース/ドレイン (S/D) 領域116は、ゲート・スタックに隣接して、チャネル領域106の上に形成される。 S/D 領域116は、 n^+ 水素化結晶シリコン ($c-Si:H$) を含むことができる。 S/D 領域116の $n^+c-Si:H$ は、約 200 以下の温度で $PECVD$ を使用して形成することができる。一例を挙げると、 n^+ 水素化シリコン ($n^+Si:H$) は、 $[H_2]/[SiH_4] > 5$ となるような SiH_4 、 PH_3 、および H_2 の混合ガスから蒸着され、その結果、例えばチャネル領域106の露出表面上の $n^+c-Si:H$ の成長およびその他すべての表面 (絶縁基板102、スペーサ126および107、ならびに誘電体キャップ114を含んでいる) 上の $a-Si:H$ の成長などの

10

20

30

40

50

、エピタキシャル成長が発生する。その後、 $n^+ \text{Si} : \text{H}$ 層の $n^+ a - \text{Si} : \text{H}$ 部分が、例えば *in-situ* H_2 プラズマ (*in-situ* H_2 plasma) を使用して、 $n^+ c - \text{Si} : \text{H}$ を残して選択的にエッチングされる。なお、 S/D 領域 116 の横に低濃度不純物ドレイン (LDD : lightly doped drain) 領域は存在せず、省略されている。シリサイドまたは金属接点層 118 が、 S/D 領域 116 の上に形成される。このプロセス例を使用して形成される $HJFET$ 130 は、チャネル領域の厚さ (t_{Si}) およびドーピング濃度 (N_D) を選択することによって、ノーマリオン型薄膜トランジスタ ($TFET$) として構成され、負のピンチオフ電圧 (V_p) が得られる。一例を挙げると、 $t_{Si} = 50 \text{ nm}$ (シリコンの厚さ) および $N_D = 3 \times 10^{18} \text{ cm}^{-3}$ の場合、 $V_p = -2.5 \text{ V}$ が得られる。その他のパラメータも企図される。

10

【0046】

保護層 104 は、ドライバ $HJFET$ 130 の上に形成され、コンタクト・ホールを形成するようにパターン化される。透明導電体層または金属層が $OLED$ の陽極 132 を形成し、この陽極はコンタクト・ホール内に形成される。透明導電体層または $OLED$ の陽極 132 は、インジウム・スズ酸化物 (ITO) またはその他の透明導電材料を含むことができる。 $OLED$ の陽極 132 は、抵抗 R を形成するために採用される。抵抗 R は、例えば $OLED$ の陽極 132 とソース/ドレイン金属またはシリサイド 118 との間の特定の接触抵抗を意図的に増やすことによって、得ることができる。

【0047】

一例を挙げると、 $OLED$ の陽極 132 の ITO は二重層として蒸着され、第 1 の層 126 は接触抵抗を (例えば酸素含有量を増やすことによって) 意図的に増やすことが意図されており、第 2 の層 128 は通常の条件下で蒸着される。

20

【0048】

図 7 を参照すると、 $[O_2] / [Ar]$ の希釈率 (%) に対する接触抵抗 (オーム) のプロットが示されている。このプロットは、 R を調整するための層 126 の調整の実験的検証を提供する。層 126 の ITO と Cr (層 118) の間の特定の接触抵抗は、 ITO のスパッタリング中の $[O_2] / [Ar]$ の比率に対して測定された。この測定結果は、比率を 0.1% (標準) から約 10% に増やすことによって、 $2 \mu\text{m} \times 2 \mu\text{m}$ の接触面積の場合に、数 $M\Omega$ の接触抵抗が得られることを示している。 ITO 蒸着に使用されるその他の条件は、約 4 mtorr の圧力、約 0.5 W/cm^2 の RF 電力、および 3 ~ 4 インチ (7.62 ~ 10.16 センチ) のターゲット - 基板間のギャップを含んでいた。その他の例では、必要に応じてこれらの条件の逸脱を採用して、接触抵抗を増やす (または減らす) こともできる。

30

【0049】

再び図 6 を参照すると、プロセスは引き続いてエッジ保護 (edge passivation) 120 を形成する。有機層 122 が蒸着されて、 $OLED$ 136 が形成される。 $OLED$ の陰極層 124 が形成される。本実施形態に従って、 $OLED$ の陰極層 124 はグローバル・グランドに接続され、ローカル・グランドに接続されることに限定されない。

【0050】

抵抗 R は、他の方法、材料、および構造を使用して実装することができ、例えば、縦方向または横方向 (幾何学的) の抵抗を採用できる。そのような方法は、ドーパ $a - \text{Si} : \text{H}$ 層の使用を含むことができる。一部の実施形態では、 $HJFET$ プロセスに使用される同じ $a - \text{Si} : \text{H}$ 層を採用できる。パターン化 / 金属化プロセスの一部または部分は、バックプレーンのプロセスと組み合わされるか、またはバックプレーンのプロセスと同時に実行されることが可能である。

40

【0051】

形成方法の一例は、低温ポリシリコン技術を使用して基板上にヘテロ接合電界効果トランジスタ ($HJFET$) を形成することと、 $HJFET$ 上に保護層を形成することと、 $HJFET$ のソースにコンタクト・ホールを形成することとを含む。透明導電体が蒸着されて、コンタクト・ホール内に接点形成され、ピクセル電流を制限するための抵抗器が形

50

成される。陽極が抵抗器に接続されて、有機発光ダイオード（O L E D）が形成される。その他のコンポーネントを同時に形成することができ、それらのコンポーネントは、例えばダイオード、トランジスタ、コンデンサなどを含むことができる。抵抗器は、二重層、コンタクト・ホール内のライナ、材料内の垂直スタック、O L E Dの陽極を形成するか、またはO L E Dの陽極に接続される透明導電体内または金属層内の横方向の断絶部（break）に形成されたブリッジなどとして、形成することができる。

【0052】

図8を参照すると、ライナ140が、レイヤー118のシリサイド、金属（例えばCr）、またはITOに接触するように保護層104内のコンタクト・ホール内に形成される。ライナ140は、金属、ITO、またはその他の材料を含み、抵抗Rを提供することができる。透明導電体142（例えば128）は、ライナ140上に形成することができる。

10

【0053】

図9を参照すると、実験的例が、Cr/p⁺a-Si:H（20nm）/Crの垂直スタック141の電圧（V）に対する電流密度（ μ A）のプロットを示している。この垂直スタック141は約2.5M Ω の抵抗を2 μ m $\times$ 2 μ mの面積で実装することができ、良好な線形性および無視できるほど小さい光伝導性を持っている（光伝導性はプロットで示されていない）。図8において、垂直スタック141を、層118、ライナ140、および層142として採用することができる。その他の層を垂直スタックに含めることもできる。その他の構造および方法を採用してRを提供することもできる。

20

【0054】

図10を参照すると、横方向の構造を実装して抵抗Rを提供することもできる。有用な一実施形態では、n⁺a-Si:Hを、厚さ10~20nmで数M Ω /□のシート抵抗を持つブリッジ144として採用することができる。その他の材料を採用することもできる。ブリッジ144は、幅および長さが約2 μ mのオーダーの形状に適している。ブリッジ144は、金属またはITO146が形成される前に、誘電体または基板145の上に形成される。陽極132は、金属またはITO146内の断絶部を含み、断絶部は、ブリッジ144によってブリッジされて必要な抵抗を提供する。

【0055】

図11を参照すると、別の横方向の構造を実装して抵抗Rを提供することもできる。有用な一実施形態では、n⁺a-Si:Hを、厚さ10~20nmで数M Ω /□のシート抵抗を持つブリッジ148として採用することができる。その他の材料を採用することもできる。ブリッジ148は、幅および長さが約2 μ mのオーダーの形状に適している。ブリッジ148は、金属またはITO150が形成された後に、誘電体または基板145の上に形成される。陽極132は、金属またはITO150内の断絶部を含み、断絶部は、ブリッジ148によってブリッジされて必要な抵抗を提供する。

30

【0056】

提供された例は網羅的ではなく、他の形状、材料、または方法を使用してRを実装できるということが、当業者によって理解されるであろう。示された実装方法では、H J F E T構造を形成するためのプロセス・フローにおける最小限の変更が提供されている。

40

【0057】

図12を参照すると、ピクセル回路10をアクティブ・マトリクス配列200に組み込むことができる。アクティブ・マトリクス配列200は、配列200の周辺で行またはゲート・ドライバ回路204に接続された選択ライン（Y）202を含む。アクティブ・マトリクス配列200は、配列200の周辺で列ドライバ回路208に結合されたデータ・ライン（X）206を含む。ピクセル回路10は、選択ライン202およびデータ・ライン206に選択的に結合され、アクティブになると、ピクセル（例えばRGBサブピクセル）を駆動してディスプレイ・デバイスの画像を生成する。

【0058】

図13を参照すると、狭いベゼル（bezel）（エッジ）が重要ではない別の実施形態で

50

は、C 1 および D 1 を配列 2 2 0 (パネル) のゲート・ドライバ側に移動して、ピクセル・サイズをさらに縮小することができる。なお、1つのゲートだけではなく、行内のすべてのゲートを駆動するために、より大きいC 1 およびD 1 が採用される。一実施形態では、V_{dd} ラインを、列ドライバ 2 1 8、行 (ゲート) ドライバ 2 1 4、または別の電源 (図示せず) に接続することができる。グランドは、O L E D の陰極に接続することができる、配列 2 2 0 内でブランケット蒸着することができる (例えば、通常は複数のピクセル回路に接続してグローバル・グランドを提供する)。

【 0 0 5 9 】

ピクセル回路 1 0 ' は、残りのコンポーネントと共にアクティブ・マトリクス配列 2 2 0 に組み込むことができる。アクティブ・マトリクス配列 2 2 0 は、配列 2 2 0 の周辺で行またはゲート・ドライバ回路 2 1 4 に接続された選択ライン (選択 1 ~ 選択 3) を含む。アクティブ・マトリクス配列 2 2 0 は、配列 2 2 0 の周辺で列ドライバ回路 2 1 8 に結合されたデータ・ライン (データ 1 ~ データ 3) を含む。ピクセル回路 1 0 ' は、選択ラインおよびデータ・ラインに選択的に結合され、アクティブになると、ピクセル (例えば R G B サブピクセル) を駆動してディスプレイ・デバイスの画像を生成する。

10

【 0 0 6 0 】

ノーマリオン型薄膜トランジスタ (例であって、限定することは意図されていない) を備えるアクティブ・マトリクス O L E D ディスプレイに関する好ましい実施形態について説明したが、上の説明を考慮して当業者によって変更および変形を行うことができるということに注意する。したがって、添付の請求項によって概説されている本発明の範囲内で開示された特定の実施形態において、変更を行うことができると理解されるべきである。本発明の態様について説明したが、特許証によって請求、要求、および保護される内容については、特許法が要求する詳細さで、添付の請求項に記載される。

20

【 符号の説明 】

【 0 0 6 1 】

1 0 ピクセル回路

1 0 ' ピクセル回路

2 0 プロット

2 2 プロット

2 4 プロット

2 6 プロット

2 8 プロット

3 0 プロット

3 2 プロット

3 4 プロット

3 6 プロット

3 8 プロット

4 0 プロット

4 2 プロット

4 4 プロット

1 0 0 ピクセルの部分の断面図

1 0 2 基板

1 0 4 保護層

1 0 7 誘電体スペーサ

1 0 6 チャネル領域

1 0 8 固有水素化アモルファス・シリコン (i a - S i : H) 層

1 1 0 アモルファス p ⁺ シリコン層 (p ⁺ a - S i : H 層)

1 1 2 金属層

1 1 4 誘電体キャップ

1 1 6 S / D 領域

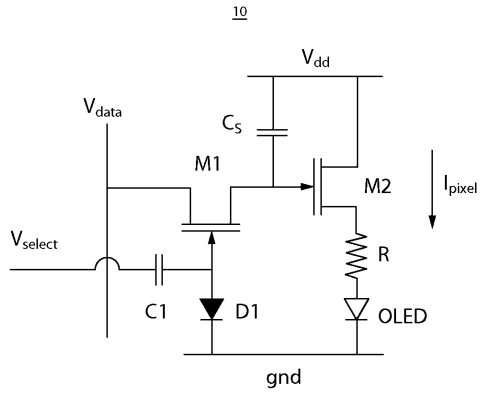
30

40

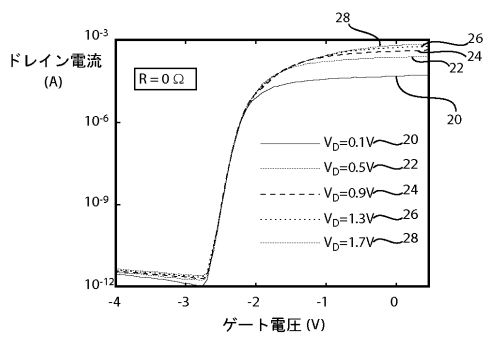
50

1 1 8	金属接点層	
1 2 0	エッジ保護	
1 2 2	有機層	
1 2 4	陰極層	
1 2 6	第 1 の層	
1 2 6	スペーサ	
1 2 8	第 2 の層	
1 3 0	H J F E T	
1 3 2	陽極	
1 3 6	O L E D	10
1 4 0	ライナ	
1 4 1	垂直スタック	
1 4 2	層	
1 4 4	ブリッジ	
1 4 5	誘電体または基板	
1 4 6	金属または I T O	
1 4 8	ブリッジ	
1 5 0	金属または I T O	
2 0 0	アクティブ・マトリクス配列	
2 0 2	選択ライン (Y)	20
2 0 4	行 (ゲート) ドライバ回路	
2 0 6	データ・ライン (X)	
2 0 8	列ドライバ回路	
2 1 4	行 (ゲート) ドライバ回路	
2 1 8	列ドライバ回路	
2 2 0	アクティブ・マトリクス配列	

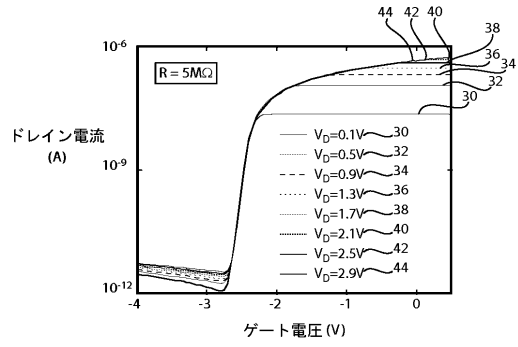
【図 1】



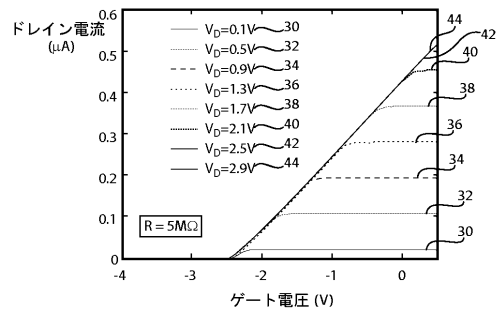
【図 2】



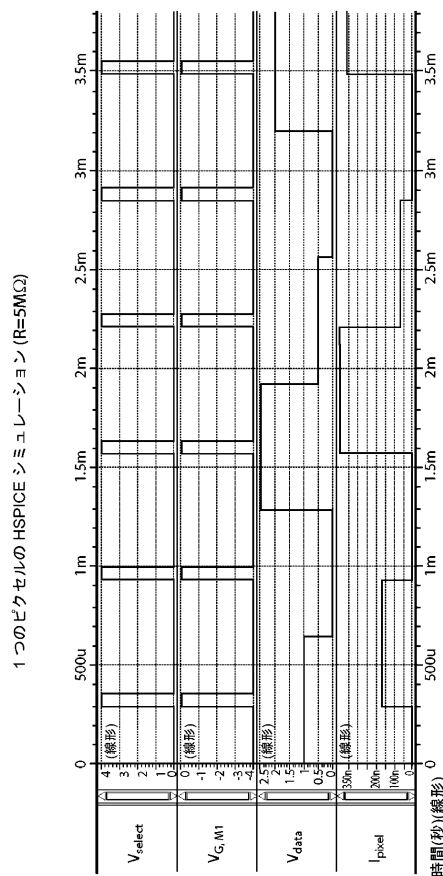
【図 3】



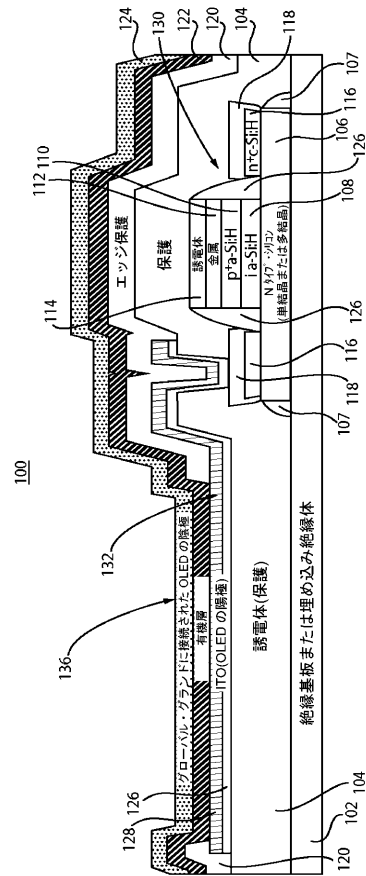
【図 4】



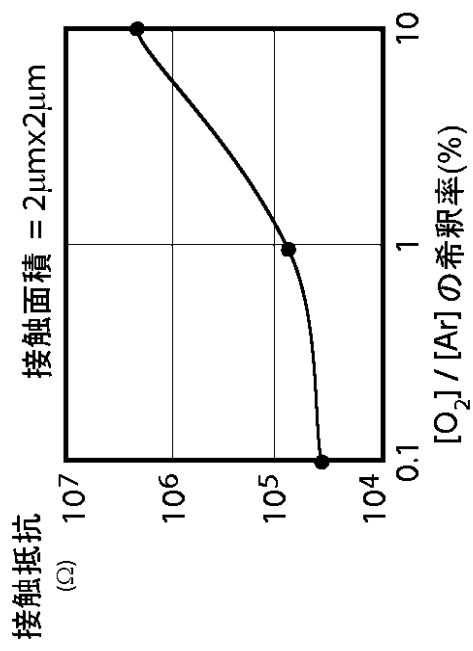
【図 5】



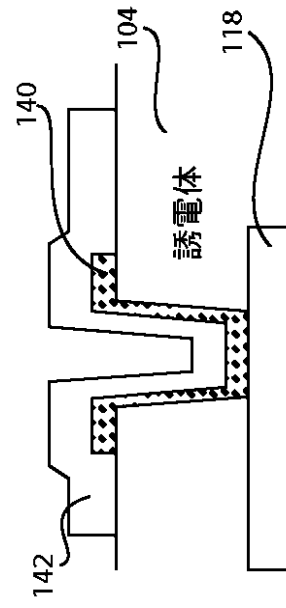
【図 6】



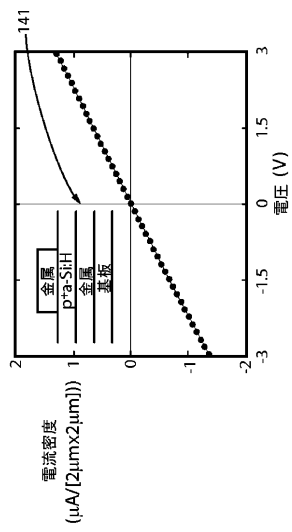
【図 7】



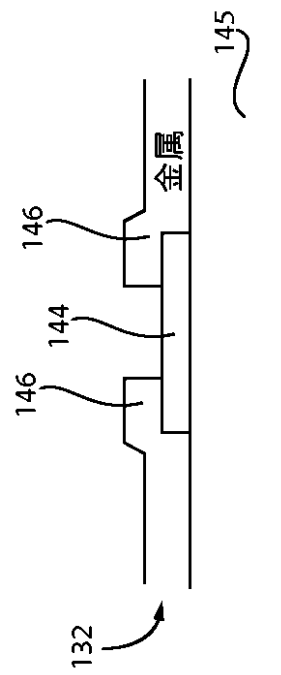
【図 8】



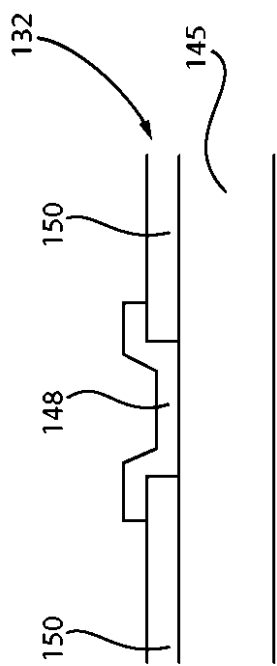
【図 9】



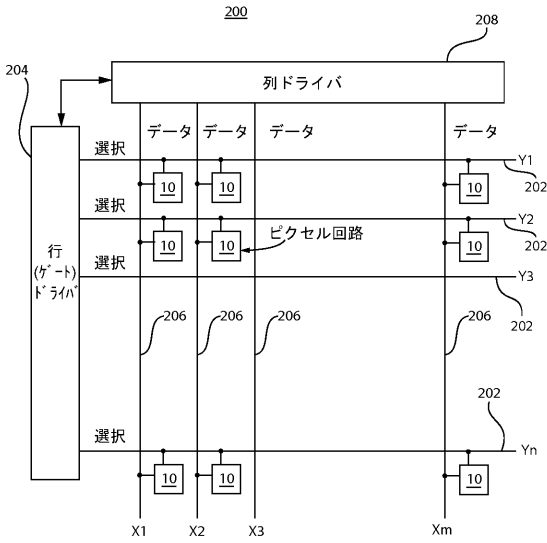
【図 10】



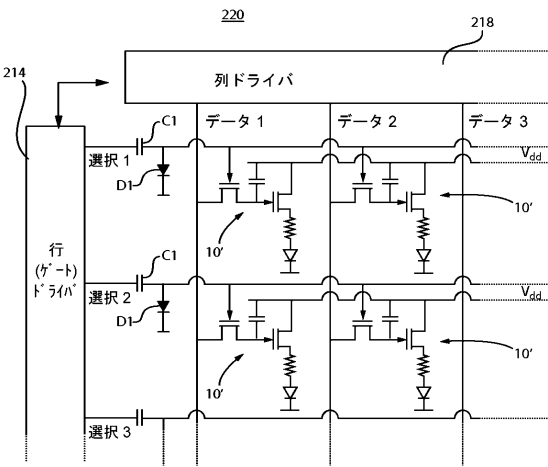
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/786 (2006.01)		G 0 9 F 9/30	3 6 5	
		H 0 1 L 29/78	6 2 6 Z	

(74)代理人 100112690

弁理士 太佐 種一

(72)発明者 ヘクマツトショアータバリー、パフマン

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ キッチャワン・ロード 1 1 0 1

(72)発明者 シャヒディ、ジー、ガーヴァン

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ キッチャワン・ロード 1 1 0 1

F ターム(参考) 3K107 AA01 BB01 CC31 EE04 FF04 HH05

5C080 AA06 BB05 CC03 DD28 EE29 EE30 FF11 HH10 JJ02 JJ03
JJ04 JJ05 JJ06

5C094 AA43 BA03 BA27 CA19 DA13 DB04 EA07 FB12 FB14 FB15

5C380 AA01 AB06 AB24 AB34 AB46 BA13 BA28 CA12 CB11 CC02

CC26 CC34 CC63 CC68 CC77 CD012 CF43 CF46 DA02 DA06

HA02 HA03 HA05 HA06 HA07

5F110 AA17 BB01 CC01 DD01 DD02 EE02 EE08 EE11 EE15 EE31

EE45 GG02 GG12 GG13 GG25 GG34 HK05 HK09 HK21 HK25

HK35 HL07 HL11 HL22 NN02 NN03 NN27 NN71

专利名称(译)	专利申请标题：用于形成像素电路的像素电路和方法		
公开(公告)号	JP2018077474A	公开(公告)日	2018-05-17
申请号	JP2017212456	申请日	2017-11-02
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
[标]发明人	シャヒディジーガーヴァン		
发明人	ヘクマツトショアータバリー、パフマン シャヒディ、ジー、ガーヴァン		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50 H01L27/32 G09F9/30 H01L29/786		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0842 H01L27/3262 H01L29/165 H01L29/802 G09G2310/08 H01L27/3244 G09G3/3258 H01L27/1229 H01L27/3248 H01L27/3265 H01L29/16 H01L2227/323		
FI分类号	G09G3/3233 G09G3/20.680.G G09G3/20.624.B H05B33/14.A H01L27/32 G09F9/30.365 H01L29/78. 626.Z G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE04 3K107/FF04 3K107/HH05 5C080/AA06 5C080/ /BB05 5C080/CC03 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA43 5C094/BA03 5C094/BA27 5C094/ /CA19 5C094/DA13 5C094/DB04 5C094/EA07 5C094/FB12 5C094/FB14 5C094/FB15 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB34 5C380/AB46 5C380/BA13 5C380/BA28 5C380/CA12 5C380/ /CB11 5C380/CC02 5C380/CC26 5C380/CC34 5C380/CC63 5C380/CC68 5C380/CC77 5C380/CD012 5C380/CF43 5C380/CF46 5C380/DA02 5C380/DA06 5C380/HA02 5C380/HA03 5C380/HA05 5C380/ /HA06 5C380/HA07 5F110/AA17 5F110/BB01 5F110/CC01 5F110/DD01 5F110/DD02 5F110/EE02 5F110/EE08 5F110/EE11 5F110/EE15 5F110/EE31 5F110/EE45 5F110/GG02 5F110/GG12 5F110/ /GG13 5F110/GG25 5F110/GG34 5F110/HK05 5F110/HK09 5F110/HK21 5F110/HK25 5F110/HK35 5F110/HL07 5F110/HL11 5F110/HL22 5F110/NN02 5F110/NN03 5F110/NN27 5F110/NN71		
代理人(译)	上野武		
优先权	15/345248 2016-11-07 US		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供像素电路和形成像素电路的方法。解决方案：像素电路包括第一电容器和连接到第一晶体管的栅极和地的二极管级，用于接收选择输入。数据线耦合到第一晶体管的第一源极/漏极，并且第一晶体管的第二源极/漏极耦合到第二晶体管的栅极。第二晶体管的漏极连接到电源电压，源极连接到电阻器。该电阻器连接到连接到地的有机发光二极管 (OLED)。图纸：图1

