

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-286526

(P2010-286526A)

(43) 公開日 平成22年12月24日(2010.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 611H	5C094
H01L 27/32 (2006.01)	G09G 3/20 642A	5C380
H01L 51/50 (2006.01)	G09G 3/20 622D	
審査請求 未請求 請求項の数 13 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2009-138028 (P2009-138028)
 (22) 出願日 平成21年6月9日 (2009.6.9)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100096699
 弁理士 鹿嶋 英實
 (72) 発明者 樫山 俊二
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会
 社八王子技術センター内
 Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH02
 HH04 HH05
 5C080 AA06 AA07 BB05 DD05 DD22
 DD27 DD29 EE29 FF11 HH09
 JJ02 JJ03 JJ04 JJ06 KK01
 KK07 KK43 KK47
 最終頁に続く

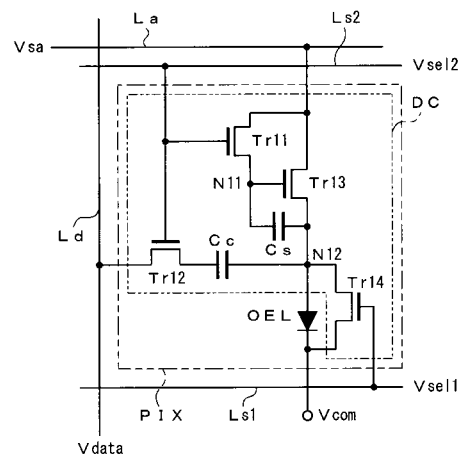
(54) 【発明の名称】 画素駆動回路、発光装置及びその駆動制御方法、並びに電子機器

(57) 【要約】

【課題】 画像データに応じた適切な輝度階調で発光素子を発光動作させることができる画素駆動回路及び発光装置並びにその駆動制御方法を提供する。

【解決手段】 画素PIXは、画素駆動回路DCと、有機EL素子OELと、を備えている。画素駆動回路DCは、有機EL素子OELのアノードに直列に接続されたトランジスタTr13と、画像データの書込動作時に、トランジスタTr13をダイオード接続するためのトランジスタTr11と、上記書込動作時に、トランジスタTr13のゲート・ソース端子間に接続されたキャパシタCsに画像データに応じた電圧成分を書き込むためのトランジスタTr12と、トランジスタTr12とトランジスタTr13のソース端子との間に接続されたキャパシタCcと、を有している。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

発光素子を有し、データラインに接続された画素における前記発光素子を動作させる画素駆動回路であって、

第 1 の容量素子と、

前記第 1 の容量素子の一端及び他端が電流路の一端及び制御端子に接続され、前記第 1 の容量素子に蓄積された電荷に応じて前記電流路に流れる駆動電流を前記発光素子に供給する駆動制御素子と、

一端が前記第 1 の容量素子の一端に接続された第 2 の容量素子と、

を備え、

前記第 1 の容量素子は、前記データラインを介して前記第 2 の容量素子の他端の電位が画像データに応じた第 1 の電位に設定された後に第 2 の電位に設定されることによって前記画像データに応じた電荷が蓄積されることを特徴とする画素駆動回路。

【請求項 2】

前記駆動制御素子の電流路の他端と制御端子との導通を制御する第 1 の選択制御素子を有し、

前記第 1 の選択制御素子は、前記第 1 の容量素子及び前記第 2 の容量素子に電荷を蓄積させる際に前記駆動制御素子の電流路の他端と制御端子とを接続するように制御されることを特徴とする請求項 1 に記載の画素駆動回路。

【請求項 3】

前記第 2 の容量素子の一端と前記第 2 の電位に設定された電極との導通を制御するリセット制御素子を有し、

前記リセット制御素子は、前記第 2 の容量素子の他端が前記第 1 の電位に設定される際に、前記第 2 の容量素子の一端と前記電極とを接続するように制御されることを特徴とする請求項 1 又は 2 に記載の画素駆動回路。

【請求項 4】

前記リセット制御素子は、前記第 1 の容量素子は、前記第 2 の容量素子の他端が前記第 1 の電位から前記第 2 の電位に設定される際に前記第 2 の容量素子の一端と前記電極との接続を解除するように制御されることを特徴とする請求項 3 に記載の画素駆動回路。

【請求項 5】

前記データラインと前記第 2 の容量素子の他端との導通を制御する第 2 の選択制御素子を有し、

前記第 2 の選択制御素子は、前記第 2 の容量素子の他端を前記第 1 の電位に設定する際に、前記データラインと前記第 2 の容量素子の他端とを接続するように制御されることを特徴とする請求項 1 乃至 4 の何れかに記載の画素駆動回路。

【請求項 6】

画像データに応じて駆動される発光装置であって、

複数の画素と前記各画素に接続される複数のデータラインとを有する発光パネルと、

発光パネルを駆動する駆動回路と、

を備え、

前記各画素は、発光素子と、第 1 の容量素子と、前記第 1 の容量素子の一端及び他端が電流路の一端及び制御端子に接続され、前記第 1 の容量素子に蓄積された電荷に応じて前記電流路に流れる駆動電流を前記発光素子に供給する駆動制御素子と、一端が前記第 1 の容量素子の一端に接続された第 2 の容量素子と、を備えて、前記第 1 の容量素子は、前記データラインを介して前記第 2 の容量素子の他端の電位が前記第 1 の電位に設定された後に前記第 2 の電位に設定されることによって前記画像データに応じた電荷が蓄積され、

前記駆動回路は、前記データラインに前記画像データに応じた電圧を印加して、前記第 2 の容量素子の他端の電位を前記画像データに応じた第 1 の電位に設定した後に第 2 の電位に設定するデータ駆動回路を有することを特徴とする発光装置。

【請求項 7】

前記データ駆動回路は、前記画像データに応じた電圧を生成するための電圧生成回路と、前記データラインを前記電圧生成回路又は前記第２の電位に設定された接点に切換接続する接続切換回路と、を有することを特徴とする請求項６に記載の発光装置。

【請求項８】

前記各画素は、前記駆動制御素子の電流路の他端と制御端子との導通を制御する第１の選択制御素子と、前記データラインと前記第２の容量素子の他端との導通を制御する第２の選択制御素子と、を有し、

前記駆動回路は、前記第１の選択制御素子及び前記第２の選択制御素子を制御して、前記第１の容量素子及び前記第２の容量素子に電荷を蓄積させる際に、前記駆動制御素子の電流路の他端と制御端子とを接続し、前記データラインと前記第２の容量素子の他端とを接続する選択駆動回路を有することを特徴とする請求項６又は７に記載の発光装置。

10

【請求項９】

前記各画素は、前記第２の容量素子の一端と前記第２の電位に設定された電極との導通を制御するリセット制御素子を有し、

前記選択駆動回路は、前記リセット制御素子を制御して、前記第２の容量素子の他端を前記第１の電位に設定する際に、前記第２の容量素子の一端と前記電極とを接続し、前記第２の容量素子の他端が前記第１の電位から前記第２の電位に設定される際に前記第２の容量素子の一端と前記電極との接続を解除することを特徴とする請求項８に記載の発光装置。

【請求項１０】

請求項６乃至９の何れかに記載の発光装置が実装されてなることを特徴とする電子機器。

20

【請求項１１】

画像データに応じて駆動される発光装置の駆動制御方法であって、

前記発光装置は、発光素子と、第１の容量素子と、前記第１の容量素子の一端及び他端が電流路の一端及び制御端子に接続され、前記第１の容量素子に蓄積された電荷に応じて前記電流路に流れる駆動電流を前記発光素子に供給する駆動制御素子と、一端が前記第１の容量素子の一端に接続された第２の容量素子と、を有する複数の画素を有する発光パネルを有し、

前記各画素の前記第２の容量素子の他端を前記画像データに応じた第１の電位に設定する第１書込動作ステップと、

前記各画素の前記第２の容量素子の他端を前記第１の電位に設定した後に、前記第２の容量素子の他端を第２の電位に設定して、前記第１の容量素子に前記画像データに応じた電荷を蓄積させる第２書込動作ステップと、

を含むことを特徴とする発光装置の駆動制御方法。

30

【請求項１２】

前記第１書込ステップ及び前記第２書込動作ステップは、前記データラインと前記第２の容量素子の他端とを接続する第１接続動作ステップと、前記駆動制御素子の電流路の他端と制御端子とを接続する第２接続動作ステップと、を含むことを特徴とする請求項１１に記載の発光装置の駆動制御方法。

40

【請求項１３】

前記第１書込動作ステップに先だって、前記第２の容量素子の一端と前記第２の電位に設定された電極とを接続するリセット動作ステップを有し、

前記第２書込動作ステップは、前記第２の容量素子の一端と前記電極との接続を解除する解除動作ステップを含むことを特徴とする請求項１１又は１２に記載の発光装置の駆動制御方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、画素駆動回路、発光装置及びその駆動制御方法、並びに電子機器に関し、特

50

に、画像データに応じた電流を供給することにより所定の輝度階調で発光する電流駆動型の発光素子と画素駆動回路を有する画素が複数配列された発光パネルを備える発光装置及びその駆動制御方法、並びにこれを適用した電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置に続く次世代の表示デバイスとして、有機エレクトロルミネッセンス素子（有機EL素子）や発光ダイオード（LED）等のような電流駆動型（又は、電流制御型）の発光素子を、マトリクス状に配列した表示パネルを備えた発光素子型の表示装置（発光素子型ディスプレイ、発光装置）が注目されている。

【0003】

特に、アクティブマトリクス型の駆動方式を適用した発光素子型ディスプレイにおいては、液晶表示装置に比較して、表示応答速度が速く、視野角依存性も小さいという優れた表示特性を有している。また、液晶表示装置のようにバックライトや導光板を必要としないという装置構成上の特長も有している。そのため、今後様々な電子機器への適用が期待されている。

【0004】

例えば、特許文献1に記載された有機ELディスプレイ装置は、電圧信号によって電流制御されたアクティブマトリクス駆動表示装置であって、画像データに応じた電圧信号がゲートに印加されて有機EL素子に電流を流す電流制御用薄膜トランジスタと、この電流制御用薄膜トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用薄膜トランジスタと、が画素ごとに設けられている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平8-330600号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

このような電圧信号によって階調を制御する、電圧指定型の階調制御方法を適用した有機ELディスプレイ装置においては、上記の薄膜トランジスタの素子特性（オン抵抗等）や有機EL素子の素子特性（抵抗等）のバラツキ、使用環境等に起因する特性変化によって、画像データに応じた電圧信号の書き込みや、有機EL素子に供給される電流の電流値に影響を与える。そのため、有機EL素子を画像データに応じた適切な輝度階調で安定的に発光動作させることが困難となり、輝度ムラ等、画質の劣化を招くという問題を有している。

【0007】

そこで、本発明は、上述した問題点に鑑み、画像データに応じた適切な輝度階調で発光素子を発光動作させることができる画素駆動回路、発光装置及びその駆動制御方法並びに電子機器を提供することを目的とする。

【課題を解決するための手段】

【0008】

請求項1に記載の発明は、発光素子を有し、データラインに接続された画素における前記発光素子を動作させる画素駆動回路であって、第1の容量素子と、前記第1の容量素子の一端及び他端が電流路の一端及び制御端子に接続され、前記第1の容量素子に蓄積された電荷に応じて前記電流路に流れる駆動電流を前記発光素子に供給する駆動制御素子と、一端が前記第1の容量素子の一端に接続された第2の容量素子と、を備え、前記第1の容量素子は、前記データラインを介して前記第2の容量素子の他端の電位が画像データに応じた第1の電位に設定された後に第2の電位に設定されることによって前記画像データに応じた電荷が蓄積されることを特徴とする。

【0009】

請求項 2 に記載の発明は、請求項 1 に記載の画素駆動回路において、前記駆動制御素子の電流路の他端と制御端子との導通を制御する第 1 の選択制御素子を有し、前記第 1 の選択制御素子は、前記第 1 の容量素子及び前記第 2 の容量素子に電荷を蓄積させる際に前記駆動制御素子の電流路の他端と制御端子とを接続するように制御されることを特徴とする。

請求項 3 に記載の発明は、請求項 1 又は 2 に記載の画素駆動回路において、前記第 2 の容量素子の一端と前記第 2 の電位に設定された電極との導通を制御するリセット制御素子を有し、前記リセット制御素子は、前記第 2 の容量素子の他端が前記第 1 の電位に設定される際に、前記第 2 の容量素子の一端と前記電極とを接続するように制御されることを特徴とする。

請求項 4 に記載の発明は、請求項 3 に記載の画素駆動回路において、前記リセット制御素子は、前記第 2 の容量素子の他端が前記第 1 の電位から前記第 2 の電位に設定される際に前記第 2 の容量素子の一端と前記電極との接続を解除するように制御されることを特徴とする。

請求項 5 に記載の発明は、請求項 1 乃至 4 の何れかに記載の画素駆動回路において、前記データラインと前記第 2 の容量素子の他端との導通を制御する第 2 の選択制御素子を有し、前記第 2 の選択制御素子は、前記第 2 の容量素子の他端を前記第 1 の電位に設定する際に、前記データラインと前記第 2 の容量素子の他端とを接続するように制御されることを特徴とする。

【 0 0 1 0 】

請求項 6 に記載の発明は、画像データに応じて駆動される発光装置であって、複数の画素と前記各画素に接続される複数のデータラインとを有する発光パネルと、発光パネルを駆動する駆動回路と、を備え、前記各画素は、発光素子と、第 1 の容量素子と、前記第 1 の容量素子の一端及び他端が電流路の一端及び制御端子に接続され、前記第 1 の容量素子に蓄積された電荷に応じて前記電流路に流れる駆動電流を前記発光素子に供給する駆動制御素子と、一端が前記第 1 の容量素子の一端に接続された第 2 の容量素子と、を備えて、前記第 1 の容量素子は、前記データラインを介して前記第 2 の容量素子の他端の電位が前記第 1 の電位に設定された後に前記第 2 の電位に設定されることによって前記画像データに応じた電荷が蓄積され、前記駆動回路は、前記データラインに前記画像データに応じた電圧を印加して、前記第 2 の容量素子の他端の電位を前記画像データに応じた第 1 の電位に設定した後に第 2 の電位に設定するデータ駆動回路を有することを特徴とする。

【 0 0 1 1 】

請求項 7 に記載の発明は、請求項 6 に記載の発光装置において、前記データ駆動回路は、前記画像データに応じた電圧を生成するための電圧生成回路と、前記データラインを前記電圧生成回路又は前記第 2 の電位に設定された接点に切換接続する接続切換回路と、を有することを特徴とする。

請求項 8 に記載の発明は、請求項 6 又は 7 に記載の発光装置において、前記各画素は、前記駆動制御素子の電流路の他端と制御端子との導通を制御する第 1 の選択制御素子と、前記データラインと前記第 2 の容量素子の他端との導通を制御する第 2 の選択制御素子と、を有し、前記駆動回路は、前記第 1 の選択制御素子及び前記第 2 の選択制御素子を制御して、前記第 1 の容量素子及び前記第 2 の容量素子に電荷を蓄積させる際に、前記駆動制御素子の電流路の他端と制御端子とを接続し、前記データラインと前記第 2 の容量素子の他端とを接続する選択駆動回路を有することを特徴とする。

請求項 9 に記載の発明は、請求項 8 に記載の発光装置において、前記各画素は、前記第 2 の容量素子の一端と前記第 2 の電位に設定された電極との導通を制御するリセット制御素子を有し、前記選択駆動回路は、前記リセット制御素子を制御して、前記第 2 の容量素子の他端を前記第 1 の電位に設定する際に、前記第 2 の容量素子の一端と前記電極とを接続し、前記第 2 の容量素子の他端が前記第 1 の電位から前記第 2 の電位に設定される際に前記第 2 の容量素子の一端と前記電極との接続を解除することを特徴とする。

請求項 10 に記載の発明に係る電子機器は、請求項 6 乃至 9 の何れかに記載の発光装置

が実装されてなることを特徴とする。

【 0 0 1 2 】

請求項 1 1 に記載の発明は、画像データに応じて駆動される発光装置の駆動制御方法であって、前記発光装置は、発光素子と、第 1 の容量素子と、前記第 1 の容量素子の一端及び他端が電流路の一端及び制御端子に接続され、前記第 1 の容量素子に蓄積された電荷に応じて前記電流路に流れる駆動電流を前記発光素子に供給する駆動制御素子と、一端が前記第 1 の容量素子の一端に接続された第 2 の容量素子と、を有する複数の画素を有する発光パネルを有し、前記各画素の前記第 2 の容量素子の他端を前記画像データに応じた第 1 の電位に設定する第 1 書込動作ステップと、前記各画素の前記第 2 の容量素子の他端を前記第 1 の電位に設定した後に、前記第 2 の容量素子の他端を第 2 の電位に設定して、前記第 1 の容量素子に前記画像データに応じた電荷を蓄積させる第 2 書込動作ステップと、を含むことを特徴とする。

10

【 0 0 1 3 】

請求項 1 2 に記載の発明は、請求項 1 1 に記載の発光装置の駆動制御方法において、前記第 1 書込ステップ及び前記第 2 書込動作ステップは、前記データラインと前記第 2 の容量素子の他端とを接続する第 1 接続動作ステップと、前記駆動制御素子の電流路の他端と制御端子とを接続する第 2 接続動作ステップと、を含むことを特徴とする。

請求項 1 3 に記載の発明は、請求項 1 1 又は 1 2 に記載の発光装置の駆動制御方法において、前記第 1 書込動作ステップに先だって、前記第 2 の容量素子の一端と前記第 2 の電位に設定された電極とを接続するリセット動作ステップを有し、前記第 2 書込動作ステップは、前記第 2 の容量素子の一端と前記電極との接続を解除する解除動作ステップを含むことを特徴とする。

20

【発明の効果】

【 0 0 1 4 】

本発明に係る画素駆動回路、発光装置及びその駆動制御方法によれば、画像データに応じた適切な輝度階調で発光素子を発光動作させることができ、良好かつ均質な画質を有する電子機器を実現することができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明に係る表示装置の第 1 の実施形態を示す概略構成図である。

30

【図 2】第 1 の実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略ブロック図である。

【図 3】第 1 の実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略回路構成図である。

【図 4】第 1 の実施形態に係る表示パネルに適用される画素（画素駆動回路及び発光素子）の一実施形態を示す回路構成図である。

【図 5】第 1 の実施形態に係る表示装置における表示動作を示すタイミングチャートである。

【図 6】第 1 の実施形態に係る表示装置におけるリセット動作を示す動作概念図である。

【図 7】第 1 の実施形態に係る表示装置における第 1 書込動作を示す動作概念図である。

40

【図 8】第 1 の実施形態に係る表示装置における第 2 書込動作を示す動作概念図である。

【図 9】第 1 の実施形態に係る表示装置における発光動作を示す動作概念図である。

【図 10】第 1 の実施形態に係る表示動作を、画素が 2 次元配列された表示パネルに適用した場合のタイミングチャートである。

【図 11】第 1 の実施形態に係る画素駆動回路及び表示装置並びにその駆動制御方法の作用効果の優位性を説明するための、比較対照としての画素の一例を示す回路構成図である。

【図 12】第 2 の実施形態に係わるデジタルカメラの構成を示す斜視図である。

【図 13】第 2 の実施形態に係わるモバイル型のパーソナルコンピュータの構成を示す斜視図である。

50

【図 1 4】第 2 の実施形態に係る携帯電話の構成を示す図である。

【発明を実施するための形態】

【0016】

以下、本発明に係る画素駆動回路及び発光装置並びにその駆動制御方法について、実施形態を示して詳しく説明する。なお、本実施形態では、発光装置を表示装置として説明する。

【0017】

< 第 1 の実施形態 >

(表示装置)

まず、本発明に係る表示装置の概略構成について、図面を参照して説明する。

10

図 1 は、本発明に係る表示装置の第 1 の実施形態を示す概略構成図である。

【0018】

図 1 に示すように、本実施形態に係る表示装置(発光装置)100は、概略、表示パネル(発光パネル)110と、選択ドライバ(選択駆動回路)120と、電源ドライバ(電源駆動回路)130と、データドライバ(データ駆動回路)140と、システムコントローラ150と、画像信号生成回路160と、を備えて構成されている。ここで、少なくとも、選択ドライバ120と電源ドライバ130とデータドライバ140とを含む構成は、本発明における駆動回路に相当する。

【0019】

表示パネル110は、図1に示すように、行方向(図面左右方向)及び列方向(図面上下方向)に2次元配列(例えばn行×m列;n、mは正の整数)された複数の画素PIXと、行方向に配列された画素PIXに接続するように配設された複数の第1選択ラインLs1及び第2選択ラインLs2と、全画素PIXに共通に接続するように配設された電源ラインLaと、列方向に配列された画素PIXに接続するように配設された複数のデータラインLdと、を有している。ここで、各画素PIXは、後述するように、画素駆動回路と、発光素子(表示素子)と、を有している。

20

【0020】

選択ドライバ120は、上記の表示パネル110に配設された各第1及び第2選択ラインLs1、Ls2に接続され、後述するシステムコントローラ150から供給される選択制御信号に基づいて、各行の第1及び第2選択ラインLs1、Ls2に、所定のタイミングで所定の電圧レベル(選択レベル、非選択レベル)の第1及び第2選択信号Vsel1、Vsel2を順次印加する。

30

【0021】

なお、選択ドライバ120は、図示を省略するが、システムコントローラ150から供給される選択制御信号に基づいて、各行の第1、第2選択ラインLs1、Ls2に対応するシフト信号を順次出力するシフトレジスタと、該シフト信号を所定の信号レベル(選択レベル)に変換して、各行の第1、第2選択ラインLs1、Ls2に第1、第2選択信号Vsel1、Vsel2として順次出力する出力回路(出力バッファ)と、を備えたものを適用することができる。

【0022】

電源ドライバ130は、表示パネル110の各画素PIXに共通に接続された電源ラインLaに接続され、後述するシステムコントローラ150から供給される電源制御信号に基づいて、電源ラインLaに所定のタイミングで所定の電圧レベル(表示レベル、非表示レベル)の電源電圧Vsaを印加する。

40

【0023】

データドライバ140は、表示パネル110の各データラインLdに接続され、後述するシステムコントローラ150から供給されるデータ制御信号に基づいて、少なくとも表示動作時に、画像データに応じた階調信号(階調電圧Vdata)を生成して、各データラインLdを介して画素PIXへ供給する。

【0024】

50

図 2 は、本実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略ブロック図である。また、図 3 は、図 2 に示したデータドライバの出力回路の一例を示す概略回路構成図である。ここで、図 3 においては、D/A コンバータ 144 と出力回路 145 のみを示して、データドライバ 140 の図示を簡略化する。

【0025】

データドライバ 140 は、例えば図 2 に示すように、シフトレジスタ回路 141 と、データレジスタ回路 142 と、データラッチ回路 143 と、D/A コンバータ 144 と、出力回路 145 と、を備えている。

【0026】

シフトレジスタ回路 141 は、システムコントローラ 150 から供給されるデータ制御信号（シフトクロック信号 CLK、サンプリングスタート信号 STR）に基づいて、順次シフト信号を出力する。データレジスタ回路 142 は、該シフト信号の入力タイミングに基づいて、画像信号生成回路 160 から供給される 1 行分の画像データ D0 ~ Dm を順次取り込む。データラッチ回路 143 は、データ制御信号（データラッチ信号 STB）に基づいて、データレジスタ回路 142 に取り込まれた 1 行分の画像データ D0 ~ Dm を保持する。D/A コンバータ（電圧生成回路）144 は、図示を省略した電源供給手段から供給される階調基準電圧 V0 ~ VP に基づいて、上記保持された画像データ D0 ~ Dm を、所定のアナログ信号電圧 Vpix に変換する。出力回路（電圧生成回路）145 は、アナログ信号電圧に変換された画像データを所定の信号レベル（正電圧）の階調電圧 Vdata に変換して、システムコントローラ 150 から供給されるデータ制御信号（出力切換・イン-

10

20

【0027】

特に、本実施形態に適用されるデータドライバ 140 においては、図 3 に示すように、出力回路 145 に、各列のデータライン Ld に接続された切換スイッチ（接続切換回路）145a と、D/A コンバータ 144 の出力を駆動するフォロワンプ 145b と、を有している。

【0028】

切換スイッチ 145a は、システムコントローラ 150 から供給されるデータ制御信号に基づいて、データライン Ld を接点 Na、Nb のいずれかに選択的に接続する。接点 Na は、フォロワンプ 145b を介して D/A コンバータ 144 に接続され、D/A コンバータ 144 から出力される画像データに応じたアナログ信号電圧 Vpix が所定の信号レベルに変換されて階調電圧 Vdata として印加される。接点 Nb は、接地電位 GND に設定されている。

30

【0029】

そして、本実施形態において、切換スイッチ 145a は、表示パネル 110 に配列された画素 PIX に画像データを書き込む際には、後述するように、第 1 の書込タイミングで接点 Nb に接続され、次いで、第 2 の書込タイミングで接点 Na に接続され、続く第 3 の書込タイミングで接点 Nb に接続されるように設定される。これにより、画像データの書込期間中の第 1 の書込タイミングでデータライン Ld に接地電位 GND が印加され、第 2 の書込タイミングでデータライン Ld に画像データに応じた階調電圧 Vdata が印加され、第 3 の書込タイミングで、データライン Ld に接地電位 GND が印加される。

40

【0030】

システムコントローラ 150 は、後述する画像信号生成回路 160 から供給されるタイミング信号に基づいて、上記選択ドライバ 120 及び電源ドライバ 130、データドライバ 140 の動作状態を制御して、表示パネル 110 における所定の駆動制御動作を実行するための選択制御信号及び電源制御信号、データ制御信号を生成して出力する。

【0031】

特に、本実施形態においては、システムコントローラ 150 は、選択ドライバ 120 及び電源ドライバ 130、データドライバ 140 を所定のタイミングで動作させて、所定の

50

電圧レベルの第 1、第 2 選択信号 V_{sel1} 、 V_{sel2} 及び電源電圧 V_{sa} 、並びに、画像データに応じた階調電圧 V_{data} を生成して出力させる。これにより、システムコントローラ 150 は、各画素 P_{IX} を表示動作（発光動作）させて、映像信号に基づく所定の画像情報を表示パネル 110 に表示させる制御を行う。

【0032】

画像信号生成回路 160 は、例えば、表示装置 100 の外部から供給される映像信号に基づいて、画像データ（輝度階調データ）を生成してデータドライバ 140 に供給するとともに、該画像データに基づいて表示パネル 110 に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成してシステムコントローラ 150 に供給する。

10

【0033】

より具体的には、画像信号生成回路 160 は、映像信号から輝度階調信号成分を抽出し、表示パネル 110 の 1 行分ごとに、該輝度階調信号成分をデジタル信号からなる画像データ（輝度階調データ）としてデータドライバ 140 のデータレジスタ回路 142 に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、画像信号生成回路 160 は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ 150 に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ 150 は、画像信号生成回路 160 から供給されるタイミング信号に基づいて、選択ドライバ 120 や電源ドライバ 130、データドライバ 140 に対して個別に供給する各制御信号を生成する。

20

【0034】

（画素）

次に、本実施形態に係る表示パネルに配列される画素について具体的に説明する。

図 4 は、本実施形態に係る表示パネルに適用される画素（画素駆動回路及び発光素子）の一実施形態を示す回路構成図である。

【0035】

本実施形態に係る表示パネル 110 に配列される画素 P_{IX} は、図 4 に示すように、画素駆動回路 DC と、有機 EL 素子（電流駆動型の発光素子） OEL と、を備えた構成を有している。画素駆動回路 DC は、少なくとも、選択ドライバ 120 から第 1 選択ライン L_{s1} を介して印加される第 1 選択信号 V_{sel1} に基づいて、画素 P_{IX} に書き込まれていた電荷を放電させ、第 2 選択ライン L_{s2} を介して印加される選択信号 V_{sel2} に基づいて、画素 P_{IX} を選択状態に設定し、データドライバ 140 からデータライン L_d を介して供給される階調電圧 V_{data} に応じた発光駆動電流を生成する。有機 EL 素子 OEL は、上記画素駆動回路 DC において生成される発光駆動電流に基づいて、所定の輝度階調で発光動作する。

30

【0036】

図 4 に示す画素駆動回路 DC は、具体的には、トランジスタ $Tr11 \sim Tr14$ と、キャパシタ C_s 、 C_c とを備えている。トランジスタ（ダイオード接続用トランジスタ；第 1 の選択制御素子） $Tr11$ は、ゲート端子が第 2 選択ライン L_{s2} に接続され、また、ドレイン端子が電源ライン L_a に接続され、また、ソース端子が接点 $N11$ に接続されている。トランジスタ（選択トランジスタ；第 2 の選択制御素子） $Tr12$ は、ゲート端子が第 2 選択ライン L_{s2} に接続され、また、ソース端子がデータライン L_d に接続され、また、ドレイン端子がキャパシタ C_c に接続されている。トランジスタ（駆動トランジスタ；駆動制御素子） $Tr13$ は、ゲート端子が接点 $N11$ に接続され、ドレイン端子が電源ライン L_a に接続され、ソース端子が接点 $N12$ に接続されている。トランジスタ（リセットトランジスタ；リセット制御素子） $Tr14$ は、ゲート端子が第 1 選択ライン L_{s1} に接続され、ドレイン端子が接点 $N12$ に接続され、ソース端子が全画素 P_{IX} に共通に設けられる共通電極に接続され、一定の低電圧（例えば接地電位 GND ）に設定される共通電圧 V_{com} が印加される。また、キャパシタ（補助容量；第 1 の容量素子） C_s は、

40

50

トランジスタ $Tr13$ のゲート端子（接点 $N11$ ）及びソース端子（接点 $N12$ ）間に接続されている。また、キャパシタ（カップリング容量；第2の容量素子） Cc は、トランジスタ $Tr12$ のドレイン端子と接点 $N12$ 間に接続されている。

【0037】

また、有機EL素子OELは、アノードが上記画素駆動回路DCの接点 $N12$ に接続され、カソードは共通電極に接続されて共通電圧 V_{com} が印加される。

【0038】

ここで、図4に示した画素PIXにおいて、トランジスタ $Tr11 \sim Tr14$ については、特に限定するものではないが、例えば全て同一のチャンネル型を有する周知の薄膜トランジスタ（TFET）を適用することができる。また、トランジスタ $Tr11 \sim Tr14$ は、アモルファスシリコン薄膜トランジスタであっても、ポリシリコン薄膜トランジスタであってもよい。すなわち、上述したトランジスタ $Tr11 \sim Tr14$ において、ゲート端子が、本発明における制御端子に相当し、ソース、ドレイン端子が、本発明における電流路の一端側又は他端側のいずれかに相当する。

【0039】

特に、トランジスタ $Tr11 \sim Tr14$ をnチャンネル型のアモルファスシリコン薄膜トランジスタにより構成した場合、すでに確立されたアモルファスシリコン製造技術を適用して、多結晶型や単結晶型の薄膜トランジスタに比較して、簡易な製造プロセスで動作特性（電子移動度等）が均一で安定したトランジスタを実現することができる。また、キャパシタ Cs は、トランジスタ $Tr14$ のゲート・ドレイン間に形成される寄生容量であってもよいし、当該寄生容量に加えて別個の容量素子を並列に接続したものであってもよい。

【0040】

さらに、上述した画素PIXにおいては、画素駆動回路DCとして3個のトランジスタ $Tr11 \sim Tr14$ を備えた回路構成を示したが、本発明はこの実施形態に限定されるものではなく、4個以上のトランジスタを備えた他の回路構成を有するものであってもよい。また、画素駆動回路DCにより発光駆動される発光素子として有機EL素子OELを適用した回路構成を示したが、本発明はこれに限定されるものではなく、電流駆動型の発光素子であれば、例えば、発光ダイオード等の他の発光素子であってもよい。

【0041】

（表示装置の駆動制御方法）

次に、本実施形態に係る表示装置における駆動制御方法（表示動作）について説明する。

図5は、本実施形態に係る表示装置における表示動作を示すタイミングチャートである。図6は、本実施形態に係る表示装置の表示動作におけるリセット動作を示す動作概念図であり、図7は、本実施形態に係る表示装置における第1書込動作を示す動作概念図であり、図8は、本実施形態に係る表示装置における第2書込動作を示す動作概念図であり、図9は、本実施形態に係る表示装置における発光動作を示す動作概念図である。なお、図6～図9においては、データドライバ140の構成として、D/Aコンバータ144と出力回路145のみを示して簡略化する。

【0042】

本実施形態に係る表示動作においては、図5(a)に示すように、所定の表示期間（1処理サイクル期間） T_{cyc} に、画素PIXに書き込まれていた電荷を放電させて画素PIXをリセットするリセット期間 T_{rst} と、データライン Ld に画像データに応じた階調電圧 V_{data} を印加して画素PIXに階調電圧 V_{data} を書き込む第1書込期間 T_{wa} 、及び、データライン Ld に接地電位 GND を印加して上記階調電圧 V_{data} に対応する電圧（ $-V_{data}$ ）を画素PIXに書き込む第2書込期間 T_{wb} を有する書込期間 T_{wrt} と、発光素子を画像データに応じた所定の輝度階調で発光させる発光期間 T_{em} と、を含むように設定されている（ $T_{cyc} = T_{rst} + T_{wa} + T_{wb} + T_{em}$ ）。

【0043】

まず、リセット期間 T_{rst} においては、図 5 (a)、図 6 (a) に示すように、画素 P_{IX} に接続された電源ライン L_a にローレベル (接地電位 GND) の電源電圧 V_{sa} を印加した状態で、第 1 選択ライン L_{s1} にハイレベル (選択レベル) の選択信号 V_{sel1} を印加し、第 2 選択ライン L_{s2} にハイレベル (選択レベル) の選択信号 V_{sel2} を印加する。また、このタイミングに同期して、図 5 (a)、図 6 (a) に示すように、データドライバ 140 の出力回路 145 に設けられた切換スイッチ 145a を接点 N_b に切換接続することにより、データライン L_d を接地電位 GND に設定する。図 6 (b) は、このときの等価回路を示す。

【0044】

これにより、図 6 (a) に示すように、画素 P_{IX} の画素駆動回路 DC に設けられたトランジスタ $Tr11$ がオン動作して、トランジスタ $Tr13$ のゲート端子 (接点 $N11$) 及びキャパシタ C_s の一端側 (トランジスタ $Tr13$ のゲート端子側) が接地電位 GND に設定される。また、トランジスタ $Tr12$ がオン動作して、キャパシタ C_c の他端側 (トランジスタ $Tr12$ のドレイン端子側) が接地電位 GND に設定される。また、トランジスタ $Tr14$ がオン動作して、トランジスタ $Tr13$ のソース端子 (接点 $N12$) 及びキャパシタ C_c の一端側 (接点 $N12$ 側) が接地電位 GND に設定される。

【0045】

したがって、キャパシタ C_s 及び C_c の両端が同電位に設定されて、キャパシタ C_s 及び C_c に蓄積されていた電荷が放電される。このとき、トランジスタ $Tr13$ は、トランジスタ $Tr11$ がオン動作してドレイン端子とゲート端子が接続されるが、トランジスタ $Tr13$ のドレイン端子とソース端子が共に接地電位 GND に設定されるため、トランジスタ $Tr13$ はオフ状態となっている。このときトランジスタ $Tr13$ は実質的に高抵抗として作用するため、図 6 (b) に示す等価回路においてはトランジスタ $Tr13$ を抵抗 R_{tr} として示している。また、有機 EL 素子 OEL はアノード・カソード間が同電位に設定されて電流が流れないので、発光動作しない。

【0046】

次に、第 1 書込期間 T_{wa} においては、図 5 (a)、図 7 (a) に示すように、画素 P_{IX} に接続された電源ライン L_a にローレベル (接地電位 GND) の電源電圧 V_{sa} を印加した状態で、第 1 選択ライン L_{s1} にローレベル (非選択レベル) の選択信号 V_{sel1} を印加し、第 2 選択ライン L_{s2} にハイレベル (選択レベル) の選択信号 V_{sel2} を印加する。また、このタイミングに同期して、図 5 (a)、図 7 (a) に示すように、データドライバ 140 の出力回路 145 に設けられた切換スイッチ 145a を接点 N_a に切換接続することにより、データライン L_d に対して画像データに対応した階調電圧 V_{data} を印加する。図 7 (b) は、このときの等価回路を示す。

【0047】

これにより、図 7 (a) に示すように、画素 P_{IX} の画素駆動回路 DC に設けられたトランジスタ $Tr11$ がオン動作して、トランジスタ $Tr13$ のゲート端子 (接点 $N11$) に接地電位 GND が印加される。また、トランジスタ $Tr12$ がオン動作して、キャパシタ C_c の他端側 (トランジスタ $Tr12$ のドレイン端子側) に階調電圧 V_{data} が印加される。このとき、トランジスタ $Tr14$ はオフ動作してトランジスタ $Tr13$ のソース端子 (接点 $N12$) は実質的に高抵抗として機能している有機 EL 素子 OEL を介して、上記のリセット期間 T_{rst} において設定された接地電位 GND に保持されている。トランジスタ $Tr13$ は、トランジスタ $Tr11$ がオン動作してドレイン端子とゲート端子が接続されるが、トランジスタ $Tr13$ のドレイン端子とソース端子が共に接地電位 GND に設定されるため、トランジスタ $Tr13$ はオフ状態となっている。したがって、トランジスタ $Tr12$ と接点 $N12$ との間に接続されたキャパシタ C_c に階調電圧 V_{data} に応じた電荷が蓄積される。また、有機 EL 素子 OEL はアノード・カソード間が同電位にされて電流が流れないので、発光動作しない。

【0048】

なお、図 5 (a) においては、第 1 書込期間 T_{wa} に第 1 選択ライン L_{s1} にローレベル

10

20

30

40

50

(非選択レベル)の選択信号 V_{sel1} を印加して、トランジスタ T_{r14} をオフ動作させる駆動制御方法を示し、トランジスタ T_{r13} のソース端子 (接点 $N12$) をフローティング状態とすることとしたが、図 5 (b) に示すように、第 1 書込期間 T_{wa} においても第 1 選択ライン L_{s1} にハイレベル (選択レベル) の選択信号 V_{sel1} を印加して、トランジスタ T_{r14} をオン動作させるようにしてもよい。この場合、第 1 書込期間 T_{wa} の間、トランジスタ T_{r13} のソース端子 (接点 $N12$) を強制的に接地電位 GND に設定することができる。これにより、キャパシタ C_c への階調電圧 V_{data} に応じた電荷の蓄積をより安定して行うようにすることができる。

【0049】

次いで、第 2 書込期間 T_{wb} においては、図 5、図 8 (a) に示すように、電源ライン L_a にローレベル (接地電位 GND) の電源電圧 V_{sa} を印加し、第 1 選択ライン L_{s1} にローレベル (非選択レベル) の選択信号 V_{sel1} を印加し、第 2 選択ライン L_{s2} にハイレベル (選択レベル) の選択信号 V_{sel} を印加した状態で、データドライバ 140 の切換スイッチ 145a を接点 Nb に切換接続することにより、データライン L_d を接地電位 GND に設定する。

【0050】

これにより、図 8 (a) に示すように、画素駆動回路 DC のトランジスタ T_{r13} のゲート端子 (接点 $N11$) が接地電位 GND に設定されるとともに、キャパシタ C_c の他端側 (トランジスタ T_{r12} のドレイン端子側) が接地電位 GND に設定される。このとき、トランジスタ T_{r14} はオフ動作してトランジスタ T_{r13} のソース端子 (接点 $N12$) はフローティング状態にあるが、キャパシタ C_c の他端側の電位が階調電圧 V_{data} から接地電位 GND に変化することにより、図 8 (b) に示すように、キャパシタ C_c に蓄積された電荷がキャパシタ C_c 、 C_s 及び有機 EL 素子 OEL の端子間容量 C_{el} に分配されること、及び、トランジスタ T_{r13} がオン動作状態になることに基づいて、キャパシタ C_c の一端側であるトランジスタ T_{r13} のソース端子 (接点 $N12$) は、次式 (1) で表される電位に設定される。ここで $V_{data'}$ を書込電圧とし、 ΔV を電圧減少量とする。電圧減少量 ΔV の大きさについては後述する。

$$-V_{data'} = - (V_{data} - \Delta V) \quad \cdots (1)$$

【0051】

したがって、トランジスタ T_{r13} のゲート・ソース間に接続されたキャパシタ C_s には書込電圧 $V_{data'}$ に応じた電荷が蓄積されて画素 PIX に画像データが書き込まれる。これにより、トランジスタ T_{r13} のゲート・ソース間電圧 V_{gs} は、書込電圧 $V_{data'}$ に設定される ($V_{gs} = V_{data'}$)。なお、このとき、有機 EL 素子 OEL のアノード (接点 $N12$) は負の電位 $-V_{data'}$ に設定され、また、カソードは接地電位 GND に設定されるため、有機 EL 素子 OEL には逆バイアスが印加されて、有機 EL 素子 OEL に電流は流れず、発光動作しない。ここで、後述するように電圧減少量 ΔV の大きさは予め予測可能な値であるので、階調電圧 V_{data} の電圧値を、画像データの階調値に基づく電圧値から電圧減少量 ΔV 分だけ高くした値に補正しておくことにより、キャパシタ C_s に充電される電圧成分が画像データの階調値に基づく電圧値となるようにすることができる。

【0052】

次に、上記の電圧減少量 ΔV について詳しく説明する。電圧減少量 ΔV は、キャパシタ C_c に蓄積された電荷がキャパシタ C_c 、 C_s 、 C_{el} に分配されることによる第 1 の要因と、トランジスタ T_{r13} がオン動作状態になることによる第 2 の要因と、を総合した量となる。

【0053】

まず、第 1 の要因について説明する。図 8 (b) に示したように、第 1 書込期間 T_{wa} において、データライン L_d に階調電圧 V_{data} を印加してキャパシタ C_c に電荷を蓄積した後に、データライン L_d を接地電位 GND に設定 (データライン電圧; $V_{data} \rightarrow GND$) し、第 2 書込期間 T_{wb} の開始直後の時点 (時間 $t = 0$) で、トランジスタ T_{r13} がオフ状態を維持しているとしたときのトランジスタ T_{r13} のソース端子 (接点 $N12$) の電

10

20

30

40

50

位を $V_{n12}(0)$ としたとき、この電位 $V_{n12}(0)$ は、接点 N 1 2 がフローティング状態にあり、キャパシタ C_c に蓄積された電荷がキャパシタ C_c 、 C_s 、 C_{el} に分配されることから、次式 (2) のように表される。

$$V_{n12}(0) = - V_{data} \times C_c / (C_c + C_s + C_{el}) \quad \cdots (2)$$

【 0 0 5 4 】

ここで、 V_{n12} を次式 (3) で表し、 ΔV_1 を第 1 の要因による電圧減少量としたとき、この電圧減少量 ΔV_1 は次式 (4) のように表される

$$V_{n12}(0) = - (V_{data} - \Delta V_1) \quad \cdots (3)$$

$$\Delta V_1 = V_{data} \times (C_s + C_{el}) / (C_c + C_s + C_{el}) \quad \cdots (4)$$

【 0 0 5 5 】

(4) 式において、キャパシタ C_c 、 C_s 、 C_{el} は、いずれもが固定容量 (固定値) であるから、この第 1 の要因による第 1 の電圧減少量 ΔV_1 の大きさは、予め予測することができる。

【 0 0 5 6 】

次に、第 2 の要因について説明する。第 2 書込期間 T_{wb} の開始後、トランジスタ T_{r13} のドレイン端子に接地電位 GND が印加され、ソース端子 (接点 N 1 2) の電位が負電位に変化 ($GND \rightarrow -V_{data}'$) し、キャパシタ C_s に書込電圧 V_{data}' に対応する電圧が充電されることにより、トランジスタ T_{r13} のゲート・ソース間に書込電圧 V_{data}' が印加され、書込電圧 V_{data}' がトランジスタ T_{r13} のしきい値電圧より大きい電圧である場合、トランジスタ T_{r13} はオン動作することになる。これによりトランジスタ T_{r13} のドレイン・ソース間に電流が流れることになり、これにともなって第 2 書込期間 T_{wb} の開始直後にキャパシタ C_s に蓄積された電荷が、オン動作しているトランジスタ T_{r11} のソース・ドレイン間を介して、時間の経過とともに減少することになる。

【 0 0 5 7 】

ここで、第 2 書込期間 T_{wb} の開始時点の接点 N 1 2 の電位を $V_{n12}(0)$ としたとき、第 2 書込期間 T_{wb} の開始時点から時間 t が経過した後の接点 N 1 2 の電位 $V_{n12}(t)$ は次式 (5) で表され、概略、 $V_{n12}(0)$ から時間 t に反比例して低下する。ここで、 V_{th} はトランジスタ T_{r13} のしきい値電圧であり、 β はトランジスタ T_{r13} の電流増幅率であり、 C はキャパシタ C_c 、 C_s 、 C_{el} の容量値の総和である。

【 0 0 5 8 】

【 数 1 】

$$V_{n12}(t) = - \left(V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{|V_{n12}(0)| - V_{th}}} \right) \quad \cdots (5)$$

但し、 $C = C_c + C_s + C_{el}$

【 0 0 5 9 】

ここで、 $V_{n12}(t)$ を次式 (6) で表し、 ΔV_2 を第 2 の要因による第 2 の電圧減少量としたとき、第 2 の電圧減少量 ΔV_2 は次式 (7) のように表され、 V_{th} 、 C 、 β 、 $V_{n12}(0)$ と、時間 t の関数となる。

【 0 0 6 0 】

10

20

30

40

【数 2】

$$V_{n12}(t) = -(|V_{n12}(0)| - \Delta V_2) \quad \dots (6)$$

【0061】

【数 3】

10

$$\Delta V_2 = |V_{n12}(0)| + V_{n12}(t)$$

$$= |V_{n12}(0)| - \left(V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{|V_{n12}(0)| - V_{th}}} \right) \quad \dots (7)$$

【0062】

20

(7)式において、 V_{th} 、 C 、 β 、 $V_{n12}(0)$ 及び第2書込期間 T_{wb} の時間幅に対応する時間 t の値は既知であるから、この第2の要因による第2の電圧減少量 ΔV_2 の大きさも、予め予測することができる。

なお、この第2の要因による第2の電圧減少量 ΔV_2 は小さい方が好ましく、この第2の電圧減少量 ΔV_2 の大きさは第2書込期間 T_{wb} の時間幅に依存し、この時間幅が長い程第2の電圧減少量 ΔV_2 が大きくなるため、第2書込期間 T_{wb} の時間幅は、キャパシタ C_s に書込電圧 $V_{data'}$ に応じた電荷を蓄積するのに必要な最小限の時間に設定することが好ましい。

【0063】

30

また、例えばトランジスタ T_{r13} にアモルファスシリコン薄膜トランジスタを適用した場合、トランジスタ T_{r13} の電気的特性の経時変化が比較的大きく、しきい値電圧 V_{th} の値が経時的に変化することがある。上記(7)式において第2の電圧減少量 ΔV_2 の大きさはしきい値電圧 V_{th} の値に依存している。しかしながら、(7)式において時間 t の値が小さいほど、第2の電圧減少量 ΔV_2 の値に対するしきい値電圧 V_{th} の値の変化の影響は小さくなる。そのため、第2書込期間 T_{wb} の時間幅を十分短くした場合には、しきい値電圧 V_{th} の値としてトランジスタ T_{r13} のしきい値電圧 V_{th} の初期値、平均値あるいは設計値を用いることとしてもよい。

【0064】

40

また、上記(7)式において第2の電圧減少量 ΔV_2 の大きさは電流増幅率 β の値にも依存している。この電流増幅率 β の値はトランジスタ T_{r13} にアモルファスシリコン薄膜トランジスタを適用した場合でも、その経時変化は少ないが、各画素のトランジスタ T_{r13} の電流増幅率 β の値のパラッキが存在する。しかしながら、この場合も、(7)式において時間 t の値が小さいほど、第2の電圧減少量 ΔV_2 の値に対する電流増幅率 β の値のパラッキの影響は小さくなる。そのため、第2書込期間 T_{wb} の時間幅を十分短くした場合には、電流増幅率 β の値として各画素のトランジスタ T_{r13} の電流増幅率 β の平均値あるいは設計値を用いることとしてもよい。

【0065】

50

次いで、発光期間 T_{em} においては、図5、図9(a)に示すように、第1選択ライン L_{s1} にローレベル(非選択レベル)の選択信号 V_{sel1} を印加し、第2選択ライン L_{s2} にローレベル(非選択レベル)の選択信号 V_{sel2} を印加した状態で、電源ライン L_a に

ハイレベルの電源電圧 V_{sa} を印加する。また、このタイミングに同期して、図 5、図 9 (a) に示すように、データドライバ 140 の切換スイッチ 145 a を接点 N b に切換接続することにより、データライン L d を接地電位 GND に設定する。

【0066】

これにより、図 9 (a)、(b) に示すように、画素 P I X の画素駆動回路 D C に設けられたトランジスタ T r 1 1、T r 1 2 がオフ動作して、トランジスタ T r 1 3 のゲート・ソース間に接続されたキャパシタ C s に蓄積された電荷が保持される。また、トランジスタ T r 1 3 のドレイン端子にはハイレベルの電源電圧 V_{sa} が印加される。電源電圧 V_{sa} の電圧値は、トランジスタ T r 1 3 のソース端子 (接点 N 1 2) の電位が、有機 E L 素子 O E L に順バイアスが印加される値に設定される。

10

【0067】

したがって、キャパシタ C s に充電された書込電圧 V_{data}' によりトランジスタ T r 1 3 のゲート・ソース間電圧 V_{gs} が保持されて、トランジスタ T r 1 3 がオン動作してドレイン電流 I_{ds} が流れ、電源ライン L a からトランジスタ T r 1 3、接点 N 1 2、有機 E L 素子 O E L を介して、電源ライン L c 方向に発光駆動電流 I_{em} が流れる。ここで、発光駆動電流 I_{em} (ドレイン電流 I_{ds}) は、上記書込動作において画素 P I X に書き込まれ、トランジスタ T r 1 3 のゲート・ソース間に保持された、階調電圧 V_{data} に基づく書込電圧 V_{data}' の電圧値に基づいて規定されるので、有機 E L 素子 O E L は、画像データに応じた輝度階調で発光動作する。

【0068】

20

次に、画素 P I X が 2 次元配列された表示パネル 110 において、上述した表示動作を実行する場合について説明する。

図 10 は、本実施形態に係る表示動作を、画素が 2 次元配列された表示パネルに適用した場合のタイミングチャートである。

【0069】

画素 P I X が 2 次元配列された図 1 に示す表示パネル 110 において、表示動作を実行する場合には、図 10 に示すように、画像データ書込期間 T_{dwt} に、各行に対するリセット期間 T_{rst} 、第 1 書込期間 T_{wa} 及び第 2 書込期間 T_{wb} からなる一連の動作を、表示パネル 110 の 1 行目から n 行目の画素 P I X に対して順次実行する。

【0070】

30

まず、画像データ書込期間 T_{dwt} の 1 行目のリセット期間 T_{rst} において、表示パネル 110 の 1 行目の第 1 選択ライン L s 1 にハイレベルの選択信号 V_{sel1} を印加するとともに、第 2 選択ライン L s 2 にハイレベルの選択信号 V_{sel2} を印加し、電源ライン L a にローレベル (接地電位 GND) の電源電圧 V_{sa} を印加した状態で、各列のデータライン L d を接地電位 GND に設定する。これにより、キャパシタ C s 及び C c の両端が同電位に設定されて、キャパシタ C s 及び C c に蓄積されていた電荷が放電される。

【0071】

次いで、1 行目の第 1 書込期間 T_{wa} において、表示パネル 110 の 1 行目の第 1 選択ライン L s 1 にローレベルの選択信号 V_{sel1} を印加し、第 2 選択ライン L s 2 にハイレベルの選択信号 V_{sel2} を印加するとともに、2 行目 ~ n 行目の第 1、第 2 選択ライン L s 1、L s 2 にローレベルの選択信号 V_{sel1} 、 V_{sel2} を印加し、電源ライン L a にローレベル (接地電位 GND) の電源電圧 V_{sa} を印加した状態で、各列のデータライン L d に画像データに応じた階調電圧 V_{data} を印加する。これにより、1 行目の画素 P I X において、画素駆動回路 D C のキャパシタ C c に階調電圧 V_{data} に応じた電荷が充電される。

40

【0072】

次いで、1 行目の第 2 書込期間 T_{wb} においては、表示パネル 110 の 1 行目の第 1 選択ライン L s 1 にローレベルの選択信号 V_{sel1} を印加し、第 2 選択ライン L s 2 にハイレベルの選択信号 V_{sel2} を印加するとともに、2 行目 ~ n 行目の第 1、第 2 選択ライン L s 1、L s 2 にローレベルの選択信号 V_{sel1} 、 V_{sel2} を印加し、電源ライン L a にローレベル (接地電位 GND) の電源電圧 V_{sa} を印加した状態で、各列のデータライン L d を

50

接地電位 GND に設定する。これにより、1 行目の画素 PIX において、画素駆動回路 DC のキャパシタ Cs に、上記第 1 書込期間 Twa においてキャパシタ Cc に充電された階調電圧 Vdata に応じた書込電圧 Vdata' に応じた電荷が蓄積される。

【0073】

そして、以上の 1 行目の画素 PIX に対する一連の動作を、図 10 に示すように、2 行目以降の画素 PIX についても順次繰り返し実行することにより、表示パネル 110 に配列された全ての画素 PIX について、画像データに応じた書込電圧 Vdata' が書き込まれる。

【0074】

次いで、図 10 に示すように、全画素一括発光期間 Taem において、第 1、第 2 選択ライン Ls1、Ls2 にローレベルの選択信号 Vsel1、Vsel2 を印加した状態で、電源ライン La にハイレベルの電源電圧 Vsa を印加する。これにより、表示パネル 110 の全ての行の画素 PIX において、画素駆動回路 DC の駆動トランジスタであるトランジスタ Tr13 に、書込電圧 Vdata' に応じた電流値の発光駆動電流 Iem (ドレイン電流 Ids) が流れ、各画素 PIX の有機 EL 素子 OEL が画像データに応じた輝度階調で発光動作して、表示パネル 110 に所望の画像情報が表示される。

【0075】

すなわち、本実施形態に係る画素駆動回路及び表示装置並びにその駆動制御方法においては、画像データの書込期間に、キャパシタ Cc の AC カップリングを利用して、画像データに応じた電圧値の階調電圧 Vdata を駆動トランジスタ (トランジスタ Tr13) のゲート・ソース間に直接印加することにより、階調電圧 Vdata をキャパシタ Cs に書き込む電圧指定型 (又は、電圧印加型) の階調制御方法を実現することができる。

【0076】

これにより、画像データに応じた書込電流を流して、駆動トランジスタ (トランジスタ Tr13) の電流・電圧変換機能により、ゲート・ソース間に接続されたキャパシタ Cs に画像データに応じた電圧成分を保持させる階調制御方法に比較して、画像データに応じた階調信号 (階調電圧) を各画素 PIX に確実に書き込むことができる。

【0077】

以下に、本実施形態に係る画素駆動回路及び表示装置並びにその駆動制御方法の作用効果について、具体的に説明する。

図 11 は、本発明に係る画素駆動回路及び表示装置並びにその駆動制御方法の作用効果の優位性を説明するための、比較対照としての画素の一例を示す回路構成図である。ここで、上述した本実施形態に係る画素と同等の構成については、同等の符号を付してその説明を簡略化又は省略する。

【0078】

図 11 に示す画素 PIXa は、上述した本実施形態に係る画素 PIX (図 4 参照) において、トランジスタ Tr12 と接点 N12 との間に接続されたキャパシタ Cc を省いた回路構成を有している。すなわち、トランジスタ Tr13 のソース端子である接点 N12 がトランジスタ Tr12 を介してデータライン Ld に直接接続されている。

【0079】

図 11 に示すような画素 PIXa における駆動制御方法は、まず、書込期間において、選択ライン Ls にハイレベル (選択レベル) の選択信号 Vsel を印加してトランジスタ Tr11 及び Tr12 をオン動作させ、電源ライン La にローレベル (接地電位 GND) の電源電圧 Vsa を印加した状態で、データライン Ld に画像データに応じた階調信号を印加する。

【0080】

このとき、階調信号として、データドライバ (図示を省略) からデータライン Ld に画像データに応じた負の階調電圧 Vdata を印加、又は、データドライバにより画像データに応じた階調電流 Idata を引き込むことにより、電源ライン La からトランジスタ Tr13 及び Tr12 を介して、データライン Ld 方向に書込電流が流れる。

10

20

30

40

50

【0081】

これにより、トランジスタ T_{r13} の電流・電圧変換機能を利用して、トランジスタ T_{r13} のゲート・ソース間に接続されたキャパシタ C_s に画像データに応じた電圧成分が充電される(書き込まれる)。また、このとき、接点 N_{12} に有機EL素子OELのカソードに印加された共通電圧 V_{com} (接地電位 GND)よりも低い電位が設定されるため、有機EL素子OELには電流が流れず発光動作しない。

【0082】

次いで、発光期間において、選択ライン L_s にローレベル(非選択レベル)の選択信号 V_{sel} を印加してトランジスタ T_{r11} 及び T_{r12} をオフ動作させ、電源ライン L_a にハイレベルの電源電圧 V_{sa} を印加する。

10

【0083】

これにより、キャパシタ C_s に充電された電圧成分に基づいて、トランジスタ T_{r13} のゲート・ソース間電圧 $V_{gs}(=V_{data})$ が一定に保持されて、当該ゲート・ソース間電圧 V_{gs} に応じた発光駆動電流 I_{em} (ドレイン電流 I_{ds})が電源ライン L_a からトランジスタ T_{r13} を介して有機EL素子OELに流れる。ここで、発光駆動電流 I_{em} の電流値は、トランジスタ T_{r13} のゲート・ソース間電圧 V_{gs} の電圧値により規定されるので、有機EL素子OELは、画像データに応じた輝度階調で発光動作する。

【0084】

ところで、図11に示した回路構成を有する画素PIXaにおいては、書込動作時に画像データに応じた階調信号(階調電圧 V_{data} 又は階調電流 I_{data})を供給して、画素駆動回路DCに書込電流を流す必要がある。このとき、トランジスタ T_{r12} のオン抵抗にバラツキがある(経時的な素子特性の変化により生じるオン抵抗のバラツキを含む)と、各画素PIXaに書き込まれる電圧成分にもバラツキが生じて、画像データに応じた適切な輝度階調で発光動作することできず、輝度ムラ等、画質の劣化を招く場合がある。

20

【0085】

また、図11に示した回路構成を有する画素PIXaにおいては、書込動作時に有機EL素子OELを発光動作させることなく、トランジスタ T_{r13} に書込電流を流すために、データライン L_d に対して画像データに応じた負の階調電圧 V_{data} を印加、又は、データライン L_d を介してデータドライバ方向に階調電流 I_{data} を引き込む必要がある。そのためには、データドライバを負電源で動作させる必要があり、データドライバの低耐圧、高耐圧の複合プロセスにおける負電源高耐圧部分の回路ブロックの規模が大きくなり、ドライバチップの大型化や、それに伴うコストアップを招く場合がある。

30

【0086】

これに対し、本実施形態に係る画素駆動回路及び表示装置並びにその駆動制御方法においては、上述したように、データライン L_d と駆動トランジスタ(トランジスタ T_{r13})のソース端子との間に直流カット用の(又は、カップリング容量としての)キャパシタ C_c を設け、画像データの書込期間に、キャパシタ C_c のACカップリングを利用して、画素駆動回路DCに書込電流を流すことなく、駆動トランジスタ(トランジスタ T_{r13})のゲート・ソース間のキャパシタ C_s に画像データに応じた階調電圧 V_{data} を書き込むことを特徴としている。

40

【0087】

これにより、画素駆動回路DC内のトランジスタのオン抵抗のバラツキに影響されことなく、各画素PIXに画像データに応じた適切な電圧成分(階調電圧 V_{data})が書き込まれるので、画像データに応じた適切な輝度階調で有機EL素子OELを発光動作させることができ、輝度ムラのない良好な画質を実現することができる。

【0088】

特に、各画素PIXの画素駆動回路DCに設けられるトランジスタ $T_{r11} \sim T_{r13}$ としてアモルファスシリコン薄膜トランジスタを適用することにより、すでに確立されたアモルファスシリコン製造技術を適用して、簡易な製造プロセスで動作特性が均一で安定したトランジスタを実現することができるので、上述した輝度ムラの抑制や表示画質の改

50

善に極めて有効である。

【0089】

また、本実施形態に係る表示装置及びその駆動制御方法においては、データドライバ140の出力回路145に切換スイッチ145aを設け、画像データの書込期間に、データラインLdに画像データに応じた正電圧の階調電圧Vdataを印加し、次いで、接地電位GNDを印加することにより、駆動トランジスタ(トランジスタTr13)のゲート・ソース間のキャパシタCsに画像データに応じた階調電圧Vdataを書き込むことを特徴としている。

【0090】

これにより、データドライバ140を負電源で動作させる必要がなく、正電源で表示パネル110を表示駆動させることができるので、データドライバ140において負電源の高耐圧プロセスを採用する必要がなく、ドライバチップの小型化による表示装置の狭額縁化やコストダウンを実現することができる。

【0091】

なお、上述した書込動作及び発光動作からなる表示動作に先立って、各画素PIXの発光特性の変動(例えば画素駆動回路の駆動トランジスタにおける経時的なしきい値電圧の変化)を補償するためのパラメータを取得する動作を実行するものであってもよい。具体的には、例えば表示動作に先立って、各画素PIXに所定の試験電圧を印加し、これにより各画素PIXの有機EL素子OELが発光した際の輝度をセンサにより個別に検出して、各画素PIXの発光特性に関連するパラメータを取得する。そして、上述した書込動作において、画像データに応じた電圧成分に、上記パラメータに基づいて各画素の発光特性の変動に応じた補正電圧成分を加味した階調電圧Vdataを生成して、画素PIXに書き込む。これにより、各画素PIXにおける発光特性の変動に関わらず、画像データに応じた適切な輝度階調で各有機EL素子OELを発光動作させることができ、表示パネル110の表示品質の低下を抑制することができる。

【0092】

<第2の実施形態>

次に、上記第1の実施形態における表示装置(発光装置)を電子機器に適用した、第2の実施形態について、図面を参照して説明する。有機EL素子OELからなる発光素子を各画素PIXに有する表示パネル110を備える表示装置100は、デジタルカメラ、モバイル型のパーソナルコンピュータ、携帯電話等種々の電子機器に適用できるものである。

【0093】

図12は、デジタルカメラの構成を示す斜視図であり、図13は、モバイル型のパーソナルコンピュータの構成を示す斜視図であり、図14は、携帯電話の構成を示す図である。

図12において、デジタルカメラ200は、本体部201と、レンズ部202と、操作部203と、本実施形態の表示パネル110を備える表示装置100からなる表示部204と、シャッターボタン205とを備えている。この場合、表示部204において、表示パネル110の各画素の発光素子が画像データに応じた適切な輝度階調で発光動作して、良好かつ均質な画質を実現することができる。

【0094】

また、図13において、パーソナルコンピュータ210は、本体部211と、キーボード212と、本実施形態の表示パネル110を備える表示装置100からなる表示部213とを備えている。この場合でも、表示部213において、表示パネル110の各画素の発光素子が画像データに応じた適切な輝度階調で発光動作して、良好かつ均質な画質を実現することができる。

【0095】

また、図14において、携帯電話220は、操作部221と、受話口222と、送話口223と、本実施形態の表示パネル110を備える表示装置100からなる表示部224

10

20

30

40

50

とを備えている。この場合でも、表示部 2 2 4 において、表示パネル 1 1 0 の各画素の発光素子が画像データに応じた適切な輝度階調で発光動作して、良好かつ均質な画質を実現することができる。

【 0 0 9 6 】

なお、上記各実施形態においては、本発明を有機 E L 素子 O E L からなる発光素子を各画素 P I X に有するパネル 1 1 0 を備える表示装置 1 0 0 に適用した場合について説明したが、本発明はこれに限るものではない。例えば、有機 E L 素子 O E L からなる発光素子を有する複数の画素が一方向に配列された発光素子アレイを備え、感光体ドラムに画像データに応じて発光素子アレイから出射した光を照射して露光する露光装置に適用してもよい。この場合、発光素子アレイの各画素の発光素子を画像データに応じた適切な輝度で発光動作させることができ、良好な露光状態を得ることができる。

10

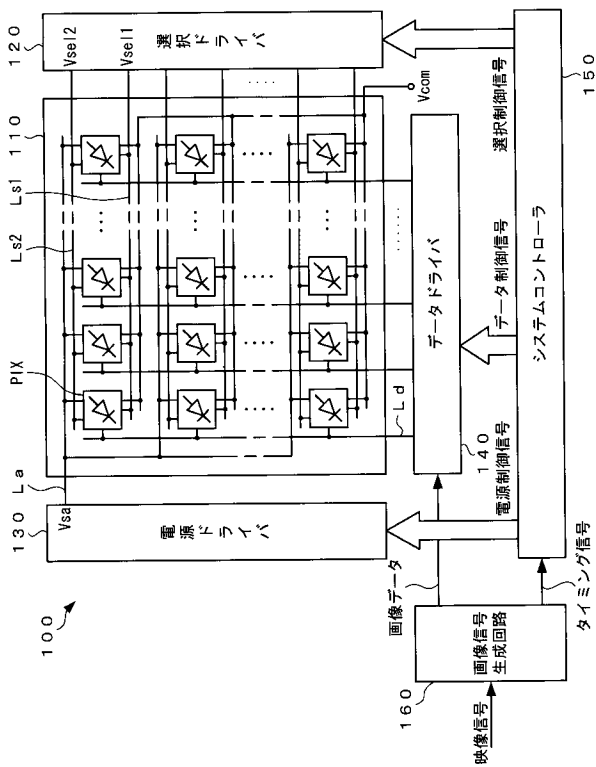
【 符号の説明 】

【 0 0 9 7 】

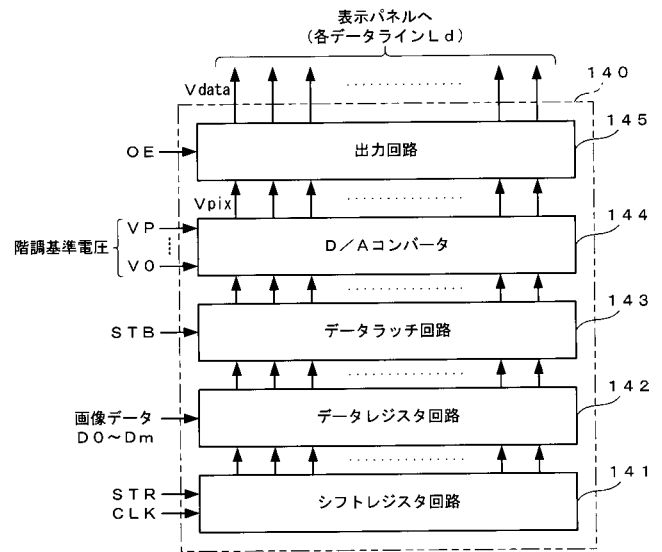
1 0 0 表示装置
 1 1 0 表示パネル
 1 2 0 選択ドライバ
 1 3 0 電源ドライバ
 1 4 0 データドライバ
 1 4 4 D / A コンバータ
 1 4 5 出力回路
 1 4 5 a 切換スイッチ
 1 4 5 b フォロワアンプ
 1 5 0 システムコントローラ
 P I X 画素
 D C 画素駆動回路
 T r 1 1 ~ T r 1 4 トランジスタ
 C s 、 C c キャパシタ
 O E L 有機 E L 素子

20

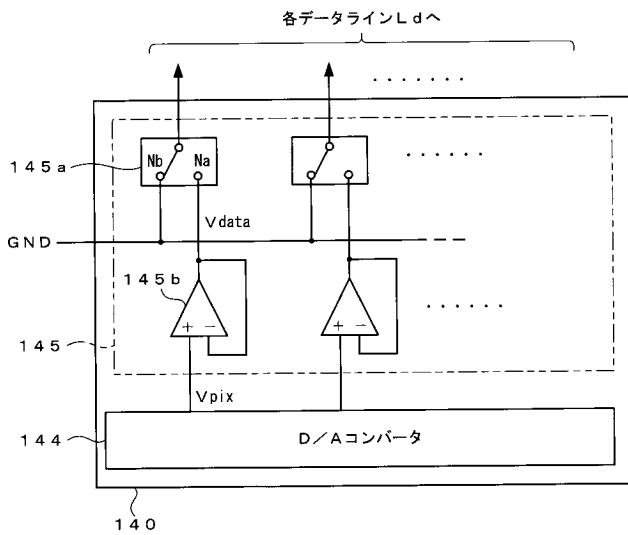
【図 1】



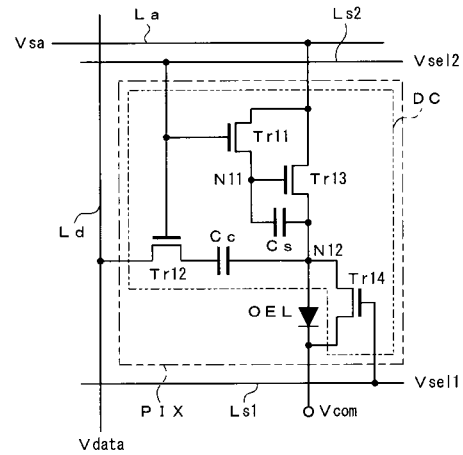
【図 2】



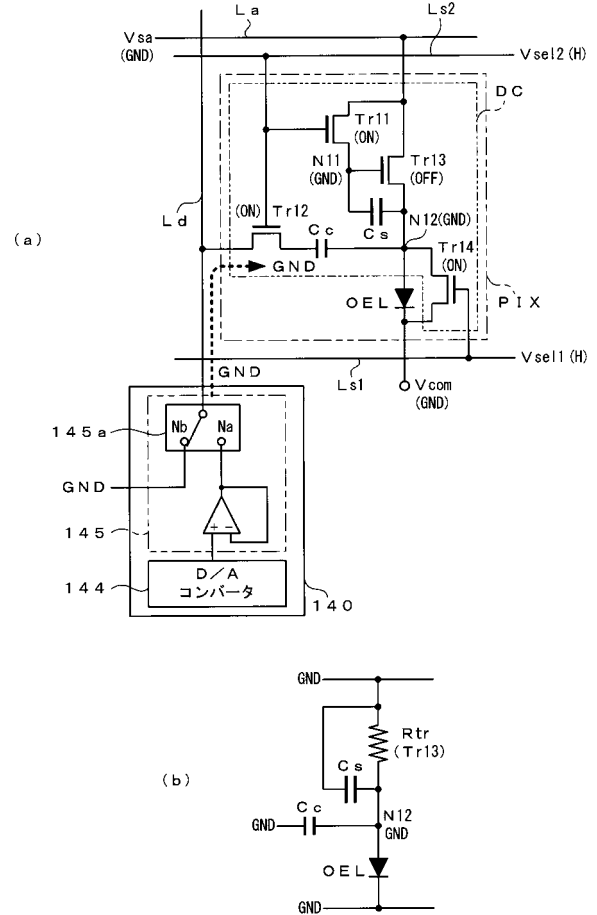
【図 3】



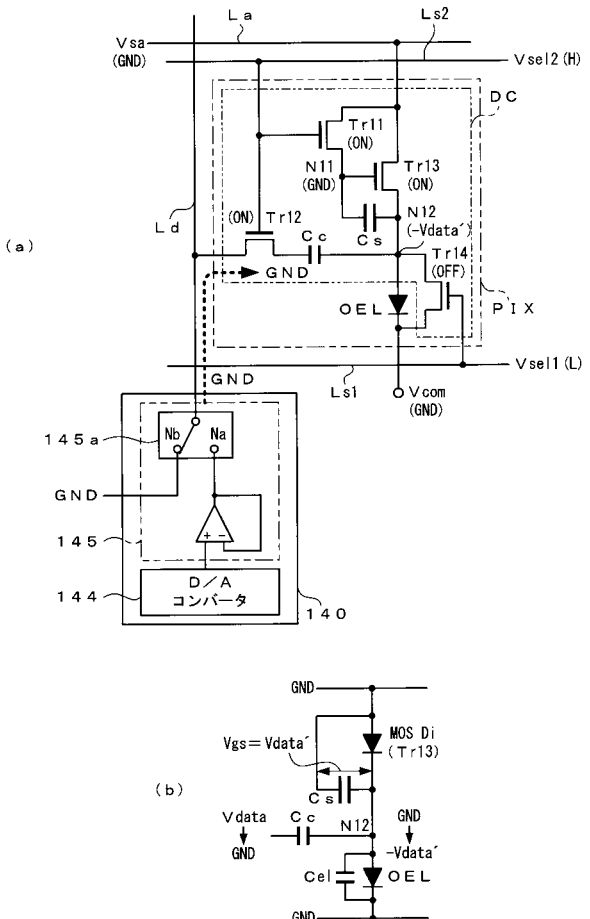
【図 4】



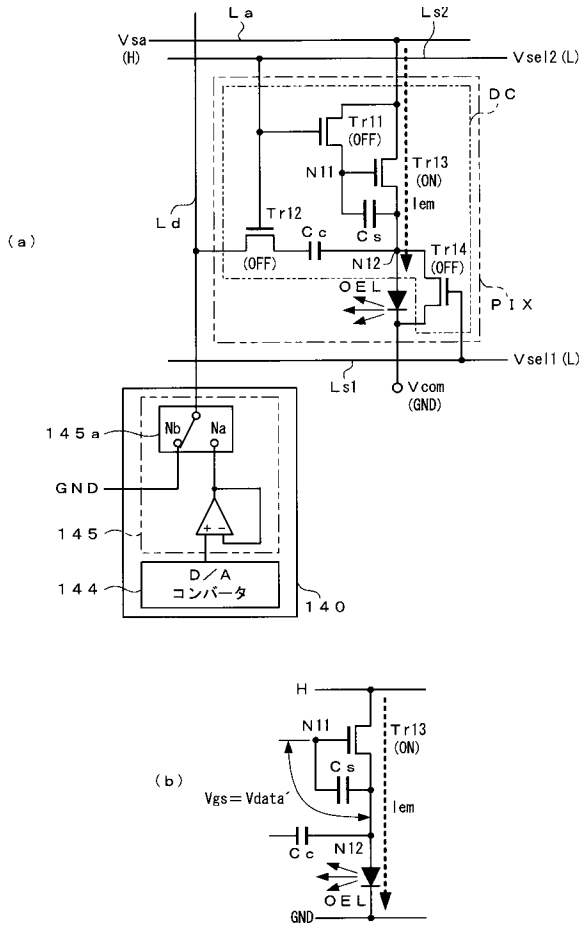
【 図 6 】



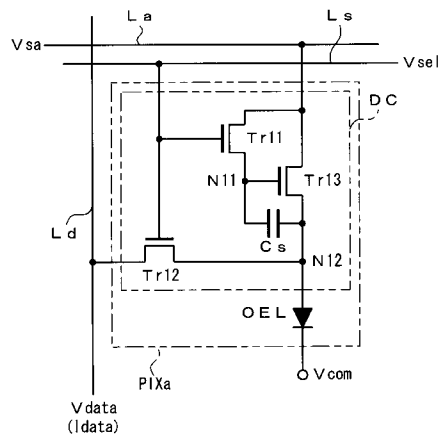
【 図 8 】



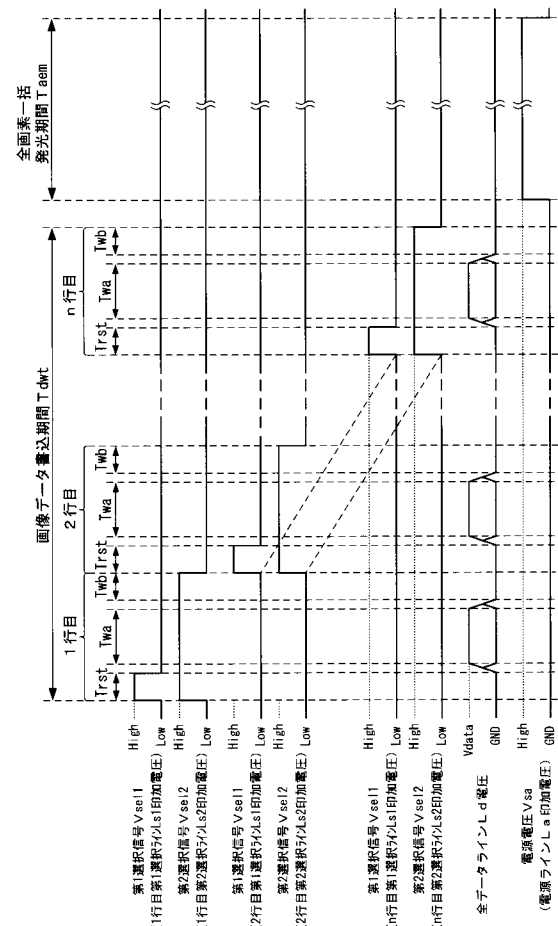
【図 9】



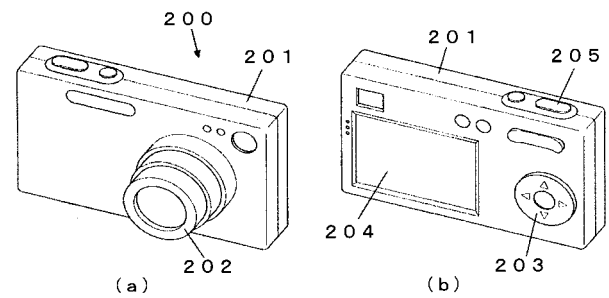
【図 11】



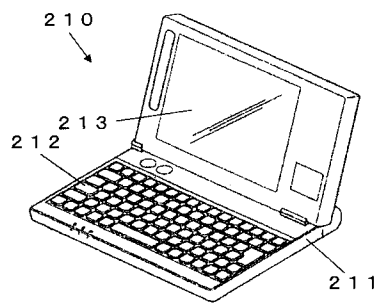
【図 10】



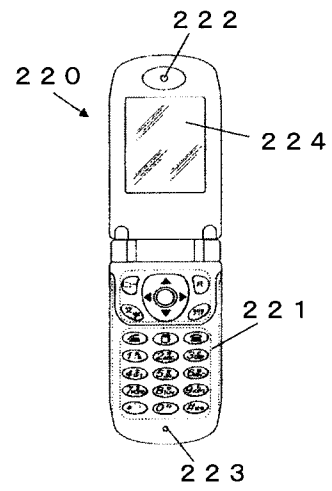
【図 12】



【図 13】



【図 14】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 2 3 R
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

F ターム(参考) 5C094 AA03 AA53 AA55 BA03 BA27 CA19 GA10

5C380	AA01	AA03	AB06	AB22	AB23	AC08	AC09	AC11	AC18	BA11
	BA17	BA28	BA38	BA39	BB02	BB04	BD04	CA04	CA08	CA12
	CA13	CA17	CA53	CA54	CB01	CB20	CB26	CB33	CC03	CC09
	CC27	CC33	CC41	CC61	CC62	CC63	CC71	CD013	CD024	CE17
	CE20	CF07	CF09	CF22	CF27	CF48	CF51	CF68	DA02	DA06
	DA32	DA35	DA47	FA05	FA21	HA11	HA12			

专利名称(译)	像素驱动电路，发光装置及其驱动控制方法，以及电子装置		
公开(公告)号	JP2010286526A	公开(公告)日	2010-12-24
申请号	JP2009138028	申请日	2009-06-09
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	櫻山俊二		
发明人	櫻山 俊二		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G2310/0256		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.622.D G09G3/20.623.D G09G3/20.622.G G09G3/20.612.G G09G3/20.623.R G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/AA07 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD27 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C094/AA03 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/GA10 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC18 5C380/BA11 5C380/BA17 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB04 5C380/BD04 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA17 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB33 5C380/CC03 5C380/CC09 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CD013 5C380/CD024 5C380/CE17 5C380/CE20 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF27 5C380/CF48 5C380/CF51 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA47 5C380/FA05 5C380/FA21 5C380/HA11 5C380/HA12		
其他公开文献	JP5305242B2		
外部链接	Espacenet		

摘要(译)

提供一种像素驱动电路，发光装置及其驱动控制方法，其能够使发光元件根据图像数据以适当的亮度等级发光。 像素PIX包括像素驱动电路DC和有机EL元件OEL。像素驱动电路DC包括与有机EL元件OEL的阳极串联连接的晶体管Tr13，用于在图像数据写入操作期间二极管连接晶体管Tr13的晶体管Tr11，以及晶体管Tr13晶体管Tr 12，用于将与图像数据对应的电压分量写入连接在晶体管Tr 12的栅极和源极端子之间的电容器Cs和连接在晶体管Tr 12的源极端子和晶体管Tr 13的源极端子之间的电容器Cc它有。 点域4

