

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-308860

(P2006-308860A)

(43) 公開日 平成18年11月9日(2006.11.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K007
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
H05B 33/22 (2006.01)	H05B 33/22 Z	
H05B 33/12 (2006.01)	H05B 33/12 B	
G09G 3/20 (2006.01)	G09G 3/30 J	
審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2005-131261 (P2005-131261)

(22) 出願日 平成17年4月28日 (2005.4.28)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100107906

弁理士 須藤 克彦

(72) 発明者 小川 隆司

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 池田 恭二

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

最終頁に続く

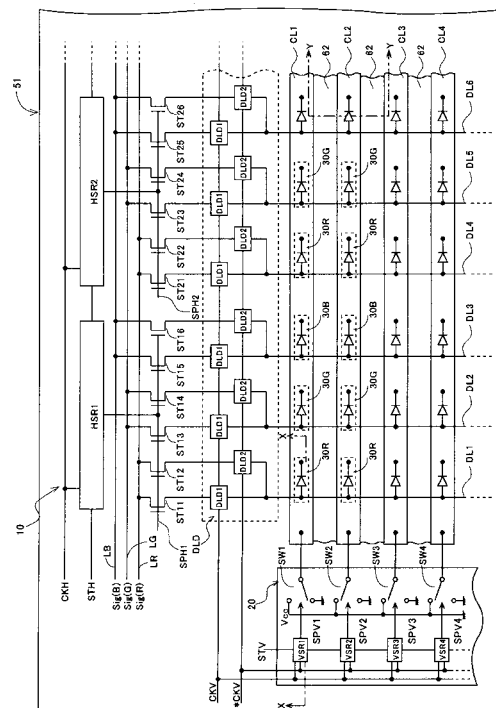
(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

【課題】 有機EL表示装置において、ざらつき感の低減により高品質表示を可能とする。また、外付けの駆動用ICを不要することで、コストダウンを図る。

【解決手段】 本発明のエレクトロルミネッセンス表示装置は、各画素にTFTを備えないパッシブ駆動型のものである。これにより、画素の開口率を向上させ、ざらつき感の低減により高品質表示を可能とする。また、水平シフトレジスタ10、データライン駆動回路DLD、垂直シフトレジスタ20などの各種の駆動回路をエレクトロルミネッセンス素子が形成された画素領域とともに同一のガラス基板51上に形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のデータラインと、
前記複数のデータラインに交差するように配置され、互いに分離された複数のカソードラインと、
前記複数のデータラインと前記複数のカソードラインの交点に対応して配置された複数のエレクトロルミネッセンス素子と、
外部から到来する表示信号を順次にサンプリングする水平シフトレジスタと、
前記水平シフトレジスタによってサンプリングされた表示信号を読み込んで保持するとともに、前記複数のデータラインに、前記表示信号に応じた駆動電流を所定期間中に一括して供給するデータライン駆動回路と、
前記複数のカソードラインから、順次に、1つのカソードラインを選択して、前記エレクトロルミネッセンス素子に流れる駆動電流の電流経路を形成するように、その選択されたカソードラインの電位を設定する垂直シフトレジスタと、を備え、
前記水平シフトレジスタ、前記データライン駆動回路及び前記垂直シフトレジスタが前記複数のエレクトロルミネッセンス素子と同一の基板上に形成されていることを特徴とするエレクトロルミネッセンス表示装置。

10

【請求項 2】

隣接する前記カソードラインの間にカソード分離用部材が配置されていることを特徴とする請求項 1 に記載のエレクトロルミネッセンス表示装置。

20

【請求項 3】

前記所定期間は 1 水平期間であることを特徴とする請求項 1 に記載のエレクトロルミネッセンス表示装置。

【請求項 4】

データライン駆動回路は、前記表示信号に応じた駆動電流を発生する駆動用トランジスタと、この駆動用トランジスタのしきい値を補償するためのしきい値補償回路を備えることを特徴とする請求項 1 に記載のエレクトロルミネッセンス表示装置。

【請求項 5】

前記エレクトロルミネッセンス素子は、有機エレクトロルミネッセンス素子又は無機エレクトロルミネッセンス素子であることを特徴とする請求項 1 に記載のエレクトロルミネッセンス表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各画素にエレクトロルミネッセンス素子を備えたパッシブ駆動型のエレクトロルミネッセンス表示装置に関するものである。

【背景技術】

40

【0002】

近年、CRT や LCD に代わる表示装置として、有機エレクトロルミネッセンス素子 (Organic Electro Luminescent Device: 以降、「有機 EL 素子」と略称する) を用いた有機 EL 表示装置が開発されている。特に、画素毎に、画素選択用 TFT (Thin Film Transistor) と有機 EL 素子を駆動する駆動用 TFT を備えたアクティブ駆動型の有機 EL 表示パネルが開発されている。

【0003】

一方、この有機 EL 表示装置を用いた電子ビューファインダー (以下、「EVF」という) も開発されている。EVF は、デジタルカメラ等のファインダーとしてカメラ本体に取り付けられるものであり、被写体が映し出される有機 EL 表示パネル面を、光学レンズ

50

により5倍から10倍に拡大して見ることができるものである。

【特許文献1】特開2002-175035号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、アクティブ駆動型の有機EL表示パネルを用いたEVFでは、画素選択用TFT、駆動用TFT、ゲート信号線及びドレイン信号線があるため表示パネルの画素に対する開口部（発光部）の開口率が低くなり、光学レンズにより拡大して見ると、特に画素の境界の部分の非開口部は格子状の模様として視認されてしまい、逆に発光部がつぶつぶ状に見えてしまういわゆる「つぶつぶ感」が生じるという問題がある。

10

【0005】

また、EVFの各画素は非常に小さいためその画素に配置されたEL素子に流れる電流も非常に小さいことから、各画素の駆動用TFTの閾値が少しでもばらついているとEL素子に流れる電流も各画素を比較すると大きくばらついてしまい各画素において発光する光の輝度がばらついてしまうため表示がざらついて見えるいわゆる「ざらつき感」を与えてしまうという問題がある。

【課題を解決するための手段】

【0006】

本発明のエレクトロルミネッセンス表示装置は、複数のデータラインと、前記複数のデータラインに交差するように配置され、互いに分離された複数のカソードラインと、前記複数のデータラインと前記複数のカソードラインの交点に対応して配置された複数のエレクトロルミネッセンス素子と、外部から到来する表示信号を順次にサンプリングする水平シフトレジスタと、前記水平シフトレジスタによってサンプリングされた表示信号を読み込んで保持するとともに、前記複数のデータラインに、前記表示信号に応じた駆動電流を所定の周期で一括して供給するデータライン駆動回路と、前記複数のカソードラインから、順次に、1つのカソードラインを選択して、前記エレクトロルミネッセンス素子に流れる駆動電流の電流経路を形成するように、その選択されたカソードラインの電位を設定する垂直シフトレジスタと、を備え、前記水平シフトレジスタ、前記データライン駆動回路及び前記垂直シフトレジスタが前記複数のエレクトロルミネッセンス素子と同一の基板上に形成されていることを特徴とするものである。

20

30

【発明の効果】

【0007】

本発明のエレクトロルミネッセンス表示装置は、各画素にTFTを備えないパッシブ駆動型のものであり、これにより、従来のアクティブ駆動型EL表示パネルの場合に比べ、「つぶつぶ感」及び「ざらつき感」を低減させることができるため、高品質表示を可能とする。

【0008】

即ち、パッシブ駆動型であることから画素選択用TFT、駆動用TFTはもちろん、映像信号を供給するドレイン配線及び駆動電流供給配線が実質的に共用され、さらにゲート線や駆動TFTのゲート電位を保持するために保持容量を供給する保持容量線などがなくなるため、開口率を向上させることができ、結果として、画素の境界がはっきりと格子状の模様に視認されることが低減できるので、「つぶつぶ感」も低減できる。

40

【0009】

さらに、パッシブ駆動型で線順次駆動であるので各行ごとに一度に信号が供給され各列ごとに備えられているスイッチによって各列に共通に信号が供給されるため、行間の輝度ばらつきが低減され、さらには、線順次で供給される電流量を制御する線順次回路内の駆動用TFTに閾値補正機能を有することにより、行間の輝度ばらつきが低減され、行と列のお互いの輝度ばらつき抑制効果から、パネル内全画素の輝度ばらつきが低減できることから、「ざらつき感」も低減することが可能となる。

【0010】

50

また、水平シフトレジスタ、データライン駆動回路、垂直シフトレジスタなどの各種の駆動回路をエレクトロルミネッセンス素子が形成された画素領域とともに同一基板上に形成しているので、駆動用 IC を外付けすることが不要であり、コストダウンを図ることができる。

【 0 0 1 1 】

また、データライン駆動回路により、駆動電流を所定期間（例えば、1 水平期間）に一括してデータラインに供給する方式（LCD など で用いられている線順次駆動方式）を採用しているので、点順次駆動方式が用いられるような通常のパッシブ駆動型の表示装置に比して、エレクトロルミネッセンス素子の発光期間を長くできることから、比較的明るい表示パネルを実現することができる。

10

【 0 0 1 2 】

本発明のエレクトロルミネッセンス表示装置は、基本的にはパッシブ駆動型であり、エレクトロルミネッセンス素子の発光期間はアクティブ駆動型と比べると小さいので、EVF 用表示装置などの小型の表示装置に適している。

【発明を実施するための最良の形態】

【 0 0 1 3 】

次に、本発明の実施形態に係る有機 EL 表示装置について、図面を参照して説明する。図 1 は、この有機 EL 表示装置の等価回路図である。

【 0 0 1 4 】

まず、画素領域の構成について説明する。ガラス基板 5 1 上に複数のデータライン DL 1 ~ DL 6 が垂直方向（図 1 の紙面の上下方向）に延びている。これらのデータライン DL 1 ~ DL 6 と直交する水平方向（図 1 の紙面の左右方向）に複数のカソードライン CL 1 ~ CL 4 が延びている。そして、各データラインと各カソードラインとの交差点の付近に、有機 EL 素子を含む各画素が配置されている。データラインとカソードラインの本数は任意に選択することができる。

20

【 0 0 1 5 】

1 列目のデータライン DL 1 とカソードライン CL 1 ~ CL 4 の 4 つの交差点の付近には、赤色光を発生する有機 EL 素子 3 0 R が 1 つずつ配置されている。これらの赤色光を発生する有機 EL 素子 3 0 R のアノードはデータライン DL 1 に接続され、そのカソードはそれぞれ対応するカソードライン CL 1 ~ CL 4 に接続されている。同様に、2 列目のデータライン DL 2 とカソードライン CL 1 ~ CL 4 の 4 つの交差点の付近には、緑色光を発生する有機 EL 素子 3 0 G が 1 つずつ配置されている。これらの緑色光を発生する有機 EL 素子 3 0 G のアノードはデータライン DL 2 に接続され、そのカソードはそれぞれ対応するカソードライン CL 1 ~ CL 4 に接続されている。

30

【 0 0 1 6 】

同様に、3 列目のデータライン DL 3 とカソードライン CL 1 ~ CL 4 の 4 つの交差点の付近には、青色光を発生する有機 EL 素子 3 0 B が 1 つずつ配置されている。これらの青色光を発生する有機 EL 素子 3 0 B のアノードはデータライン DL 3 に接続され、そのカソードはそれぞれ対応するカソードライン CL 1 ~ CL 4 に接続されている。4 列目から先の画素の構成については上記構成の繰り返しである。なお、有機 EL 素子 3 0 R , 3 0 G , 3 0 B の代わりに、無機 EL 素子を用いてもよい。

40

【 0 0 1 7 】

次に、水平シフトレジスタ 1 0、データライン駆動回路 DL D の構成について説明する。水平シフトレジスタ 1 0、データライン駆動回路 DL D は前記ガラス基板 5 1 上に形成されている。水平シフトレジスタ 1 0 は、直列に接続された複数の水平シフトレジスタユニット HSR 1 , HSR 2 , . . . と、サンプリングトランジスタ ST 1 1 , ST 1 2 , . . . を備える。サンプリングトランジスタ ST 1 1 , ST 1 2 , . . . は薄膜トランジスタである。

【 0 0 1 8 】

複数の水平シフトレジスタユニット HSR 1 , HSR 2 , . . . は、図 2 に示すように

50

水平スタートパルス $S T H$ を水平クロック $C K H$ に同期してシフトすることにより、各ユニットに対応して水平走査パルス $S P H 1$, $S P H 2$, $\dots$ を次々と出力する。

【 0 0 1 9 】

初段の水平シフトレジスタユニット $H S R 1$ に対応して6個のサンプリングトランジスタ $S T 1 1$, $S T 1 2$, $S T 1 3$, $S T 1 4$, $S T 1 5$, $S T 1 6$ が配置され、これらのトランジスタのゲートには前記水平走査パルス $S P H 1$ が共通に入力されている。同様に、次段の水平シフトレジスタユニット $H S R 2$ に対応して6個のサンプリングトランジスタ $S T 2 1$, $S T 2 2$, $S T 2 3$, $S T 2 4$, $S T 2 5$, $S T 2 6$ が配置され、これらのトランジスタのゲートには前記水平走査パルス $S P H 2$ が共通に入力されている。

【 0 0 2 0 】

6個のサンプリングトランジスタ $S T 1 1 \sim S T 1 6$ に着目すると、最初の2つのサンプリングトランジスタ $S T 1 1$, $S T 1 2$ のソースは赤色の表示信号 $S i g (R)$ を供給する第1の表示信号ライン $L R$ に接続され、次の2つのサンプリングトランジスタ $S T 1 3$, $S T 1 4$ のソースは緑色の表示信号 $S i g (G)$ を供給する第2の表示信号ライン $L G$ に接続され、残りの2つのサンプリングトランジスタ $S T 1 5$, $S T 1 6$ のソースは青色の表示信号 $S i g (B)$ を供給する第3の表示信号ライン $L B$ に接続されている。

【 0 0 2 1 】

データライン駆動回路 $D L D$ は、データライン $D L 1 \sim D L 6$ の1本毎に第1のデータライン駆動回路 $D L D 1$ と第2のデータライン駆動回路 $D L D 2$ を備えている。例えば、データライン $D L 1$ に対応する第1のデータライン駆動回路 $D L D 1$ は、サンプリングトランジスタ $S T 1 1$ を通して赤色の表示信号 $S i g (R)$ を読み込み、これを保持して、表示信号 $S i g (R)$ に応じた駆動電流をデータライン $D L 1$ に供給すると共に、後述するように、駆動トランジスタのしきい値を補償するしきい値補償回路を備える。しきい値補償回路により、駆動トランジスタのしきい値に依存しない駆動電流が得られるので、しきい値変動による表示ムラを抑制することができる。

【 0 0 2 2 】

第2のデータライン駆動回路 $D L D 2$ も同様な動作を行うが、第1のデータライン駆動回路 $D L D 1$ は1水平期間の周期を有する垂直クロック $C K V$ によって制御されているのに対して、第2のデータライン駆動回路 $D L D 2$ は垂直クロック $C K V$ を反転した反転垂直クロック $* C K V$ によって制御される、このため、第1のデータライン駆動回路 $D L D 1$ と第2のデータライン駆動回路 $D L D 2$ とはデータライン $D L 1$ に対して、1水平期間 (1 H 期間) 毎に、交互に駆動電流の出力を行う。1水平期間とは、1ライン (例えばカソードライン $C L 1$) を走査するのに必要な期間である。

【 0 0 2 3 】

他のデータライン $D L 2 \sim D L 6$ に対応する第1のデータライン駆動回路 $D L D 1$ 、第2のデータライン駆動回路 $D L D 2$ についても同様に構成されている。

【 0 0 2 4 】

次に、垂直シフトレジスタ20の構成について説明する。垂直シフトレジスタ20は直列に接続された複数の垂直シフトレジスタユニット $V S R 1$, $V S R 2$, $\dots$ と、スイッチング素子 $S W 1$, $S W 2$, $S W 3$, $S W 4$ を、前記ガラス基板51上に備える。垂直シフトレジスタ20は薄膜トランジスタを用いて形成される。スイッチング素子 $S W 1$, $S W 2$, $S W 3$, $S W 4$ は薄膜トランジスタを用いたインバータにより形成することができる。

【 0 0 2 5 】

複数の垂直シフトレジスタユニット $V S R 1$, $V S R 2$, $\dots$ は、垂直スタートパルス $S T V$ を垂直クロック $C K V$ 、 $* C K V$ に同期してシフトすることにより、各ユニットに対応して垂直走査パルス $S P V 1$, $S P V 2$, $\dots$ を次々と出力する。スイッチング素子 $S W 1$, $S W 2$, $S W 3$, $S W 4$ は垂直走査パルス $S P V 1$, $S P V 2$, $\dots$ に応じてスイッチングし、カソードライン $C L 1 \sim C L 4$ の電位を接地電位 $G N D$ または電源電位 $V c c$ に設定する。すなわち、スイッチング素子 $S W 1$, $S W 2$, $S W 3$, $S W 4$ は

10

20

30

40

50

垂直走査パルス $SPV1$, $SPV2$, ... がハイレベルの期間だけ、カソードライン $CL1 \sim CL4$ の電位を接地電位 GND に設定して、画素の有機 EL 素子の電流経路を形成する。

【0026】

図3は、上述の有機 EL 表示装置の概略の断面構造を示す図であり、図3(a)は図1の $X-X$ 線に沿った断面図、図3(b)は図1の $Y-Y$ 線に沿った断面図である。

【0027】

図3(a)は垂直シフトレジスタユニット $VSR1$ (図の左側) と画素領域の有機 EL 素子 $30R$ (図の右側) を示している。ガラス基板 51 上に SiO_2 膜及び SiN_x 膜からなる絶縁膜 52 が形成され、この絶縁膜 52 上に垂直シフトレジスタユニット $VSR1$ の薄膜トランジスタの能動層であるポリシリコン層が形成されている。ポリシリコン層の中には $N+$ 型ドレイン層 41 と $N+$ 型ソース層 42 が形成され、それらの間に P 型のチャネル領域 43 が形成されている。このポリシリコン層上には SiO_2 膜及び SiN_x 膜からなるゲート絶縁膜 53 が形成されている。チャネル領域 43 上にはゲート絶縁膜 53 を介して Cr からなるゲート電極 45 が形成されている。

【0028】

また、ゲート電極 45 上には層間絶縁膜 54 が形成されている。垂直シフトレジスタユニット $VSR1$ の形成領域では、層間絶縁膜 54 上には、 Al 電極 47 が形成され、下層の Cr 電極 46 とコンタクトされている。

【0029】

画素領域では、 Al からなるデータライン $DL1$ が層間絶縁膜 54 上に形成されている。 Al 電極 47 とデータライン $DL1$ 上には保護膜 55 、第1の平坦化絶縁膜 56 が形成されている。画素領域において、第1の平坦化絶縁膜 56 上に ITO (Indium Tin Oxide) からなるアノード 58 が形成されている。アノード 58 上には有機 EL 層 60 が形成され、この有機 EL 層 60 の一部を被覆して第2の平坦化絶縁膜 59 が形成されている。そして、有機 EL 層 60 上にカソードライン $CL1$ が形成されている。カソードライン $CL1$ は垂直シフトレジスタユニット $VSR1$ の形成領域へ延び、コンタクトを介して前記 Al 電極 47 に接続されている。

【0030】

図3(a)は画素領域のカソードライン $CL1$, $CL2$, $CL3$ の断面構造を示している。カソードライン $CL1$ と $CL2$ の間、カソードライン $CL2$ と $CL3$ の間にはレジスト材料からなるカソード分離用部材 62 が形成され、隣接するカソードラインを物理的及び電氣的に分離している。

【0031】

次に、上述した構成の有機 EL 表示装置の動作について図4のタイミング図を参照しながら説明する。まず、最初の1水平期間(1H期間)にサンプリングトランジスタ $ST11$, $ST13$, $ST15$ 、... を通してサンプリングされた表示信号 $Sig(R)$, $Sig(G)$, $Sig(B)$ が複数の第1のデータライン駆動回路 $DL D1$ に次々に取り込まれ、保持されると共に、駆動トランジスタのしきい値の補償が行われる。

【0032】

そして、次の1水平期間に、複数の第1のデータライン駆動回路 $DL D1$ はしきい値の補償が施された駆動電流をデータライン $DL1 \sim DL6$ に一括して出力する。この1水平期間に、カソードライン $CL1$ のみが接地電位(GND)に落ちる。すると、カソードがカソードライン $CL1$ に接続されている1ライン目の有機 EL 素子 $30R$, $30G$, $30B$ に駆動電流が流れ、その駆動電流の応じた輝度にてこれらの有機 EL 素子が発光する。すなわち、有機 EL 素子 $30R$ に着目すると、データライン $DL1$ に供給された駆動電流は有機 EL 素子 $30R$ からカソードライン $CL1$ に流れ込む。

【0033】

一方、複数の第1のデータライン駆動回路 $DL D1$ が駆動電流を出力しているこの1水平期間に、複数のサンプリングトランジスタ $ST12$, $ST14$, $ST16$ 、... を通し

10

20

30

40

50

てサンプリングされた表示信号 $Sig(R)$, $Sig(G)$, $Sig(B)$ が複数の第2のデータライン駆動回路 $DL D 2$ に次々に取り込まれ、保持されると共に、駆動トランジスタのしきい値の補償が行われる。

【0034】

そして、次の1水平期間に、複数の第2のデータライン駆動回路 $DL D 2$ はしきい値の補償が施された駆動電流をデータライン $DL 1 \sim DL 6$ に一括して出力する。この1水平期間に、カソードライン $CL 2$ のみが接地電位 (GND) に落ちて、カソードライン $CL 1$ に接続されている2ライン目の有機EL素子 $30R$, $30G$, $30B$ に駆動電流が流れ、その駆動電流の応じた輝度にてこれらの有機EL素子が発光する。

【0035】

10

一方、複数の第2のデータライン駆動回路 $DL D 2$ が駆動電流を出力しているこの1水平期間に、複数のサンプリングトランジスタ $ST 11$, $ST 13$, $ST 15$ 、 $\cdots$ を通してサンプリングされた表示信号 $Sig(R)$, $Sig(G)$, $Sig(B)$ が複数の第1のデータライン駆動回路 $DL D 1$ に次々に取り込まれ、保持されると共に、駆動トランジスタのしきい値の補償が行われる。

【0036】

上記の動作が1フレーム期間にわたり、繰り返されることにより、1画面の表示が行われる。このように、本実施形態の有機EL表示装置は、画素内にTFTを備えないパッシブ駆動型のものであり、これにより、画素の開口率を向上させ、ざらつき感の低減により高品質表示を可能とするものである。また、水平シフトレジスタ10、データライン駆動回路 $DL D$ 、垂直シフトレジスタ20などの各種の駆動回路を有機EL素子 $30R$, $30G$, $30B$ が形成された画素領域とともに同一ガラス基板51上に形成しているので、駆動用ICを外付けすることが不要であり、コストダウンを図ることができる。

20

【0037】

また、データライン駆動回路 $DL D$ により、駆動電流を1水平期間に一括してデータライン $DL 1 \sim DL 6$ に供給する、線順次駆動方式を採用しているので、通常のパッシブ駆動型の表示装置に比して、有機EL素子 $30R$, $30G$, $30B$ の発光期間を長くできることから、比較的明るい表示パネルを実現することができる。

【0038】

次に、第1のデータライン駆動回路 $DL D 1$ 及び第2のデータライン駆動回路 $DL D 2$ の具体的な回路構成及び動作について、図5、図6、図7を参照しながら説明する。第1のデータライン駆動回路 $DL D 1$ は、図5に示すように、第1～第7の薄膜トランジスタ $T 1 \sim T 7$ 、カップリング容量 Cs 、第1のNAND回路 $ND 1$ から構成される。第1、第3～第7の薄膜トランジスタ $T 1$, $T 3 \sim T 7$ はNチャンネル型であり、第2の薄膜トランジスタ $T 2$ はPチャンネル型である。

30

【0039】

第1の薄膜トランジスタ $T 1$ は表示信号の読み込み用トランジスタで、そのソースはサンプリングトランジスタに接続され、ゲートに第1の制御信号 $GL 1$ が印加されている。第1の薄膜トランジスタ $T 1$ は、第1の制御信号 $GL 1$ がハイの時にオンして、表示信号、例えば $Sig(R)$ を読み込み、第1の薄膜トランジスタ $T 1$ のドレインに接続されたカップリング容量 Cs の第1の端子 $P 1$ に $Sig(R)$ を印加する。カップリング容量 Cs の第1の端子 $P 1$ に対向した第2の端子 $P 2$ は第2の薄膜トランジスタ $T 2$ のゲートに接続されている。第2の薄膜トランジスタ $T 2$ は駆動用トランジスタで、そのソースには電源電位 $PVdd$ が印加されている。

40

【0040】

また、第2の薄膜トランジスタ $T 2$ のゲートとドレインの間には、第1の制御信号 $GL 1$ がゲートに印加された第3の薄膜トランジスタ $T 3$ が接続されている。第3の薄膜トランジスタ $T 3$ は、第1の制御信号 $GL 1$ がハイの時にオンして、第2の薄膜トランジスタ $T 2$ のゲートとドレインとを短絡する。

【0041】

50

第4の薄膜トランジスタT4のゲートには第2の制御信号CS1が印加され、ソースには参照電位Vrefが印加され、ドレインはカップリング容量Csの第1の端子P1に接続されている。第4の薄膜トランジスタT4はこの第2の制御信号CS1がハイの時にオンして、カップリング容量Csの第1の端子P1を参照電圧Vrefに設定する。

【0042】

第5の薄膜トランジスタT5、第6の薄膜トランジスタT6は、第2の薄膜トランジスタT2と接地の間に直列に接続されている。第5の薄膜トランジスタT5のゲートには第3の制御信号ES1が印加され、第6の薄膜トランジスタT6のゲートには第2の制御信号CS1の反転信号*CS1が印加されている。

【0043】

第5の薄膜トランジスタT5は、駆動電流出力制御用の第7の薄膜トランジスタT7を介して、データラインDLiに接続されている。第7の薄膜トランジスタT7のゲートには第1のNAND回路ND1の出力が印加されている、第1のNAND回路ND1には垂直クロックCKVと出力イネーブル信号ENBが入力されている。出力イネーブル信号ENBは第1のNAND回路ND1の出力信号と後述する第2のデータライン駆動回路DL D2の第2のNAND回路ND2の出力信号の重なりを防止するための信号である。そして、データラインDiには前述のように、例えば有機EL素子30Rが接続されている。

【0044】

第2のデータライン駆動回路DL D2は、図6に示すように、第1のデータライン駆動回路DL D1と同様に、第1～第7の薄膜トランジスタT1～T7、カップリング容量Cs、第2のNAND回路ND2から構成される。第1及び第2の薄膜トランジスタT1、T3のゲートには、第4の制御信号GL2が印加され、第4の薄膜トランジスタT4のゲートには第5の制御信号CS2が印加され、第5の薄膜トランジスタT5のゲートには第6の制御信号ES2が印加されている。これらの第4、第5、第6の制御信号GL2、CS2、ES2は前述の第1、第2、第3の制御信号GL1、CS1、ES1の位相が1H期間だけシフトされたものである。

【0045】

第1のデータライン駆動回路DL D1及び第2のデータライン駆動回路DL D2の動作について図7を参照して説明する。まず、図7の最初の1H期間では、第1のデータライン駆動回路DL D1が表示信号Sigを読み込み、駆動用トランジスタである第2の薄膜トランジスタT2のしきい値を補償する動作を行う。一方、この1H期間において第2のデータライン駆動回路DL D2は、データラインDiにしきい値が補償された駆動電流を出力している。

【0046】

第1のデータライン駆動回路DL D1の動作を詳しく説明すると以下の通りである。

【0047】

まず、第1の制御信号GL1がハイに立ち上がると、第1の薄膜トランジスタT1がオンし、サンプリングトランジスタからの、例えば表示信号Sig(R)が第1の薄膜トランジスタT1を通してカップリング容量Csの第1の端子P1に印加される。また、第3の薄膜トランジスタT3がオンして、第2の薄膜トランジスタT2のゲートとドレインとが短絡される。次に、第3の制御信号ES1がハイに立ち上がると、第5の薄膜トランジスタT5及び第6の薄膜トランジスタT6を通して、第2の薄膜トランジスタT2のゲート電荷が接地GNDに放電される。

【0048】

その後、第3の制御信号ES1がロウに下がると、第5の薄膜トランジスタT5はオフする。すると、第2の薄膜トランジスタT2のゲート及びドレインはフローティングになるので、その電位はPVdd-Vtpとなる。Vtpは第2の薄膜トランジスタT2のしきい値の絶対値である。次に、第1の制御信号GL1がロウに下がると、第1の薄膜トランジスタT1及び第3の薄膜トランジスタT3がオフする。

【0049】

10

20

30

40

50

その後、次の 1 H 期間に入り、第 2 の制御信号 C 1 がハイに立ち上がると、第 4 の薄膜トランジスタ T 4 がオンし、カップリング容量 C s の第 1 の端子 P 1 の電位を V r e f に設定する。また、第 6 の薄膜トランジスタ T 6 はオフする。

【 0 0 5 0 】

第 4 の薄膜トランジスタ T 4 がオンすると、カップリング容量 C s の第 1 の端子 P 1 の電位は V s i g から V r e f に変化するので、これに伴い、カップリング容量 C s の第 2 の端子 P 2 の電位、すなわち第 2 の薄膜トランジスタ T 2 のゲート電位 V g は、 $P V d d - V t p$ から $P V d d - V t p + V r e f - V s i g$ に変化する。

【 0 0 5 1 】

その後、第 3 の制御信号 E S 1 が再びハイに立ち上がると、第 5 の薄膜トランジスタ T 5 がオンし、第 1 の N A N D 回路 N D 1 の出力がハイに立ち上がると、第 7 の薄膜トランジスタ T 7 がオンして、第 2 の薄膜トランジスタ T 2 は、第 5 の薄膜トランジスタ T 5 及び第 7 の薄膜トランジスタ T 7 を通してデータライン D i に接続される。

10

【 0 0 5 2 】

ここで、第 2 の薄膜トランジスタ T 2 に流れる駆動電流 I は、 $I = 1 / 2 \cdot \beta \cdot (V g s + V t p)^2$ で表される。β は定数である。

$V g s = V g - P V d d = - V t p + V r e f - V s i g$

故に、 $I = 1 / 2 \cdot \beta \cdot (V r e f - V s i g)^2$

すなわち、駆動電流 I は、第 2 の薄膜トランジスタ T 2 のしきい値 V t p に依存しない電流となる。この駆動電流 I がデータライン D i を通して、有機 E L 素子 3 0 R に供給され、表示信号 V s i g (R) に応じた表示が行われる。

20

【図面の簡単な説明】

【 0 0 5 3 】

【図 1】本発明の実施形態に係る有機 E L 表示装置の等価回路図である。

【図 2】本発明の実施形態に係る有機 E L 表示装置の水平走査系のタイミング図である。

【図 3】本発明の実施形態に係る有機 E L 表示装置の概略の断面構造を示す図である。

【図 4】本発明の実施形態に係る有機 E L 表示装置の垂直走査系のタイミング図である。

【図 5】第 1 のデータライン駆動回路 D L D 1 の回路図である。

【図 6】第 2 のデータライン駆動回路 D L D 2 の回路図である。

【図 7】第 1 のデータライン駆動回路 D L D 1、第 2 のデータライン駆動回路 D L D 2 の動作タイミング図である。

30

【符号の説明】

【 0 0 5 4 】

1 0 水平シフトレジスタ 2 0 垂直シフトレジスタ

D L D 1 第 1 のデータライン駆動回路 D L D 2 第 2 のデータライン駆動回路

H S R 1 , H S R 2 . . . 水平シフトレジスタユニット

V S R 1 , V S R 2 . . . 垂直シフトレジスタユニット

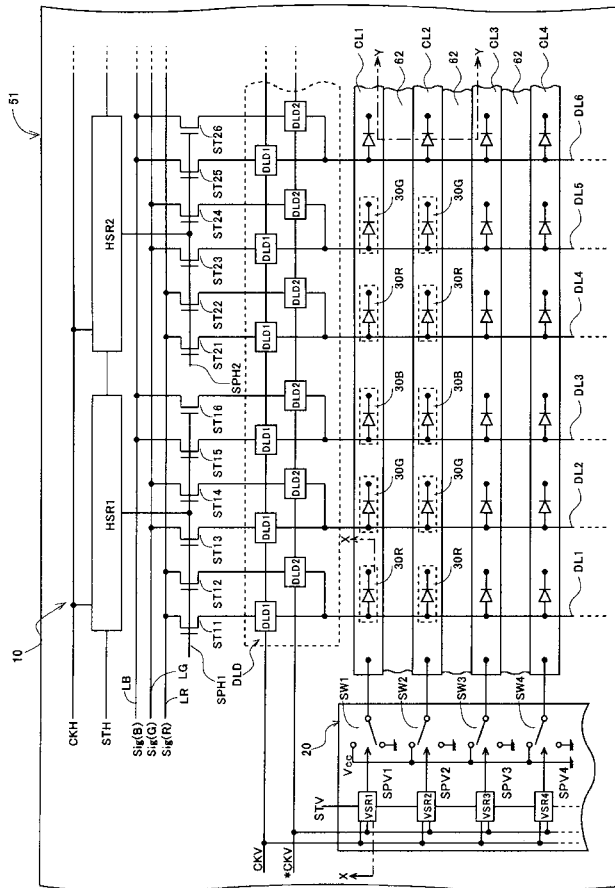
3 0 R , 3 0 G , 3 0 B 有機 E L 素子

D L 1 ~ D L 6 データライン C L 1 ~ C L 4 カソードライン

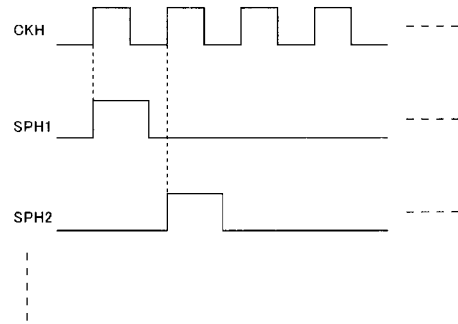
S W 1 , S W 2 , S W 3 , S W 4 スイッチング素子

40

【図 1】

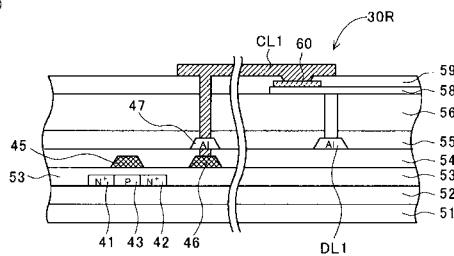


【図 2】

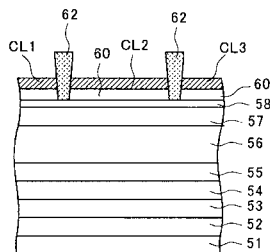


【図 3】

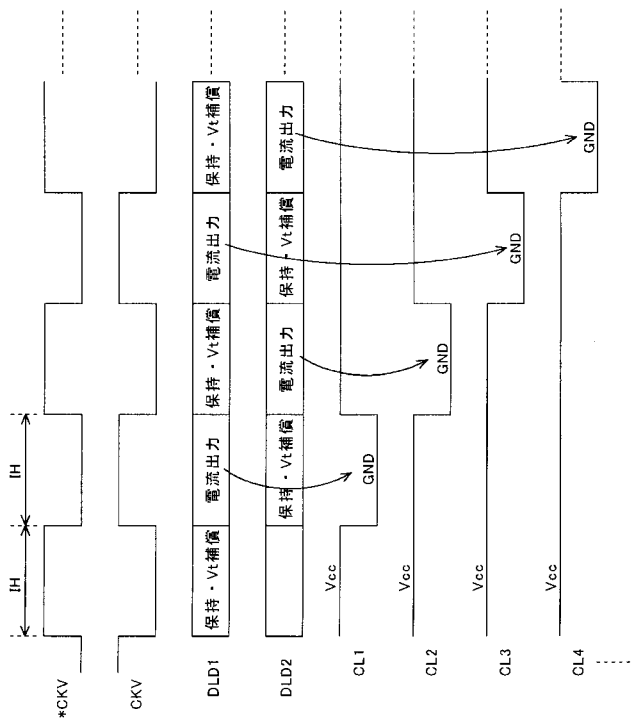
(a)



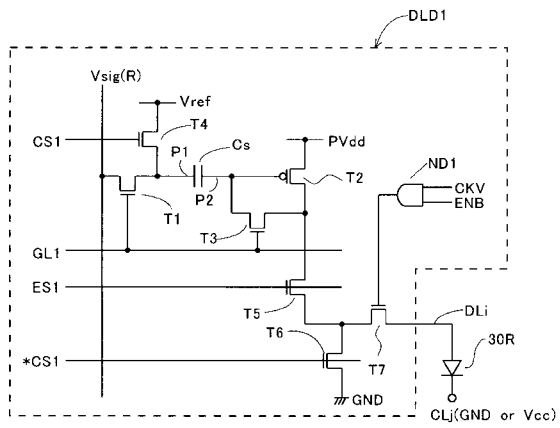
(b)



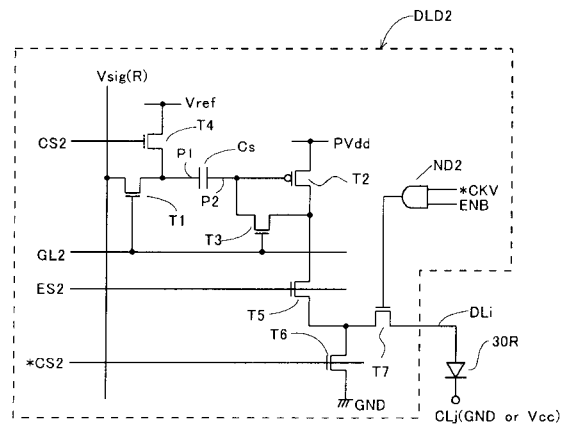
【図 4】



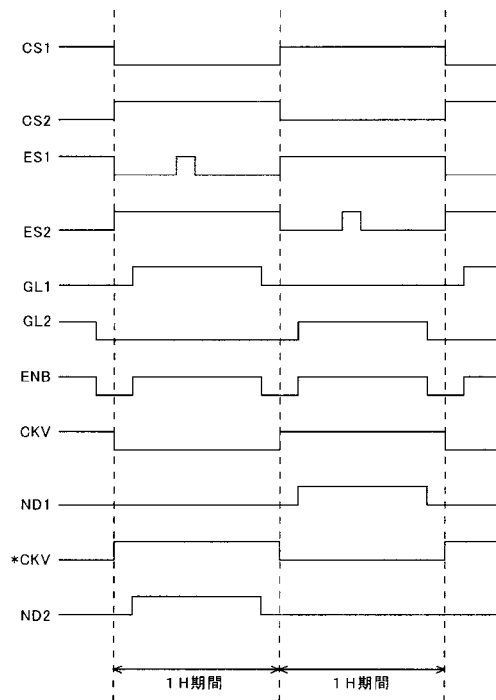
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 F
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 1 A

F ターム(参考) 5C080 AA06 BB05 BB06 DD05 DD27 EE28 FF12 JJ02 JJ03 JJ04
JJ06

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2006308860A	公开(公告)日	2006-11-09
申请号	JP2005131261	申请日	2005-04-28
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	小川隆司 松本昭一郎 池田恭二		
发明人	小川 隆司 松本 昭一郎 池田 恭二		
IPC分类号	G09G3/30 H01L51/50 H05B33/22 H05B33/12 G09G3/20		
FI分类号	G09G3/30.K H05B33/14.A H05B33/22.Z H05B33/12.B G09G3/30.J G09G3/20.641.D G09G3/20.642.A G09G3/20.680.F G09G3/20.622.E G09G3/20.623.H G09G3/20.621.A G09G3/3216 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/BB06 5C080/DD05 5C080/DD27 5C080/EE28 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC33 3K107/DD89 3K107/DD91 3K107/EE02 3K107/HH04 5C380/AA01 5C380/AA02 5C380/AB05 5C380/AB18 5C380/AB23 5C380/AB34 5C380/AC10 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/CA02 5C380/CA08 5C380/CA13 5C380/CA17 5C380/CA23 5C380/CA24 5C380/CA30 5C380/CA43 5C380/CB01 5C380/CB14 5C380/CE04 5C380/CE19 5C380/CF07 5C380/CF12 5C380/CF22 5C380/CF23 5C380/CF32 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	须藤克彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减少粗糙感来在有机EL显示设备中实现高质量显示。此外，通过消除对外部驱动器IC的需求，降低了成本。本发明的电致发光显示装置是无源驱动型的，其中每个像素不具有TFT。结果，提高了像素的开口率，并且减小了粗糙度，使得可以进行高质量的显示。此外，诸如水平移位寄存器10，数据线驱动电路DLD和垂直移位寄存器20的各种驱动电路与其中形成有电致发光元件的像素区域一起形成在同一玻璃基板51上。[选型图]图1

