

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-352044

(P2005-352044A)

(43) 公開日 平成17年12月22日(2005.12.22)

(51) Int.Cl.<sup>7</sup>

G09F 9/30

G09F 9/00

H05B 33/10

H05B 33/14

H05B 33/26

F I

G09F 9/30

G09F 9/30

G09F 9/00

H05B 33/10

H05B 33/14

3 6 5 Z

3 3 7

3 3 8

テーマコード (参考)

3 K 0 0 7

5 C 0 9 4

5 G 4 3 5

A

審査請求 未請求 請求項の数 19 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2004-171192 (P2004-171192)

(22) 出願日 平成16年6月9日(2004.6.9)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100090033

弁理士 荒船 博司

(74) 代理人 100093045

弁理士 荒船 良男

(72) 発明者 白崎 友之

東京都八王子市石川町2951番地5 カ

シオ計算機株式会社八王子技術センター内

(72) 発明者 武居 学

東京都八王子市石川町2951番地5 カ

シオ計算機株式会社八王子技術センター内

最終頁に続く

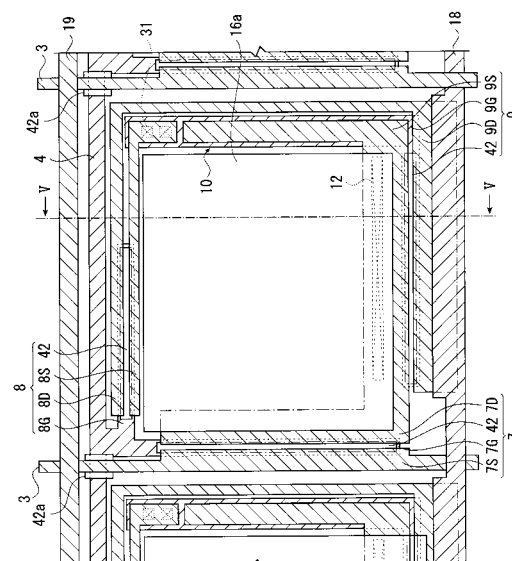
(54) 【発明の名称】 表示パネル及びその製造方法

(57) 【要約】

【課題】 電圧降下や電流遅延の発生を抑制すること。

【解決手段】 基板2に対して気相成長法、フォトリソグラフィー法、エッチング法等を施すことによって複数のトランジスタ7, 8, 9を基板2上にパターンニングする。この製造したトランジスタアレイ基板1の表層に対して、コンタクトホール12, 13を形成し、更に画素電極16aをパターンニング形成し、電解メッキ法により電流源ライン18及びELライン19をパターンニングする。電流源ライン18はトランジスタ9のドレイン9Dに接するよう形成する。ここで、電流源ライン18及びELライン19の膜厚は、トランジスタ7, 8, 9のアノードや共通電極の膜厚より厚くする。その後、正孔輸送層22、発光層23を形成し、共通電極24をELライン19に接するよう成膜する。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

発光層を有する複数の発光素子と、  
前記複数の発光素子をそれぞれ駆動する複数の画素回路と、  
前記画素回路又は前記発光素子に接続されるとともに、前記発光素子の発光層が成膜される区画の少なくとも一辺として前記発光層を仕切る導電層を有する配線と、  
を備えることを特徴とする表示パネル。

## 【請求項 2】

請求項 1 に記載の表示パネルにおいて、  
前記導電層の単位長さあたりの抵抗が前記画素回路の電極の単位長さあたりの抵抗よりも小さいことを特徴とする表示パネル。 10

## 【請求項 3】

請求項 1 に記載の表示パネルにおいて、  
前記導電層が前記画素回路の電極よりも厚いことを特徴とする表示パネル。

## 【請求項 4】

請求項 1 に記載の表示パネルにおいて、  
前記導電層の抵抗率が前記画素回路の電極の抵抗率よりも低いことを特徴とする表示パネル。

## 【請求項 5】

請求項 1 に記載の表示パネルにおいて、  
前記画素回路が薄膜トランジスタを有することを特徴とする表示パネル。 20

## 【請求項 6】

請求項 5 に記載の表示パネルにおいて、  
前記画素回路の電極がソース、ドレインであることを特徴とする表示パネル。

## 【請求項 7】

請求項 1 に記載の表示パネルにおいて、  
前記複数の発光素子がそれぞれ画素電極を有し、  
前記画素電極の表面には親液性膜が成膜されていることを特徴とする表示パネル。

## 【請求項 8】

請求項 1 に記載の表示パネルにおいて、  
前記画素回路が、  
選択期間中では前記電流線に所定の電流値の記憶電流を流し、非選択期間中では前記電流線に電流を流すことを停止するスイッチ回路と、  
前記選択期間中に前記電流線を介して流れる前記記憶電流の電流値にしたがった電流データを記憶し、前記選択期間中に記憶された前記電流データにしたがって前記記憶電流の電流値と実質的に等しい電流値の駆動電流を前記非選択期間中に前記発光素子に供給する電流記憶回路と、を有することを特徴とする表示パネル。 30

## 【請求項 9】

請求項 8 に記載の表示パネルにおいて、  
前記電流記憶回路が前記発光素子に前記駆動電流を流す電流制御トランジスタを有することを特徴とする表示パネル。 40

## 【請求項 10】

請求項 8 に記載の表示パネルにおいて、  
前記スイッチ回路が、ソース、ドレインの一方が前記電流線に接続され、前記選択期間中に前記記憶電流を前記電流線に流し、そして前記非選択期間中に前記駆動電流を前記電流線に流すことを停止する電流経路制御トランジスタを有することを特徴とする表示パネル。

## 【請求項 11】

請求項 8 に記載の表示パネルにおいて、  
前記スイッチ回路が、前記電流記憶回路への前記電流データの書込みを制御する電流デ 50

ータ書込み制御トランジスタを有することを特徴とする表示パネル。

【請求項 1 2】

請求項 1 に記載の表示パネルにおいて、

前記配線が、前記画素回路に接続された第 1 配線と、前記発光素子に接続された第 2 配線と、を有していることを特徴とする表示パネル。

【請求項 1 3】

請求項 1 2 に記載の表示パネルにおいて、

前記第 1 配線が前記画素回路を覆う絶縁膜に設けられたコンタクトホールを介して前記前記画素回路と接続されていることを特徴とする表示パネル。

【請求項 1 4】

請求項 1 2 に記載の表示パネルにおいて、

前記第 2 配線が前記画素回路を覆う絶縁膜の上方に配置されていることを特徴とする表示パネル。

【請求項 1 5】

請求項 1 2 に記載の表示パネルにおいて、

前記第 2 配線が透明電極に接続されていることを特徴とする表示パネル。

【請求項 1 6】

請求項 1 に記載の表示パネルにおいて、

前記発光素子が画素電極を有し、

前記配線が前記画素電極と重ならない位置に配置されていることを特徴とする表示パネル。

【請求項 1 7】

基板上に設けられた複数の画素回路の電極とは異なる層の導電層を有する配線を設け、

前記配線を隔壁として発光層を成膜する、

ことを特徴とする表示パネルの製造方法。

【請求項 1 8】

請求項 1 7 に記載の表示パネルの製造方法において、

前記配線をメッキ処理によって成膜することを特徴とする表示パネルの製造方法。

【請求項 1 9】

請求項 1 7 に記載の表示パネルの製造方法において、

前記発光層を湿式成膜することを特徴とする表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を用いた表示パネル及びその製造方法に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。例えば特許文献 1 に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機 EL 素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機 EL 素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧がデータラインを介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソース

10

20

30

40

50

- ドレインを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【0003】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、データライン、電源線等に電圧を印加することが行われている。

【0004】

一方、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、走査線、データライン、電源線はスイッチ用トランジスタ、駆動トランジスタ等といった画素回路のパターニング工程と同時にパターニングされる。即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、画素回路の電極のもととなる薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その薄膜から画素回路の電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、このように配線が画素回路の電極のもととなる薄膜から形成されると、配線が画素回路の電極の厚さと同じになるが、画素回路の電極の厚さは、要求される画素回路の特性に合わせて設計されているために、複数の画素に電流を流すには配線が高抵抗になり、配線の電気抵抗や寄生容量によって電圧降下が発生したり、配線を通じた電流の遅延が生じたりしやすい。特に複数の画素回路に接続された配線は、複数の発光素子のために比較的に大きい電流を流す必要があるので、低抵抗でなければならない。

【0006】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、電圧降下や電流遅延の発生を抑制することを目的とする。

【課題を解決するための手段】

【0007】

以上の課題を解決するために、第1の発明は、  
発光層を有する複数の発光素子と、  
前記複数の発光素子をそれぞれ駆動する複数の画素回路と、  
前記画素回路又は前記発光素子に接続されるとともに、前記発光素子の発光層が成膜される区画の少なくとも一辺として前記発光層を仕切る導電層を有する配線と、  
を備えることを特徴とする表示パネルである。

【0008】

第2の発明は、  
基板上に設けられた複数の画素回路の電極とは異なる層の導電層を有する配線を設け、  
前記配線を隔壁として発光層を成膜する、  
ことを特徴とする表示パネルの製造方法である。

【0009】

本発明では、画素回路の電極とは異なる導電層を有する配線を設けているので、配線の電気抵抗を画素回路の電極の電気抵抗よりも小さくすることができる。そのため、配線における電流遅延や電圧降下を抑制できる。

【発明の効果】

【0010】

本発明によれば、配線における電流遅延や電圧降下を抑制できる。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0011】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

## 【0012】

## 〔第1の実施形態〕

図2～図9を用いて、発光素子である有機エレクトロルミネッセンス素子を画素とする表示パネルの製造方法について説明する。図2～図9は製造方法における各工程の断面図であり、工程順序は図2～図9の順になっている。

10

## 【0013】

まず、図1、図2に示すような画素回路を有したトランジスタアレイ基板1を製造する。このトランジスタアレイ基板1は、有機エレクトロルミネッセンス素子を制御する画素回路が、従来のように信号電圧による電圧制御するものではなく、後述する有機EL素子26に流れる電流のレベル（強さ）を制御することによって階調発光するものであり、気相成長法（例えば、PVD法、CVD法、スパッタリング法等）といった成膜工程、フォトリソグラフィ法、メタルマスク法といったマスク工程、エッチングといった形状加工工程を適宜行うことにより複数のトランジスタを基板2上にパターンングすることによって製造されたものである。

## 【0014】

20

具体的には、図1に示すように、トランジスタアレイ基板1は、ガラス、樹脂等をシート状又は板状に形成した絶縁性の基板2と、互いに平行となるよう基板2上に配列された複数の電流線（データライン）3、3、...と、基板2を平面視して電流線3に対して直交するよう且つ互いに平行となるよう基板2上に配列された複数の走査線4、4、...と、走査線4、4、...のそれぞれの間において走査線4と平行となるよう基板2上に配列された複数の電流源ライン18、18、...並びにELライン19、19、...と、電流線3、3、...及び走査線4、4、...に沿って二次元アレイ状となるよう基板2上に配列された複数の画素回路6、6、...等とから構成されている。

## 【0015】

画素回路6は画素ごとに画素の周辺に設けられた回路である。画素回路6は、三つの薄膜トランジスタ（以下単にトランジスタと記述する。）7、8、9と、キャパシタ10とから構成されている。何れのトランジスタ7、8、9も、ゲート7G、8G、9G（図2等に図示）、ゲート7G、8G、9Gを被覆したゲート絶縁膜41（図2等に図示）、ゲート絶縁膜41を挟んで各ゲート7G、8G、9Gに対向した半導体層42（図2等に図示）、半導体層42のチャネル表面をエッチャントから保護するブロッキング絶縁膜43（図2等に図示）、半導体層42の両端部上に形成された不純物半導体層44、44（図2等に図示）、一方の不純物半導体層44上に形成されたドレイン7D、8D、9D（図2等に図示）、他方の不純物半導体層44上に形成されたソース7S、8S、9S（図2等に図示）等から構成されたNチャネルMOS型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層42（チャネル領域）としたa-Siトランジスタであるが、ポリシリコンを半導体層42としたp-Siトランジスタであってもよい。トランジスタ7、8、9の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。以下では、トランジスタ7を電流経路制御トランジスタ7と、トランジスタ8を電流データ書き込み制御トランジスタ8と、トランジスタ9を電流制御トランジスタ9と称する。ここで、電流経路制御トランジスタ7及び電流データ書き込み制御トランジスタ8を具備した回路が、選択期間中では電流線3に所定の電流値の記憶電流を流すとともに非選択期間中では電流線3に電流を流すことを停止するスイッチ回路に相当し、電流制御トランジスタ9及びキャパシタ10を具備した回路が、選択期間中に電流線3を介して流れる記憶電流の電流値にしたがった電流データを記憶し、その選択期間中に記憶された電流データにしたがって記憶電流の電流値と実質的に等しい電流値の駆動電流を非選択期間中に有機EL素

30

40

50

子 2 6 ( 図 8 に図示 ) に供給する電流記憶回路に相当する。なお、図 2 ~ 図 9 は、電流制御トランジスタ 9 を走査線 4 に直交する面に沿って切断した場合の断面図であり、一画素を示す。別の画素も各工程では図 2 ~ 図 9 の状態になっている。

【 0 0 1 6 】

図 1 に示すように、電流経路制御トランジスタ 7 のゲート 7 G は走査線 4 に接続され、電流経路制御トランジスタ 7 のソース 7 S は電流線 3 に接続され、電流経路制御トランジスタ 7 のドレイン 7 D は電流制御トランジスタ 9 のソース 9 S に接続されている。電流データ書込み制御トランジスタ 8 のゲート 8 G は走査線 4 に接続され、電流データ書込み制御トランジスタ 8 のドレイン 8 D は電流制御トランジスタ 9 のドレイン 9 D 及び電流源ライン 1 8 に接続され、電流データ書込み制御トランジスタ 8 のソース 8 S は電流制御トランジスタ 9 のゲート 9 G に接続されている。電流制御トランジスタ 9 のドレイン 9 D は電流源ライン 1 8 に接続されている。キャパシタ 1 0 は、電流制御トランジスタ 9 のゲート 9 G に接続された電極と、電流制御トランジスタ 9 のソース 9 S に接続された電極と、これら二つの電極の間に介在するゲート絶縁膜 ( 誘電体膜 ) と、で構成され、電流制御トランジスタ 9 のゲート 9 G とソース 9 S との間に電荷を蓄積する機能を有する。キャパシタ 1 0 の絶縁膜はゲート絶縁膜 4 1 に共通した膜である。

10

【 0 0 1 7 】

上記トランジスタ 7 , 8 , 9 は同一工程で同時にパターニングされたものであるので、ゲート 7 G , 8 G , 9 G 、ゲート絶縁膜 4 1 、半導体層 4 2 、不純物半導体層 4 4 、ドレイン 7 D , 8 D , 9 D 、ソース 7 S , 8 S , 9 S 等の組成はトランジスタ 7 , 8 , 9 のあいだで同じであるが、トランジスタ 7 , 8 , 9 の形状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ 7 , 8 , 9 のそれぞれの機能に応じて異なる。

20

【 0 0 1 8 】

電流線 3 , 3 , ... は、トランジスタ 7 , 8 , 9 の各ソース 7 S , 8 S , 9 S 、ドレイン 7 D , 8 D , 9 D と同一の導電膜を同一工程で同時にパターニングすることによって形成されたものである。

【 0 0 1 9 】

走査線 4 , 4 , ... は、トランジスタ 7 , 8 , 9 の各ゲート 7 G , 8 G , 9 G と同一の導電膜を同一工程で同時にパターニングすることによって形成されたものである。

【 0 0 2 0 】

また、図 2 に示すように、トランジスタアレイ基板 1 の表層には、絶縁膜 1 1 がべた一面に成膜されており、絶縁膜 1 1 によって電流線 3 , 3 , ... 、走査線 4 , 4 , ... 及び画素回路 6 , 6 , ... が被覆されている。絶縁膜 1 1 は、窒化シリコン、酸化シリコン等の無機絶縁膜、或いはこの無機絶縁膜上にポリイミド等の感光性絶縁膜を積層したものである。なお、トランジスタアレイ基板 1 の各層のうち、基板 2 の表面から絶縁膜 1 1 の表面までの間の多層膜をトランジスタ層という。

30

【 0 0 2 1 】

図 2 に示すように、準備したトランジスタアレイ基板 1 に対してフォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ 9 のソース 9 S に通じるコンタクトホール 1 2 及び各電流制御トランジスタ 9 のドレイン 9 D に通じるコンタクトホール 1 3 を絶縁膜 1 1 に形成する。

40

【 0 0 2 2 】

次に、スパッタリングや蒸着といった気相成長法によってアルミニウム、チタン、金等の金属単体若しくは合金又は透明金属酸化物膜等から選択された導電材料からなる導電膜をトランジスタアレイ基板 1 上の一面に成膜する。この導電膜は、コンタクトホール 1 2 , 1 3 内においても表面に成膜される。導電膜が透明金属酸化物膜の場合、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物 ( 例えば、錫ドープ酸化インジウム ( I T O ) 、亜鉛ドープ酸化インジウム、カドミウム - 錫酸化物 ( C T O ) ) の中から選択される。

【 0 0 2 3 】

50

次に、この導電膜をパターンニングして、各電流制御トランジスタ 9 のソース 9 S に接続された画素電極 16 a と、行方向に沿って配列されるとともに行方向に並んだ各電流制御トランジスタ 9 のドレイン 9 D に接続された下地配線 16 b と、を形成する。

#### 【0024】

次に、図 3 に示すように、窒化シリコン又は酸化シリコンからなる層間絶縁膜 20 を成膜し、この層間絶縁膜 20 の各電流制御トランジスタ 9 のドレイン 9 D に対応する位置にコンタクトホール 27 を形成しドレイン 9 D を露出させる。この後、スパッタリング又は蒸着によって銅、ニッケル等の金属材料からなるメッキシード層を一面に成膜する。このとき、メッキシード層は、層間絶縁膜 20 の段差によって各コンタクトホール 27 でドレイン 9 D 上に成膜されたメッキシード層 17 a と層間絶縁膜 20 上のメッキシード層 17 b とに分離され互いに電氣的に絶縁されているとともに行方向に延在して形成されている。

10

#### 【0025】

次に、図 4 に示すように、ドレイン 9 D 上の各メッキシード層 17 a が露出され、且つ画素電極 16 a の複数の周縁辺のうちのドレイン 9 D 上の各メッキシード層 17 a 側の辺と対向する辺側で行方向に沿った位置の層間絶縁膜 20 上のメッキシード層 17 b が露出されるようなフォトリソ膜 61 を形成する。続いて露出されたメッキシード層 17 a , 17 b を電極として電解メッキを行うことにより、ドレイン 9 D 上のメッキシード層 17 a 上に膜厚 2 ~ 100  $\mu\text{m}$  で 5  $\mu\text{m}$  ~ 50  $\mu\text{m}$  幅の銅メッキ厚膜の電流源ライン 18 , 18 , ... を形成し、画素電極 16 a の複数の周縁辺のうちのドレイン 9 D 上の各メッキシード層 17 a 側の辺と対向する辺側で行方向に沿った位置の層間絶縁膜 20 上のメッキシード層 17 b 上に、膜厚 2 ~ 100  $\mu\text{m}$  且つ 5  $\mu\text{m}$  ~ 50  $\mu\text{m}$  幅の銅メッキ厚膜の E L ライン 19 , 19 , ... を形成する。電流源ライン 18 が第 1 配線であり、E L ライン 19 が第 2 配線である。

20

#### 【0026】

電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... は、トランジスタ 7 , 8 , 9 のソース 7 S , 8 S , 9 S 及びドレイン 7 D , 8 D , 9 D の膜厚よりも厚くなるよう堆積され、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... の単位長さあたりの抵抗は、トランジスタ 7 , 8 , 9 のソース 7 S , 8 S , 9 S 及びドレイン 7 D , 8 D , 9 D の単位長さあたりの抵抗よりも小さいなお、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... の抵抗率は、トランジスタ 7 , 8 , 9 のソース 7 S , 8 S , 9 S 及びドレイン 7 D , 8 D , 9 D の導電材料の抵抗率よりも低いことが好ましい。また、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の膜厚よりも厚くなるよう堆積され、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... の単位長さあたりの抵抗は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の単位長さあたりの抵抗よりも小さい。また、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の膜厚よりも厚くなるよう堆積され、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... の単位長さあたりの抵抗は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の単位長さあたりの抵抗よりも小さい。なお、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... の抵抗率は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の導電材料の抵抗率よりも低いことが好ましい。

30

40

#### 【0027】

電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... の本数はともに、走査線 4 , 4 , ... と同数であり、各行に電流源ライン 18 、 E L ライン 19 及び走査線 4 が 1 本ずつ設けられている。なお、電解メッキの代わりに、スパッタリング法、昇華蒸着法又はディスペンサー法により銅厚膜を成膜しても良い。

#### 【0028】

次いで、図 5 に示すように、フォトリソ膜 61 を除去してから、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... で被覆された部分を除いて露出されたメッキシ

50

ード層 17b をエッチングして、E L ライン 19 , 19 , ... の下方にメッキシード下地層 17c を形成する。

#### 【0029】

このときの画素平面図を図 6 に示す。図 5 は図 6 の (V) - (V) 線に沿って厚さ方向に切断したときの略断面図である。

#### 【0030】

図 6 に示すように、電流源ライン 18 及び E L ライン 19 は走査線 4 に対して平行に設けられている。また、平面視して、横方向 (行方向) に配列された全ての画素、つまり各行の画素のコンタクトホール 13 に設けられたメッキシード下地層 17a に対して電流源ライン 18 の一部が重なるように形成されているので、各行の全ての画素の電流制御トランジスタ 9 のドレイン 9D が、各行の電流源ライン 18 にそれぞれ電氣的に接続した状態となる。

10

#### 【0031】

なお、図 6 において、トランジスタ 7 ~ 9 のソース 7S , 8S , 9S と一体に形成された電流線 3 と、トランジスタ 7 ~ 9 のゲート 7G , 8G , 9G と一体に形成された走査線 4 との間には、ゲート絶縁膜 41 に加えて、半導体層 42 と同一膜をパターンニングしてなる保護膜 42a が形成されている。また、電流データ書込み制御トランジスタ 8 のソース 8S と電流制御トランジスタ 9 のゲート 9G は、ゲート絶縁膜 41 に設けられたコンタクトホール 31 を介して互いに接続されている。

#### 【0032】

そして、この有機 E L 素子 26 が設けられていない構造のトランジスタアレイ基板 1 において、各走査線 4 に検査用走査ドライバを接続させ、電流源ライン 18 に所定の電圧を出力する検査用駆動ドライバを接続させ、電流線 3 に、電流線 3 に所定の電流値の電流が流れさせる検査用電流制御ドライバを接続させてから、走査線 4、電流源ライン 18 に駆動ドライバから所定の電圧を印加し、電流制御ドライバから電流線 3 に所定の電流が流れるように駆動させて、電流源ライン 18 から各画素回路 6 の電流制御トランジスタ 9 のソース 9S、ドレイン 9D 間並びに電流経路制御トランジスタ 7 のソース 7S、ドレイン 7D 間を経由して電流線 3 に所定の電流値の電流が流れているかどうか検査することができる。このように、有機 E L 素子 26 を設ける前段階で、各画素回路 6 が正常であるかどうか確認することができるので仮にトランジスタアレイ基板 1 のある画素回路 6 のトランジスタ 7、8、9、キャパシタ 10 のいずれかに動作不良があり、不良品と認定された場合、そのトランジスタアレイ基板 1 に有機 E L 素子 26 を形成せずに済むので生産性を向上することができる。

20

30

#### 【0033】

次に、図 7 に示すように、フォトリソグラフィによって画素電極 16a を露出するように層間絶縁膜 20 をエッチングしてコンタクトホール 28 を形成してから全面に濡れ性可変膜 30 を成膜する。各画素電極 16a , 16a , ... の表面は平坦であるため、濡れ性可変膜 30 は画素電極 16a , 16a , ... に重なった領域において平坦な薄膜となる。また、電流源ライン 18 及び E L ライン 19 の側壁や層間絶縁膜 20 の側壁にも濡れ性可変膜 30 は成膜されている。濡れ性可変層 30 は濡れ性が低く撥液性の高い性質を有する。

40

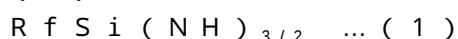
#### 【0034】

この濡れ性可変膜 30 の成膜方法について具体的に説明する。

まず、フッ素を含む官能基を有したシラザン化合物を含有した溶液 (以下、シラザン系溶液という。) を、トランジスタアレイ基板 1 の画素電極 16a , 16a , ... が形成された面に塗布し、シラザン化合物の溶液の膜を成膜する。

#### 【0035】

ここで、「フッ素を含む官能基を有したシラザン化合物」とは、Si - N - Si 結合を有し、N 又は / 及び Si にフッ素を含む官能基が結合したものであり、例えば次の一般式 (1) で表すオリゴマー又はポリマーが挙げられる。



50

一般式 ( 1 ) において R f は、フッ素を含む官能基である。

「フッ素を含む官能基」としては、フルオロアルキル基があり、例えば、次の一般式 ( 2 ) ~ ( 19 ) で表す官能基が挙げられる。

- ( C H <sub>2</sub> )<sub>a</sub> ( C F <sub>2</sub> )<sub>b</sub> C F <sub>3</sub> ... ( 2 )
- ( C H <sub>2</sub> )<sub>a</sub> ( C F <sub>2</sub> )<sub>b</sub> C F ( C F <sub>3</sub> )<sub>2</sub> ... ( 3 )
- ( C H <sub>2</sub> )<sub>a</sub> ( C F <sub>2</sub> )<sub>b</sub> C ( C F <sub>3</sub> )<sub>3</sub> ... ( 4 )
- ( C F <sub>2</sub> )<sub>a</sub> C F <sub>3</sub> ... ( 5 )
- ( C F <sub>2</sub> )<sub>a</sub> C F ( C F <sub>3</sub> )<sub>2</sub> ... ( 6 )
- ( C F <sub>2</sub> )<sub>a</sub> C ( C F <sub>3</sub> )<sub>3</sub> ... ( 7 )
- ( C F <sub>2</sub> )<sub>a</sub> ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>b</sub> C F <sub>3</sub> ... ( 8 )
- ( C F <sub>2</sub> )<sub>a</sub> ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>b</sub> C F ( C F <sub>3</sub> )<sub>2</sub> ... ( 9 )
- ( C F <sub>2</sub> )<sub>a</sub> ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>b</sub> C ( C F <sub>3</sub> )<sub>3</sub> ... ( 10 )
- ( C F <sub>2</sub> )<sub>a</sub> ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>b</sub> ( C F <sub>2</sub> )<sub>c</sub> C F <sub>3</sub> ... ( 11 )
- ( C F <sub>2</sub> )<sub>a</sub> ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>b</sub> ( C F <sub>2</sub> )<sub>c</sub> C F ( C F <sub>3</sub> )<sub>2</sub> ... ( 12 )
- ( C F <sub>2</sub> )<sub>a</sub> ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>b</sub> ( C F <sub>2</sub> )<sub>c</sub> C ( C F <sub>3</sub> )<sub>3</sub> ... ( 13 )
- ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>a</sub> C F <sub>3</sub> ... ( 14 )
- ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>a</sub> C F ( C F <sub>3</sub> )<sub>2</sub> ... ( 15 )
- ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>a</sub> C ( C F <sub>3</sub> )<sub>3</sub> ... ( 16 )
- ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>a</sub> ( C F <sub>2</sub> )<sub>b</sub> C F <sub>3</sub> ... ( 17 )
- ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>a</sub> ( C F <sub>2</sub> )<sub>b</sub> C F ( C F <sub>3</sub> )<sub>2</sub> ... ( 18 )
- ( C ( C F <sub>3</sub> )<sub>2</sub> )<sub>a</sub> ( C F <sub>2</sub> )<sub>b</sub> C ( C F <sub>3</sub> )<sub>3</sub> ... ( 19 )

10

20

一般式 ( 2 ) ~ ( 19 ) において a , b , c はいずれも整数である。

#### 【 0 0 3 6 】

シラザン系溶液の溶媒としては、フッ素系溶剤が挙げられる。

#### 【 0 0 3 7 】

ここでは、シラザン化合物として、次の一般式 ( 20 ) で表せるシラザンオリゴマー ( K P - 8 0 1 M : 信越化学工業株式会社製 ) を用いる。そして、上述のディップコート工程においては、このシラザンオリゴマーを溶質として m - キシレンヘキサフロライド溶媒に溶かしたシラザン系溶液 ( 濃度 3 wt % ) をトランジスタアレイ基板 1 に浸漬する。



30

#### 【 0 0 3 8 】

次に、トランジスタアレイ基板 1 に例えば窒素ガスといった不活性ガスを吹き付けて、シラザン系溶液の溶媒を蒸発させることで、シラザン化合物が画素電極 16 a , 16 a , ... 及び層間絶縁膜 20 等の表面に堆積した状態となる。

#### 【 0 0 3 9 】

次に、トランジスタアレイ基板 1 を 10 ~ 30 分間放置すると、雰囲気中の水分によってシラザン化合物が加水分解・縮合する。これにより、図 7 に示すように、フッ素を含む官能基が結合した縮合体からなる濡れ性可変膜 30 が、画素電極 16 a , 16 a , ... を含む基板全体を覆うように一面に成膜される。

#### 【 0 0 4 0 】

シラザン化合物は、画素電極 16 a , 16 a , ... の表面の面方向に縮合されるとともに、画素電極 16 a , 16 a , ... の表面に形成された、単分子ユニットにおける主鎖である R f - Si - X - 基又は R f - Si - 基の上方に、更に単分子ユニットにおける主鎖 R f - Si - X - 基又は R f - Si - 基が積み重なるということが殆どなくなる。ただし X はシラザン化合物と結合した画素電極 16 a の原子若しくは原子団である。このため、濡れ性可変膜 30 の厚さは、実質的に単分子ユニットにおける主鎖 ( ここでは縮合体としての側鎖に相当。 ) である R f - Si - X - 基又は R f - Si - 基の長さ に等しくなる。またこの濡れ性可変膜 30 は、各単分子ユニットにおける主鎖の中のフッ素を含む官能基 R f が濡れ性可変膜 30 の表面側に配置するように縮合されているから、表面では各官能基 R f の撥液性によって有機化合物含有液に対して撥液性を示す。

40

50

## 【0041】

以上のように濡れ性可変膜30を成膜したら、濡れ性可変膜30をm-キシレンヘキサフロイド液（シラザン系溶液の溶媒と同じ液）ですすぐことで、堆積した未反応のシラザン化合物又は余剰のシラザン化合物を洗い流す。

## 【0042】

次いで、トランジスタアレイ基板1にフォトマスク基板を対向させて更にフォトマスク基板に活性光線を透過させて濡れ性可変膜30に活性光線を部分的に照射することで、濡れ性可変膜30が濡れ性の低い部分と濡れ性に高い部分にパターンニングされる。活性光線としては、可視光線、紫外線、赤外線等があるが、後述する光触媒膜を励起するものである。

10

## 【0043】

ここで、フォトマスク基板について説明する。フォトマスク基板は活性光線を透過する透明基板を有し、この透明基板の一方の面には、画素電極16a, 16a, ...に対応するようにマトリクス状に配列された複数の開口部を有するマスクが網目状に形成され、約0.2μm厚の光触媒膜がマスク全体を被覆するように一方の面全体に成膜されている。開口部は、行方向に沿って電流源ライン18とELライン19との間を開口する広さに設定されている。

## 【0044】

マスクは活性光線を反射したり、又は吸収したりし、活性光線を透過しないものである。光触媒膜は、酸化チタン( $\text{TiO}_2$ )、酸化亜鉛( $\text{ZnO}$ )、酸化スズ( $\text{SnO}_2$ )、チタン酸ストロンチウム( $\text{SrTiO}_3$ )、酸化タングステン( $\text{WO}_3$ )、酸化ビスマス( $\text{Bi}_2\text{O}_3$ )及び酸化鉄( $\text{Fe}_2\text{O}_3$ )の中から選ばれる一種又は二種以上の物質で形成されている。

20

## 【0045】

以上のようなフォトマスク基板を用いて、活性光線を入射させると、マスクでは活性光線が遮蔽されるが、マスクの無い開口部では光触媒膜を透過する。従って、濡れ性可変膜30のうちマスクに重なる領域つまり画素電極16aの周囲には、活性光線が入射しないが、それぞれの画素電極16aに重なる領域には活性光線が入射する。

## 【0046】

活性光線が光触媒膜を透過する際に活性酸素種( $\cdot\text{OH}$ )が生成され、この活性酸素種が濡れ性可変膜30と化学反応を引き起こす。濡れ性可変膜30のうち画素電極16a, 16a, ...に重なった領域には、光触媒膜を透過した活性酸素種が到達し、画素電極16aに重なった領域には、マスクによって活性光線が遮蔽されるから活性酸素種が届かない。このように光触媒の作用は、光触媒膜に活性光線が入射することによって活性酸素種が発生し、発生した活性酸素種が濡れ性可変膜30に到達し、活性酸素種によって濡れ性可変膜30の化学構造が変化する。

30

## 【0047】

濡れ性可変膜30のうち開口部に重なる領域は、光触媒の作用により生成された活性酸素種( $\cdot\text{OH}$ )により撥液性を示すRf基が、親水性を示す水酸基に置換され、親液性膜30aである。親液性膜30aは、フッ素を含む官能基(上記Rf)が分解・離脱し、水酸基に置換されるために、有機化合物含有液に対して親液性を示し、後述するエレクトロルミネセンス層23を構成する材料が含まれる液体をはじくことなくこの液体を親液性膜30aの表面に均一に成膜することが可能になる。

40

## 【0048】

更に、親液性膜30aにおいては、珪素と酸素からなる縮合体における主鎖が画素電極16a, 16a, ...の表面に沿った状態で形成され、且つ、撥液性を示すフッ素を含む官能基が水酸基に置換されるため、膜厚も単分子ユニットにおける主鎖(ここでは縮合体としての側鎖に相当。)である $\text{HO-Si-X-}$ 基又は $\text{HO-Si-}$ 基の長さに等しく、1nm以下と非常に薄くすることができる。そのため、活性酸素種が生成された領域である画素電極16a, 16a, ...上では、パターン膜30の膜厚が非常に薄くなり、親液性膜

50

30 a 自体が正孔等の電荷の注入、輸送に支障をきたすことはほとんどない。

【0049】

そして、濡れ性可変膜30のうちマスクと重なる領域には、活性酸素種が到達しないから化学変化が起きず、後述する発光層を構成する材料が含まれる液体に対して依然、撥液性を示す。この領域に濡れ性可変層30と同じ性質の撥液性膜30bが形成される。撥液性膜30bは、親液性膜30aと連続して形成されているとともに親液性膜30aよりもほぼフッ素を含む官能基Rfの分だけ厚い。

【0050】

続いて各画素、つまり各親液性膜30a, 30a, ...にEL層をそれぞれ成膜する。ここでは、図8に示すように、EL層として正孔輸送層22と発光層23を用いて説明する

10

【0051】

ポリチオフェン及びドーパントであるポリスチレンスルホン酸を含む水溶液又は懸濁液を、スピンコート法、ディップコート法等の湿式成膜法によって成膜する。この水溶液又は懸濁液は、親液性を示す各親液性膜30a, 30a, ...では、濡れやすいとともに滲みやすく、撥液性を示す撥液性膜30b, 30b, ...では、濡れにくく弾かれやすい。このため、水溶液又は懸濁液は選択的に各親液性膜30a, 30a, ...上に被膜される。この後水溶液又は懸濁液の溶媒が各親液性膜30a, 30a, ...上で乾燥して正孔輸送層22が成膜される。正孔輸送層22の材料を含む水溶液又は懸濁液は、正孔輸送層22の材料を数vol%含む溶液であるために成膜初期時には発光層23よりも厚く堆積されるが、電

20

【0052】

このため、電流源ライン18は、正孔輸送層22が成膜される区画の少なくとも一辺として正孔輸送層22を仕切ることができる。またELライン19は、正孔輸送層22が成膜される区画の少なくとも他の一辺として正孔輸送層22を仕切ることができる。

【0053】

正孔輸送層22を成膜後、図8に示すように、ポリフルオレン系発光材料からなる発光層23を、正孔輸送層22と同様に印刷法等の湿式成膜法によって画素ごとに成膜する。ここで、発光層23を含む水溶液又は懸濁液は、発光層23を数vol%含む溶液であるために成膜初期時には発光層23よりも厚く堆積されるが、その溶液又は懸濁液の高さよりも十分高い隔壁となっているため当該行に隣接する行に流出することを防止できる。

30

【0054】

したがって、電流源ライン18及びELライン19に沿って囲まれた行方向の複数の画素は同一色に発光する発光層とすれば、電流源ライン18及びELライン19間にまとめて発光層23を含む溶液又は懸濁液を流入させることで行方向の複数の画素に発光層23を一括して成膜することができる。

【0055】

そして、電流源ライン18は、発光層23が成膜される区画の少なくとも一辺として発光層23を仕切ることができる。またELライン19は発光層23が成膜される区画の少なくとも他の一辺として発光層23を仕切ることができる。

40

【0056】

次に、図9に示すように、窒化シリコン又は酸化シリコン等の絶縁膜を全面に被膜後にその絶縁膜をパターニングして、各行毎に、電流源ライン18を覆う絶縁膜33aと、ELライン19の上面にコンタクトホール34が設けられるとともにコンタクトホール34で露出した開口部以外のELライン19を覆う絶縁膜33b、33bと、を形成する。

【0057】

そして、蒸着等の気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数材料からなる電子注入層と、酸化インジウム、酸化亜鉛若

50

しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物（例えば、錫ドープ酸化インジウム（ITO）、亜鉛ドープ酸化インジウム、カドミウム・錫酸化物（CTO））を有する透明導電層との二層構造の共通電極24をカソード電極として一面に成膜する。電子注入層は1nm～20nmの厚さで可視光が透過する程度に薄いために、電流源ライン18やELライン19の段差によって切断されてもよいが、共通電極24の透明導電層は、複数の画素の有機EL素子26の一方の電極を互いに等電位にするため、電流源ライン18上の電流源ライン絶縁膜21の上を跨ぎ且つELライン19上に跨るように成膜されている。これにより、発光層23は共通電極24に密着した状態で共通電極24によって被覆され、更にELライン19も共通電極24に密着した状態で共通電極24によって被覆される。画素電極16a、正孔輸送層22、発光層23、共通電極24の順に積層したものが有機EL素子26となるが、共通電極24は全ての画素（有機EL素子26）に共通した層となっている。そして、共通電極24の電圧供給源は、各行毎に設けられたELライン19となる。なお、有機EL素子26では、画素電極16a上に親液性膜30aが成膜されているが、親液性膜30aは極めて薄いので画素電極16aの正孔輸送層22への電荷注入性に悪影響を及ぼすことはない。同様に、ELライン19上には、撥液性膜30bが成膜されているが、撥液性膜30bは極めて薄いのでELライン19の共通電極24への電荷注入性に悪影響を及ぼすことはない。

10

#### 【0058】

共通電極24は、電流源ライン18とは絶縁膜33aを介して成膜されているので電氣的に絶縁され、ELライン19とはコンタクトホール34で撥液性膜30bを介しているが、撥液性膜30bは極めて薄い構造であるので十分な絶縁性がないので電氣的に接続されている状態になっている。したがって全てのELライン19は、共通電極24を介して互いに接続されている。共通電極24はITO等の透明電極であるために抵抗率が高いが、ELライン19が、トランジスタ7, 8, 9のソース7S, 8S, 9S、ドレイン7D, 8D, 9D、ゲート7G, 8G, 9Gに対して単位長さあたりの抵抗が小さくなるようにこれら電極の膜厚よりも厚く堆積されているため、全ての画素の有機EL素子26のカソードから十分な電流を流すことが可能となる。また、電流源ライン18が、トランジスタ7, 8, 9のソース7S, 8S, 9S、ドレイン7D, 8D, 9D、ゲート7G, 8G, 9Gに対して単位長さあたりの抵抗が小さくなるようにこれら電極の膜厚よりも厚く堆積されているため、各行の画素の有機EL素子26のアノードに十分な電流を流すことが可能となる。

20

30

#### 【0059】

次に、スピンコート法、ディップコート法又は気相成長法によってオーバーコート絶縁層25を一面に成膜し、そのオーバーコート絶縁層25に透明接着樹脂を塗布して封止ガラス基板と貼り合わせる。

#### 【0060】

基板2上の複数の電流線3に電流制御ドライバを接続し、複数の走査線4に走査ドライバを接続し、複数の電流源ライン18に駆動ドライバを接続し、複数のELライン19は等電位で、例えば接地電位に設定されることによって一定の電圧に維持される。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

40

#### 【0061】

完成したエレクトロルミネッセンスディスプレイパネルの画素は図10のような回路構成となる。電流源ライン18とELライン19との間において電流制御トランジスタ9と有機EL素子26が直列に接続されている。つまり、電流制御トランジスタ9のドレイン9Dが電流源ライン18に接続され、電流制御トランジスタ9のソース9Sが有機EL素子26のアノードである画素電極16aに接続され、有機EL素子26のカソードである共通電極24がELライン19に接続されている。

#### 【0062】

電流源ライン18は、平面視して画素電極16aと重なっていないため、画素電極16

50

a との間の寄生容量を抑えることができる。また、電流源ライン 18 は、平面視して走査線 4 と重ならない方が、走査線 4 との間の寄生容量を抑え走査線 4 の信号遅延を抑制する点で好ましい。さらに電流源ライン 18 は、平面視して微小電流が流れる電流線 3 と重なる面積が小さいほうが、電流線 3 との間の寄生容量を抑えることができ、図 6 に示すように、電流線 3 と重なる部分で幅を細くしてもよい。

#### 【0063】

EL ライン 19 は、平面視して画素電極 16a と重なっていないため、画素電極 16a との間の寄生容量を抑えることができる。また、EL ライン 19 は、平面視して走査線 4 と重ならない方が、走査線 4 との間の寄生容量を抑え走査線 4 の信号遅延を抑制する点で好ましい。さらに EL ライン 19 は、平面視して微小電流が流れる電流線 3 と重なる面積が小さいほうが、電流線 3 との間の寄生容量を抑えることができ、電流線 3 と重なる部分で幅を細くしてもよい。

10

#### 【0064】

エレクトロルミネッセンスディスプレイパネルには、基板 2 上の複数の電流線 3 に電流制御ドライバが接続され、複数の走査線 4 に走査ドライバが接続され、複数の電流源ライン 18 に駆動ドライバが接続され、複数の EL ライン 19 は等電位で、例えば接地電位に設定されることによって一定の電圧に維持される。

#### 【0065】

このエレクトロルミネッセンスディスプレイパネルの駆動方法の一例を説明する。

走査ドライバが複数の走査線 4 にオンレベル（ハイレベル）のシフトパルスを順次出力し、それに同期するように駆動ドライバが複数の電流源ライン 18 にローレベル（EL ライン 19 よりも低電位又は等電位）のシフトパルスを順次出力し、それぞれ走査線 4 にシフトパルスが出力されている時に、電流制御ドライバが、電流線 3 並びに電流制御トランジスタ 9 に接続された電流経路制御トランジスタ 7 のドレイン 7D - ソース 7S 間を介して強制的に電流制御トランジスタ 9 のドレイン 9D - ソース 9S 間に記憶電流（引抜電流）を流す。

20

#### 【0066】

具体的には、或る行の選択期間に、当該行の走査線 4 にハイレベルのシフトパルスが出力され、且つ当該行以外の複数の走査線 4 に、オフレベル（ローレベル）の電圧が印加されている時は、当該行の電流源ライン 18 に、EL ライン 19 よりも低電位又は等電位ローレベルのシフトパルスが出力されている。そのとき、電流経路制御トランジスタ 7 及び電流データ書込み制御トランジスタ 8 がオン状態（選択状態）となる。この時、電流制御ドライバが、階調データに応じた電流値の記憶電流を電流制御トランジスタ 9 のドレイン 9D - ソース 9S 間に強制的に流れるように制御する。記憶電流は、電流源ライン 18 から電流制御トランジスタ 9 のドレイン 9D - ソース 9S 間、電流経路制御トランジスタ 7 のドレイン 7D - ソース 7S 間を経由して電流線 3 に向かって流れる。この記憶電流の電流値は、有機 EL 素子 26 の発光輝度階調に応じて電流制御ドライバによって自動的に制御されている。

30

#### 【0067】

トランジスタの特性上、電流制御トランジスタ 9 のドレイン 9D - ソース 9S 間に流れる電流の電流値は、電流制御トランジスタ 9 のゲート 9G - ソース 9S 間電位並びに電流制御トランジスタ 9 のドレイン 9D - ソース 9S 間電位に依存されるが、電流制御ドライバが、記憶電流の電流値に応じて電流制御トランジスタ 9 のゲート 9G - ソース 9S 間電位並びに電流制御トランジスタ 9 のドレイン 9D - ソース 9S 間電位を設定することになり、このときのゲート 9G - ソース 9S 間の電圧のレベルは、電流制御トランジスタ 9 のゲート 9G - ソース 9S 間のキャパシタ 10 にチャージされた電荷によってその後の発光期間にわたって保持（記憶）される。当該行の発光期間では、走査ドライバによって当該行の走査線 4 がローレベルになり、電流経路制御トランジスタ 7 及び電流データ書込み制御トランジスタ 8 がオフ状態となるが、オフ状態の電流データ書込み制御トランジスタ 8 によってキャパシタ 10 の電荷が保持され、電流制御トランジスタ 9 のゲート 9G - ソー

40

50

ス 9 S 間の電圧がそのまま維持される。この時、電流源ライン 1 8 がハイレベル ( E L ライン 1 9 の電圧よりも高レベル ) になることによって、電流源ライン 1 8 から電流制御トランジスタ 9 を介して有機 E L 素子 2 6 に駆動電流が流れ、有機 E L 素子 2 6 が発光するが、駆動電流の大きさは電流制御トランジスタ 9 のゲート 9 G - ソース 9 S 間の電圧に依存する。そのため、発光期間における駆動電流の電流値は、選択期間における記憶電流の電流値に等しくなる。そして選択期間、発光期間を行毎にずらしていくことでエレクトロルミネッセンスディスプレイパネルがフレーム表示することが可能となる。

#### 【 0 0 6 8 】

上述したように電流線 3 で引き抜かれる記憶電流の電流値は、一つの有機 E L 素子 2 6 に流れる駆動電流の電流値に等しいため、電流線 3 はトランジスタ 7、8、9 のソース、ドレインと同じ膜を用いても十分機能する程度の抵抗に設定できる。また、走査線 4 は、電流経路制御トランジスタ 7 及び電流データ書込み制御トランジスタ 8 を電圧変調によってオンオフ制御するだけでよいので大電流を流す必要がないため、トランジスタ 7、8、9 のゲートと同じ膜を用いても十分機能する程度の抵抗に設定できる。

10

#### 【 0 0 6 9 】

しかしながら、ある行の電流源ライン 1 8 は、当該行の発光期間に、当該行の複数の画素の有機 E L 素子 2 6 にそれぞれ流れる駆動電流の電流源になるため、大きな電流値が流れるよう低抵抗でなければならない。そして、ある行の E L ライン 1 9 には、当該行の発光期間に、当該行の複数の画素の有機 E L 素子 2 6 にそれぞれ流れる駆動電流がまとまって流れるため、大きな電流値が流れるよう低抵抗でなければならない。このような電流源ライン 1 8 及び E L ライン 1 9 の抵抗は、各行の画素数 ( 有機 E L 素子 2 6 の数 ) が増えるにしたがい小さくしなければならず、画素数が十分大きいと、トランジスタ 7、8、9 のゲートと同じ膜を用いただけでは十分に電流を流すことができなくなってしまう恐れがある。

20

#### 【 0 0 7 0 】

ここで、本実施形態では、電流源ライン 1 8 及び E L ライン 1 9 をトランジスタ 7、8、9 を構成する導電膜とは異なる膜で形成されているので、電流源ライン 1 8、1 8、... 及び E L ライン 1 9、1 9、... は、トランジスタ 7、8、9 のソース 7 S、8 S、9 S、ドレイン 7 D、8 D、9 D の膜厚よりも厚く堆積でき、ソース 7 S、8 S、9 S、ドレイン 7 D、8 D、9 D に対して単位長さあたりの抵抗が小さく設定されることが可能となる。また、電流源ライン 1 8、1 8、... 及び E L ライン 1 9、1 9、... は、トランジスタ 7、8、9 のゲート 7 G、8 G、9 G の膜厚よりも厚く堆積でき、ゲート 7 G、8 G、9 G に対して単位長さあたりの抵抗が小さく設定されることが可能となる。そのため、電流源ライン 1 8 や E L ライン 1 9 の電気抵抗を低くすることができ、発光期間の開始時から有機 E L 素子 2 6 が所望の明るさ ( 階調 ) に発光するまでの時間の遅延を抑えたり、電流源ライン 1 8 や E L ライン 1 9 における電圧降下を抑えたりすることができる。更には、電流源ライン 1 8 や E L ライン 1 9 を低抵抗にすることによって、エレクトロルミネッセンスディスプレイパネルの明るさの低下、明るさのムラ、クロストーク等の表示劣化を抑えることができる。

30

#### 【 0 0 7 1 】

例えば、電流源ライン 1 8 及び E L ライン 1 9 を、配線幅 2 0  $\mu\text{m}$ 、配線長 6 6 4 mm と設定してさらに本発明のように膜厚 5  $\mu\text{m}$  の銅を用いた場合、シート抵抗 0 . 0 0 3  $\Omega / \square$ 、抵抗 1 1 1  $\Omega$  になり、4 0 m A としたときの電圧降下は 4 . 4 V に抑えられる。一方、従来のように、トランジスタ 7、8、9 のドレイン、ソースに用いた膜厚 0 . 3  $\mu\text{m}$  の A l - T i を電流源ライン 1 8 及び E L ライン 1 9 として利用した場合、シート抵抗 0 . 5  $\Omega / \square$ 、抵抗 1 6 6 0 0  $\Omega$  になり、4 0 m A としたときの電圧降下は 6 6 4 4 V になってしまう。

40

#### 【 0 0 7 2 】

なお、本発明は上記実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

50

## 【 0 0 7 3 】

例えば、電流線 3 と交差する部分を除いた走査線 4 が露出するようにゲート絶縁膜 4 1 及び絶縁膜 1 1 にコンタクトホールを設けて、電流源ライン 1 8 や E L ライン 1 9 の成膜と同一工程において、走査線 4 上に電解メッキ層を形成してもよい。この場合、メッキ層は、共通電極 2 4 と絶縁するように、絶縁膜 3 3 a、3 3 b と同様に、間に絶縁膜を介在させるが、トランジスタ 7, 8 のゲートには電氣的に接続する。

## 【 0 0 7 4 】

また、上記実施形態ではトランジスタ 7, 8, 9 が N チャネル型の薄膜トランジスタであるとして説明したが、トランジスタ 7, 8, 9 が P チャネル型の薄膜トランジスタであっても良い。トランジスタ 7, 8, 9 が P チャネル型の薄膜トランジスタである場合、ソースとドレインの接続が逆になるので、上記説明において「ソース」を「ドレイン」に置き換え、「ドレイン」を「ソース」に置き換えれば良く、信号の「ハイレベル」を「ローレベル」に置き換え、「ローレベル」を「ハイレベル」に置き換えればよい。なおこの場合でも記憶電流の向きは変わらない。

10

## 【 0 0 7 5 】

## 〔 第 2 の実施形態 〕

図 1 1 ~ 図 1 6 を用いて、第 2 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 1 1 ~ 図 1 6 は製造方法における各工程の断面図であり、工程順序はこの順になっている。また、図 1 1 ~ 図 1 6 では、第 1 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して

20

## 【 0 0 7 6 】

まず、本実施形態では、トランジスタアレイ基板 1 を製造後、第 1 の実施形態と同様、図 2、図 3 に示す工程を経てメッキシード下地層 1 7 a、メッキシード下地層 1 7 b を形成する。そして、図 1 1 に示すように、メッキシード下地層 1 7 a 上、及び画素電極 1 6 a の複数の周縁辺のうちの各メッキシード層 1 7 a 側の辺と対向する辺側で行方向に沿った位置の層間絶縁膜 2 0 上に、それぞれフォトレジスト膜 6 2 をパターンニング形成する。

## 【 0 0 7 7 】

次に、図 1 2 に示すように、フォトレジスト膜 6 2 をマスクとして、メッキシード下地層 1 7 a を保護するとともに、露出したメッキシード下地層 1 7 b をエッチングしてメッキシード下地層 1 7 d を形成し、次いでメッキシード下地層 1 7 d の下方を除く層間絶縁膜 2 0 をエッチング除去して層間絶縁膜 2 0 a をパターンニング形成するとともに画素電極 1 6 a を露出させる。フォトレジスト膜 6 2 を除去して、メッキシード下地層 1 7 a 及びメッキシード下地層 1 7 d を露出させる。

30

## 【 0 0 7 8 】

次に、図 1 3 に示すように、メッキシード下地層 1 7 a 及びメッキシード下地層 1 7 d が露出されるようにフォトレジスト膜 6 3 を形成する。そして、第 1 の実施形態と同様に、電解メッキによってメッキシード下地層 1 7 a 上にトランジスタ 7, 8, 9 のソース、ドレイン、ゲートの膜厚よりも厚い膜厚 2 ~ 1 0 0  $\mu\text{m}$  の銅メッキ厚膜で且つ 5  $\mu\text{m}$  ~ 5 0  $\mu\text{m}$  幅の電流源ライン 1 8 を選択的に成膜し、メッキシード下地層 1 7 d 上に膜厚 2 ~ 1 0 0  $\mu\text{m}$  の銅メッキ厚膜で且つ 5  $\mu\text{m}$  ~ 5 0  $\mu\text{m}$  幅の E L ライン 1 9 を選択的に成膜する。

40

## 【 0 0 7 9 】

次に、フォトレジスト膜 6 3 を除去してから、図 1 4 に示すように、少なくとも露出されている電流源ライン 1 8 の表面、メッキシード下地層 1 7 a の側面、及び下地配線 1 6 b の側面を覆うような絶縁膜 3 5 を形成する。このとき、電流源ライン 1 8 の高さによって電流源ライン 1 8 の側壁を覆う絶縁膜 3 5 の厚さが絶縁性を損なうような厚さにならないことが好ましい。この後、全面に濡れ性可変膜 3 0 を成膜する。

## 【 0 0 8 0 】

次に、第 1 の実施形態と同様、図 1 5 に示すように、濡れ性可変膜 3 0 を変質させて親

50

液性膜 30 a 及び撥液性膜 30 b のパターンニングを行ってから、正孔輸送層 22 を含む溶液又は懸濁液を親液性膜 30 a 上に選択的に湿式成膜し、乾燥させて正孔輸送層 22 を形成後、その上に発光層 23 を成膜する。

#### 【0081】

次に、図 16 に示すように、透明電極からなる共通電極 24 を全面に被膜させ、オーバーコート絶縁層 25 で上面を封止する。共通電極 24 は、電流源ライン 18 とは絶縁膜 35 を介して成膜されているので電氣的に絶縁され、ELライン 19 とは撥液性膜 30 b を介しているが、撥液性膜 30 b は極めて薄い構造であるので十分な絶縁性がないので電氣的に接続されている状態になっている。したがって全ての ELライン 19 は、共通電極 24 を介して互いに接続されている。共通電極 24 はITO等の透明電極であるために抵抗率が高いが、ELライン 19 が、トランジスタ 7, 8, 9 のソース 7S, 8S, 9S、ドレイン 7D, 8D, 9D、ゲート 7G, 8G, 9G に対して単位長さあたりの抵抗が小さくなるようにこれら電極の膜厚よりも厚く堆積されているため、全ての画素の有機 EL 素子 26 のカソードから十分な電流を流すことが可能となる。また、電流源ライン 18 が、トランジスタ 7, 8, 9 のソース 7S, 8S, 9S、ドレイン 7D, 8D, 9D、ゲート 7G, 8G, 9G に対して単位長さあたりの抵抗が小さくなるようにこれら電極の膜厚よりも厚く堆積されているため、各行の画素の有機 EL 素子 26 のアノードに十分な電流を流すことが可能となる。

10

#### 【0082】

基板 2 上の複数の電流線 3 に電流制御ドライバを接続し、複数の走査線 4 に走査ドライバを接続し、複数の電流源ライン 18 に駆動ドライバを接続し、複数の ELライン 19 は等電位で、例えば接地電位に設定されることによって一定の電圧に維持される。

20

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

#### 【0083】

第 2 の実施形態においても、電流源ライン 18 及び ELライン 19 をトランジスタ 7, 8, 9 を構成する導電膜とは別の膜で形成されているので、電流源ライン 18 及び ELライン 19 をトランジスタ 7, 8, 9 のドレイン、ソース、ゲートや電流線 3、走査線 4 等よりも厚膜にして単位長さあたりの抵抗をより小さくすることができる。そのため、電流源ライン 18 や ELライン 19 の電気抵抗を低くすることができ、発光期間の開始時から有機 EL 素子 26 が所望の明るさ（階調）に発光するまでの時間の遅延を抑えたり、電流源ライン 18 や ELライン 19 における電圧降下を抑えたりすることができる。更には、電流源ライン 18 や ELライン 19 を低抵抗にすることによって、エレクトロルミネッセンスディスプレイパネルの明るさの低下、明るさのムラ、クロストーク等の表示劣化を抑えることができる。

30

#### 【0084】

##### 〔第 3 の実施形態〕

図 17 ~ 図 21 を用いて、第 3 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 17 ~ 図 21 は製造方法における各工程の断面図であり、工程順序は図 17 ~ 図 21 の順になっている。また、図 17 ~ 図 21 では、第 1、第 2 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。

40

#### 【0085】

まず、第 1 実施形態の図 2 に示すトランジスタアレイ基板 1 上に、図 17 に示すように、層間絶縁膜 20 を成膜し、層間絶縁膜 20 の各電流制御トランジスタ 9 のドレイン 9D に対応する位置にコンタクトホール 27 を形成しドレイン 9D を露出させ、画素電極 16 a の複数の周縁辺のうちの電流源ライン 18 が形成される側の辺と対向する辺側で且つ行方向に沿った位置の層間絶縁膜 20 に開口部 36 を形成し、層間絶縁膜 20 の厚さより十分薄いメッキシード下地層を成膜すると、コンタクトホール 27 での段差及び開口部 36 の段差によってそれぞれ分断されたメッキシード下地層 17 a、メッキシード下地層 17

50

eを形成する。

【0086】

次に、図18に示すように、メッキシード下地層17a、メッキシード下地層17eが露出されるようなフォトリジスト膜64を形成すると、メッキシード下地層17a、メッキシード下地層17eを電極とした電解メッキを行い、メッキシード下地層17a上に、トランジスタ7, 8, 9のソース、ドレイン、ゲートの膜厚よりも厚い膜厚2~100 $\mu$ mの銅メッキ厚膜で且つ5 $\mu$ m~50 $\mu$ m幅の電流源ライン18を成膜し、メッキシード下地層17e上に、膜厚2~100 $\mu$ mの銅メッキ厚膜で且つ5 $\mu$ m~50 $\mu$ m幅のELライン19を成膜する。

【0087】

次に、図19に示すように、フォトリジスト64を除去し、少なくとも露出されている電流源ライン18の表面、メッキシード下地層17aの側面、及び下地配線16bの側面を覆うような絶縁膜35を形成する。そして、第1、第2実施形態と同様に、全面に濡れ性可変膜30を成膜してから、紫外線を照射し、光触媒の作用によって改質された親液性膜30aをパターンニング形成するとともに、光触媒の作用を受けなかった部分が撥液性膜30bとなる。

【0088】

第1、第2実施形態と同様、図20に示すように、正孔輸送層22を含む溶液又は懸濁液を親液性膜30a上に選択的に湿式成膜し、乾燥させて正孔輸送層22を形成後、その上に発光層23を成膜する。

【0089】

次に、図21に示すように、透明電極からなる共通電極24を全面に被膜させ、オーバークコート絶縁層25で上面を封止する。共通電極24は、電流源ライン18とは絶縁膜35を介して成膜されているので電氣的に絶縁され、ELライン19とは撥液性膜30bを介しているが、撥液性膜30bは極めて薄い構造であるので十分な絶縁性がないので電氣的に接続されている状態になっている。したがって全てのELライン19は、共通電極24を介して互いに接続されている。共通電極24はITO等の透明電極であるために抵抗率が高いが、ELライン19が、トランジスタ7, 8, 9のソース7S, 8S, 9S、ドレイン7D, 8D, 9D、ゲート7G, 8G, 9Gに対して単位長さあたりの抵抗が小さくなるようにこれら電極の膜厚よりも厚く堆積されているため、全ての画素の有機EL素子26のカソードから十分な電流を流すことが可能となる。また、電流源ライン18が、トランジスタ7, 8, 9のソース7S, 8S, 9S、ドレイン7D, 8D, 9D、ゲート7G, 8G, 9Gに対して単位長さあたりの抵抗が小さくなるようにこれら電極の膜厚よりも厚く堆積されているため、各行の画素の有機EL素子26のアノードに十分な電流を流すことが可能となる。

【0090】

そして、基板2上の複数の電流線3に電流制御ドライバを接続し、複数の走査線4に走査ドライバを接続し、複数の電流源ライン18に駆動ドライバを接続し、複数のELライン19は等電位で、例えば接地電位に設定されることによって一定の電圧に維持される。

【0091】

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【0092】

なお、上記各実施形態では、各電流制御トランジスタ9のソース9Sと有機EL素子26のアノードとを接続させ、ELライン19を有機EL素子26のカソードと接続させたが、これに限らず、各電流制御トランジスタ9のソース9Sと有機EL素子26のカソードとを接続させ、ELライン19を有機EL素子26のアノードと接続させてもよい。

また上記各実施形態では、電流源ライン18は、正孔輸送層22が成膜される区画の少なくとも一辺として正孔輸送層22を仕切り、さらに、発光層23が成膜される区画の少なくとも一辺として発光層23を仕切っていたが、有機EL素子26が正孔輸送層のない

10

20

30

40

50

発光層単層の場合でも、発光層が成膜される区画の少なくとも一辺として発光層を仕切ってもよく、有機EL素子26が電子輸送層が設けられた場合であっても、電子輸送層が成膜される区画の少なくとも一辺として電子輸送層を仕切ってもよい。

【0093】

同様に、ELライン19は、有機EL素子26が正孔輸送層のない発光層単層の場合でも、発光層が成膜される区画の少なくとも一辺として発光層を仕切ってもよく、有機EL素子26が電子輸送層が設けられた場合であっても、電子輸送層が成膜される区画の少なくとも一辺として電子輸送層を仕切ってもよい。

【図面の簡単な説明】

【0094】

10

【図1】トランジスタアレイ基板1の等価回路図である。

【図2】第1の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

【図3】図2の次の工程を説明するための断面図である。

【図4】図3の次の工程を説明するための断面図である。

【図5】図4の次の工程を説明するための断面図である。

【図6】図5の状態における平面図である。

【図7】図5の次の工程を説明するための断面図である。

【図8】図7の次の工程を説明するための断面図である。

【図9】図8の次の工程を説明するための断面図である。

20

【図10】エレクトロルミネッセンスディスプレイパネルの等価回路図である。

【図11】第2の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

【図12】図11の次の工程を説明するための断面図である。

【図13】図12の次の工程を説明するための断面図である。

【図14】図13の次の工程を説明するための断面図である。

【図15】図14の次の工程を説明するための断面図である。

【図16】図15の次の工程を説明するための断面図である。

【図17】第3の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

30

【図18】図17の次の工程を説明するための断面図である。

【図19】図18の次の工程を説明するための断面図である。

【図20】図19の次の工程を説明するための断面図である。

【図21】図20の次の工程を説明するための断面図である。

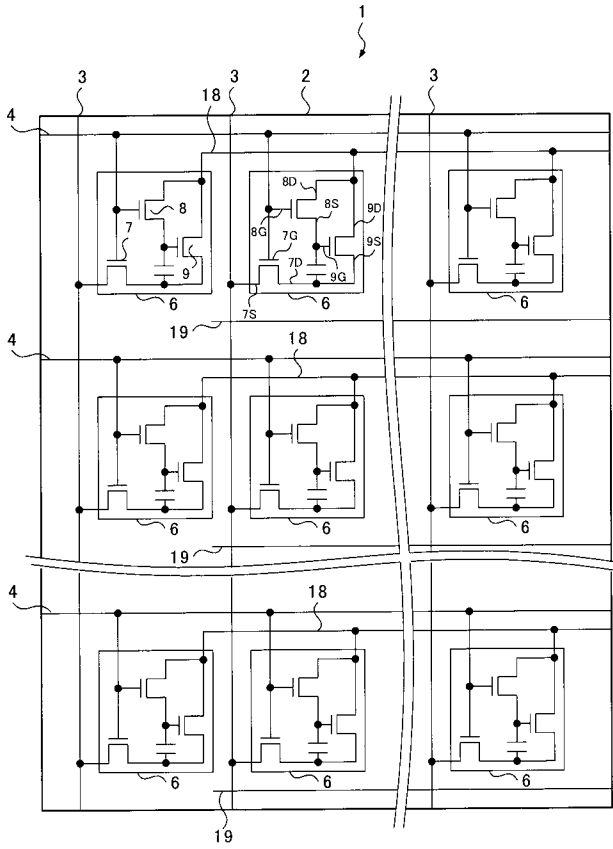
【符号の説明】

【0095】

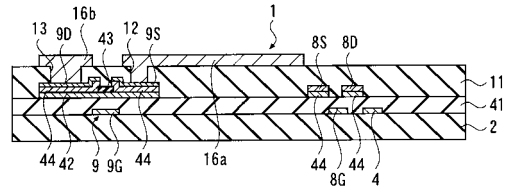
- 1 トランジスタアレイ基板
- 2 基板
- 9 電流制御トランジスタ
- 18 電流源ライン
- 19 ELライン
- 26 有機EL素子

40

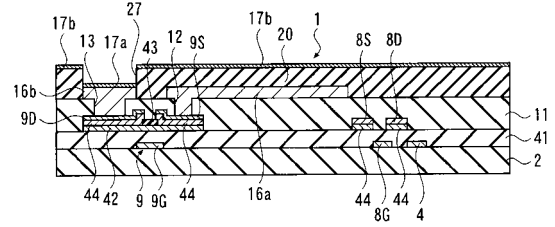
【図 1】



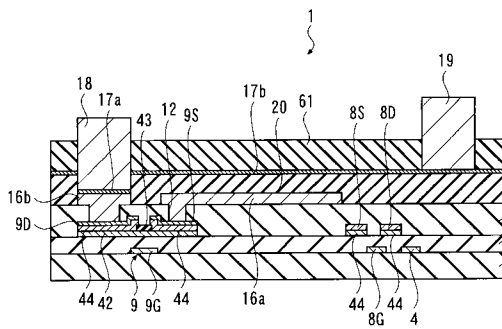
【図 2】



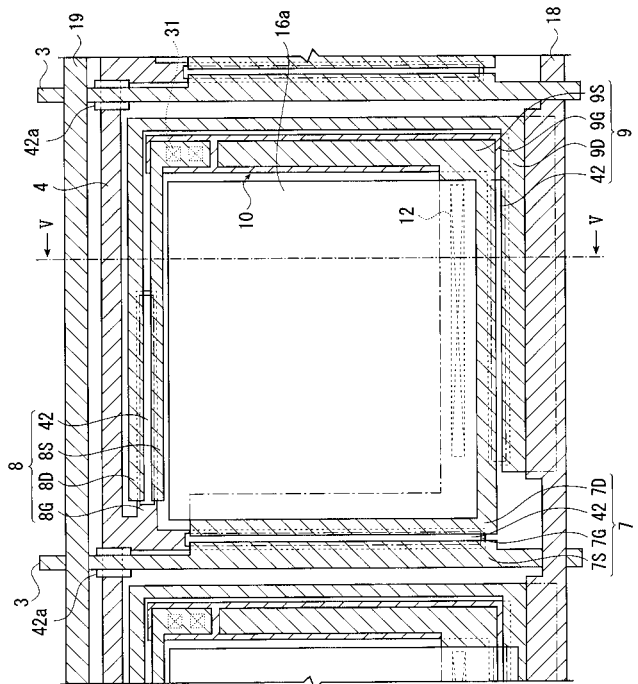
【図 3】



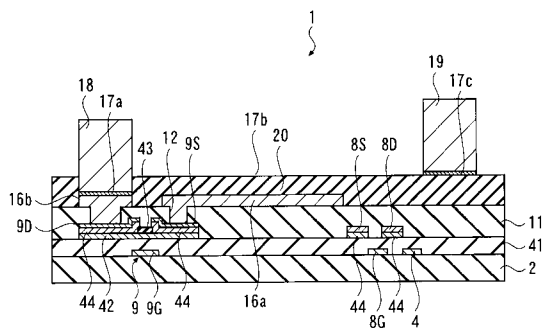
【図 4】



【図 6】

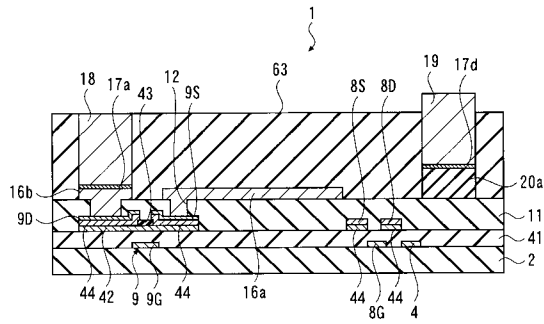


【図 5】

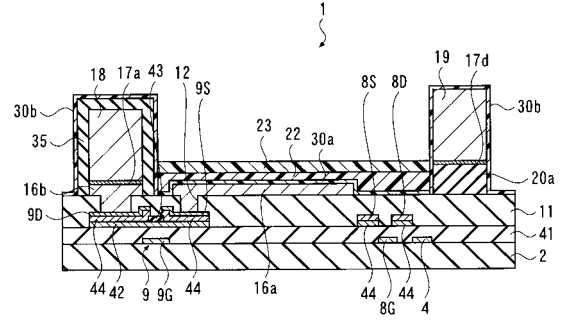




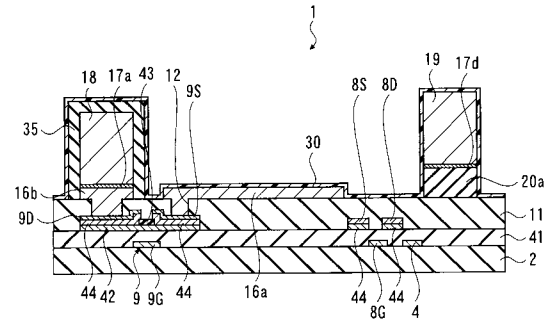
【図 13】



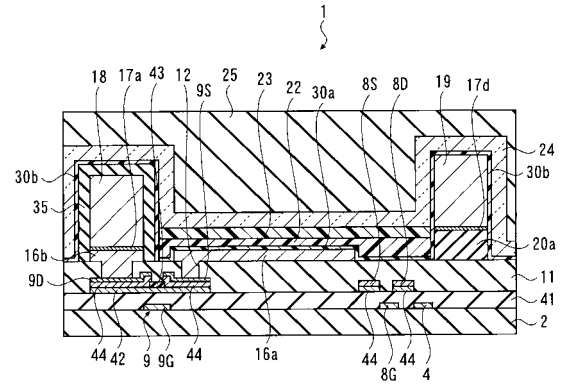
【図 15】



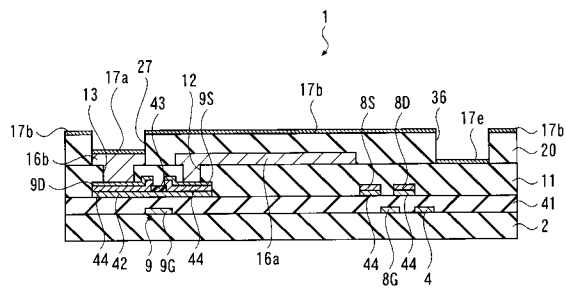
【図 14】



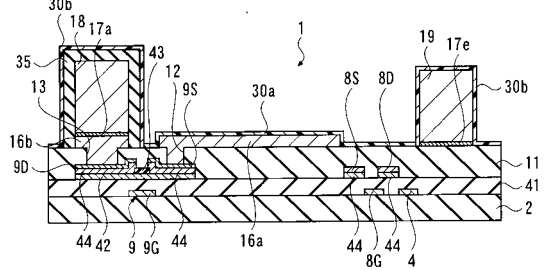
【図 16】



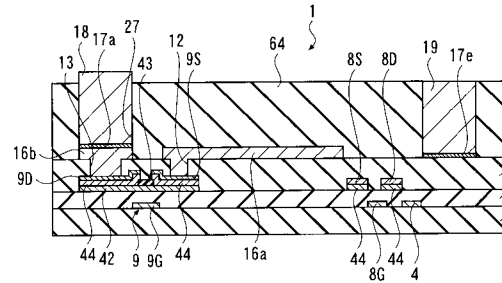
【図 17】



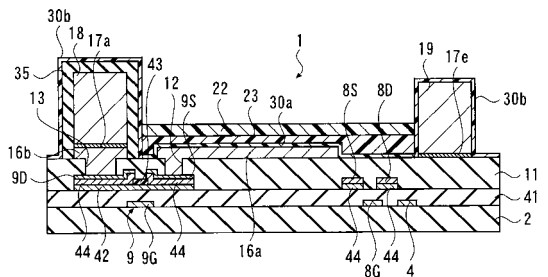
【図 19】



【図 18】



【図 20】





## フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 5 B 33/26 Z

(72)発明者 山口 郁博  
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内  
(72)発明者 当山 忠久  
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内  
(72)発明者 小倉 潤  
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内  
(72)発明者 尾崎 剛  
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 3K007 AB05 BA06 CC00 DB03 FA00 FA01  
5C094 AA04 AA43 AA55 BA03 BA27 CA19 DA13 DB01 EA04 EA05  
EA07 EC10 FA01 FB01 FB19 FB20 GB10  
5G435 AA01 AA17 BB05 CC09 HH01 HH12 HH14 HH20 KK05 KK10

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示面板及其制造方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 公开(公告)号        | <a href="#">JP2005352044A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | 公开(公告)日 | 2005-12-22 |
| 申请号            | JP2004171192                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | 申请日     | 2004-06-09 |
| [标]申请(专利权)人(译) | 卡西欧计算机株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 申请(专利权)人(译)    | 卡西欧计算机有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| [标]发明人         | 白寄友之<br>武居学<br>山口郁博<br>当山忠久<br>小倉潤<br>尾崎剛                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 发明人            | 白寄 友之<br>武居 学<br>山口 郁博<br>当山 忠久<br>小倉 潤<br>尾崎 剛                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| IPC分类号         | H05B33/10 G09F9/00 G09F9/30 H01L27/32 H01L51/50 H05B33/14 H05B33/26                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| FI分类号          | G09F9/30.365.Z G09F9/30.337 G09F9/00.338 H05B33/10 H05B33/14.A H05B33/26.Z G09F9/30.338 G09F9/30.365 H01L27/32                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| F-TERM分类号      | 3K007/AB05 3K007/BA06 3K007/CC00 3K007/DB03 3K007/FA00 3K007/FA01 5C094/AA04 5C094/AA43 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EC10 5C094/FA01 5C094/FB01 5C094/FB19 5C094/FB20 5C094/GB10 5G435/AA01 5G435/AA17 5G435/BB05 5G435/CC09 5G435/HH01 5G435/HH12 5G435/HH14 5G435/HH20 5G435/KK05 5G435/KK10 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC12 3K107/CC31 3K107/CC33 3K107/DD39 3K107/DD89 3K107/EE03 3K107/FF04 3K107/FF15 3K107/GG06 3K107/GG24 3K107/HH05 |         |            |
| 其他公开文献         | JP4315058B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |

#### 摘要(译)

要解决的问题是抑制电压降和电流延迟的发生。 解决方案：通过将气相生长方法，光刻方法，蚀刻方法等应用于基板2，在基板2上图案化多个晶体管7,8,9。在制造的晶体管阵列基板1的表面层中形成接触孔12和13，并且通过图案化进一步形成像素电极16a，并且通过电镀方法图案化电流源线18和EL线19。电流源线18形成为与晶体管9的漏极9D接触。这里，使电流源极线18和EL线19的膜厚度厚于晶体管7,8,9的阳极和公共电极的膜厚度。之后，形成空穴传输层22和发光层23，并且形成公共电极24以与EL线19接触。 点域6

