

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-316385
(P2005-316385A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09F 9/30	G09F 9/30 338	5C080
G09G 3/20	G09F 9/30 365Z	5C094
H05B 33/14	G09G 3/20 611H	
	G09G 3/20 624B	
審査請求 有 請求項の数 21 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2005-9484 (P2005-9484)
 (22) 出願日 平成17年1月17日 (2005.1.17)
 (31) 優先権主張番号 2004-030228
 (32) 優先日 平成16年4月29日 (2004.4.29)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 2004-065784
 (32) 優先日 平成16年8月20日 (2004.8.20)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (72) 発明者 嚴 基 明
 大韓民国京畿道水原市靈通区▲辛▼洞57
 5番地
 (72) 発明者 郭 源 奎
 大韓民国京畿道水原市靈通区▲辛▼洞57
 5番地

最終頁に続く

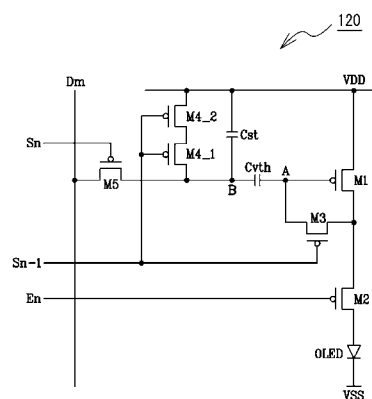
(54) 【発明の名称】 発光表示装置

(57) 【要約】

【課題】 駆動トランジスタのスレッシュホールド電圧を補償することができる画素回路を含み、画素回路内に存在する寄生キャパシタンスによって発生するキックバック影響を低減可能な発光表示装置を提供する。

【解決手段】 直前走査線 Sn-1より与えられる直前選択信号に应答して導通され、互いに直列に接続されるトランジスタM4-1、M4-2と、2つのトランジスタM4-1、M4-2と並列的に接続されるキャパシタCstと、現在走査線 Snより与えられる現在選択信号に应答してデータ電圧 DmをキャパシタCstの第1電極に印加するトランジスタM5と、キャパシタCstの電圧に依存するゲート・ソース電圧に対応する電流を出力するトランジスタM1と、トランジスタM1からの電流に対応して発光する発光素子OLEDを備える。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

データ電圧を伝達する複数のデータ線と、選択信号を伝達する複数の走査線と、前記走査線とデータ線に電氣的に接続された複数の画素回路とを備えた発光表示装置において、前記画素回路は、

各々第 1 制御信号に応答して導通し、互いに直列に接続される第 1 及び第 2 トランジスタと、

前記直列に接続された第 1 及び第 2 トランジスタと並列的に接続される第 1 キャパシタと、

前記選択信号に応答して前記データ電圧を前記第 1 キャパシタの第 1 電極に印加する第 3 トランジスタと、

前記第 1 キャパシタの電圧に依存するゲート・ソース電圧に対応する電流を出力する第 4 トランジスタと、

前記第 4 トランジスタを介して流れる電流に対応して発光する発光素子と、
を備えたことを特徴とする発光表示装置。

【請求項 2】

前記第 1 トランジスタの第 1 電極は前記第 1 キャパシタの第 1 電極に接続され、第 1 トランジスタの第 2 電極は前記第 2 トランジスタの第 1 電極に接続され、前記第 2 トランジスタの第 2 電極は前記第 1 キャパシタの第 2 電極に接続されることを特徴とする請求項 1 に記載の発光表示装置。

【請求項 3】

前記第 1 及び第 2 トランジスタによって組合せゲートトランジスタが形成されることを特徴とする請求項 2 に記載の発光表示装置。

【請求項 4】

前記第 1 及び第 2 トランジスタは互いに異なる大きさを有することを特徴とする請求項 2 に記載の発光表示装置。

【請求項 5】

前記第 2 トランジスタのチャンネル長さは前記第 1 トランジスタのチャンネル長さより長いことを特徴とする請求項 4 に記載の発光表示装置。

【請求項 6】

前記画素回路は、

前記第 1 キャパシタの第 1 電極と前記第 4 トランジスタのゲートとの間に接続される第 2 キャパシタと、

前記第 1 制御信号に応答して前記第 4 トランジスタをダイオード形態に接続する第 1 スイッチと、を更に備え、

前記第 4 トランジスタのゲートが第 2 キャパシタの第 2 電極に接続され、前記第 4 トランジスタのソースが前記第 1 キャパシタの第 2 電極に接続されて前記電流が出力されることを特徴とする請求項 1 に記載の発光表示装置。

【請求項 7】

前記第 1 スイッチは、前記第 1 制御信号に応答して導通され、直列に接続された第 5 及び第 6 トランジスタを含むことを特徴とする請求項 6 に記載の発光表示装置。

【請求項 8】

前記第 5 及び第 6 トランジスタによって組合せゲートトランジスタが形成されることを特徴とする請求項 7 に記載の発光表示装置。

【請求項 9】

第 2 制御信号に応答して前記第 4 トランジスタから出力される電流を前記発光素子に伝達する第 2 スイッチを更に備え、

前記第 2 制御信号は、前記第 1 制御信号及び前記選択信号の後に印加されることを特徴とする請求項 8 に記載の発光表示装置。

【請求項 10】

前記第 1 制御信号は、前記選択信号直前に印加される直前選択信号であることを特徴とする請求項 1 に記載の発光表示装置。

【請求項 1 1】

前記発光素子は、有機物質の発光を利用する素子であることを特徴とする請求項 1 ~ 請求項 1 0 のいずれか 1 項に記載の発光表示装置。

【請求項 1 2】

データ電圧を伝達する複数のデータ線、第 1 及び第 2 選択信号を含む選択信号を各々伝達する複数の走査線、及び前記走査線とデータ線に電氣的に接続された複数の画素回路を含む発光表示装置において、

前記画素回路は、

10

前記データ線に接続される第 1 主電極と、前記第 2 選択信号に 응답して導通して前記データ電圧を伝達する第 2 主電極を備えた第 3 トランジスタと、

前記第 3 トランジスタによって伝達されたデータ電圧に対応する電圧を保存する第 1 キャパシタと、

互いに直列に接続されて形成され、前記第 1 選択信号に 응답して導通して前記第 1 キャパシタと並列接続される第 1 及び第 2 トランジスタと、

前記第 1 キャパシタに保存された電圧に対応する電流を出力する第 4 トランジスタと、

互いに直列に接続されて形成され、前記第 1 選択信号に 응답して導通して前記第 4 トランジスタをダイオード形態に接続する第 5 及び第 6 トランジスタと、

前記第 1 キャパシタの第 1 電極と前記第 4 トランジスタの制御電極の間に接続されて前記第 4 トランジスタのスレッシュホールド電圧に対応する電圧が保存される第 2 キャパシタと

20

、前記第 4 トランジスタを介して流れる電流に対応する光を放出する発光素子と、

を備えたことを特徴とする発光表示装置。

【請求項 1 3】

前記第 1 及び第 2 トランジスタは互いに大きさが異なることを特徴とする請求項 1 2 に記載の発光表示装置。

【請求項 1 4】

前記第 1 及び第 2 トランジスタのうち、前記第 3 トランジスタの第 2 主電極に電氣的に接続される 1 つのトランジスタは、他の 1 つのトランジスタよりもチャンネル長さが短いことを特徴とする請求項 1 3 に記載の発光表示装置。

30

【請求項 1 5】

前記第 5 及び第 6 トランジスタは互いに大きさが異なることを特徴とする請求項 1 2 に記載の発光表示装置。

【請求項 1 6】

前記第 5 及び第 6 トランジスタのうち、前記第 4 トランジスタの制御電極に電氣的に接続される 1 つのトランジスタは、他の 1 つのトランジスタよりチャンネル長さが短いことを特徴とする請求項 1 5 に記載の発光表示装置。

【請求項 1 7】

データ電圧を伝達する複数のデータ線、第 1 及び第 2 選択信号を含む選択信号を各々伝達する複数の走査線、及び前記走査線とデータ線に電氣的に接続された複数の画素回路を含む発光表示装置において、

40

前記画素回路は、

前記データ線に接続される第 1 主電極と、前記第 2 選択信号に 응답して導通して前記データ電圧を伝達する第 2 主電極を備えた第 3 トランジスタと、

前記第 3 トランジスタによって伝達されたデータ電圧に対応する電圧を保存する第 1 キャパシタと、

前記第 1 キャパシタに保存された電圧に対応する電流を出力する第 4 トランジスタと、

互いに直列に接続されて形成され、前記第 1 選択信号に 응답して導通されて前記第 4 トランジスタをダイオード形態に接続する第 5 及び第 6 トランジスタと、

50

前記第 4 トランジスタを介して流れる電流に対応する光を放出する発光素子と、
を備えたことを特徴とする発光表示装置。

【請求項 18】

前記第 5 及び第 6 トランジスタは互いに大きさが異なることを特徴とする請求項 17 に記載の発光表示装置。

【請求項 19】

前記第 5 及び第 6 トランジスタのうち、前記第 4 トランジスタの制御電極に電氣的に接続される 1 つのトランジスタは、他の 1 つのトランジスタよりチャンネル長さが短いことを特徴とする請求項 18 に記載の発光表示装置。

【請求項 20】

前記第 5 及び第 6 トランジスタによって組合せゲートトランジスタが形成されることを特徴とする請求項 17 に記載の発光表示装置。

【請求項 21】

前記画素回路は、

前記第 1 キャパシタの第 1 電極と前記第 4 トランジスタのゲートとの間に接続される第 2 キャパシタと、

各々第 1 制御信号に応答して導通されて前記第 1 キャパシタと並列的に接続される第 7 トランジスタを更に備えたことを特徴とする請求項 17 に記載の発光表示装置。

10

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は発光表示装置に係り、特に有機物質の発光を利用した有機発光表示装置に関する。

【背景技術】

【0002】

一般有機発光表示装置は有機物質の発光を利用した有機発光素子を利用した表示装置であって、行列形態に配列された $N \times M$ 個の有機発光セルを電圧駆動、或いは電流駆動して映像を表示する。

【0003】

このような有機発光セルは、ダイオード特性を有して有機発光ダイオード（または、OLED、或いは有機発光素子）とも呼ばれ、アノード（ITO 膜）、有機薄膜、カソード電極層（金属膜）の構造を有している。有機薄膜は電子と正孔の均衡を良くして発光効率を向上させるために発光層（EML）、電子輸送層（ETL）及び正孔輸送層（HTL）を含む多層構造からなり、また、別途の電子注入層（EIL）と正孔注入層（HIL）を含んでいる。このような有機発光セルが $N \times M$ 個のマトリックス形態に配列されて有機 EL 表示パネルを形成する。

30

【0004】

このように構成される有機発光セルを駆動する方式には単純（または受動）マトリックス方式と、薄膜トランジスタ（TFT）または MOSFET を利用した能動駆動方式がある。単純マトリックス方式は正極配線が負極配線に直交するように形成し、両配線（ライン）を選択して駆動する。また、能動駆動方式は薄膜トランジスタを各 ITO 画素電極に接続し、薄膜トランジスタのゲートに接続されたキャパシタ容量に書き込まれた信号電圧に応じて駆動する方式である。

40

【0005】

以下では従来の能動駆動有機発光表示装置の画素について説明する。図 1 は従来の画素の等価回路図であって、 $N \times M$ 個の画素のうちの一つの画素を等価的に示した図面である。

【0006】

図 1 に示したように、画素回路は有機発光素子 OLED、2 つのトランジスタ SM、D

50

M及びキャパシタC_{st}を備えている。2つのトランジスタS_M、D_MはPMOS型トランジスタを用いているが、NMOS型トランジスタを用いても、回路と動作信号を適当に変更すれば、同様な動作をさせることができる。

【0007】

スイッチングトランジスタS_Mがゲートに印加される選択信号S_nにตอบสนองして導通すれば、データ線D_mからのデータ電圧V_{data}がトランジスタD_Mのゲートに印加される。その結果、トランジスタS_Mが遮断されてからも、キャパシタC_{st}に充電されたゲート・ソース間電圧V_{gs}に対応して、トランジスタD_Mに電流I_{OLED}が流れ、この電流I_{OLED}に対応して有機発光素子OLEDが発光する。このとき、有機発光素子OLEDに流れる電流I_{OLED}は、以下の(1)式で示すことができる。

10

【0008】

$$I_{OLED} = \left(\frac{\quad}{2} \right) * (V_{gs} - V_{th})^2 \\ = \left(\frac{\quad}{2} \right) * (V_{DD} - V_{data} - |V_{th}|)^2 \quad \dots (1)$$

但し、 $\frac{\quad}{2}$ は定数値である。

【0009】

図1に示した画素では、データ電圧に対応する電流が有機発光素子OLEDに供給され、供給された電流に対応する輝度で有機発光素子OLEDが発光する。このとき、印加されるデータ電圧は所定の明暗階調を表示するために一定の範囲で多段階の値を有する。

【0010】

しかし、上記の(1)式から理解されるように、このような画素回路では駆動トランジスタD_Mのスレッシュホールド電圧V_{th}によって電流I_{OLED}値が変化する。したがって、各画素ごとにトランジスタD_Mのスレッシュホールド電圧V_{th}が変わる場合があるために、正確な映像表示が難しいという問題が起こり得る。

20

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、このような従来の課題を解決するためになされたものであり、その第1の目的は、駆動トランジスタのスレッシュホールド電圧を補償できる画素回路を備えた発光表示装置を提供することである。

【0012】

また、第2の目的は、画素回路内に存在する寄生キャパシタンスによって発生するキックバックの影響を低減可能な発光表示装置を提供することである。

30

【課題を解決するための手段】

【0013】

上記目的を達成するため、本願請求項1に記載の発明は、データ電圧を伝達する複数のデータ線と、選択信号を伝達する複数の走査線と、前記走査線とデータ線に電気的に接続された複数の画素回路とを備えた発光表示装置において、前記画素回路は、各々第1制御信号にตอบสนองして導通し、互いに直列に接続される第1及び第2トランジスタと、前記直列に接続された第1及び第2トランジスタと並列的に接続される第1キャパシタと、前記選択信号にตอบสนองして前記データ電圧を前記第1キャパシタの第1電極に印加する第3トランジスタと、前記第1キャパシタの電圧に依存するゲート・ソース電圧に対応する電流を出力する第4トランジスタと、前記第4トランジスタを介して流れる電流に対応して発光する発光素子と、を備えたことを特徴とする。

40

【0014】

請求項2に記載の発明は、前記第1トランジスタの第1電極は前記第1キャパシタの第1電極に接続され、第1トランジスタの第2電極は前記第2トランジスタの第1電極に接続され、前記第2トランジスタの第2電極は前記第1キャパシタの第2電極に接続されることを特徴とする。

【0015】

請求項3に記載の発明は、前記第1及び第2トランジスタによって組合せゲートトラン

50

ジスタが形成されることを特徴とする。

【0016】

請求項4に記載の発明は、前記第1及び第2トランジスタは互いに異なる大きさを有することを特徴とする。

【0017】

請求項5に記載の発明は、前記第2トランジスタのチャンネル長さは前記第1トランジスタのチャンネル長さより長いことを特徴とする。

【0018】

請求項6に記載の発明は、前記画素回路は、前記第1キャパシタの第1電極と前記第4トランジスタのゲートとの間に接続される第2キャパシタと、前記第1制御信号にตอบสนองして前記第4トランジスタをダイオード形態に接続する第1スイッチと、を更に備え、

前記第4トランジスタのゲートが第2キャパシタの第2電極に接続され、前記第4トランジスタのソースが前記第1キャパシタの第2電極に接続されて前記電流が出力されることを特徴とする。

【0019】

請求項7に記載の発明は、前記第1スイッチは、前記第1制御信号にตอบสนองして導通され、直列に接続された第5及び第6トランジスタを含むことを特徴とする。

【0020】

請求項8に記載の発明は、前記第5及び第6トランジスタによって組合せゲートトランジスタが形成されることを特徴とする。

【0021】

請求項9に記載の発明は、第2制御信号にตอบสนองして前記第4トランジスタから出力される電流を前記発光素子に伝達する第2スイッチを更に備え、前記第2制御信号は、前記第1制御信号及び前記選択信号の後に印加されることを特徴とする。

【0022】

請求項10に記載の発明は、前記第1制御信号は、前記選択信号直前に印加される直前選択信号であることを特徴とする。

【0023】

請求項11に記載の発明は、前記発光素子は、有機物質の発光を利用する素子であることを特徴とする。

【0024】

請求項12に記載の発明は、データ電圧を伝達する複数のデータ線、第1及び第2選択信号を含む選択信号を各々伝達する複数の走査線、及び前記走査線とデータ線に電気的に接続された複数の画素回路を含む発光表示装置において、前記画素回路は、前記データ線に接続される第1主電極と、前記第2選択信号にตอบสนองして導通して前記データ電圧を伝達する第2主電極を備えた第3トランジスタと、前記第3トランジスタによって伝達されたデータ電圧に対応する電圧を保存する第1キャパシタと、互いに直列に接続されて形成され、前記第1選択信号にตอบสนองして導通して前記第1キャパシタと並列接続される第1及び第2トランジスタと、前記第1キャパシタに保存された電圧に対応する電流を出力する第4トランジスタと、互いに直列に接続されて形成され、前記第1選択信号にตอบสนองして導通して前記第4トランジスタをダイオード形態に接続する第5及び第6トランジスタと、前記第1キャパシタの第1電極と前記第4トランジスタの制御電極の間に接続されて前記第4トランジスタのスレッシュホールド電圧に対応する電圧が保存される第2キャパシタと、前記第4トランジスタを介して流れる電流に対応する光を放出する発光素子と、を備えたことを特徴とする。

【0025】

請求項13に記載の発明は、前記第1及び第2トランジスタは互いに大きさが異なることを特徴とする。

【0026】

請求項14に記載の発明は、前記第1及び第2トランジスタのうち、前記第3トランジ

10

20

30

40

50

スタの第2主電極に電氣的に接続される1つのトランジスタは、他の1つのトランジスタよりもチャンネル長さが短いことを特徴とする。

【0027】

請求項15に記載の発明は、前記第5及び第6トランジスタは互いに大きさが異なることを特徴とする。

【0028】

請求項16に記載の発明は、前記第5及び第6トランジスタのうち、前記第4トランジスタの制御電極に電氣的に接続される1つのトランジスタは、他の1つのトランジスタよりチャンネル長さが短いことを特徴とする。

【0029】

請求項17に記載の発明は、データ電圧を伝達する複数のデータ線、第1及び第2選択信号を含む選択信号を各々伝達する複数の走査線、及び前記走査線とデータ線に電氣的に接続された複数の画素回路を含む発光表示装置において、前記画素回路は、前記データ線に接続される第1主電極と、前記第2選択信号に応答して導通して前記データ電圧を伝達する第2主電極を備えた第3トランジスタと、前記第3トランジスタによって伝達されたデータ電圧に対応する電圧を保存する第1キャパシタと、前記第1キャパシタに保存された電圧に対応する電流を出力する第4トランジスタと、互いに直列に接続されて形成され、前記第1選択信号に応答して導通されて前記第4トランジスタをダイオード形態に接続する第5及び第6トランジスタと、前記第4トランジスタを介して流れる電流に対応する光を放出する発光素子と、を備えたことを特徴とする。

10

20

【0030】

請求項18に記載の発明は、前記第5及び第6トランジスタは互いに大きさが異なることを特徴とする。

【0031】

請求項19に記載の発明は、前記第5及び第6トランジスタのうち、前記第4トランジスタの制御電極に電氣的に接続される1つのトランジスタは、他の1つのトランジスタよりチャンネル長さが短いことを特徴とする。

【0032】

請求項20に記載の発明は、前記第5及び第6トランジスタによって組合せゲートトランジスタが形成されることを特徴とする。

30

【0033】

請求項21に記載の発明は、前記画素回路は、前記第1キャパシタの第1電極と前記第4トランジスタのゲートとの間に接続される第2キャパシタと、各々第1制御信号に応答して導通されて前記第1キャパシタと並列的に接続される第7トランジスタを更に備えたことを特徴とする。

【発明の効果】

【0034】

本発明によれば、組合せトランジスタを利用することによって、画素回路内に存在する寄生キャパシタ成分によるキックバック電圧を低減することができる。

【0035】

特に、印加されるデータ電圧に対応する電圧を保存する保存キャパシタ(Cst)と並列的に接続されるトランジスタを互いに異なる大きさの組合せトランジスタで形成することによって、保存キャパシタの第1電極に与えるキックバックの影響を効果的に減らすことができる。また、有機発光素子を駆動する駆動トランジスタ(M1)のゲートとソース・ドレインとの間の寄生キャパシタンスによるキックバック電圧を減らすために、互いに異なる大きさの組合せトランジスタを形成することによって駆動トランジスタのゲートに与えるキックバックの影響を効果的に減らすことができる。

40

【0036】

このようにキックバックの影響を効果的に減らすことにより発光表示装置の表示特性を向上させることができる。

50

【発明を実施するための最良の形態】

【0037】

以下、添付した図面を参照して本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は多様で相異なる形態で実現することができ、ここで説明する実施形態に限定されるものではない。

【0038】

図2は、本発明の第1の実施形態による有機発光表示装置の構成を概略的に示す説明図である。図2に示すように有機発光表示装置は、有機発光表示パネル100と、走査駆動部200と、データ駆動部300、及び発光制御信号駆動部400を備えている。

10

【0039】

有機発光表示パネル100は列方向（左右方向）に伸びている複数のデータ線D1～Dmと、行方向（上下方向）に伸びている複数の走査線S1～Snと、複数の発光制御線E1～Enと、複数の画素回路110とを備えている。データ線D1～Dmは、画像信号を示すデータ信号を画素回路110に伝達し、走査線S1～Snは選択信号を画素回路110に伝達する。

【0040】

走査駆動部200は走査線S1～Snに各々選択信号を順次に生成して印加する。ここで走査線に関する用語を定義すれば、現在選択信号を伝達しようとする走査線を“現在走査線”と言い、現在選択信号が伝達される直前に選択信号を伝達する走査線を“直前走査線”と言う。データ駆動部300は、データ線D1～Dmに画像信号に対応するデータ電圧を生成して印加する。発光制御信号駆動部400は有機発光素子の発光を制御するための発光信号を順次に発光走査線E1～Enに印加する。

20

【0041】

走査駆動部200、データ駆動部300及び発光制御信号駆動部400のうちの少なくとも1つは、表示パネル100に電氣的に接続することができ、或いは表示パネル100に接着されて電氣的に接続されているテープキャリアパッケージ（TCP）にチップなどの態様で装着することができる。または、表示パネル100に接着されて電氣的に接続されている可撓性印刷回路（FPC）またはフィルムなどにチップなどの態様で装着することもできる。

30

【0042】

これとは異なって、走査駆動部200、データ駆動部300及び発光制御信号駆動部400のうちの少なくとも1つは、表示パネル100のガラス基板上に直接装着することもでき、またはガラス基板上に走査線、データ線及び薄膜トランジスタと同一層で形成されている駆動回路と代替されても直接装着されてもよい。

【0043】

図3は、本発明の第1の実施形態による画素回路110の等価回路図である。図3に示すように、画素回路110は5個のトランジスタM1～M5と、2個のキャパシタCst、Cvth、及び有機発光素子OLEDを備えている。ここで、5個のトランジスタM1～M5は、PMOS型トランジスタで構成することができる。

40

【0044】

トランジスタM1は、有機発光素子OLEDを駆動するための駆動トランジスタであって、電圧VDDを供給するための電源線と有機発光素子OLEDとの間に接続され、ゲートに印加される電圧によってトランジスタM2を通じて有機発光素子OLEDに流れる電流を制御する。

【0045】

トランジスタM3は、直前走査線Sn-1からの低レベル選択信号に応答してトランジスタM1をダイオード接続させる。トランジスタM1のゲートにはキャパシタCvthの第1電極Aが接続され、キャパシタCvthの第2電極Bと電圧VDDを供給する電源線との間にキャパシタCstとトランジスタM4が並列接続される。トランジスタM4は直前走査線S

50

n-1からの低レベル選択信号にตอบสนองしてキャパシタC_{vth}の第2電極Bに電圧V_{DD}を供給する。第1の実施形態では、トランジスタM₄が電源線V_{DD}に接続される構成であるが、電圧がV_{DD}とは異なる電源に接続することもできる。

【0046】

トランジスタM₅は、現在走査線S_nからの低レベル選択信号にตอบสนองしてデータ線D_mから伝達されるデータ信号をキャパシタC_{vth}の第2電極Bに伝達する。トランジスタM₂は、トランジスタM₁のドレーンと有機発光素子OLEDのアノードの間に接続され、発光制御線E_nからの高レベル選択信号にตอบสนองしてトランジスタM₁のドレーンと有機発光素子OLEDの間を遮断する。有機発光素子OLEDは、トランジスタM₁からトランジスタM₂を通じて流れる電流に応じた光を放出する。

10

【0047】

次に、図4を参照して画素回路110の動作について説明する。図4は画素回路110に印加される信号波形を示す特性図である。

【0048】

まず、期間D₁に直前走査線S_{n-1}から低レベルの走査電圧が印加されれば、トランジスタM₃が導通してトランジスタM₁はダイオード接続状態となる。他のトランジスタは、M₂とM₅が遮断状態、M₄が導通状態である。

【0049】

したがって、トランジスタM₁のゲート・ソース間電圧は、下記の動作によりトランジスタM₁のスレッシュホールド電圧V_{th}になるまで変化する。即ち、もしトランジスタM₁のソースに対するゲート電位が、スレッシュホールド電圧V_{th}よりも低電位であればトランジスタM₁が導通してトランジスタM₁のゲート電圧を押し上げる。また、高電位であればトランジスタM₁が遮断されてノードAが浮動状態になり、トランジスタM₃のゲート(低電位)からソース・ドレインへの寄生容量充放電または漏洩により、トランジスタM₁のゲート電圧を引き下げて、スレッシュホールド電圧V_{th}にする。

20

【0050】

この時、トランジスタM₁のソースが電源V_{DD}に接続されているので、トランジスタM₁のゲート、つまり、キャパシタC_{vth}のノードAに印加される電圧は電源電圧V_{DD}とスレッシュホールド電圧V_{th}の合計となる。また、トランジスタM₄が導通してキャパシタC_{vth}のノードBには電源V_{DD}が印加されて、キャパシタC_{vth}に充電される電圧V_{Cvth}は、次の(2)式で示すことができる。

30

【0051】

$$V_{Cvth} = V_{CvthA} - V_{CvthB} = (V_{DD} + V_{th}) - V_{DD} = V_{th} \quad \dots (2)$$

ここで、電圧V_{Cvth}は、キャパシタC_{vth}に充電される電圧を意味し、V_{CvthA}はキャパシタC_{vth}のノードAに印加される電圧、V_{CvthB}はキャパシタC_{vth}のノードBに印加される電圧を意味する。

【0052】

キャパシタC_{vth}に電圧が充電される間に、発光制御線E_nに高レベルの信号が印加されるので、トランジスタM₂は遮断された状態である。したがって、トランジスタM₁に流れる電流が有機発光素子OLEDに流れることが防止される。また、現在走査線S_nに高レベルの信号が印加されるので、トランジスタM₅も遮断された状態である。

40

【0053】

次に、期間D₂に、直前走査線S_{n-1}から高レベルの走査電圧が印加されれば、トランジスタM₃が遮断してトランジスタM₁はダイオード接続状態を解かれ、トランジスタM₂、M₄が共に遮断状態となる。少しだけ遅れて、現在走査線S_nから低レベルの走査電圧が印加されれば、トランジスタM₅が導通してデータ線D_mの電圧V_{data}がノードBに印加される。また、キャパシタC_{vth}にはトランジスタM₁のスレッシュホールド電圧V_{th}に相当する電圧が充電されているので、トランジスタM₁のゲートにはデータ電圧V_{data}とトランジスタM₁のスレッシュホールド電圧V_{th}の合計に対応する電圧が印加される。つまり、トランジスタM₁のゲート、ソース間電圧V_{gs}は、次の(3)式で示すことができる。

50

【 0 0 5 4 】

$$V_{gs} = (V_{data} + V_{th}) - V_{DD} \quad \dots (3)$$

その後、期間 D 3 に、発光制御線 E n の低レベル発光制御信号にตอบสนองしてトランジスタ M 2 が導通し、トランジスタ M 1 のゲート・ソース電圧 V_{gs} に対応する電流 I_{OLED} が有機発光素子 O L E D に供給されて、有機発光素子 O L E D は発光する。電流 I_{OLED} は、次の (4) 式で示すことができる。

【 0 0 5 5 】

$$\begin{aligned} I_{OLED} &= \left(\frac{\quad}{2} \right) * (V_{gs} - V_{th})^2 \\ &= \left(\frac{\quad}{2} \right) * \{ (V_{data} + V_{th} - V_{DD}) - V_{th} \}^2 \\ &= \left(\frac{\quad}{2} \right) * (V_{DD} - V_{data})^2 \quad \dots (4) \end{aligned}$$

10

ここで、電流 I_{OLED} は有機発光素子 O L E D に流れる電流、V_{gs} はトランジスタ M 1 のソースとゲートとの間の電圧、V_{th} はトランジスタ M 1 のスレッシュホールド電圧、V_{data} はデータ電圧、 $\frac{\quad}{2}$ は定数値を示す。(4) 式から理解されるように、電流 I_{OLED} は駆動トランジスタのスレッシュホールド電圧 V_{th} に関係なくデータ電圧 V_{data} 及び電源 V_{DD} によって決定されるので、表示パネルを安定的に駆動することができる。

【 0 0 5 6 】

図 4 に示された信号波形は画素回路 1 1 0 に印加される波形の一例であって、これに限られるものではなく、変形、変化も可能である。例えば、期間 D 1、D 2 に発光制御線 E n に印加される高レベル信号が印加される開始点が、直前走査線 S_{n-1} に印加される低レベルの選択信号の開始点より遅く印加される場合もあり、現在走査線 S_n に印加される低レベルの選択信号の終了点よりより遅くまで印加される場合もある。

20

【 0 0 5 7 】

しかし、上述したように期間 D 2 には直前走査線 S_{n-1} からの高レベル直前選択信号が印加されることにより、トランジスタ M 3、M 4 が遮断され、一方、走査線 S_n から低レベル現在選択信号が印加されれば、トランジスタ M 5 が導通してキャパシタ C_{st} の一端であるノード B にデータ電圧が印加されてキャパシタ C_{st} に保存される。このようにキャパシタ C_{st} によって、駆動トランジスタ M 1 のソース・ゲート間電圧はスイッチングトランジスタ M 5 が遮断されてデータ電圧がノード B に印加されない時にも継続して維持される。

【 0 0 5 8 】

しかし、ノード B に存在する寄生キャパシタンスのために、ノード B に伝達される電圧とデータ電圧 V_{data} との間には、回路構成と電圧で決まる一定量 (ΔV) だけの電圧差を発生し、ノード B に電圧シフトを生じる。この時、一定量の電圧がシフトされることをキックバック (Kickback) と言い、この時にシフトされる電圧変化量 (ΔV) をキックバック電圧 (Kickback Voltage) と言う。このようなキックバックによって表示映像に残像が発生するなど、パネルの表示特性が悪くなることもある。特にキックバック電圧の大きさが階調レベル間隔より大きい場合には、入力が同一な階調であるにもかかわらず、色相変化や輝度差として識別できる程度に異なって表示されることがあり、表示品質を劣化させるといふトラブルを発生する場合がある。

30

【 0 0 5 9 】

以下では、上述したキックバックによる影響を解決するための本発明の第 2 の実施形態 ~ 第 4 の実施形態について詳細に説明する。

40

【 0 0 6 0 】

図 5 は、本発明の第 2 の実施形態に係る画素回路 1 2 0 を示す等価回路図である。本発明の第 2 の実施形態に係る画素回路 1 2 0 は、ノード B のキックバック電圧を減らすために組合せトランジスタ M 4 -1、M 4 -2 を利用するという点が第 1 の実施形態と相違している。

【 0 0 6 1 】

画素回路 1 2 0 は、6 個のトランジスタ M 1、M 2、M 3、M 4 -1、M 4 -2、M 5 と、2 個のキャパシタ C_{st}、C_{vth}、及び有機発光素子 O L E D を備えている。画素回路 1 2

50

0 は、トランジスタ M 4 -1、M 4 -2を除いて、4 個のトランジスタ M 1、M 2、M 3、M 5、2 個のキャパシタ C st、C vth、及び有機発光素子 O L E D を含む構成は、図 3 に示した画素回路 1 1 0 と同一であり、その動作も同一であるので詳細な説明は省略する。

【 0 0 6 2 】

一方、トランジスタ M 4 -2は、ソースが電源 V DDに接続され、ドレインがトランジスタ M 4 -1のソースに接続される。トランジスタ M 4 -1のドレインは、トランジスタ M 5 のドレインに接続される。つまり、2 つのトランジスタ M 4 -1、M 4 -2は互いに直列に接続される組合せトランジスタを形成する。また、2 つのトランジスタ M 4 -1、M 4 -2ともゲートが直前走査線 S n-1に接続される。したがって、直前選択信号に応答して2 つのトランジスタ M 4 -1、M 4 -2は同時に導通してキャパシタ C stの一端に電源電圧 V DDを印加する。

10

【 0 0 6 3 】

図 5 のように、組合せトランジスタ M 4 -1、M 4 -2を利用することによって、直前走査線 S n-1の信号によってトランジスタ M 4 -1、M 4 -2が遮断され、現在走査線 S nの信号によってトランジスタ M 5 が導通して、データ電圧がキャパシタ C stとキャパシタ C vthとの接続点（ノード B）に印加される時、ノード Bでのキックバック電圧を減らすことができる。したがって、ノード Bのキックバック電圧が減ってノード Bに印加されるデータ電圧の変化量が少なくなり、トランジスタ M 1 のゲートとなるノード Aの電圧変動が小さくなる。よって、トランジスタ M 1 のゲートとソースとの間の電圧 V gsはキックバック電圧による変化量が少ないために有機発光素子に伝達される電流 I OLEDのキックバックに対する影響を顕著に減らすことができる。

20

【 0 0 6 4 】

ここで、組合せトランジスタ M 4 -1、M 4 -2全体の大きさ、つまり、全チャンネル長さ（L）が一定である場合、トランジスタ M 4 -1のチャンネル長さよりもトランジスタ M 4 -2のチャンネル長さを大きくすればキックバック電圧をより一層効果的に減らすことができる。

【 0 0 6 5 】

以下に示す表 1 は、組合せトランジスタ M 4 -1、M 4 -2各々のチャンネル幅（W）が 5 μ m、2 つのトランジスタの全チャンネル長さ（L）が 2 0 μ mである場合、トランジスタ M 4 -1とトランジスタ M 4 -2のチャンネル長さによって組合せトランジスタ M 4 -1、M 4 -2が導通された時のノード Bの電圧と遮断された時のノード Bの電圧を測定した結果を示す。

30

【 表 1 】

トランジスタの大きさ		ノード (B) 電圧		キックバック電圧
M4-1(W/L)	M4-2(W/L)	導通時	遮断時	
5/15 μ m	5/5 μ m	5.0	5.4917V	0.4916V
5/10 μ m	5/10 μ m	5.0	5.3811V	0.3811V
5/7 μ m	5/13 μ m	5.0	5.3217V	0.3217V
5/5 μ m	5/15 μ m	5.0	5.2834V	0.2834V

40

【 0 0 6 6 】

50

表 1 から理解されるように、トランジスタ M 4 -2 のチャンネル長さが長いほどノード B のキックバック電圧の大きさが減少する。つまり、トランジスタ M 4 -2 のチャンネル長さをトランジスタ M 4 -1 のチャンネル長さより長くすることによって、印加されたデータ電圧に対応する電流 I OLED をより安定的に有機発光素子 OLED に印加することができるので表示特性を向上させることができる。

【 0 0 6 7 】

表 1 で、トランジスタ M 4 -1 の最少チャンネル長さは 5 μ m であるが、トランジスタ製造工程で 5 μ m より短いチャンネル長さでトランジスタを形成してトランジスタ特性が確保されれば、トランジスタ M 4 -1 のチャンネル長さは 5 μ m より短くすることができる。トランジスタ M 4 -1 のチャンネル長さが短いほど、寄生キャパシタンス成分が減ってキックバックに対する影響はさらに効果的に減少する。

10

【 0 0 6 8 】

本発明の第 2 の実施形態では、2 つのトランジスタが直列に接続された組合せトランジスタ M 4 -1、M 4 -2 を使用したが、これに限られるわけではなく、1 つのトランジスタに 2 つのゲート電極が形成される組合せゲートトランジスタを使用することもできる。

【 0 0 6 9 】

次に、本発明の第 3 の実施形態について詳細に説明する。

【 0 0 7 0 】

図 6 は本発明の第 3 の実施形態に係る画素回路 1 3 0 を示す等価回路図である。本発明の第 3 の実施形態に係る画素回路 1 3 0 は、トランジスタ M 1 のゲートとソースとの間の寄生電圧によるキックバック電圧を減らすために組合せトランジスタ M 3 -1、M 3 -2 を利用するという点が第 1 の実施形態と異なる。

20

【 0 0 7 1 】

画素回路 1 3 0 は 6 個のトランジスタ M 1、M 2、M 3 -1、M 3 -2、M 4、M 5、2 個のキャパシタ C st、C vth 及び有機発光素子 OLED を含む。画素回路 1 3 0 はトランジスタ M 3 -1、M 3 -2 を除いて、4 個のトランジスタ M 1、M 2、M 4、M 5、2 個のキャパシタ C st、C vth 及び有機発光素子 OLED を含む構成は、図 3 の画素回路 1 1 0、及びその動作も同一であるので詳細な説明は省略する。

【 0 0 7 2 】

一方、トランジスタ M 3 -2 は、ソースがトランジスタ M 1 のドレインに接続され、ドレインがトランジスタ M 3 -1 のソースに接続される。トランジスタ M 3 -1 のドレインはトランジスタ M 1 のゲートに接続される。つまり、2 つのトランジスタ M 3 -1、M 3 -2 は互いに直列に接続される組合せトランジスタを形成する。また、2 つのトランジスタ M 3 -1、M 3 -2 とともにゲートが直前走査線 S n-1 に接続される。したがって、直前選択信号にตอบสนองして 2 つのトランジスタ M 3 -1、M 3 -2 は同時に導通してトランジスタ M 1 をダイオード接続する。

30

【 0 0 7 3 】

図 6 のように、組合せトランジスタ M 3 -1、M 3 -2 を利用することによって、直前走査線 S n-1 の信号によってトランジスタ M 3 -1、M 3 -2 が遮断され、現在走査線 S n の信号によってトランジスタ M 5 が導通してデータ電圧に対応する電圧がキャパシタ C st とキャパシタ C vth を通じてトランジスタ M 1 のゲートとなるノード A に印加される時、ノード A でのキックバック電圧を減らすことができる。したがって、トランジスタ M 1 のゲートとなるノード A はキックバック電圧による電圧変動の影響が小さくなり、よって、トランジスタ M 1 のゲートとソースとの間の電圧 V gs はキックバック電圧による変化量が少ないために有機発光素子に伝達される電流 I OLED のキックバックに対する影響を顕著に減らすことができる。

40

【 0 0 7 4 】

ここで、組合せトランジスタ M 3 -1、M 4 -2 全体の大きさ、つまり、全チャンネル長さ (L) が一定である場合、トランジスタ M 3 -1 のチャンネル長さよりトランジスタ M 3 -2 のチャンネル長さを更に長くすれば、キックバック電圧をより一層効果的に減らすことが

50

できる。

【0075】

以下に示す表2は、組合せトランジスタM3-1、M3-2各々のチャンネル幅(W)が5 μ m、2つのトランジスタの全チャンネル長さ(L)が20 μ mである場合、トランジスタM3-1とトランジスタM3-2のチャンネル長さによって組合せトランジスタM3-1、M3-2が導通された時のノードA、つまり、トランジスタM1ゲートの電圧と遮断された時のトランジスタM1ゲートの電圧を測定した結果を示す。

【表2】

トランジスタの大きさ		トランジスタ (M1) の ゲート電圧		キックバック 電 圧
M3-1(W/L)	M3-2(W/L)	導通時	遮断時	
5/15 μ m	5/5 μ m	3.6570V	4.6653V	1.0083V
5/10 μ m	5/10 μ m	3.2503V	4.1223V	0.8720V
5/7 μ m	5/13 μ m	3.1370V	3.9445V	0.8075V
5/5 μ m	5/15 μ m	3.0791V	3.8463V	0.7672V

10

20

【0076】

表2から理解されるように、トランジスタM3-2のチャンネル長さが長いほどノードA、つまり、トランジスタM1ゲートのキックバック電圧の大きさが減少する。つまり、トランジスタM3-2のチャンネル長さをトランジスタM3-1のチャンネル長さより長くすることによって、印加されたデータ電圧に対応する電流I_{OLED}をより安定的に有機発光素子OLEDに印加することができるので表示特性を向上させることができる。

30

【0077】

本発明の第3の実施形態では、2つのトランジスタが直列に接続された組合せトランジスタM3-1、M3-2を使用した。これに限られるわけではなく、1つのトランジスタに2つのゲート電極が形成される組合せゲートトランジスタを使用することもできる。

【0078】

表2で、トランジスタM3-1の最少チャンネル長さは5 μ mであったが、トランジスタ製造工程で5 μ mより短いチャンネル長さでトランジスタを形成してトランジスタ特性が確保されれば、トランジスタM3-1のチャンネル長さは5 μ mよりさらに短くすることができる。トランジスタM3-1及びトランジスタM4-1のチャンネル長さが短いほど、寄生キャパシタンス成分が減ってキックバックに対する影響はさらに効果的に減少することができる。

40

【0079】

次に、本発明の第4の実施形態について詳細に説明する。

【0080】

図7は本発明の第4の実施形態に係る画素回路140を示す等価回路図である。本発明の第4の実施形態に係る画素回路140は、ノードBのキックバック電圧を減らすための組合せトランジスタM4-1、M4-2及びトランジスタM1のゲートとソースとの間の寄生電圧によるキックバック電圧を減らすための組合せトランジスタM3-1、M3-2を利用するという点が、前述した第2、第3の実施形態と相違する。

50

【0081】

画素回路140は、7個のトランジスタM1、M2、M3-1、M3-2、M4-1、M4-2、M5、2個のキャパシタCst、Cvth及び有機発光素子OLEDを備えている。画素回路140は、3個のトランジスタM1、M2、M5、2個のキャパシタCst、Cvth、及び有機発光素子OLEDを含む構成は、図3に示した第1の実施形態の画素回路110と同一であり、トランジスタM4-1、M4-2は図5で示した第2の実施形態の画素回路120と同一であり、トランジスタM3-1、M3-2は、図6で示した第3の実施形態の画素回路130及びその動作も同一であるので詳細な説明は省略する。

【0082】

図7に示すように、トランジスタM3-1、M3-2及びトランジスタM4-1、M4-2を使用することによって、ノードBのキックバック電圧を減らすことができると同時に、トランジスタM1のゲートとソースとの間の寄生電圧によるキックバック電圧も減らすことができる。

【0083】

以上、本発明の実施例を説明したが、本発明の権利範囲は実施例のような構造に限定されるわけではなく、特許請求範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態もまた本発明の権利範囲に属する。

【図面の簡単な説明】

【0084】

【図1】従来の画素の等価回路図で、N×M個の画素のうちの1つの画素を等価的に示した説明図である。

【図2】本発明の第1の実施形態に係る有機発光表示装置の構成を概略的に示す説明図である。

【図3】本発明の第1の実施形態に係る画素回路110の等価回路図である。

【図4】画素回路110に印加される信号波形を示す特性図である。

【図5】本発明の第2の実施形態に係る画素回路120の等価回路図である。

【図6】本発明の第3の実施形態に係る画素回路130の等価回路図である。

【図7】本発明の第4の実施形態に係る画素回路140の等価回路図である。

【符号の説明】

【0085】

- 100 有機発光表示パネル
- 110、120、130 画素回路
- 200 走査駆動部
- 300 データ駆動部
- 400 発光制御信号駆動部
- Cst キャパシタ(第1キャパシタ)
- Cvth キャパシタ(第2キャパシタ)
- D1～Dm データ線
- E1～Em 発光制御線
- I OLED 電流
- M1 トランジスタ(第4トランジスタ)
- M2 トランジスタ(第2スイッチ)
- M3 トランジスタ(第1スイッチ)
- M3-1 トランジスタ(第5トランジスタ)
- M3-2 トランジスタ(第6トランジスタ)
- M4 トランジスタ(第7トランジスタ)
- M4-1 トランジスタ(第1トランジスタ)
- M4-2 トランジスタ(第2トランジスタ)
- M5 トランジスタ(第3トランジスタ)
- OLED 有機発光素子

10

20

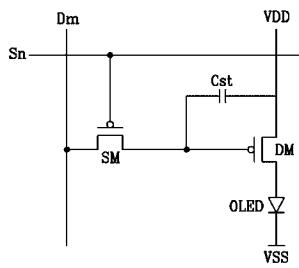
30

40

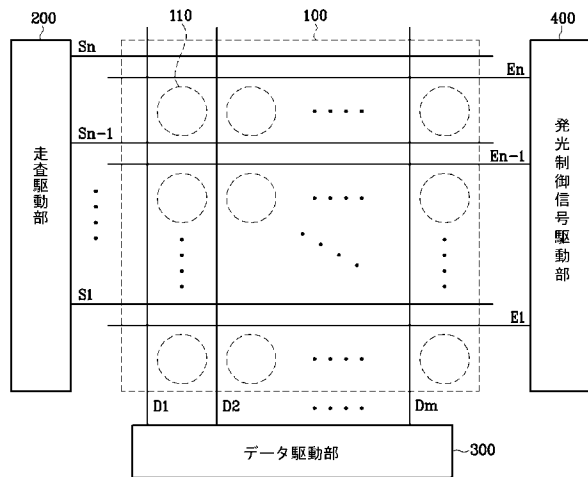
50

S 1 ~ S n 走査線
V data データ電圧
V DD 電圧

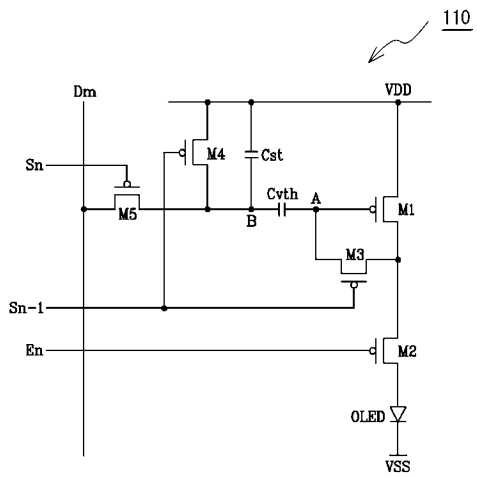
【図1】



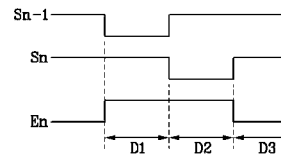
【図2】



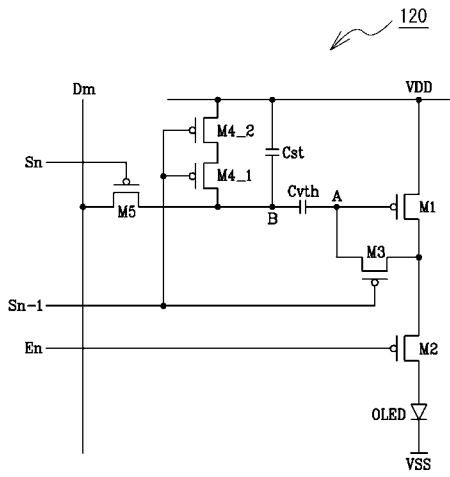
【 図 3 】



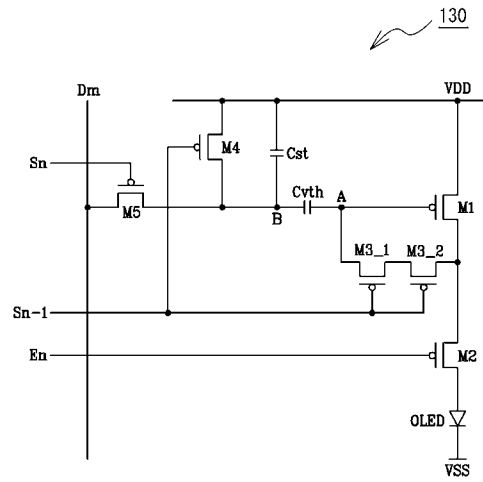
【 図 4 】



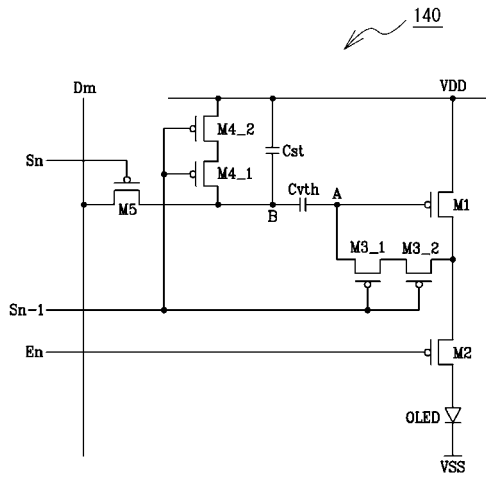
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(72)発明者 呉 春 烈

大韓民国京畿道水原市靈通区 辛 洞 5 7 5 番地

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 EE29 FF11 HH09 JJ02 JJ03 JJ04

5C094 AA02 AA04 AA23 BA03 BA27 CA19 DB04 EA04

专利名称(译)	发光显示装置		
公开(公告)号	JP2005316385A	公开(公告)日	2005-11-10
申请号	JP2005009484	申请日	2005-01-17
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	巖基明 郭源奎 吳春烈		
发明人	巖基明 郭源奎 吳春烈		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/0219 G09G2320/043		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA02 5C094/AA04 5C094/AA23 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C094/EA04 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE04 3K107/FF15 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB26 5C380/CC02 5C380/CC05 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC55 5C380/CC62 5C380/CD012 5C380/CD025 5C380/CD026 5C380/DA02 5C380/DA06 5C380/HA13		
代理人(译)	三好秀 伊藤雅一		
优先权	1020040030228 2004-04-29 KR 1020040065784 2004-08-20 KR		
其他公开文献	JP4401971B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种发光显示装置，其包括能够补偿驱动晶体管的阈值电压并且降低由像素电路中存在的寄生电容产生的反冲的影响的像素电路。ZSOLUTION：像素电路包括；晶体管M4-1和M4-2彼此串联耦合，它们响应由前一扫描线Sn-1给出的在前选择信号而导通；电容器Cst与两个晶体管M4-1和M4-2并联耦合；晶体管M5，响应于当前扫描线Sn给出的当前选择信号，将数据电压Dm施加到电容器Cst的第一电极；晶体管M1，其输出与栅极-源极电压对应的电流，该电流基于电容器Cst的电压；发光元件OELD发出与来自晶体管M1的电流对应的光。Z

