

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46208

(P2004-46208A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl.⁷G09F 9/30
H05B 33/14

F I

G09F 9/30 338
H05B 33/14 A

テーマコード (参考)

3K007
5C094

審査請求 有 請求項の数 17 O L (全 25 頁)

(21) 出願番号	特願2003-209455 (P2003-209455)	(71) 出願人	000002369
(22) 出願日	平成15年8月28日 (2003.8.28)		セイコーエプソン株式会社
(62) 分割の表示	特願平9-177455の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成9年7月2日 (1997.7.2)	(74) 代理人	100095728
			弁理士 上柳 雅普
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	小澤 徳郎
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	3K007 AB03 AB17 BA06 DB03 FA01 GA00
			5C094 AA06 AA10 BA03 BA26 BA29 CA19 EA04 EA07

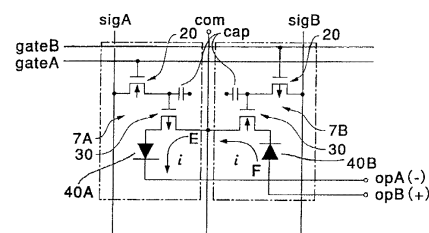
(54) 【発明の名称】 アクティブマトリクス基板及び表示装置

(57) 【要約】

【課題】 基板上に構成される画素および共通給電線のレイアウトを改良して画素の発光領域を拡張し、表示の品位を高めることのできる表示装置を提供すること。

【解決手段】 エレクトロルミネッセンス素子またはLED素子のような発光素子40を備える画素7A、7Bを共通給電線comの両側に配置し、共通給電線comの数を減らす。また、画素7A、7Bの間で発光素子40に流れる駆動電流の極性を反転し、共通給電線comに流れる電流を小さくする。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

複数の走査線と、
 前記複数の走査線と交差する方向に延設された複数のデータ線と、
 複数の共通給電線と、
 前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、
 各々のゲート電極が前記複数の走査線のうち対応する走査線に接続された複数の第 1 のトランジスタと、
 各々のソースあるいはドレインが前記複数の画素電極のうち対応する画素電極に接続された複数の第 2 のトランジスタと、を備え、
 前記複数の共通給電線の線幅は、前記複数のデータ線の線幅より大であること、
 を特徴とするアクティブマトリクス基板。

【請求項 2】

複数の走査線と、
 前記複数の走査線と交差する方向に延設された複数のデータ線と、
 複数の共通給電線と、
 前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、
 ゲート電極が前記複数の走査線のうち対応する走査線に接続され、ソースあるいはドレインが前記複数のデータ線のうち対応するデータ線に接続された第 1 のトランジスタと、
 前記複数の画素電極の各々と前記複数の共通給電線のうち対応する共通給電線との間に設けられた第 2 のトランジスタと、を備え、
 前記対応する共通給電線の線幅は、前記対応するデータ線の線幅より大であること、
 を特徴とするアクティブマトリクス基板。

【請求項 3】

複数の走査線と、
 前記複数の走査線と交差する方向に延設された複数のデータ線と、
 複数の共通給電線と、
 前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、
 各々のゲート電極が前記複数の走査線のうち対応する走査線に接続された複数の第 1 のトランジスタと、
 各々のソースあるいはドレインが前記複数の画素電極のうち対応する画素電極に接続された複数の第 2 のトランジスタと、を備え、
 前記複数の共通給電線の単位長さ当たりの抵抗値を、前記複数のデータ線の単位長さ当たりの抵抗値より小とすること、
 を特徴とするアクティブマトリクス基板。

【請求項 4】

複数の走査線と、
 前記複数の走査線と交差する方向に延設された複数のデータ線と、
 複数の共通給電線と、
 前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、
 ゲート電極が前記複数の走査線のうち対応する走査線に接続され、ソースあるいはドレインが前記複数のデータ線のうち対応するデータ線に接続された第 1 のトランジスタと、
 前記複数の画素電極の各々と前記複数の共通給電線のうち対応する共通給電線との間に設けられた第 2 のトランジスタと、を備え、
 前記対応する共通給電線の単位長さ当たりの抵抗値は、前記対応するデータ線の単位長さ当たりの抵抗値より小であること、

10

20

30

40

50

を特徴とするアクティブマトリクス基板。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載のアクティブマトリクス基板において、前記複数の共通給電線は、バンク層に覆われていること、を特徴とするアクティブマトリクス基板。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載のアクティブマトリクス基板において、前記複数のデータ線は、バンク層に覆われていること、を特徴とするアクティブマトリクス基板。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載のアクティブマトリクス基板において、前記複数の共通給電線は、前記複数の走査線に交差する方向に設けられていること、を特徴とするアクティブマトリクス基板。

【請求項 8】

請求項 1 乃至 7 のいずれかに記載のアクティブマトリクス基板と、前記複数の画素電極と前記複数の画素電極に対向する対向電極との間に駆動電流が流れることにより発光する複数の発光素子と、を有する表示装置。

【請求項 9】

複数の走査線と、
前記複数の走査線と交差する方向に延設された複数のデータ線と、
複数の共通給電線と、
前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、
を有し、
前記複数の画素の各々は、
画素電極と、
ゲート電極を備え、前記複数の走査線のうち対応する走査線を介して走査信号が前記ゲート電極に供給される第 1 のトランジスタと、
前記複数のデータ線のうち対応するデータ線及び前記第 1 のトランジスタを介して供給される画像信号に応じて、前記複数の共通給電線のうち対応する共通給電線と前記画素電極との電気的な接続の制御を行う第 2 のトランジスタと、
前記第 2 のトランジスタを介して前記対応する共通給電線と前記画素電極とが電気的に接続したときに前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、を備え、
前記対応する共通給電線の線幅は、前記対応するデータ線の線幅より大であること、
を特徴とする表示装置。

【請求項 10】

請求項 9 に記載の表示装置において、
前記対応する共通給電線の単位長さ当たりの抵抗値は、前記対応するデータ線の単位長さ当たりの抵抗値より小であること、
を特徴とする表示装置。

【請求項 11】

複数の走査線と、
前記複数の走査線と交差する方向に延設された複数のデータ線と、
複数の共通給電線と、
前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、
を有し、
前記複数の画素の各々は、
画素電極と、
ゲート電極を備え、前記複数の走査線のうち対応する走査線を介して走査信号が前記ゲート電極に供給される第 1 のトランジスタと、

10

20

30

40

50

前記複数のデータ線のうち対応するデータ線及び前記第１のトランジスタを介して供給される画像信号に応じて、前記複数の共通給電線のうち対応する共通給電線と前記画素電極との電気的な接続の制御を行う第２のトランジスタと、
前記第２のトランジスタを介して前記対応する共通給電線と前記画素電極とが電気的に接続したときに前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、を備え、
前記対応する共通給電線の単位長さ当たりの抵抗値は、前記対応するデータ線の単位長さ当たりの抵抗値より小であること、
を特徴とする表示装置。

【請求項１２】

10

請求項１１に記載の表示装置において、
前記対応する共通給電線の線幅は、前記対応するデータ線の線幅より大であること、
を特徴とする表示装置。

【請求項１３】

請求項９乃至１２のいずれかに記載の表示装置において、
前記複数の共通給電線は、前記複数の走査線に交差する方向に設けられていること、
を特徴とする表示装置。

【請求項１４】

請求項９乃至１３のいずれかに記載の表示装置において、
前記発光素子は、前記画素電極と前記対向電極との間に配置された有機半導体膜を備え、
前記有機半導体膜は前記駆動電流によって発光すること、
を特徴とする表示装置。

20

【請求項１５】

請求項１４に記載の表示装置において、
前記有機半導体膜は、絶縁膜からなるバンク層で囲まれていること、
を特徴とする表示装置。

【請求項１６】

請求項１５に記載の表示装置において、
前記バンク層は、前記複数のデータ線および前記複数の共通給電線を覆うように構成されていること、
を特徴とする表示装置。

30

【請求項１７】

請求項１４乃至１６のいずれかに記載の表示装置において、
前記有機半導体膜は、インクジェット法により形成された膜であること、
を特徴とする表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、有機半導体膜を駆動電流が流れることによって発光するＥＬ（エレクトロルミネッセンス）素子またはＬＥＤ（発光ダイオード）素子などの発光素子と、この発光素子の発光動作を制御する薄膜トランジスタ（以下、ＴＦＴという。）とを用いたアクティブマトリクス型の表示装置に関するものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術に関するものである。

40

【０００２】

【従来の技術】

ＥＬ素子またはＬＥＤ素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【０００３】

50

図 2 2 は、このような表示装置の一例として、電荷注入型の有機薄膜 E L 素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置 1 A では、透明基板上に、複数の走査線 g a t e と、これらの走査線 g a t e の延設方向に対して交差する方向に延設された複数のデータ線 s i g と、これらのデータ線 s i g に並列する複数の共通給電線 c o m と、データ線 s i g と走査線 g a t e との交差点に対応する画素 7 とが構成されている。データ線 s i g に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ側駆動回路 3 が構成されている。走査線に対しては、シフトレジスタおよびレベルシフトを備える走査側駆動回路 4 が構成されている。また、画素 7 の各々には、走査線を介して走査信号がゲート電極に供給される第 1 の T F T 2 0 と、この第 1 の T F T 2 0 を介してデータ線 s i g から供給される画像信号を保持する保持容量 c a p と、この保持容量 c a p によって保持された画像信号がゲート電極に供給される第 2 の T F T 3 0 と、第 2 の T F T 3 0 を介して共通給電線 c o m に電氣的に接続したときに共通給電線 c o m から駆動電流が流れ込む発光素子 4 0 とが構成されている。

10

【 0 0 0 4 】

すなわち、図 2 3 (A)、(B) に示すように、いずれの画素 7 においても、島状の 2 つの半導体膜を利用して第 1 の T F T 2 0 および第 2 の T F T 3 0 が形成され、第 2 の T F T 3 0 のソース・ドレイン領域には、第 1 の層間絶縁膜 5 1 のコンタクトホールを介して中継電極 3 5 が電氣的に接続し、該中継電極 3 5 には第 2 の層間絶縁膜 5 2 のコンタクトホールを介して画素電極 4 1 が電氣的に接続している。この画素電極 4 1 の上層側には、正孔注入層 4 2、有機半導体膜 4 3、対向電極 o p が積層されている。ここで、対向電極 o p は、データ線 s i g などとを跨いで複数の画素 7 にわたって形成されている。なお、第 2 の T F T 3 0 のソース・ドレイン領域には、コンタクトホールを介して共通給電線 c o m が電氣的に接続している。

20

【 0 0 0 5 】

これに対して、第 1 の T F T 2 0 では、そのソース・ドレイン領域に電氣的に接続する電位保持電極 s t は、ゲート電極 3 1 の延設部分 3 1 0 に電氣的に接続している。この延設部分 3 1 0 に対しては、その下層側においてゲート絶縁膜 5 0 を介して半導体膜 4 0 0 が対向し、この半導体膜 4 0 0 は、それに導入された不純物によって導電化されているので、延設部分 3 1 0 およびゲート絶縁膜 5 0 とともに保持容量 c a p を構成している。ここで、半導体膜 4 0 0 に対しては第 1 の層間絶縁膜 5 1 のコンタクトホールを介して共通給電線 c o m が電氣的に接続している。従って、保持容量 c a p は、第 1 の T F T 2 0 を介してデータ線 s i g から供給される画像信号を保持するので、第 1 の T F T 2 0 がオフになっても、第 2 の T F T 3 0 のゲート電極 3 1 は画像信号に相当する電位に保持される。それ故、発光素子 4 0 には共通給電線 c o m から駆動電流が流れ続けるので、発光素子 4 0 は発光し続けることになる。

30

【 0 0 0 6 】

【 発明が解決しようとする課題 】

しかしながら、前記の表示装置 1 A では、液晶表示装置と比較して、第 2 の T F T 3 0 および共通給電線 c o m が必要な分、画素 7 が狭いため、表示の品位を高めることができないという問題点がある。

40

【 0 0 0 7 】

そこで、本発明の課題は、基板上に構成される画素および共通給電線のレイアウトを改良して画素の発光領域を拡張し、表示の品位を高めることのできる表示装置を提供することにある。

【 0 0 0 8 】

【 課題を解決するための手段 】

本発明の第 1 のアクティブマトリクス基板は、複数の走査線と、前記複数の走査線と交差する方向に延設された複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、各々のゲート電極

50

が前記複数の走査線のうち対応する走査線に接続された複数の第1のトランジスタと、各々のソースあるいはドレインが前記複数の画素電極のうち対応する画素電極に接続された複数の第2のトランジスタと、を備え、前記複数の共通給電線の線幅は、前記複数のデータ線の線幅より大であること、を特徴とする。

本発明の第2のアクティブマトリクス基板は、複数の走査線と、前記複数の走査線と交差する方向に延設された複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、ゲート電極が前記複数の走査線のうち対応する走査線に接続され、ソースあるいはドレインが前記複数のデータ線のうち対応するデータ線に接続された第1のトランジスタと、前記複数の画素電極の各々と前記複数の共通給電線のうち対応する共通給電線との間に設けられた第2のトランジスタと、を備え、前記対応する共通給電線の線幅は、前記対応するデータ線の線幅より大であること、を特徴とする。 10

本発明の第3のアクティブマトリクス基板は、複数の走査線と、前記複数の走査線と交差する方向に延設された複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、各々のゲート電極が前記複数の走査線のうち対応する走査線に接続された複数の第1のトランジスタと、各々のソースあるいはドレインが前記複数の画素電極のうち対応する画素電極に接続された複数の第2のトランジスタと、を備え、前記複数の共通給電線の単位長さ当たりの抵抗値を、前記複数のデータ線の単位長さ当たりの抵抗値より小とすること、を特徴とする。

本発明の第4のアクティブマトリクス基板は、複数の走査線と、前記複数の走査線と交差する方向に延設された複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素電極と、ゲート電極が前記複数の走査線のうち対応する走査線に接続され、ソースあるいはドレインが前記複数のデータ線のうち対応するデータ線に接続された第1のトランジスタと、前記複数の画素電極の各々と前記複数の共通給電線のうち対応する共通給電線との間に設けられた第2のトランジスタと、を備え、前記対応する共通給電線の単位長さ当たりの抵抗値は、前記対応するデータ線の単位長さ当たりの抵抗値より小であること、を特徴とする。 20

上記のアクティブマトリクス基板において、前記複数の共通給電線は、バンク層に覆われていることが好ましい。

上記のアクティブマトリクス基板において、前記複数のデータ線は、バンク層に覆われていることが好ましい。 30

上記のアクティブマトリクス基板において、前記複数の共通給電線は、前記複数の走査線に交差する方向に設けられていることが好ましい。

本発明の第1の表示装置は、上記のアクティブマトリクス基板と、前記複数の画素電極と前記複数の画素電極に対向する対向電極との間に駆動電流が流れることにより発光する複数の発光素子と、を有する。

本発明の第2の表示装置は、複数の走査線と、前記複数の走査線と交差する方向に延設された複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、を有し、前記複数の画素の各々は、画素電極と、ゲート電極を備え、前記複数の走査線のうち対応する走査線を介して走査信号が前記ゲート電極に供給される第1のトランジスタと、前記複数のデータ線のうち対応するデータ線及び前記第1のトランジスタを介して供給される画像信号に応じて、前記複数の共通給電線のうち対応する共通給電線と前記画素電極との電気的な接続の制御を行う第2のトランジスタと、前記第2のトランジスタを介して前記対応する共通給電線と前記画素電極とが電気的に接続したときに前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、を備え、前記対応する共通給電線の線幅は、前記対応するデータ線の線幅より大であること、を特徴とする。 40

上記の表示装置において、前記対応する共通給電線の単位長さ当たりの抵抗値は、前記対応するデータ線の単位長さ当たりの抵抗値より小であることが好ましい。

本発明の第2の表示装置は、複数の走査線と、前記複数の走査線と交差する方向に延設さ 50

れた複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、を有し、前記複数の画素の各々は、画素電極と、ゲート電極を備え、前記複数の走査線のうち対応する走査線を介して走査信号が前記ゲート電極に供給される第1のトランジスタと、前記複数のデータ線のうち対応するデータ線及び前記第1のトランジスタを介して供給される画像信号に応じて、前記複数の共通給電線のうち対応する共通給電線と前記画素電極との電気的な接続の制御を行う第2のトランジスタと、前記第2のトランジスタを介して前記対応する共通給電線と前記画素電極とが電気的に接続したときに前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、を備え、前記対応する共通給電線の単位長さ当たりの抵抗値は、前記対応するデータ線の単位長さ当たりの抵抗値より小であること、を特徴とする。

10

上記の表示装置において、前記対応する共通給電線の線幅は、前記対応するデータ線の線幅より大であることが好ましい。

上記の表示装置において、前記複数の共通給電線は、前記複数の走査線に交差する方向に設けられていることが好ましい。

上記の表示装置において、前記発光素子は、前記画素電極と前記対向電極との間に配置された有機半導体膜を備え、前記有機半導体膜は前記駆動電流によって発光することが好ましい。

上記の表示装置において、前記有機半導体膜は、絶縁膜からなるバンク層で囲まれていることが好ましい。

20

上記の表示装置において、前記バンク層は、前記複数のデータ線および前記複数の共通給電線を覆うように構成されていることが好ましい。

上記の表示装置において、前記有機半導体膜は、インクジェット法により形成された膜であってもよい。

本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素が配置され、該画素に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする。

30

【0009】

すなわち、本発明では、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返すので、2列分の画素を1本の共通給電線で駆動する。従って、1列の画素群ごとに共通給電線を形成する場合と比較して共通給電線の形成領域を狭めることができるため、その分、画素の発光領域を拡張できる。よって、輝度、コントラスト比などの表示性能を向上させることができる。

40

【0010】

このように構成するにあたっては、たとえば、前記共通給電線を挟むように配置された2つの画素の間では、前記第1の薄膜トランジスタ、前記第2の薄膜トランジスタ、および前記発光素子を、当該共通給電線を中心に線対称に配置することが好ましい。

【0011】

本発明において、前記走査線の延設方向に沿って隣接するいずれの画素の間でも前記有機半導体膜の形成領域の中心のピッチが等しいことが好ましい。このように構成すると、イ

50

ンクジェットヘッドから有機半導体膜の材料を吐出して有機半導体膜を形成するのに都合がよい。すなわち、有機半導体膜の形成領域の中心のピッチが等しいので、インクジェットヘッドから有機半導体膜の材料を等間隔で吐出していけばよい。これにより、インクジェットヘッドの移動制御機構が簡易になるとともに、位置精度も向上する。

【0012】

また、前記有機半導体膜の形成領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うように構成されていることが好ましい。このように構成すると、有機半導体膜をインクジェット法により形成する際に、バンク層が有機半導体膜が周囲にはみ出すのを防止するので、有機半導体膜を所定領域内に形成できる。また、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うため、走査線の延設方向に沿って隣接するいずれの画素の間でも有機半導体膜の形成領域の中心のピッチが等しくするのに適している。ここで、対向電極は少なくとも画素領域上のほぼ全面、あるいはストライプ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままでは、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在しているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

10

【0013】

本発明において、前記画素に対して前記共通給電線とは反対側を通る2本のデータ線の間

に相当する位置には、配線層が形成されていることが好ましい。2本のデータ線が並列していると、これらのデータ線の間でクロストークが発生するおそれがある。しかるに本発明では、2本のデータ線の間にはそれらとは別の配線層が通っているので、このような配線層を画像の少なくとも1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。

20

【0014】

この場合に、前記複数のデータ線のうち、隣接する2本のデータ線の間では、画像信号のサンプリングを同一のタイミングで行うことが好ましい。このように構成すると、2本のデータ線の間でサンプリング時の電位変化が同時に起こるので、これらのデータ線の間でクロストークが発生するのをより確実に防止できる。

30

【0015】

本発明では、同一の前記共通給電線との間で前記駆動電流の通電が行われる複数の画素には、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素がほぼ同数含まれていることが好ましい。

【0016】

このように構成すると、共通給電線から画素に流れる駆動電流と、画素から共通給電線に流れる駆動電流とが相殺され、共通給電線に流れる駆動電流が小さくて済む。従って、共通給電線をその分細くすることができるので、パネル外形に対する表示面積を拡張できる。また、駆動電流の差により生じる輝度むらをなくすることができる。

【0017】

たとえば、前記データ線の延設方向では各画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が1画素毎に、あるいは2画素毎に反転するように構成する。あるいは、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が1画素毎、あるいは2画素毎に反転するように構成してもよい。これらの形態のうち、2画素毎に駆動電流の極性が反転するように構成した場合には、同じ極性の駆動電流が流れる画素については、隣接する画素の間で対向電極を共通にすることができるので、対向電極のスリット数を減らすことができる。すなわち、大電流が流れる対向電極の抵抗値を高くすることなく、極性反転を実現できる。

40

【0018】

50

また、前記走査線の延設方向および前記データ線の延設方向のいずれの方向でも、各画素における駆動電流の極性が1画素毎に反転するように構成してもよい。

【0019】

【発明の実施の形態】

図面を参照して、本発明の実施の形態を説明する。

【0020】

[実施の形態1]

(アクティブマトリクス基板の全体構成)

図1は、表示装置の全体のレイアウトを模式的に示すブロック図、図2は、それに構成されたアクティブマトリクスの等価回路図である。

10

【0021】

この図に示すように、本形態の表示装置1ではその基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10上において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

【0022】

(共通給電線と画素の配置)

表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、図2に示すように、これらのデータ線sigと走査線gateとによりマトリクス状に形成された画素7が構成されている。

20

【0023】

これらの画素7のいずれにも、走査線gateを介して走査信号がゲート電極21(第1のゲート電極)に供給される第1のTFT20が構成されている。このTFT20のソース・ドレイン領域の一方は、データ線sigに電氣的に接続し、他方は電位保持電極stに電氣的に接続している。走査線gateに対しては容量線clineが並列配置され、この容量線clineと電位保持電極stとの間には保持容量capが形成されている。従って、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。

30

【0024】

電位保持電極stには第2のTFT30のゲート電極31(第2のゲート電極)が電氣的に接続している。このTFT30のソース・ドレイン領域の一方は、共通給電線comに電氣的に接続する一方、他方は発光素子40の一方の電極(後述する画素電極)に電氣的に接続している。共通給電線comは定電位に保持されている。従って、第2のTFT30がオン状態になったときに、このTFTを介して共通給電線comの電流が発光素子40に流れ、発光素子40を発光させる。

40

【0025】

本形態では、共通給電線comの両側に、該共通給電線comとの間で駆動電流の供給が行われる複数の画素7が配置され、これらの画素7に対して共通給電線comとは反対側を2本のデータ線sigが通っている。すなわち、データ線sig、それに接続する画素群、1本の共通給電線com、それに接続する画素群、および該画素群に画素信号を供給するデータ線sigを1つの単位としてそれを走査線gateの延設方向に繰り返してあり、共通給電線comは、1本で2列分の画素7に対して駆動電流を供給する。そこで、本形態では、共通給電線comを挟むように配置された2つの画素7の間では、第1のTFT20、第2のTFT30、および発光素子40が当該共通給電線comを中心に線対称に配置され、これらの素子と各配線層との電氣的な接続を容易なものにしてある。

50

【0026】

このように、本形態では、1本の共通給電線comで2列分の画素を駆動するので、1列の画素群ごとに共通給電線comを形成する場合と比較して、共通給電線comの数が1/2で済むとともに、同一の層間に形成される共通給電線comとデータ線sigとの間に確保していた隙間が不要である。それ故、透明基板10上において配線のための領域を狭くすることができるので、その分、各画素領域における発光面積の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0027】

なお、このように1本の共通給電線comに2列分の画素が接続する構成としたため、データ線sigは2本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。 10

【0028】

(画素の構成)

このように構成した表示装置1の各画素7の構造を図3ないし図6(A)を参照して詳述する。

【0029】

図3は、本形態の表示装置1に形成されている複数の画素7のうちの3つの画素7を拡大して示す平面図、図4、図5、および図6(A)はそれぞれは、そのA-A'線における断面図、B-B'線における断面図、およびC-C'線における断面図である。

【0030】

まず、図3におけるA-A'線に相当する位置では、図4に示すように、透明基板10上には各画素7の各々に、第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面にはゲート電極21(走査線gateの一部)が形成され、該ゲート電極21に対して自己整合的にソース・ドレイン領域22、23が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール61、62を介して、ソース・ドレイン領域22、23にはデータ線sig、および電位保持電極stがそれぞれ電氣的に接続している。 20

【0031】

各画素7には走査線gateと並列するように、走査線gateやゲート電極21と同一の層間(ゲート絶縁膜50と第1の層間絶縁膜51との間)には容量線clineが形成されており、この容量線clineに対しては、第1の層間絶縁膜51を介して電位保持電極stの延設部分st1が重なっている。このため、容量線clineと電位保持電極stの延設部分st1とは、第1の層間絶縁膜51を誘電体膜とする保持容量capを構成している。なお、電位保持電極stおよびデータ線sigの表面側には第2の層間絶縁膜52が形成されている。 30

【0032】

図3におけるB-B'線に相当する位置では、図5に示すように、透明基板10上に形成された第1の層間絶縁膜51および第2の層間絶縁膜52の表面に各画素7に対応するデータ線sigが2本、並列している状態にある。 40

【0033】

図3におけるC-C'線に相当する位置では、図6(A)に示すように、透明基板10上には共通給電線comを挟む2つの画素7に跨がるように、第2のTFT30を形成するための島状のシリコン膜300が形成され、その表面にはゲート絶縁膜50が形成されている。ゲート絶縁膜50の表面には、共通給電線comを挟むように、各画素7の各々にゲート電極31がそれぞれ形成され、このゲート電極31に自己整合的にソース・ドレイン領域32、33が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール63を介して、ソース・ドレイン領域62に中継電極35が電氣的に接続している。一方、シリコン膜300の中央部分で2つの画素7において共通のソース・ドレイン領域33となる部分に対しては、第 50

1の層間絶縁膜51のコンタクトホール64を介して、共通給電線comが電氣的に接続している。これらの共通給電線com、および中継電極35の表面側には第2の層間絶縁膜52が形成されている。第2の層間絶縁膜52の表面側にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電氣的に接続し、この中継電極35を介して第2のTFT30のソース・ドレイン領域32に電氣的に接続している。

【0034】

ここで、画素電極41は発光素子40の一方の電極を構成している。すなわち、画素電極41の表面には正孔注入層42および有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opが形成されている。この対向電極opは、少なくとも画素領域上に、あるいはストライプ状に形成された共通の電極であり、一定の電位に保持されている。

【0035】

このように構成された発光素子40では、対向電極opおよび画素電極41をそれぞれ正極および負極として電圧が印加され、図7に示すように、印加電圧がしきい値電圧を越えた領域で有機半導体膜43に流れる電流(駆動電流)が急激に増大する。その結果、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射され、透明な画素電極41および透明基板10を透過して出射される。

【0036】

このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、正孔注入層42、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。本形態の表示装置1では、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。従って、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30はオフ状態になるまで維持される。

【0037】

(表示装置の製造方法)

このように構成した表示装置1の製造方法において、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図8を参照してその概要を説明する。

【0038】

図8は、表示装置1の各構成部分を形成していく過程を模式的に示す工程断面図である。

【0039】

すなわち、図8(A)に示すように、透明基板10に対して、必要に応じて、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000~5000オングストロームのシリコン酸化膜からなる下地保護膜(図示せず)を形成する。次に基板の温度を約350に設定して、下地保護膜の表面にプラズマCVD法により厚さが約300~700オングストロームのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビーム形状の長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0040】

10

20

30

40

50

次に、図 8 (B) に示すように、半導体膜 1 0 0 をパターンニングして島状の半導体膜 2 0 0、3 0 0 とし、その表面に対して、T E O S (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ C V D 法により厚さが約 6 0 0 ~ 1 5 0 0 オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜 5 0 を形成する。

【 0 0 4 1 】

次に、図 8 (C) に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターンニングし、走査線 g a t e の一部としてのゲート電極 2 1、3 1 を形成する。この工程では容量線 c l i n e も形成する。なお、図中、3 1 0 はゲート電極 3 1 の延設部分である。

【 0 0 4 2 】

この状態で高濃度のリンイオンまたはボロンイオンを打ち込んで、シリコン薄膜 2 0 0、3 0 0 にはゲート電極 2 1、3 1 に対して自己整合的にソース・ドレイン領域 2 2、2 3、3 2、3 3 を形成する。なお、不純物が導入されなかった部分がチャネル領域 2 7、3 7 となる。

【 0 0 4 3 】

次に、図 8 (D) に示すように、第 1 の層間絶縁膜 5 1 を形成した後、コンタクトホール 6 1、6 2、6 3、6 4、6 9 を形成し、データ線 s i g、容量線 c l i n e およびゲート電極 3 1 の延設部分 3 1 0 に重なる延設部分 s t 1 を備える電位保持電極 s t、共通給電線 c o m、および中継電極 3 5 を形成する。その結果、電位保持電極 s t はコンタクトホール 6 9 および延設部分 3 1 0 を介してゲート電極 3 1 に電氣的に接続する。このようにして第 1 の T F T 2 0 および第 2 の T F T 3 0 を形成する。また、容量線 c l i n e と電位保持電極 s t の延設部分 s t 1 とによって保持容量 c a p が形成される。

【 0 0 4 4 】

次に、図 8 (E) に示すように、第 2 の層間絶縁膜 5 2 を形成し、この層間絶縁膜には、中継電極 3 5 に相当する部分にコンタクトホール 6 5 を形成する。次に、第 2 の層間絶縁膜 5 2 の表面全体に I T O 膜を形成した後、パターンニングし、コンタクトホール 6 5 を介して第 2 の T F T 3 0 のソース・ドレイン領域 3 2 に電氣的に接続する画素電極 4 1 を形成する。

【 0 0 4 5 】

次に、図 8 (F) に示すように、第 2 の層間絶縁膜 5 2 の表面側に黒色のレジスト層を形成した後、このレジストを発光素子 4 0 の正孔注入層 4 2 および有機半導体膜 4 3 を形成すべき領域を囲むように残し、バンク層 b a n k を形成する。ここで、有機半導体膜 4 3 は、各画素毎に独立して形成される場合、データ線 s i g に沿ってストライプ状に形成される場合などのいずれの形状であっても、それに対応する形状にバンク層 b a n k を形成するだけで、本形態に係る製造方法を適用できる。

【 0 0 4 6 】

次に、バンク層 b a n k の内側領域に対してインクジェットヘッド I J から、正孔注入層 4 2 を構成するための液状の材料 (前駆体) を吐出し、バンク層 b a n k の内側領域に正孔注入層 4 2 を形成する。同様に、バンク層 b a n k の内側領域に対してインクジェットヘッド I J から、有機半導体膜 4 3 を構成するための液状の材料 (前駆体) を吐出し、バンク層 b a n k の内側領域に有機半導体膜 4 3 を形成する。ここで、バンク層 b a n k はレジストから構成されているため、撥水性である。これに対して、有機半導体膜 4 3 の前駆体は主に親水性の溶媒を用いているため、有機半導体膜 4 3 の塗布領域はバンク層 b a n k によって確実に規定され、隣接する画素にはみ出ることがない。

【 0 0 4 7 】

このようにして有機半導体膜 4 3 や正孔注入層 4 2 をインクジェット法により形成する場合には、その作業効率や射出位置精度を高めるために、本形態では、図 3 に示すように、走査線 g a t e の延設方向に沿って隣接するいずれの画素 7 間でも、前記有機半導体膜 4 3 の形成領域の中心のピッチ P を等しくしてある。従って、矢印 Q で示すように、走査線 g a t e の延設方向に沿って等間隔の位置にインクジェットヘッド I J から有機半導体膜

10

20

30

40

50

43の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッドIJの移動制御機構が簡易になるとともに、打ち込み位置精度も向上する。

【0048】

しかる後には、図8(G)に示すように、透明基板10の表面側に対向電極opを形成する。ここで、対向電極opは少なくとも画素領域の全面、またはストライプ状に形成されるが、対向電極opをストライプ状に形成する場合には、透明基板10の表面全体に金属膜を形成した後、それをストライプ状にパターンニングする。

【0049】

なお、バンク層bankについては、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクスBM、および寄生容量を低減するための絶縁層として利用する。 10

【0050】

図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素7のTFTと同一の層間に形成されることになる。

【0051】

また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても、周知の方法でTFTを形成していけるので、その説明を省略する。 20

【0052】

(バンク層の形成領域)

本形態では、図1に示す透明基板10の周辺領域の総てに対して、前記のバンク層bank(形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路2、3に容量が寄生することを防止できるので、駆動回路2、3の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。 30

【0053】

また、本形態では、図3ないし図5に示すように、データ線sigに重なるようにバンク層bankを形成してある。従って、データ線sigと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、データ側駆動回路3の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0054】

ここで、共通給電線comには、データ線sigと違って、発光素子40を駆動するための大きな電流が流れ、しかも、2列分の画素に対して駆動電流を供給する。このため、共通給電線comについては、その線幅をデータ線sigの線幅よりも広く設定し、共通給電線comの単位長さ当たりの抵抗値を、データ線sigの単位長さ当たりの抵抗値よりも小さくしてある。そのような設計条件下でも、本形態では、共通給電線comにも重なるようにバンク層bankを形成して有機半導体膜43の形成領域を規定する際にここに形成するバンク層bankの幅を、2本のデータ線sigに重なるバンク層bankと同一の幅寸法とすることにより、前記のように、走査線gateの延設方向に沿って隣接するいずれの画素7の間でも有機半導体膜43の形成領域の中心のピッチPを等しくするのに適した構造になる。 40

【0055】

さらに、本形態では、図3、図4、および図6(A)に示すように、画素電極41の形成領域のうち、第1のTFT20の形成領域および第2のTFT30の形成領域と重なる領 50

域にもバンク層 *bank* を形成する。すなわち、図 6 (B) に示すように、中継電極 3 5 と重なる領域にバンク層 *bank* を形成しないと、たとえ対向電極 *op* との間に駆動電流が流れて有機半導体膜 4 3 が発光しても、この光は中継電極 3 5 と対向電極 *op* とに挟まれて出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、このような無効電流が流れるはずの部分にバンク層 *bank* を形成し、そこに駆動電流が流れることを防止するので、共通給電線 *com* に無駄な電流が流れることが防止できる。それ故、共通給電線 *com* の幅はその分狭くてよい。

【 0 0 5 6 】

また、前記のように黒色のレジストで構成したバンク層 *bank* を残しておく、バンク層 *bank* はブラックマトリクスとして機能し、輝度、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置 1 では、対向電極 *op* が透明基板 1 0 の表面側の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極 *op* での反射光がコントラスト比を低下させる。しかるに本形態では、有機半導体膜 4 3 の形成領域を規定しながら寄生容量を抑える機能を有するバンク層 *bank* を黒色のレジストで構成したため、バンク層 *bank* はブラックマトリクスとしても機能し、対向電極 *op* からの反射光を遮るので、コントラスト比が高いという利点がある。また、バンク層 *bank* を利用して自己整合的に発光領域を規定することができるので、バンク層 *bank* をブラックマトリクスとして用いずに別の金属層などをブラックマトリクスとして用いたときに問題となる発光領域とのアライメント余裕が不要である。

【 0 0 5 7 】

[上記形態の改良例]

上記形態では、共通給電線 *com* の両側のそれぞれに、該共通給電線 *com* との間で駆動電流が流れる画素 7 が配置され、該画素 7 に対して前記共通給電線 *com* とは反対側を 2 本のデータ線 *sig* が並列して通っている。従って、2 本のデータ線 *sig* の間でクロストークが発生するおそれがある。そこで、本形態では、図 9、図 1 0 (A)、(B) に示すように、2 本のデータ線 *sig* の間に相当する位置にダミーの配線層 *DA* を形成してある。このダミーの配線層 *DA* としては、たとえば、画素電極 4 1 と同時形成された *ITO* 膜 *DA1* を利用することができる。また、ダミーの配線層 *DA* としては、2 本のデータ線 *sig* の間に容量線 *cl line* からの延設部分 *DA2* を構成してもよい。これらの双方をダミーの配線層 *DA* として用いてもよい。

【 0 0 5 8 】

このように構成すると、並列する 2 本のデータ線 *sig* の間にはそれらとは別の配線層 *DA* が通っているので、このような配線層 *DA* (*DA1*、*DA2*) を画像の少なくとも 1 水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第 1 の層間絶縁膜 5 1 および第 2 の層間絶縁膜 5 2 は、膜厚が凡そ $1\ \mu\text{m}$ であるのに対して、2 本のデータ線 *sig* 2 本の間隔は約 $2\ \mu\text{m}$ 以上であるため、各データ線 *sig* とダミーの配線層 *DA* (*DA1*、*DA2*) との間に構成される容量に比較して、2 本のデータ線 *sig* に間に構成される容量は十分に無視できるほど小さい。それ故、データ線 *sig* から漏れた高周波数の信号はダミーの配線層 *DA* 及び *DA2* で吸収されるので、2 本のデータ線 *sig* の間でのクロストークを防止できる。

【 0 0 5 9 】

また、複数のデータ線 *sig* のうち、隣接する 2 本のデータ線 *sig* の間では、画像信号のサンプリングを同一のタイミングで行うことが好ましい。このように構成すると、2 本のデータ線 *sig* の間でサンプリング時の電位変化が同時に起きるので、これら 2 本のデータ線 *sig* の間におけるクロストークをより確実に防止できる。

【 0 0 6 0 】

[保持容量の別の構成例]

なお、上記形態では、保持容量 *cap* を構成するのに容量線 *cl line* を形成したが、従来技術で説明したように、*TFT* を構成するためのポリシリコン膜を利用して保持容量 *c*

10

20

30

40

50

a p を構成してもよい。

【0061】

また、図11に示すように、共通給電線 c o m と電位保持電極 s t との間に保持容量 c a p を構成してもよい。この場合には、図12(A)、(B)に示すように、電位保持電極 s t とゲート電極 3 1 とを電氣的に接続させるためのゲート電極 3 1 の延設部分 3 1 0 を共通給電線 c o m の下層側にまで拡張し、この延設部分 3 1 0 と共通給電線 c o m との間に位置する第1の層間絶縁膜 5 1 を誘電体膜として保持容量 c a p を構成すればよい。

【0062】

[実施の形態2]

上記の実施の形態1では、いずれの画素7においても同一の極性の駆動電流で発光素子40を駆動する構成であったが、以下に説明するように、同一の共通給電線 c o m との間で駆動電流の通電が行われる複数の画素7には、極性が反転した駆動電流により発光素子40の駆動が行われる2種類の画素7が同数、含まれているように構成してもよい。

【0063】

このような構成例を、図13ないし図17を参照して説明する。図13は、極性の反転した駆動電流で発光素子40が駆動される2種類の画素を構成した形態のブロック図である。図14および図15はそれぞれ、極性の反転した駆動電流で発光素子40を駆動する際の走査信号、画像信号、共通給電線の電位、および電位保持電極の電位の説明図である。

【0064】

本形態および後述する形態のいずれにおいても、図13に示すように、極性の反転した駆動電流 i で発光素子40を駆動するにあたって、矢印Eで示すように共通給電線 c o m から駆動電流が流れる画素7Aでは、第1のTFT20をnチャンネル型で構成し、矢印Fで示すように共通給電線 c o m に向けて駆動電流が流れる画素7Bでは、第1のTFT20をpチャンネル型で構成してある。このため、これらの2種類の画素7A、7Bのそれぞれに走査線 g a t e A、g a t e Bを構成する。また、本形態では、画素7Aの第2のTFT30をpチャンネル型で構成する一方、画素7Bの第2のTFT30をnチャンネル型で構成し、いずれの画素7A、7Bにおいても、第1のTFT20と第2のTFT30とを逆導電型にしてある。従って、画素7Aに対応するデータ線 s i g A と、画素7Bに対応するデータ線 s i g B とを介してそれぞれ供給される画像信号についても、後述するように、その極性を反転させてある。

【0065】

さらに、各画素7A、7Bでは、極性の反転した駆動電流 i で発光素子40をそれぞれ駆動することから、後述するように、対向電極 o p の電位についても、共通給電線 c o m の電位を基準としたときに逆極性となるように構成する必要がある。従って、対向電極 o p については、極性が同一の駆動電流 i が流れる画素7A、7B同士を接続するように構成し、それぞれに所定の電位を印加することになる。

【0066】

それ故、図14および図15のそれぞれには、画素7A、7Bに対して、走査線 g a t e A、g a t e Bを介して供給される走査信号の波形、データ線 s i g A、s i g Bを介して供給される画像信号の波形、対向電極 o p の電位、および電位保持電極 s t A、s t Bの電位を、共通給電線 c o m の電位を基準に表してあるように、画素7A、7Bの間において、各信号は、点灯期間および消灯期間のいずれにおいても逆極性となるように設定されている。

【0067】

また、図16(A)、(B)に示すように、各画素7A、7Bには、異なる構造の発光素子40A、40Bが構成される。すなわち、画素7Aに形成される発光素子40Aは、下層側から上層側に向かって、ITO膜からなる画素電極41、正孔注入層42、有機半導体膜43、対向電極 o p A がこの順に積層されている。これに対して、画素7Bに形成される発光素子40Bは、下層側から上層側に向かって、ITO膜からなる画素電極41、透光性をもつほど薄いリチウム含有アルミニウム電極45、有機半導体層42、正孔注入

層 4 2、ITO 膜層 4 6、対向電極 o p B がこの順に積層されている。従って、発光素子 4 0 A、4 0 B の間では、それぞれ逆極性の駆動電流が流れるといっても、正孔注入層 4 2 および有機半導体層 4 2 が直接、接する電極層の構成が同一であるため、発光素子 4 0 A、4 0 B の発光特性は同等である。

【 0 0 6 8 】

このような 2 種類の発光素子 4 0 A、4 0 B を形成するにあたって、双方の有機半導体膜 4 3 および正孔注入層 4 2 はいずれも、インクジェット法によりバンク層 b a n k の内側に形成するので、上下位置が反対でも製造工程が複雑になることはない。また、発光素子 4 0 B では、発光素子 4 0 A に比較して、透光性をもつほど薄いリチウム含有アルミニウム電極 4 5、および ITO 膜層 4 6 を追加することになるが、それでも、リチウム含有アルミニウム電極 4 5 は画素電極 4 1 と同じ領域で積層している構造になっていても表示に支障がなく、ITO 膜層 4 6 も対向電極 o p B と同じ領域で積層している構造になっていても表示に支障がない。それ故、リチウム含有アルミニウム電極 4 5 と画素電極 4 1 とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。同様に、ITO 膜層 4 6 と対向電極 o p B とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。リチウム含有アルミニウム電極 4 5 および ITO 膜層 4 6 はバンク層 b a n k の内側領域のみに形成してもよいことは勿論である。

10

【 0 0 6 9 】

このようにして各画素 7 A、7 B において極性の反転した駆動電流で発光素子 4 0 A、4 0 B を駆動できるようにした上で、前記の 2 種類の画素 7 A、7 B を図 1 7 に示すように配置してある。この図において、符合 (-) が付されている画素は、図 1 3、図 1 4、図 1 6 で説明した画素 7 A に相当し、符合 (+) が付されている画素は、図 1 3、図 1 5、図 1 6 で説明した画素 7 B に相当する。なお、図 1 7 には、走査線 g a t e A、g a t e、およびデータ線 s i g A、s i g B の図示を省略してある。

20

【 0 0 7 0 】

図 1 7 に示すように、本形態では、データ線 s i g A、s i g B の延設方向では各画素における駆動電流の極性が同一で、走査線 g a t e A、g a t e B の延設方向では各画素における駆動電流の極性が 1 画素毎に反転している。なお、各画素に対応する対向電極 o p A、o p B の形成領域をそれぞれ一点鎖線で示すように、いずれの対向電極 o p A、o p B も、極性が同一の駆動電流が流れる画素 7 A、7 B 同士を接続するように構成してある。すなわち、対向電極 o p A、o p B は、データ線 s i g A、s i g B の延設方向に沿ってストライプ状に別々に形成され、対向電極 o p A、o p B のそれぞれには、共通給電線 c o m の電位を基準としたときに負の電位、および正の電位が印加される。

30

【 0 0 7 1 】

従って、各画素 7 A、7 B と共通給電線 c o m との間には、それぞれ図 1 3 に矢印 E、F に示す向きの駆動電流 i が流れることになる。このため、共通給電線 c o m を実質的に流れる電流は、極性の異なる駆動電流 i の間で相殺されるので、共通給電線 c o m に流れる駆動電流が小さくて済む。従って、共通給電線 c o m をその分、細くすることができるので、画素 7 A、7 B において画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

40

【 0 0 7 2 】

[実施の形態 3]

なお、同一の共通給電線 c o m との間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図 1 8 に示すように配置してもよい。なお、本形態では、各画素 7 A、7 B の構成などが実施の形態 2 と同様であるため、その説明を省略し、図 1 8、および以下に説明する各形態を説明するための図 1 9 ないし図 2 1 には、図 1 3、図 1 4、図 1 6 で説明した画素 7 A に相当する画素を符合 (-) で表し、図 1 3、図 1 5、図 1 6 で説明した画素 7 B に相当する画素を符合 (+) で表してある。

【 0 0 7 3 】

50

図 18 に示すように、本形態では、データ線 *sig A*、*sig B* の延設方向では各画素 7 A、7 B における駆動電流の極性が同一で、走査線 *gate A*、*gate B* の延設方向では各画素 7 A、7 B における駆動電流の極性が 2 画素毎に反転するように構成されている。

【0074】

このように構成した場合にも、各画素 7 A、7 B と共通給電線 *com* との間には、それぞれ図 13 に矢印 E、F に示す向きの駆動電流 *i* が流れることになる。このため、共通給電線 *com* を流れる電流は、極性の異なる駆動電流 *i* の間で相殺されるので、共通給電線 *com* に流れる駆動電流が小さくて済む。従って、共通給電線 *com* をその分、細くすることができるので、画素領域の画素 7 A、7 B において画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。それに加えて、本形態では、走査線 *gate A*、*gate B* の延設方向において駆動電流の極性が 2 画素毎に反転しているため、同じ極性の駆動電流で駆動される画素同士であれば、隣接し合う 2 列の画素に対して共通の対向電極 *op A*、*op B* をストライプ状に形成すればよい。それ故、対向電極 *op A*、*op B* のストライプ数を 1 / 2 に減らすことができる。また、1 画素毎のストライプに比して、対向電極 *op A*、*op B* の抵抗を小さくできることから、対向電極 *op A*、*op B* の電圧降下の影響を軽減することができる。

10

【0075】

[実施の形態 4]

また、同一の共通給電線 *com* との間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図 19 に示すように配置してもよい。

20

【0076】

図 19 に示すように、本形態では、走査線 *gate A*、*gate B* の延設方向では各画素 7 A、7 B における駆動電流の極性が同一で、データ線 *sig A*、*sig B* の延設方向では各画素 7 A、7 B における駆動電流の極性が 1 画素毎に反転するように構成されている。

【0077】

このように構成した場合にも、実施の形態 2 または 3 と同様、共通給電線 *com* を流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線 *com* に流れる駆動電流が小さくて済む。従って、共通給電線 *com* をその分、細くすることができるので、画素 7 A、7 B において画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

30

【0078】

[実施の形態 5]

また、同一の共通給電線 *com* との間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図 20 に示すように配置してもよい。

【0079】

図 20 に示すように、本形態では、走査線 *gate A*、*gate B* の延設方向では各画素 7 A、7 B における駆動電流の極性が同一で、データ線 *sig A*、*sig B* の延設方向では各画素 7 A、7 B における駆動電流の極性が 2 画素毎に反転するように構成されている。

40

【0080】

このように構成した場合には、実施の形態 3 と同様、共通給電線 *com* を流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線 *com* に流れる駆動電流が小さくて済む。従って、共通給電線 *com* をその分、細くすることができるので、画素 7 A、7 B において画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。それに加えて、本形態では、データ線 *sig A*、*sig B* の延設方向において駆動電流の極性が 2 画素毎に反転しているため、同じ極性の駆動電流で駆動される画素同士であれば、隣接し合う 2 列の画素に対して共通の対向電極 *op A*、*op B* をストライプ状に形成すればよい。それ故、対向電極 *op A*、*op B* のス

50

トライブ数を $1/2$ に減らすことができる。また、1画素毎のストライプに比して、対向電極 opA 、 opB の抵抗を小さくできることから、対向電極 opA 、 opB の電圧降下の影響を軽減することができる。

【0081】

[実施の形態6]

また、同一の共通給電線 com との間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図21に示すように配置してもよい。

【0082】

図21に示すように、本形態では、走査線 $gateA$ 、 $gateB$ の延設方向およびデータ線 $sigA$ 、 $sigB$ の延設方向のいずれの方向でも、各画素7A、7Bにおける駆動電流の極性が1画素毎に反転するように構成されている。 10

【0083】

このように構成した場合にも、実施の形態2ないし4と同様、共通給電線 com を流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線 com に流れる駆動電流が小さくて済む。従って、共通給電線 com をその分、細くすることができるので、画素7A、7Bにおいて発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0084】

このように画素7A、7Bを配置すると、ストライプ状の対向電極 opA 、 opB では対応できないが、それでも、各画素7A、7B毎に対向電極 opA 、 opB を形成するとともに、各対向電極 opA 、 opB 同士を配線層で配線接続する構成とすればよい。 20

【0085】

【発明の効果】

以上説明したように、本発明に係る表示装置では、共通給電線の両側に該共通給電線との間で駆動電流の通電が行われる画素が配置されているため、2列分の画素に対して1本の共通給電線で済む。それ故、1列の画素群ごとに共通給電線を形成する場合と比較して共通給電線の形成領域を狭めることができるため、その分、画素において発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0086】

また、同一の前記共通給電線との間で前記駆動電流の通電が行われる複数の画素に、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素が含まれている場合には、1本の共通給電線において、共通給電線から発光素子に流れる駆動電流と、それとは逆向きに発光素子から共通給電線に流れる駆動電流とが相殺されるので、共通給電線に流れる駆動電流が小さく済む。従って、共通給電線をその分、細くすることができるので、画素において発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。 30

【図面の簡単な説明】

【図1】本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

【図2】本発明を適用した表示装置の基本的な構成を示すブロック図である。 40

【図3】本発明の実施の形態1に係る表示装置の画素を拡大して示す平面図である。

【図4】図3のA-A'線における断面図である。

【図5】図3のB-B'線における断面図である。

【図6】(A)は図3のC-C'線における断面図、(B)はバンク層の形成領域を中継電極を覆うまで拡張しない構造の断面図である。

【図7】図1に示す表示装置に用いた発光素子のI-V特性を示すグラフである。

【図8】本発明を適用した表示装置の製造方法を示す工程断面図である。

【図9】図1に示す表示装置の改良例を示すブロック図である。

【図10】(A)は、図9に示す表示装置に形成したダミーの配線層を示す断面図、(B)はその平面図である。 50

【図 1 1】図 3 に示す表示装置の変形例を示すブロック図である。

【図 1 2】(A) は、図 1 1 に示す表示装置に形成した画素を拡大して示す平面図、(B) はその断面図である。

【図 1 3】本発明の実施の形態 2 に係る表示装置に構成した駆動電流が反転した 2 つの画素の構成を示す等価回路図である。

【図 1 4】図 1 3 に示す 2 つの画素のうちの一方の画素を駆動するための各信号の波形図である。

【図 1 5】図 1 3 に示す 2 つの画素のうちの他方の画素を駆動するための各信号の波形図である。

【図 1 6】図 1 3 に示す 2 つの画素に構成される発光素子の構成を示す断面図である。

10

【図 1 7】図 1 3 に示す表示装置における画素の配置を示す説明図である。

【図 1 8】本発明の実施の形態 3 に係る表示装置における画素の配置を示す説明図である。

【図 1 9】本発明の実施の形態 4 に係る表示装置における画素の配置を示す説明図である。

【図 2 0】本発明の実施の形態 5 に係る表示装置における画素の配置を示す説明図である。

【図 2 1】本発明の実施の形態 6 に係る表示装置における画素の配置を示す説明図である。

【図 2 2】従来の表示装置のブロック図である。

20

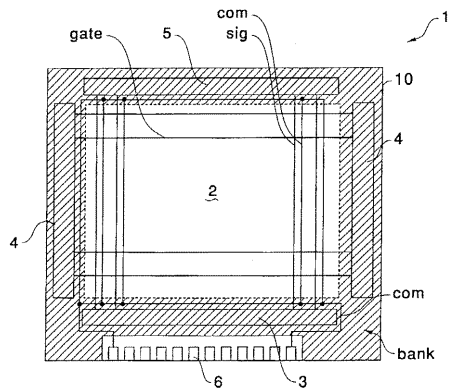
【図 2 3】(A) は、図 2 2 に示す表示装置に形成した画素を拡大して示す平面図、(B) はその断面図である。

【符号の説明】

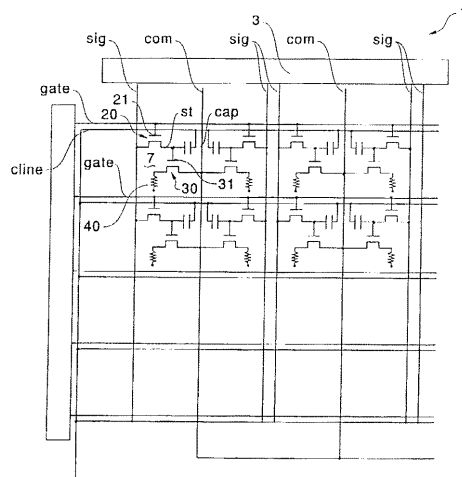
1	表示装置	
2	表示部	
3	データ側駆動回路	
4	走査側駆動回路	
5	検査回路	
6	実装用パッド	
7、7 A、7 B	画素	30
1 0	透明基板	
2 0	第 1 の T F T	
2 1	第 1 の T F T のゲート電極	
3 0	第 2 の T F T	
3 1	第 2 の T F T のゲート電極	
4 0、4 0 A、4 0 B	発光素子	
4 1	画素電極	
4 2	正孔注入層	
4 3	有機半導体膜	
4 5	薄いリチウム含有アルミニウム電極	40
4 6	I T O 膜層	
5 0	ゲート絶縁膜	
5 1	第 1 の層間絶縁膜	
5 2	第 2 の層間絶縁膜	
D A	ダミーの配線層	
b a n k	バンク層	
c a p	保持容量	
c l i n e	容量線	
c o m	共通給電線	
g a t e、g a t e A、g a t e B	走査線	50

op、op A、op B 対向電極
 sig、sig A、sig B データ線
 st、st A、st B 電位保持電極

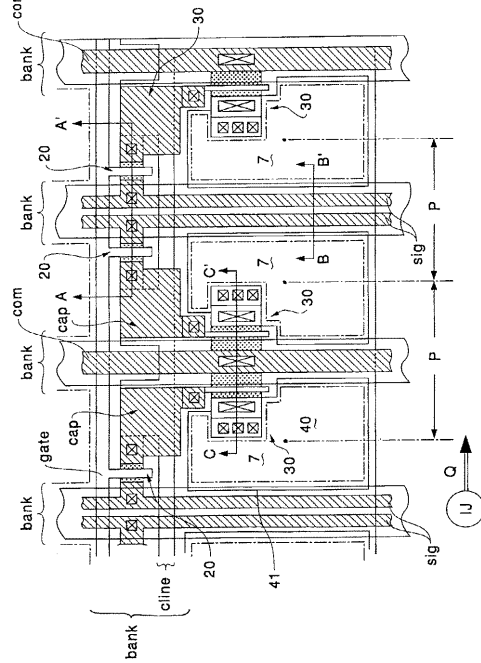
【図 1】



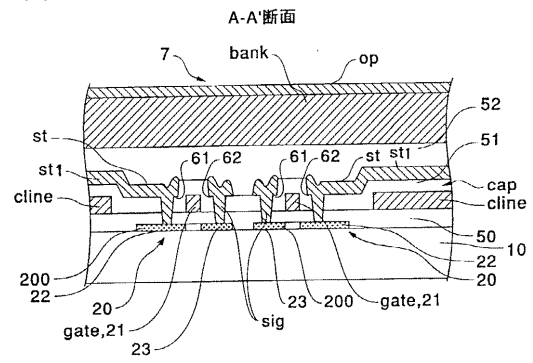
【図 2】



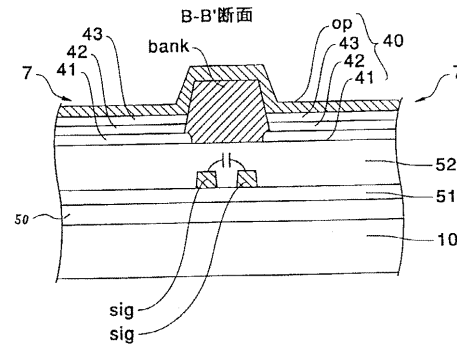
【 図 3 】



【 図 4 】

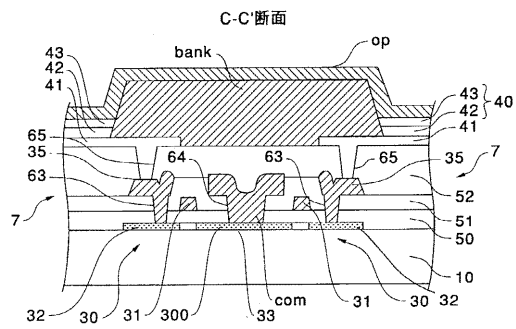


【 図 5 】

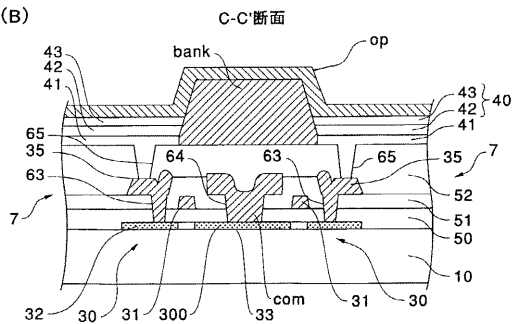


【 図 6 】

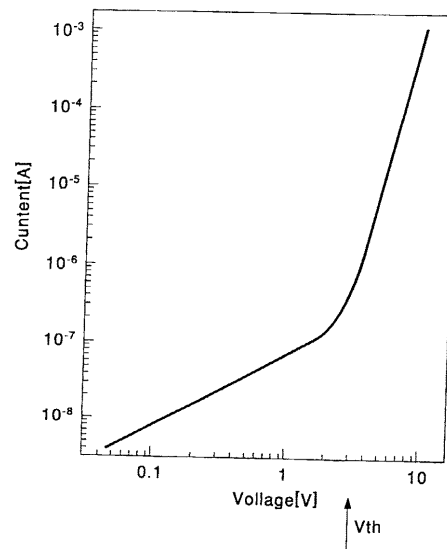
(A)



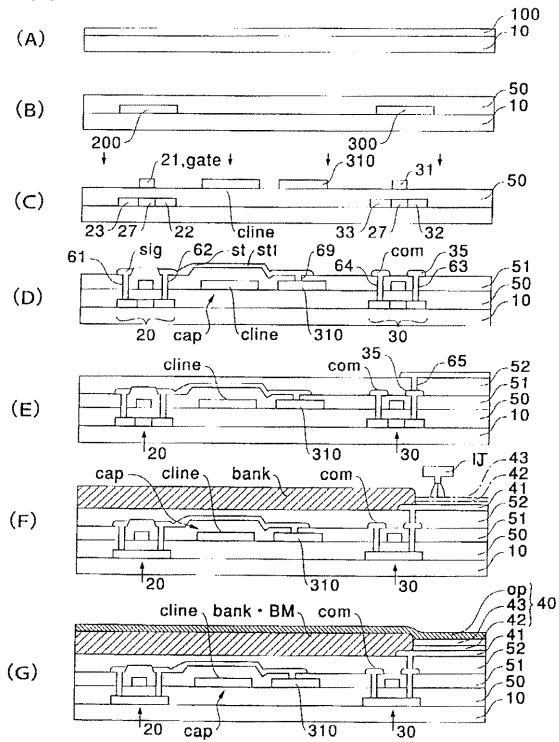
(B)



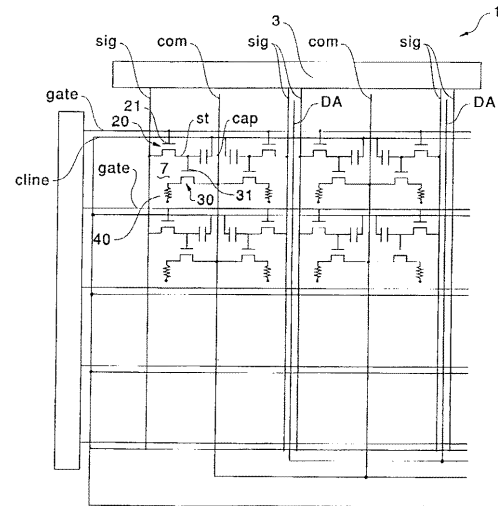
【圖 7】



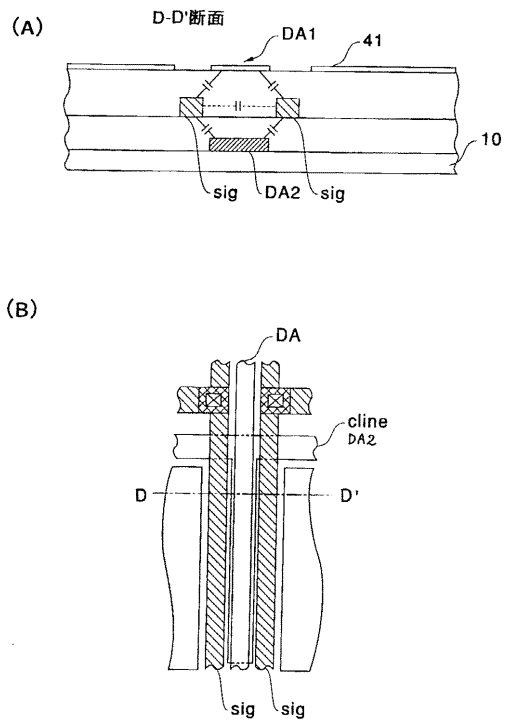
【図 8】



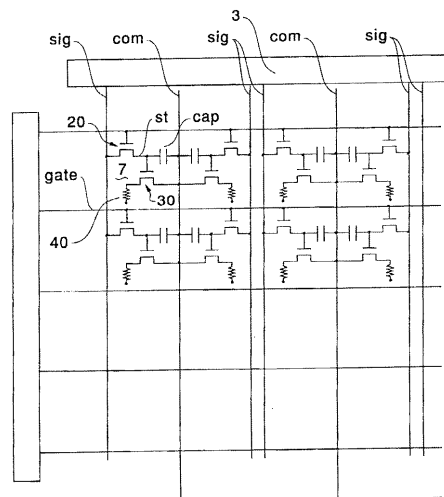
【図 9】



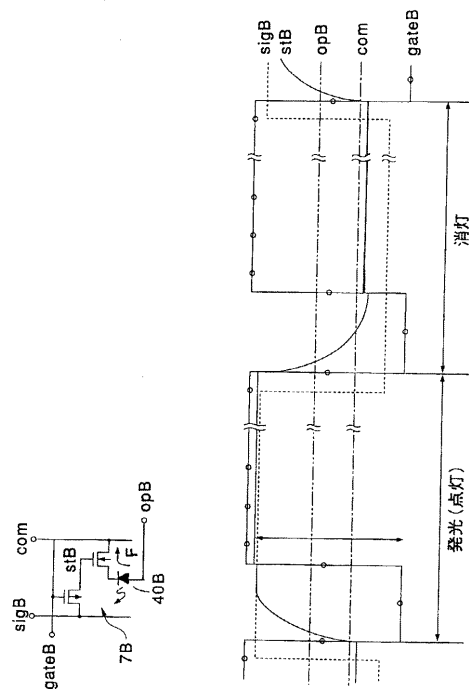
【図 10】



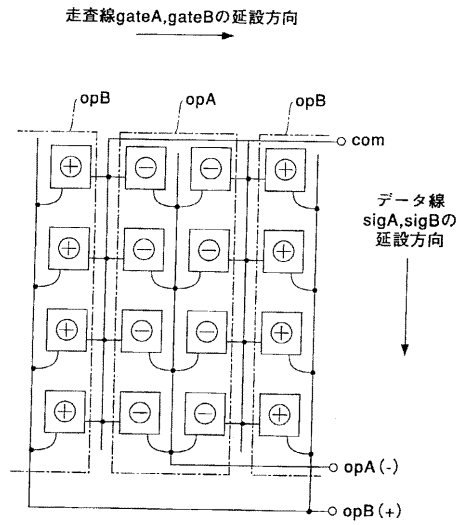
【図 11】



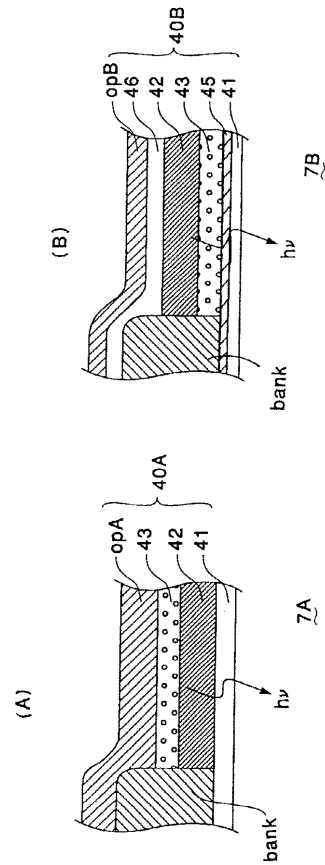
(A)



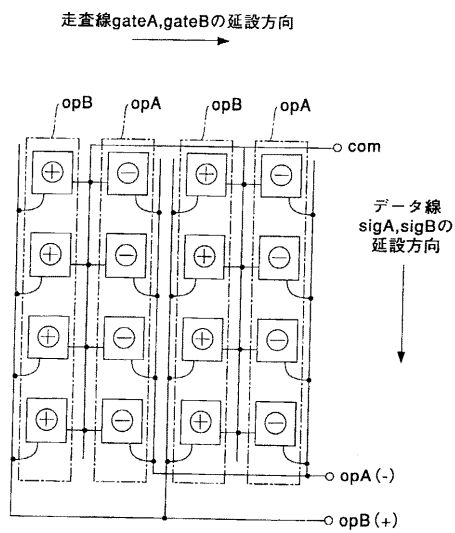
【図 16】



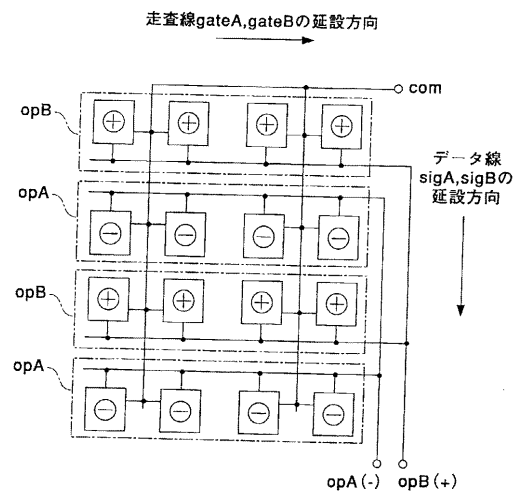
【図 17】



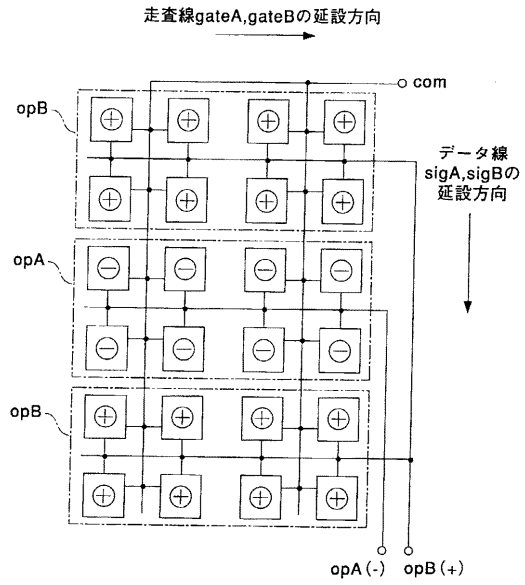
【図 18】



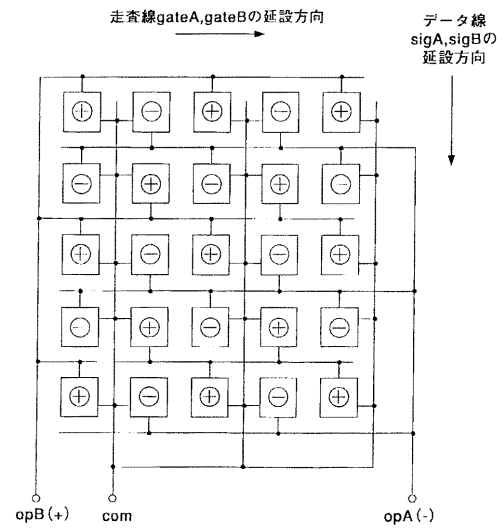
【図 19】



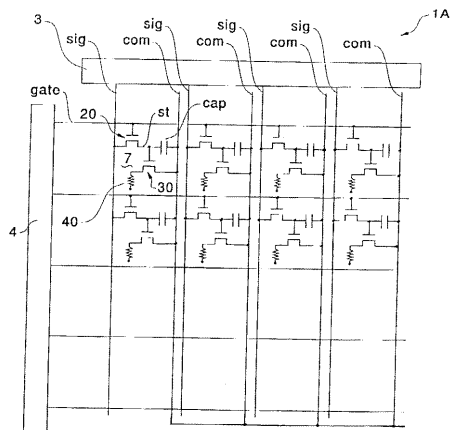
【図 20】



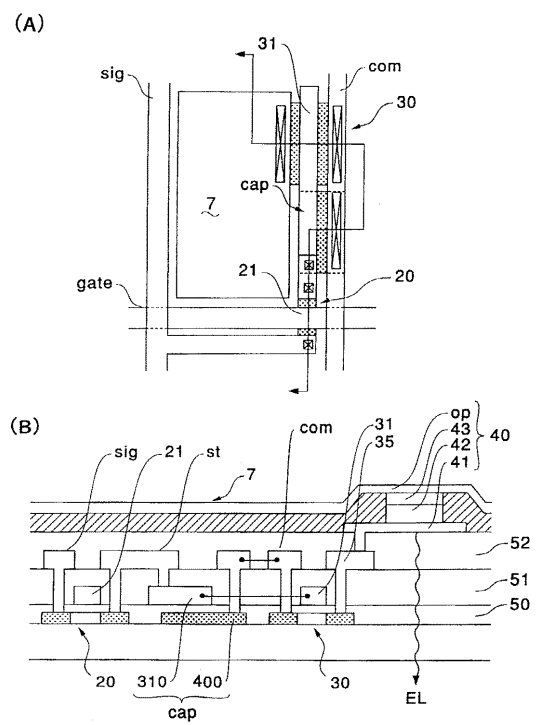
【図 21】



【図 22】



【図 23】



专利名称(译)	有源矩阵基板和显示装置		
公开(公告)号	JP2004046208A	公开(公告)日	2004-02-12
申请号	JP2003209455	申请日	2003-08-28
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤徳郎		
发明人	小澤 徳郎		
IPC分类号	H01L51/50 G09F9/30 H05B33/14		
FI分类号	G09F9/30.338 H05B33/14.A		
F-TERM分类号	3K007/AB03 3K007/AB17 3K007/BA06 3K007/DB03 3K007/FA01 3K007/GA00 5C094/AA06 5C094/AA10 5C094/BA03 5C094/BA26 5C094/BA29 5C094/CA19 5C094/EA04 5C094/EA07 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC43 3K107/DD89 3K107/EE03 3K107/FF04 3K107/FF15 3K107/GG08 3K107/HH00		
代理人(译)	须泽 修		
其他公开文献	JP3922227B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，该显示装置能够通过改善像素的布局和形成在基板上以延伸像素的发光区域的公共电源线来改善显示质量。

解决方案：具有发光元件40（例如电致发光元件或LED元件）的像素7A和7B布置在公共电源线com的两侧，以减少公共电源线com的数量。此外，流过发光元件40的驱动电流的极性在像素7A和7B之间反转，并且流过公共电源线com的电流减小。[选择图]图13

